

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5116202号
(P5116202)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611A
HO1L 51/50 (2006.01)	G09G 3/20 611G
	G09G 3/20 621K
	G09G 3/20 631B
請求項の数 3 (全 24 頁) 最終頁に続く	

(21) 出願番号	特願2002-331331 (P2002-331331)	(73) 特許権者	000153878
(22) 出願日	平成14年11月14日(2002.11.14)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2004-163774 (P2004-163774A)		神奈川県厚木市長谷398番地
(43) 公開日	平成16年6月10日(2004.6.10)	(72) 発明者	小山 潤
審査請求日	平成17年11月9日(2005.11.9)		神奈川県厚木市長谷398番地 株式会社
審判番号	不服2010-25412 (P2010-25412/J1)		半導体エネルギー研究所内
審判請求日	平成22年11月11日(2010.11.11)	(72) 発明者	木村 肇
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 優
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
最終頁に続く			

(54) 【発明の名称】 表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

画素部、ソース信号線駆動回路、第1及び第2のゲート信号線駆動回路を有するディスプレイと、ディスプレイコントローラと、を有し、

1フレーム期間が複数のサブフレーム期間を有し、前記複数のサブフレーム期間のそれぞれを点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって、 n (n は2以上の自然数)ビットのデジタル映像信号によって 2^n 階調を表現する第1の表示モードと、1ビットのデジタル映像信号によって1フレーム期間において2階調を表現する第2の表示モードと、を切り換えて表示を行う表示装置の駆動方法であって、

前記第1のゲート信号線駆動回路は前記画素部の信号を書き込む機能を有し、

前記第2のゲート信号線駆動回路は前記画素部の信号を消去する機能を有し、

前記第2の表示モードは、前記第1の表示モードよりも長いフレーム期間を有し、

前記ディスプレイコントローラは、前記第1の表示モードに対して前記第2の表示モードにおけるクロック周波数を小さくし、且つ、前記ソース信号線駆動回路及び第1のゲート信号線駆動回路を動作させる駆動電圧を低くする動作を行い、

前記第2の表示モードにおいて、前記第2のゲート信号線駆動回路はスタートパルス、クロックパルスが入力されないことを特徴とする表示装置の駆動方法。

【請求項2】

請求項1において、

前記画素部は、発光素子が設けられた画素を複数有し、

前記ディスプレイコントローラは、発光状態が選択された前記発光素子の対向電極の電位を変化させることによって、前記第1の表示モードに対して前記第2の表示モードにおける前記発光素子の電極間に印加される電圧を低くすることを特徴とする表示装置の駆動方法。

【請求項3】

請求項1又は請求項2において、

前記ディスプレイコントローラを、前記第2の表示モードにおいて前記第1の表示モードよりも低い電圧で動作させることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、デジタルビデオ信号を入力して、画像の表示を行う表示装置に関する。特に、発光素子を有する表示装置に関する。また、表示装置を用いた電子機器に関する。

【0002】

【従来の技術】

発光素子を画素毎に配置し、それらの発光素子の発光を制御することによって、画像を表示を行う表示装置について以下に説明する。

【0003】

表示装置は、ディスプレイと、ディスプレイに信号を入力する周辺回路によって構成されている。

20

【0004】

ディスプレイの構成について、図17にブロック図を示す。図17において、ディスプレイ1700は、ソース信号線駆動回路1701と、ゲート信号線駆動回路1702と、画素部1703とによって構成されている。画素部は、マトリクス状に画素が配置された構成となっている。

【0005】

画素部の各画素に、薄膜トランジスタ(以下、TFTと表記する)が配置されている。ここでは、画素毎に2つのTFTを配置し、各画素の発光素子の発光を制御する手法について説明する。

【0006】

30

図7に、ディスプレイの画素部の構成を示す。画素部700には、ソース信号線S1~Sx、ゲート信号線G1~Gy、電源供給線V1~Vxが配置され、x(xは自然数)列y(yは自然数)行の画素が配置されている。各画素800は、スイッチング用TFT801と、駆動用TFT802と、保持容量803と、発光素子804をそれぞれ有している。

【0007】

図8に、図7で示した画素部の1つの画素を拡大して示す。画素は、ソース信号線S1~Sxのうちの1本Sと、ゲート信号線G1~Gyのうちの1本Gと、電源供給線V1~Vxのうちの1本Vと、スイッチング用TFT801と、駆動用TFT802と、保持容量803と、発光素子804とによって構成されている。

40

【0008】

スイッチング用TFT801のゲート電極は、ゲート信号線Gに接続され、スイッチング用TFT801のソース領域とドレイン領域は、一方はソース信号線Sに接続され、もう一方は、駆動用TFT802のゲート電極と、保持容量803の一方の電極に接続されている。駆動用TFT802のソース領域とドレイン領域は、一方は、電源供給線Vに接続され、もう一方は、発光素子804の陽極もしくは陰極に接続されている。保持容量803の2つの電極のうち、駆動用TFT802及びスイッチング用TFT801に接続されていない側は、電源供給線Vに接続されている。

【0009】

ここで本明細書中では、駆動用TFT802のソース領域もしくはドレイン領域が、発光

50

素子 804 の陽極と接続されている場合、発光素子 804 の陽極を画素電極と呼び、陰極を対向電極と呼ぶ。一方、駆動用 T F T 802 のソース領域もしくはドレイン領域が、発光素子 804 の陰極と接続されている場合、発光素子 804 の陰極を画素電極と呼び、陽極を対向電極と呼ぶ。

【0010】

また、電源供給線 V に与えられる電位を電源電位といい、対向電極に与えられる電位を対向電位と呼ぶことにする。

【0011】

スイッチング用 T F T 801 及び駆動用 T F T 802 は、p チャンネル型 T F T でも n チャンネル型 T F T でも構わない。

10

【0012】

なお、保持容量 803 は、必ずしも設ける必要はない。

【0013】

例えば、駆動用 T F T 802 として用いる n チャンネル型 T F T が、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、この寄生容量を、駆動用 T F T 802 のゲート電極にかかる電圧を保持するための保持容量として積極的に用いることも可能である。

【0014】

上記構成の画素において、画像を表示する際の動作を以下に説明する。

20

【0015】

ゲート信号線 G に信号が入力されて、スイッチング用 T F T 801 のゲート電極の電位が変化し、ゲート電圧が変化する。こうして導通状態となったスイッチング用 T F T 801 のソース・ドレイン間を介して、ソース信号線 S より駆動用 T F T 802 のゲート電極に信号が入力される。また、保持容量 803 に信号が保持される。駆動用 T F T 802 のゲート電極に入力された信号によって、駆動用 T F T 802 のゲート電圧が変化し、ソース・ドレイン間が導通状態となる。電源供給線 V の電位が、駆動用 T F T 802 を介して、発光素子 804 の画素電極に与えられる。こうして、発光素子 804 は発光する。

【0016】

このような構成の画素において、階調を表現する手法について説明する。

30

階調の表現の方法には、大きくわけて、アナログ方式とデジタル方式とがある。アナログ方式と比べて、デジタル方式は、T F T のばらつきに強く、多階調化に向くなどの利点がある。

【0017】

デジタル方式の階調表現方法の一例として、時間階調方式が知られている。この方式の駆動方法は、表示装置の各画素が発光する期間を制御することによって、階調を表現する手法である（特許文献 1 参照）。

【0018】

1 画像を表示する期間を 1 フレーム期間とすると、1 フレーム期間は、複数のサブフレーム期間に分割される。

40

【0019】

サブフレーム期間毎に、点灯もしくは非点灯とし、つまり、各画素の発光素子を発光または非発光させて、1 フレーム期間あたりに発光素子が発光する期間を制御し、各画素の階調が表現される。

【0020】

この時間階調方式の駆動方法について、図 5 のタイミングチャートを用いて詳しく説明する。なお、図 5 においては、4 ビットのデジタル映像信号を用いて階調を表現する場合の例を示す。なお、画素及び画素部の構成としては、図 7 及び図 8 に示したものを参照する。ここで、対向電位は、外部電源（図示せず）によって、電源供給線 V 1 ~ V x の電位（電源電位）と同じ程度の電位か、電源供給線 V 1 ~ V x の電位との間に、発光素子 804

50

が発光する程度の電位差を有するように切り換えることができる。

【 0 0 2 1 】

図 5 (A) において 1 フレーム期間 $F 1$ は、複数のサブフレーム期間 $S F 1 \sim S F 4$ に分割される。

【 0 0 2 2 】

第 1 のサブフレーム期間 $S F 1$ において、はじめにゲート信号線 $G 1$ が選択され、ゲート信号線 $G 1$ にゲート電極が接続されたスイッチング用 $T F T 8 0 1$ を有する画素においてそれぞれ、ソース信号線 $S 1 \sim S x$ からデジタル映像信号が入力される。この入力されたデジタル映像信号によって、各画素の駆動用 $T F T 8 0 2$ は、オンの状態もしくはオフの状態となる。

10

【 0 0 2 3 】

ここで本明細書中では、 $T F T$ がオンの状態とは、そのゲート電圧によって、ソース・ドレイン間が導通状態であることを示すとする。また、 $T F T$ がオフの状態とは、そのゲート電圧によって、ソース・ドレイン間が、非導通状態であることを示すとする。

【 0 0 2 4 】

このとき、発光素子 $8 0 4$ の対向電位は、電源供給線 $V 1 \sim V x$ の電位（電源電位）とほぼ等しく設定されているので、駆動用 $T F T 8 0 2$ がオンの状態となった画素においても発光素子 $8 0 4$ は発光しない。

【 0 0 2 5 】

ここで、図 5 (B) は、各画素の駆動用 $T F T 8 0 2$ にデジタル映像信号を入力する動作を示すタイミングチャートである。

20

【 0 0 2 6 】

図 5 (B) では、各ソース信号線に対応する信号を、ソース信号線駆動回路（図示せず）がサンプリングする期間を、 $S 1 \sim S x$ で示した。サンプリングされた信号は、図中帰線期間において、全てのソース信号線に同時に出力される。こうして出力された信号は、ゲート選択線が選択された画素において、駆動 $T F T 8 0 2$ のゲート電極に入力される。

【 0 0 2 7 】

全てのゲート信号線 $G 1 \sim G y$ について以上の動作を繰り返し、書き込み期間 $T a 1$ が終了する。なお、第 1 のサブフレーム期間 $S F 1$ の書き込み期間を $T a 1$ と呼ぶ。一般に第 j (j は自然数) のサブフレーム期間の書き込み期間を $T a j$ と呼ぶことにする。

30

【 0 0 2 8 】

書き込み期間 $T a 1$ が終了すると対向電位が、電源電位との間に発光素子 $8 0 4$ が発光する程度の電位差を有するように変化する。こうして表示期間 $T s 1$ が始まる。なお、第 1 のサブフレーム期間 $S F 1$ の表示期間を $T s 1$ と呼ぶ。一般に第 j (j は自然数) のサブフレーム期間の表示期間を $T s j$ と呼ぶことにする。表示期間 $T s 1$ において、各画素の発光素子 $8 0 4$ は、入力された信号に応じて、発光もしくは非発光の状態となる。

【 0 0 2 9 】

上記動作を全てのサブフレーム期間 $S F 1 \sim S F 4$ について繰り返し、1 フレーム期間 $F 1$ が終了する。ここで、サブフレーム期間 $S F 1 \sim S F 4$ の表示期間 $T s 1 \sim T s 4$ の長さを適宜設定し、1 フレーム期間 $F 1$ あたりで、発光素子 $8 0 4$ が発光したサブフレーム期間の表示期間の累計によって階調を表現する。つまり、1 フレーム期間中の点灯時間の総和をもって階調を表現する。

40

【 0 0 3 0 】

一般に、 n ビットのデジタルビデオ信号を入力して、 2^n 階調を表現する手法について説明する。このとき、例えば、1 フレーム期間を n 個のサブフレーム期間 $S F 1 \sim S F n$ に分割し、各サブフレーム期間 $S F 1 \sim S F n$ の表示期間 $T s 1 \sim T s n$ の長さの比が、 $T s 1 : T s 2 : \dots : T s n - 1 : T s n = 2^0 : 2^{-1} : \dots : 2^{-n+2} : 2^{-n+1}$ となるように設定する。なお、書き込み期間 $T a 1 \sim T a n$ の長さは同じである。

【 0 0 3 1 】

1 フレーム期間中に発光素子 $8 0 4$ において、発光状態が選択された表示期間 $T s$ の総和

50

を求めることによって、そのフレーム期間におけるその画素の階調が決まる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を 100% とすると、 Ts_8 と Ts_7 において画素が発光した場合には 1% の輝度が表現でき、 Ts_6 と Ts_4 と Ts_1 を選択した場合には 60% の輝度が表現できる。(特許文献1参照)

【0032】

なお、ひとつのサブフレーム期間をさらに複数のサブフレーム期間で構成してもよい。

【0033】

ここで表示装置は、その消費電力をできるだけ少なくするよう望まれている。携帯情報機器等に組み込まれ利用される場合、特に消費電力を小さくすることが望まれている。

【0034】

その場合、上述した4ビットの信号を入力して、 2^4 の階調を表現する表示装置においては、上位1ビットの信号のみを用いて階調を表現し、表示装置の消費電力を小さくする手法が用いられていた。(特許文献2参照)

【0035】

【特許文献1】

特開2001-343933号公報

【0036】

【特許文献2】

特開平11-133921号公報

【0037】

【発明が解決しようとする課題】

2^4 の階調を表現する第1の表示モードにおける表示装置の駆動方法を示すタイミングチャートを図1(A)に、上位1ビットの信号のみを用いて階調を表現する第2の表示モードにおける表示装置の駆動方法を示すタイミングチャートを図1(B)に示す。

【0038】

第2の表示モードの場合、サブフレーム期間をひとつ設ければよい。各駆動回路(ソース信号線駆動回路及びゲート信号先駆動回路)に inputs するスタートパルス及びクロックパルスの周波数を小さくすることが可能であり、第1の表示モードで上位1ビットの階調を表現するよりも、消費電力を小さくできる。

【0039】

また、第1の表示モードの書込期間の合計長が、第2の表示モードの書込期間の合計長よりも長い場合、発光素子電圧を表示を行っている期間にあわせて変化させれば、1フレーム期間当たりの有効な表示期間の割合が増える。

【0040】

しかし、このような表示装置では、各駆動回路に入力電圧は第1の表示モードと第2の表示モードと等しく、更なる低消費電力化につながらない。

【0041】

そこで、表現する階調数を減らした駆動を行う場合に、より消費電力が少ない表示装置を提供することを課題とする。

【0042】

【課題を解決するための手段】

本発明の表示装置では、高階調の表示が可能な第1の表示モードと2階調表示ではあるが低消費電力な第2の表示モードの2つを備え、それぞれを切り換えて使用することができる。第1の表示モードに対して第2の表示モードでは、表示装置が有する信号制御回路のメモリコントローラによって、メモリへの下位ビットのデジタルビデオ信号の書き込みを無くす。また、メモリからの下位ビットのデジタルビデオ信号の読み出しを無くす。こうして、各駆動回路は、第1の表示モードにおけるデジタル映像信号に対して、情報量を少なくしたデジタル映像信号をソース信号線駆動回路に入力する。この動作に対応して、ディスプレイコントローラは、各駆動回路(ソース信号線駆動回路及びゲート信号先駆動回路)に入力するスタートパルス及びクロックパルスの周波数を小さく、駆動電圧を低く変

10

20

30

40

50

化させる。これらによって、表示に関与する書き込み期間及び表示期間を長く設定することもでき、消費電力を少なくすることができる。

【0043】

なお2階調表示とは、表示装置がモノクロ表示装置の場合白と黒の2色表示のことを表し、表示装置がカラー表示装置の場合8色表示のことを表す。

【0044】

また、第1の表示モードにくらべて、第2の表示モードは1フレームの期間自体を長く設定することも可能である。また、言うまでもなく、表示内容が確定し、書き込みが必要な期間においては、スタートパルス、クロックパルスは停止させることが可能である。

【0045】

また第2の表示モードで表示装置を駆動する際、ディスプレイコントローラを動作する電圧を低く設定し、ディスプレイコントローラの消費電力を小さくできるようにしてもよい。

【0046】

上記構成によって、第2の表示モードでは、消費電力が少なく、また、有効な表示期間の占める割合が大きい表示装置を提供することができる。

【0047】

本発明の構成を以下に記す。

【0048】

本発明の表示装置は、ディスプレイと、ディスプレイコントローラとを有し、
1フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間を、点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって n (n は2以上の自然数)ビットの階調を表現する第1の手段と、
1フレーム期間をサブフレーム期間に分割せず、前記1フレーム期間を、点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって1ビットの階調を表現し、且つ、前記ディスプレイを前記第1の手段よりも小さいクロック周波数と低い駆動電圧とで動作させる第2の手段を有し、
前記第1及び第2の手段を前記ディスプレイコントローラで制御することを特徴としている。

【0049】

本発明の表示装置は、ディスプレイと、ディスプレイコントローラとを有し、
1フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間を、点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって n (n は2以上の自然数)ビットの階調を表現する第1の手段と、
1フレーム期間をサブフレーム期間に分割せず、前記1フレーム期間を、点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって1ビットの階調を表現し、且つ、前記第1の表示モードより長いフレーム期間を有し、且つ、前記ディスプレイを前記第1の手段よりも小さいクロック周波数と低い駆動電圧とで動作させる第2の手段を有し、
前記第1及び第2の手段を前記ディスプレイコントローラで制御することを特徴としている。

【0050】

本発明の表示装置において、前記表示装置はフレームメモリを有し、前記第1の手段では n (n は2以上の自然数)ビットのデータを書き込み、読み出すことにより表示を行い、前記第2の手段では1ビットのデータを書き込み、読み出すことにより表示を行なうことを特徴としている。

【0051】

本発明の表示装置において、前記表示装置は画素毎に発光素子を有し、前記発光素子には特定の電圧が印加され、前記第1の手段において発光素子に加えられる電圧は、前記第2の手段において前記発光素子に印加される電圧より高いことを特徴としている。

10

20

30

40

50

【0052】

本発明の表示装置において、前記表示装置は画素毎に発光素子を有し、前記発光素子には特定の電流が印加され、前記第1の手段において前記発光素子に加えられる電流は、前記第2の手段において前記発光素子に印加される電流より大きいことを特徴としている。

【0053】

本発明の表示装置において、前記第1の手段は、前記1フレーム期間を書き込み期間、表示期間、消去期間の3期間から構成することを特徴としている。

【0054】

本発明の表示装置において、前記ディスプレイコントローラは、前記第2の手段を用いる際に、前記第1の手段よりも低い電圧で動作することを特徴としている。

10

【0055】

本発明は、ディスプレイと、ディスプレイコントローラとを有した表示装置の駆動方法であって、

1フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間を、点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって n (n は2以上の自然数)ビットの階調を表現する第1の表示モードと

1フレーム期間をサブフレーム期間に分割せず、前記1フレーム期間を、点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって1ビットの階調を表現し、且つ、前記ディスプレイを前記第1のモードよりも小さいクロック周波数と低い駆動電圧とで動作させる第2のモードを有し、

20

前記第1及び第2のモードを前記ディスプレイコントローラで制御することを特徴としている。

【0056】

本発明の表示装置の駆動方法は、ディスプレイと、ディスプレイコントローラとを有した表示装置の駆動方法であって、

1フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間を、点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって n (n は2以上の自然数)ビットの階調を表現する第1の表示モードと、

1フレーム期間をサブフレーム期間に分割せず、前記1フレーム期間を、点灯もしくは非点灯とし、前記1フレーム期間中の点灯時間の総和をもって1ビットの階調を表現し、且つ、前記第1の表示モードより長いフレーム期間を有し、且つ、前記ディスプレイを前記第1のモードよりも小さいクロック周波数と低い駆動電圧とで動作させる第2のモードを有し、

30

前記第1及び第2のモードを前記ディスプレイコントローラで制御することを特徴としている。

【0057】

本発明の表示装置の駆動方法において、前記表示装置はフレームメモリを有し、前記第1の表示モードでは n (n は2以上の自然数)ビットのデータを書き込み、読み出すことにより表示を行い、前記第2の表示モードでは1ビットのデータを書き込み、読み出すことにより表示を行なうことを特徴としている。

40

【0058】

本発明の表示装置の駆動方法において、前記表示装置は画素毎に発光素子を有し、前記発光素子には特定の電圧が印加され、前記第1の表示モードにおいて前記発光素子に加えられる電圧は、前記第2の表示モードにおいて前記発光素子に印加される電圧より高いことを特徴としている。

【0059】

本発明の表示装置の駆動方法において、前記表示装置は画素毎に発光素子を有し、前記発光素子には特定の電流が印加され、前記第1の表示モードにおいて前記発光素子に加えられる電流は、前記第2の表示モードにおいて前記発光素子に印加される電流より大きいことを特徴としている。

50

【0060】

本発明の表示装置の駆動方法において、前記第1の表示モードは、書き込み期間、表示期間、消去期間の3期間からなることを特徴としている。

【0061】

本発明の表示装置の駆動方法において、前記ディスプレイコントローラは、前記第2のモードを用いる際に、前記第1のモードよりも低い電圧で動作することを特徴としている。

【0062】

本発明の表示装置およびその駆動方法において、前記表示装置もしくは前記表示装置の駆動方法を電子機器に使用することを特徴としている。

【0063】

【発明の実施の形態】

本発明の実施の形態について説明する。ここでは、第1の表示モードを従来例と同様に4ビットの例で説明する。

【0064】

本発明の表示装置の駆動方法を示すタイミングチャートを図1に示す。一般に、 n (n は自然数)ビットのデジタルビデオ信号を入力する表示装置において、第1の表示モードにおいては、 n ビットのデジタル映像信号を用いて、 n 個のサブフレーム期間 $S F 1 \sim S F n$ によって 2^n の階調を表現可能であり、切り換え動作によって、第2の表示モードにおいては、1ビットのデジタル映像信号を用いて、2階調を表現する場合についても応用することができる。

【0065】

なお、更に一般的に、 n (n は自然数)ビットのデジタルビデオ信号を入力する表示装置において、第1の表示モードにおいては、 n ビットのデジタル映像信号を入力し、最低 n 個のサブフレーム期間を用いて n 階調を表現可能であり、切り換え動作によって、第2の表示モードにおいては、1ビットのデジタル映像信号を用い、2階調を表現する場合についても応用することができる。ここで、階調数をサブフレームの2のべき乗にしないのは、表示上で擬似輪郭などの対策を行なう為である。この内容は特願2001-257163に記載されている。

【0066】

4ビットの信号を入力して、 2^4 階調を表現する第1の表示モードの場合のタイミングチャートを図1(A)に示す。

【0067】

1フレーム期間を構成するサブフレーム期間 $S F 1 \sim S F 4$ のそれぞれの表示期間において、各画素の発光もしくは非発光状態が選択される。ここで、対向電位は、書き込み期間中は、電源電位とほぼ同じに設定され、表示期間においては、電源電位との間に発光素子が発光する程度の電位差を有するように変化する。この動作については、従来例と同様であるので、詳しい説明は省略する。

【0068】

図1(B)に、上位1ビットの信号のみを用いて階調を表現する第2の表示モードの場合のタイミングチャートを示す。図1(A)に示した第1の表示モードの第1位ビットに対応するサブフレーム期間と比較して、書き込み期間及び表示期間が長く設定されている。

【0069】

そのため、第2の表示モードにおいて、発光状態が選択された発光素子の輝度は、第1の表示モードにおいて、第1位ビットに対応するサブフレーム期間の表示期間において発光状態が選択された発光素子の輝度と比較して、小さくすることができる。よって、第2の表示モードでは、その表示期間において、発光素子の陽極と陰極間に印加する電圧を小さく設定することができる。

【0070】

また、図13に第1の表示モードより第2の表示モードのフレーム期間を長く設定した例を示す。時間階調を用いる場合はフレーム期間はあまり長く設定することはできない。そ

10

20

30

40

50

れはフレーム期間を長くするとそれに比例してサブフレーム期間も長くなり、チラツキが目に見えるようになるためである。よって、第1の表示モードはフレーム期間を長くできない。しかし第2の表示モードは2階調であるので、階調起因のチラツキの問題は発生しない。よって、フレーム期間を決めるのは画素での保持時間によってである。ゆえに、画素の容量を大きくする、リークを減らすなどの方策によって、フレーム期間を長くすることが可能になる。フレーム期間が長くなれば、静止画などでは画面の書き込み回数を削減できる為、低電力化を図ることができる。

【0071】

図3にディスプレイコントローラの構成を示す。図3において、発光素子用電源制御回路305は、発光素子の対向電極の電位(対向電位)を、書き込み期間中は電源電位とほぼ同じ電位に保たれるようにし、表示期間においては電源電位との間に発光素子が発光する程度の電位差を有するように制御している。ここで、第2の表示モードが選択された場合、発光素子用電源制御回路305に階調コントロール信号34が入力される。これによって、発光状態を選択された画素において、発光素子が発光する期間が長くなった分、発光素子の両電極間にかかる電圧が小さくなるように、発光素子の対向電極の電位を変化させる。

10

【0072】

第2の表示モードにおいて、発光素子の両電極間に印加する電圧の大きさを小さくすることができるので、発光素子の、印加される電圧によるストレスを少なくすることができる。

【0073】

20

また、駆動回路用電源制御回路306は、各駆動回路に入力される電源電圧を制御する。ここで、第2の表示モードが選択された場合、駆動回路用電源制御回路306に階調コントロール信号34が入力されることで、出力される駆動回路用電源電圧を変更する。第1の表示モードに比べ第2の表示モードでは各駆動回路のクロックパルスの周波数が小さいため、低い電源電圧で各駆動電圧を動作させることができる。

【0074】

なお、第1の表示モードと第2の表示モードの2つのモードを切り換える表示装置について示したが、第1の表示モードと第2の表示モードの他に、更に細かく、表現する階調の数を変えたモードを設定し、それらの複数の表示モードを切り換えて表示を行う場合に、適用することができる。

30

【0075】

ここで、本発明の表示装置のディスプレイが有する画素部の構成としては、従来例において、図7で示した構成の画素を用いることができる。また、それ以外の公知の構成の画素も、自由に用いることができる。

【0076】

また、発明の表示装置のディスプレイが有するソース信号線駆動回路及びゲート信号線駆動回路についても、公知の構成の回路を自由に用いることができる。

【0077】

また第2の表示モードで表示装置を駆動する際、ディスプレイコントローラを駆動する電圧を低く設定し、ディスプレイコントローラの消費電力を小さくできるようにしてもよい。

40

【0078】

また、本発明は、発光素子として、OLED素子を用いた表示装置だけでなく、FDP、PDP等その他の自発光型表示装置などについても適用が可能である。

【0079】

【実施例】

以下に、本発明の実施例について説明する。

【0080】

(実施例1)

時間階調方式の駆動方法を行うための信号を、ディスプレイのソース信号線駆動回路及び

50

ゲート信号線駆動回路に入力する回路について、図6を用いて説明する。

【0081】

本明細書中では、表示装置に入力される映像信号を、デジタルビデオ信号と呼ぶことにする。なおここでは、4ビットのデジタルビデオ信号を入力して、画像を表示する表示装置を例に説明する。ただし、本発明は4ビットに限定されるものではない。

【0082】

信号制御回路101にデジタルビデオ信号が読み込まれ、ディスプレイ100にデジタル映像信号(VD)を出力する。

【0083】

また、本明細書中では、信号制御回路においてデジタルビデオ信号を編集し、ディスプレイに入力する信号に変換したものを、デジタル映像信号と呼ぶ。

10

【0084】

ディスプレイ100の、ソース信号線駆動回路1107及びゲート信号線駆動回路1108を駆動するための信号および駆動電圧は、ディスプレイコントローラ102によって入力されている。

【0085】

信号制御回路101及びディスプレイコントローラ102の構成について説明する。

【0086】

なお、ディスプレイ100のソース信号線駆動回路1107は、シフトレジスタ1110、LAT(A)1111、LAT(B)1112によって構成される。他に、図示していないが、レベルシフタやバッファ等を設けてもよい。また、本発明はこのような構成に限定するものではない。

20

【0087】

信号制御回路101は、CPU104、メモリA105、メモリB106及びメモリコントローラ103によって構成されている。

【0088】

信号制御回路101に入力されたデジタルビデオ信号は、メモリコントローラ103によって制御されるスイッチを介してメモリA105に入力される。ここで、メモリA105は、ディスプレイ100の画素部1109の全画素分の4ビットのデジタルビデオ信号を、記憶可能な容量を有する。メモリA105に1フレーム期間分の信号が記憶されると、メモリコントローラ103によって、各ビットの信号が順に読み出され、デジタル映像信号VDとして、ソース信号線駆動回路に入力される。

30

【0089】

メモリA105に記憶された信号の読み出しが始まると、今度は、メモリB106にメモリコントローラ103を介して次のフレーム期間に対応するデジタルビデオ信号が入力され、記憶され始める。メモリB106もメモリA105と同様に、表示装置の全画素分の4ビットのデジタルビデオ信号を記憶可能な容量を有するとする。

【0090】

このように、信号制御回路101は、それぞれ1フレーム期間分ずつの4ビットのデジタルビデオ信号を記憶することができるメモリA105及びメモリB106を有し、このメモリA105とメモリB106とを交互に用いて、デジタルビデオ信号をサンプリングする。

40

【0091】

ここでは、2つのメモリA105及びメモリB106を、交互に用いて信号を記憶する信号制御回路101について示したが、一般に、複数フレーム分の情報を記憶することができるメモリを有し、これらのメモリを交互に用いることができる。

【0092】

上記動作を行う、表示装置のブロック図を図4に示す。表示装置は、信号線制御回路101と、ディスプレイコントローラ102と、ディスプレイ100とによって構成されている。

50

【0093】

ディスプレイコントローラ102は、ディスプレイ100に、スタートパルスSPやクロックパルスCLK、駆動電圧を供給している。

【0094】

信号制御回路101は、CPU104と、メモリA105と、メモリB106と、メモリコントローラ103によって構成されている。

【0095】

図4では、4ビットのデジタルビデオ信号を入力し、第1の表示モードにおいて、4ビットのデジタル映像信号を用いて階調を表現する表示装置を例に示している。メモリA105は、デジタルビデオ信号の第1のビット～第4のビットの情報をそれぞれ記憶するメモリ105__1～105__4によって構成されている。同様にメモリB106も、デジタルビデオ信号の第1のビット～第4のビットの情報をそれぞれ記憶するメモリ106__1～106__4によって構成されている。これらの各ビットに対応するメモリはそれぞれ、1ビット分の信号を、1画面を構成する画素数分記憶可能な数の記憶素子を有している。

10

【0096】

一般に、nビットのデジタル映像信号を用いて階調を表現することが可能な表示装置において、メモリA105は、第1のビット～第nのビットの情報をそれぞれ記憶するメモリ105__1～105__nによって構成される。同様に、メモリB106も、第1のビット～第nのビットの情報をそれぞれ記憶するメモリ106__1～106__nのよって構成される。これらの各ビットに対応するメモリは、それぞれ1ビット分の信号を、1画面を構成する画素数分記憶可能な容量を有している。

20

【0097】

メモリコントローラ103の構成を、図2に示す。図2において、メモリコントローラ103は、階調制限回路201、メモリR/W回路202、基準発振回路203、可変分周回路204、xカウンタ205a、yカウンタ205b、xデコーダ206a、yデコーダ206bによって構成されている。

【0098】

図4、図6等において記したメモリA105及びメモリB106等のメモリの両方をまとめてメモリと表記する。また、メモリは、複数の記憶素子によって構成される。それらの記憶素子は、(x、y)のアドレスによって選択されるものとする。

30

【0099】

CPU104からの信号が、階調制限回路201を介して、メモリR/W回路202に入力される。階調制限回路201では、第1の表示モードもしくは第2の表示モードのいずれかに応じて、信号をメモリR/W回路202に入力する。メモリR/W回路202は、階調制限回路201の信号に応じて、各ビットに対応するデジタルビデオ信号それぞれを、メモリに書き込むかどうかを選択する。同様に、メモリに書き込まれたデジタル映像信号を読み出す動作を選択する。

【0100】

また、CPU104からの信号は、基準発振回路203に入力される。基準発振回路203からの信号は、可変分周回路204に入力され、適当な周波数の信号に変換される。ここで、可変分周回路204には、第1の表示モードもしくは第2の表示モードのいずれかに応じた階調制限回路201からの信号が入力されている。この信号によって、可変分周回路204からの信号は、xカウンタ205a及びxデコーダ206aを介してメモリのxアドレスを選択する。同様に、可変分周回路からの信号は、yカウンタ205b及びyデコーダ206bに入力され、メモリyアドレスを選択する。

40

【0101】

このような構成のメモリコントローラ103を用いることで、高階調表示が必要ない場合に、信号制御回路に入力されるデジタルビデオ信号のうち、メモリに書き込まれ、またメモリから読み出される信号の情報量を抑えることができる。また、メモリから信号を読み出す周波数を変化させることができる。

50

【0102】

また、ディスプレイコントローラ102の構成について、以下に説明する。

【0103】

図3は、本発明のディスプレイコントローラの構成を示した図である。ディスプレイコントローラ102は、基準クロック発生回路301、可変分周回路302、水平クロック発生回路303、垂直クロック発生回路304、発光素子用電源制御回路305、駆動回路用電源制御回路306によって構成されている。

【0104】

CPU104から入力されるクロック信号31は、基準クロック発生回路301に入力され、基準クロックを発生する。この基準クロックは、可変分周回路302を介して、水平クロック発生回路303及び垂直クロック発生回路304に入力される。可変分周回路302には、階調コントロール信号34が入力される。この信号によって、基準クロックの周波数を変化させる。

【0105】

可変分周回路302において基準クロックの周波数を変化させる度合いは、実施者が適宜定めることができる。

【0106】

また、水平クロック回路303には、CPU104から水平周期を定める、水平周期信号32が入力され、ソース信号線駆動回路用のクロックパルスSCLK及び、スタートパルスSSPが出力されている。同様に、垂直クロック発生回路304には、CPU104から垂直周期を定める垂直周期信号33が入力され、ゲート信号線駆動回路用のクロックパルスGCLK及びスタートパルスGSPが出力されている。

【0107】

こうして、信号制御回路のメモリコントローラにおいて、メモリからの下位ビットの信号の読み出しを無くし、また、メモリからの信号の読み出しの周波数を小さくする。この動作に対応して、ディスプレイコントローラは、各駆動回路（ソース信号線駆動回路及びゲート信号先駆動回路）に入力するサンプリングパルスSP及びクロックパルスCLKの周波数を小さくし、画像を表現するサブフレーム期間の書き込み期間及び表示期間を長く設定することができる。

【0108】

例えば、第1の表示モードにおいて、1フレーム期間を4つのサブフレーム期間に分割し、それぞれのサブフレーム期間の表示期間 $T_{s1} : T_{s2} : T_{s3} : T_{s4}$ の比を $2^0 : 2^{-1} : 2^{-2} : 2^{-3}$ として、4ビットのデジタル映像信号を用いて、 2^4 の階調を表現する表示装置を考える。簡単にするために、各サブフレーム期間の表示期間 $T_{s1} \sim T_{s4}$ の長さを、8、4、2、1とする。また、各サブフレーム期間の書き込み期間 $T_{a1} \sim T_{a4}$ の長さを1とする。また、第2の表示モードにおいて、上位1ビットの信号を用いて階調を表現する場合を考える。

【0109】

このとき、第2の表示モードにおいて、階調表現に關与するビットに対応する第1の表示モードにおけるサブフレーム期間が、1フレーム期間あたりに占める割合は、 $9/19$ となる。

【0110】

本発明の構成を用いない場合、例えば、図9で示したような従来の駆動方法を用いる場合は、第2の表示モードにおいて、1フレーム期間の内の $10/19$ が、表示に關与しない期間となってしまう。

【0111】

一方、本発明は上記構成によって、第2の表示モードにおいては、ディスプレイの各駆動回路に入力されるクロック信号等の周波数を変化させ、第1の表示モードにおける書き込み期間の $19/9$ 倍の長さの書き込み期間を設定し、同様に表示期間も、第1の表示モードの第1ビットに対応するサブフレーム期間SF1の表示期間 T_{s1} の $19/9$ 倍の長さ

10

20

30

40

50

に設定する。これによって、1フレーム期間を、サブフレーム期間SF1が占めるようにすることができる。こうして、第2の表示モードにおいて、1フレーム期間中において表示に関与しない期間を減らすことができる。

【0112】

こうして、第2の表示モードにおいても、1フレーム期間あたりの発光素子の表示期間を多くとることができる。

【0113】

なお、本実施例では、第1の表示モードで1フレーム期間を4つのサブフレーム期間に分割して、4ビットのデジタル映像信号を用いて、 2^4 の階調をしたが、ひとつのサブフレーム期間をさらに複数のサブフレーム期間で構成してもよい。例えば、1フレーム期間を6つのサブフレーム期間に分割してもよい。

10

【0114】

発光素子用電源制御回路305は、発光素子の対向電極の電位(対向電位)を、書き込み期間中は電源電位とほぼ同じ電位に保たれるようにし、表示期間においては電源電位との間に発光素子が発光する程度の電位差を有するように、制御している。ここで、発光素子用電源制御回路305にも、階調コントロール信号34が入力される。これによって、発光状態を選択された画素において、発光素子が発光する期間が長くなった分、発光素子の両電極間にかかる電圧が小さくなるように、発光素子の対向電極の電位を変化させる。

【0115】

第2の表示モードにおいて、発光素子の両電極間に印加する電圧の大きさを小さくすることができるので、発光素子の、印加される電圧によるストレスを少なくすることができる。

20

【0116】

また、駆動回路用電源制御回路306は、各駆動回路に入力される電源電圧を制御する。ここで、駆動回路用電源制御回路306にも、階調コントロール信号34が入力されることで、出力される駆動回路用電源電圧を変更する。第1の表示モードに比べ第2の表示モードでは各駆動回路のクロックパルスの周波数が小さいため、低い電源電圧で各駆動電圧を動作させることができる。

【0117】

なお、駆動回路用電源制御回路306には、特許第3110257号に開示されている技術など公知の構成のものを用いてもよい。

30

【0118】

また第2の表示モードで表示装置を駆動する際、ディスプレイコントローラの消費電力を小さくできるように、ディスプレイコントローラを駆動する電圧を低く設定できるような手段を有していてもよい。

【0119】

前述した信号制御回路101、メモリコントローラ103、CPU104、メモリ105、106、ディスプレイコントローラ102は、ディスプレイ100と一体化して画素と同一基板上に形成してもよいし、LSIチップで形成しディスプレイ100の基板上にCOGで貼り付けを行なってもよいし、基板上にTABをもちいて貼り付けを行なってもよいし、ディスプレイとは別の基板上に形成し、電気配線にて接続を行なってもよい。

40

【0120】

(実施例2)

本実施例では、本発明の表示装置のソース信号線駆動回路の構成例について説明する。ソース信号線駆動回路の構成例を図15に示す。

【0121】

ソース信号線駆動回路は、シフトレジスタ1501と、走査方向切り換え回路、LAT(A)1502及びLAT(B)1503によって構成されている。なお、図15では、シフトレジスタ1501からの出力の1つに対応する、LAT(A)1502の一部とLAT(B)1503の一部のみを図示するが、シフトレジスタ1501からの全ての出力に対して、同様の構成のLAT(A)1502及びLAT(B)1503が対応する。

50

【 0 1 2 2 】

シフトレジスタ 1 5 0 1 は、クロックインバータ、インバータ、N A N D によって構成されている。シフトレジスタ 1 5 0 7 には、ソース信号線駆動回路用スタートパルス S _ S P が入力され、ソース信号線駆動回路用クロックパルス S _ C L K とその極性が反転した信号であるソース信号線駆動回路用反転クロックパルス S _ C L K B によって、クロックインバータが導通状態、非導通状態と変化することによって、N A N D から順に、L A T (A) 1 5 0 2 にサンプリングパルスを出力する。

【 0 1 2 3 】

また、走査方向切り換え回路は、スイッチによって構成され、シフトレジスタ 1 5 0 1 の操作方向を、図面向かって左右に切り換える働きをする。図 1 5 では、左右切り換え信号 L / R が L o の信号に対応する場合、シフトレジスタ 1 5 0 1 は、図面向かって左から右に順にサンプリングパルスを出力する。一方、左右切り換え信号 L / R が H i の信号に対応する場合、図面向かって右から左に順にサンプリングパルスを出力する。

10

【 0 1 2 4 】

各ステージの L A T (A) 1 5 0 2 は、クロックインバータと、インバータによって構成されている。

【 0 1 2 5 】

ここで、各ステージの L A T (A) 1 5 0 2 とは、1 本のソース信号線に入力する映像信号を取り込む L A T (A) 1 5 0 2 を示すものとする。

【 0 1 2 6 】

ここでは、実施の形態において説明した信号制御回路より出力されたデジタル映像信号は V D は、p 分割 (p は自然数) されて入力される。つまり、p 本のソース信号線への出力に対応する信号が並列に入力される。サンプリングパルスが、バッファを介して、p 個のステージの L A T (A) 1 5 0 2 のクロックインバータに同時に入力されると、p 分割された入力信号は p 個のステージの L A T (A) 1 5 0 2 において、それぞれ同時にサンプリングされる。

20

【 0 1 2 7 】

ここでは、x 本のソース信号線に信号電圧を出力するソース信号線駆動回路を例に説明しているので、1 水平期間あたり、x / p 個のサンプリングパルスが順にシフトレジスタより出力される。各サンプリングパルスに応じて、p 個のステージの L A T (A) 1 5 0 2 は、同時に p 本のソース信号線への出力に対応するデジタル映像信号をサンプリングする。

30

【 0 1 2 8 】

本明細書中では、このようにソース信号線駆動回路に入力するデジタル映像信号を、p 相の並列信号に分割し、p 個のデジタル映像信号を 1 つのサンプリングパルスによって同時に取り込む手法を、p 分割駆動と呼ぶことにする。図 1 5 では 4 分割を行なっている。

【 0 1 2 9 】

上記分割駆動を行うことによって、ソース信号線駆動回路のシフトレジスタのサンプリングにマージンを持たせることができる。こうして表示装置の信頼性を向上させることができる。

40

【 0 1 3 0 】

各ステージの L A T (A) 1 5 0 2 に 1 水平期間の信号がすべて入力されると、ラッチパルス L S 及びその極性が反転した、反転ラッチパルス L S B が入力されて、各ステージの L A T (A) 1 5 0 2 に入力された信号を各ステージの L A T (B) 1 5 0 3 へ一斉に出力する。

【 0 1 3 1 】

なお、ここで各ステージの L A T (B) 1 5 0 3 とは、各ステージの L A T (A) 1 5 0 2 からの信号をそれぞれ入力する、L A T (B) 回路 1 5 0 3 のことを示すとする。

【 0 1 3 2 】

L A T (B) 1 5 0 3 の各ステージは、クロックインバータ及び、インバータによって

50

構成されている。LAT(A)1502の各ステージより出力された信号は、LAT(B)1503に保持されると同時に、各ソース信号線S1～Sxに出力される。

【0133】

なお、ここでは図示しなかったが、レベルシフタやバッファ等を適宜設けても良い。

【0134】

シフトレジスタ1501及びLAT(A)1502、LAT(B)1503に入力されるスタートパルスS_{SP}、クロックパルスS_{CLK}等は、発明の実施の形態で示したディスプレイコントローラから入力されている。

【0135】

本発明では、ビット数の少ないデジタル映像信号を、ソース信号線駆動回路のLAT(A)に入力する動作を、信号制御回路によって行い、同時に、ソース信号線駆動回路のシフトレジスタに入力されるクロックパルスS_{CLK}や、スタートパルスS_{SP}等の周波数を小さくし、ソース信号線駆動回路を動作させる駆動電圧を低くする動作を、ディスプレイコントローラによって行う。

【0136】

こうして、第2の表示モードにおいて、ソース信号線駆動回路がデジタル映像信号をサンプリングする動作を少なくして、表示装置の消費電力を抑えることができる。

【0137】

なお、本発明の表示装置は、本実施例のソース信号線駆動回路の構成に限らず、公知の構成のソース信号線駆動回路を自由に用いることができる。

【0138】

また、ソース信号線駆動回路の構成により、ディスプレイコントローラからソース信号線駆動回路に入力される信号線の数や、駆動電圧の電源線の本数も異なった構成になる。

【0139】

本実施例は、実施例1と自由に組み合わせて実施することが可能である。

【0140】

(実施例3)

本実施例では、本発明の表示装置のゲート信号線駆動回路の構成例について説明する。

【0141】

ゲート信号線駆動回路は、シフトレジスタ、走査方向切り換え回路等によって構成されている。なお、ここでは図示しなかったが、レベルシフタやバッファ等を適宜設けても良い。

【0142】

シフトレジスタには、スタートパルスG_{SP}、クロックパルスG_{CLK}、駆動電圧等が入力されて、ゲート信号線選択信号を出力している。

【0143】

ゲート信号線駆動回路の構成について、図16を用いて説明する。シフトレジスタ3601は、クロックインバータ3602と3603、インバータ3604、NAND3607によって構成されている。シフトレジスタ2601には、スタートパルスG_{SP}が入力され、クロックパルスG_{CLK}とその極性が反転した信号である反転クロックパルスG_{CLKB}によって、クロックインバータ3602及び3603が導通状態、非導通状態と変化することによって、NAND3607から順に、サンプリングパルスを出力する。

【0144】

また、走査方向切り換え回路は、スイッチ3605及びスイッチ3606によって構成され、シフトレジスタの操作方向を、図面向かって左右に切り換える働きをする。図15では、走査方向切り換え信号U/DがLoの信号に対応する場合、シフトレジスタは、図面向かって左から右に順に、サンプリングパルスを出力する。一方、走査方向切り換え信号U/DがHiの信号に対応する場合、図面向かって右から左に順にサンプリングパルスを出力する。

10

20

30

40

50

【0145】

シフトレジスタから出力されたサンプリングパルスは、NOR3608に入力され、イネーブル信号ENBと演算される。この演算は、サンプリングパルスのなまりによって、となり合うゲート信号線が同時に選択される状況を防ぐために行われる。NOR3608から出力された信号は、バッファ3609、3610を介して、ゲート信号線G1~Gyに出力される。

【0146】

なお、ここでは図示しなかったが、レベルシフタやバッファ等を適宜設けても良い。

【0147】

シフトレジスタに入力されるスタートパルスG__SP、クロックパルスG__CLK、駆動電圧等は、実施の形態で示したディスプレイコントローラから入力されている。

10

【0148】

本発明では、第2の表示モードにおいて、ゲート信号線駆動回路のシフトレジスタに入力されるクロックパルスG__CLKや、スタートパルスG__SP等の周波数を小さくし、ゲート信号線駆動回路を動作させる駆動電圧を低くする動作を、ディスプレイコントローラによって行う。

【0149】

こうして、下第2の表示モードにおいて、ゲート信号線駆動回路のサンプリングの動作を少なくし、表示装置の消費電力を抑えることができる。

【0150】

20

なお、本発明の表示装置は、本実施例のゲート信号線駆動回路の構成に限らず、公知の構成のゲート信号線駆動回路を自由に用いることができる。

【0151】

また、ゲート信号線駆動回路の構成により、ディスプレイコントローラからゲート信号線駆動回路に入力される信号線の数や、駆動電圧の電源線の本数も異なった構成になる。

【0152】

本実施例は、実施例1~2と自由に組み合わせて実施することが可能である。

【0153】

(実施例4)

時間階調を用いた表示装置では以上に述べてきた、アドレス期間と表示期間を分離する方式のほかに、書き込みと表示を同時に行なうような駆動方法も提案されている。具体的には図8に示すような画素構成を用いたものが、特開2001-343933に開示されている。この方式では従来のスイッチングTFT、駆動TFTのほかに消去TFTを追加し、階調数を向上させることができる。

30

【0154】

具体的には、ゲート信号線駆動回路を複数もうけて、第1のゲート信号線駆動回路で書き込みを行い、全ラインが書き込み終わる前に第2のゲート信号線駆動回路で消去を行なうものである。4ビット程度では余り効力はないが、階調が6ビット以上になる場合や、擬似輪郭対策でサブフレームを多く増やさねばならない場合には、非常に有効な対策である。本発明はこのような駆動方法をとる表示装置においても適応可能である。

40

【0155】

図10(A)に第1の表示モードで表示を行う場合のタイミングチャートを示す。図10(A)では4ビット目で第2のゲート信号線駆動回路で消去を行って表示期間を短縮している。

【0156】

図10(B)に第2の表示モードで表示を行う場合のタイミングチャートを示す。図10(B)第2のゲート信号線駆動回路で消去を行う必要がないので、第2のゲート信号線駆動回路にスタートパルスG__SP、クロックパルスG__CLKを入力する必要はない。

【0157】

本実施例は実施例1~3と自由に組み合わせることができる。

50

【 0 1 5 8 】

(実施例 5)

また、表示できる階調数は少ないが、実施例 4 と同様にアドレス期間と表示期間を同時に行なう方式も提案されている。この場合のタイミングチャートを図 1 1 に示す。この場合の画素構成は図 7 に示すような従来と同じものである。消去の期間がなく、アドレス期間より短い表示期間が構成できないため、第 1 の表示モードにおける階調数が少ないという欠点があるが、回路構成が簡単にできるため、廉価版の表示装置に適応が可能である。本実施例は実施例 1 ~ 3 と自由に組み合わせることができる。

【 0 1 5 9 】

(実施例 6)

また、以上では時間階調を定電圧駆動、すなわち、画素中の駆動 T F T を線型領域で動作させることにより、外部の電源電圧がそのまま発光素子にかかるように駆動している。しかし、この方式は、発光素子が劣化し、印加電圧対輝度の特性が変化すると、焼きつきになって、表示が悪化すると言う欠点がある。そのため、定電流駆動、すなわち、画素中の駆動 T F T を飽和領域で動作させることにより、駆動 T F T を電流源として使う駆動法がある。この場合においても、駆動 T F T の動作期間を制御することにより、時間階調は可能である。それについての記述は特願 2 0 0 1 - 2 2 4 4 2 2 に記載されているが、本発明はこのような定電流時間階調についても、適応が可能である。図 1 2 に示すのは駆動用 T F T の動作点である。定電流駆動をおこなう場合には動作点 2 7 0 5 があるような飽和領域で、定電圧駆動を行なう場合には動作点 2 7 0 6 があるような線型領域で動作をおこなう。

【 0 1 6 0 】

(実施例 7)

本明細書中では、発光素子は、電界が生じると発光する有機化合物層を、陽極及び陰極で挟んだ構造を有する素子 (O L E D 素子) を示すものとしている。ただし、これに限定されるものではない。

【 0 1 6 1 】

また、本明細書中において、発光素子とは、一重項励起子から基底状態に遷移する際の発光 (蛍光) を利用するものと、三重項励起子から基底状態に遷移する際の発光 (燐光) を利用するものの両方を示すものとしている。

【 0 1 6 2 】

有機化合物層としては、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が挙げられる。発光素子は、基本的に、陽極 / 発光層 / 陰極の順に積み重ねた構造で示されるが、この他に、陽極 / 正孔注入層 / 発光層 / 電子注入層 / 陰極の順に積み重ねた構造や、陽極 / 正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層 / 陰極の順に積み重ねた構造などがある。

【 0 1 6 3 】

なお、有機化合物層は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、有機化合物層は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

【 0 1 6 4 】

また、無機物が混合されていてもよい。

【 0 1 6 5 】

また、O L E D 素子の有機化合物層としては、低分子材料、高分子材料、中分子材料のいずれの材料であってもよい。

【 0 1 6 6 】

なお、本明細書中において、中分子材料とは、分子数が 2 0 以下または連鎖する分子の長さが 1 0 μ m 以下で、昇華性を有さないものとする。(実施例 8)

本実施例では、本発明の表示装置を利用した電子機器について図 1 4 を用いて説明する。

10

20

30

40

50

【0167】

図14(A)に本発明の表示装置を用いた携帯情報端末の模式図を示す。携帯情報端末は、本体2701a、操作スイッチ2701b、電源スイッチ2701c、アンテナ2701d、表示部2701e、外部入力ポート2701fによって構成されている。本発明の表示装置は、表示部2701eに用いることができる。

【0168】

図14(B)に本発明の表示装置を用いたパーソナルコンピュータの模式図を示す。パーソナルコンピュータは、本体2702a、筐体2702b、表示部2702c、操作スイッチ2702d、電源スイッチ2702e、外部入力ポート2702fによって構成されている。本発明の表示装置は、表示部2702cに用いることができる。

10

【0169】

図14(C)に本発明の表示装置を用いた画像再生装置の模式図を示す。画像再生装置は、本体2703a、筐体2703b、記録媒体2703c、表示部2703d、音声出力部2703e、操作スイッチ2703fによって構成されている。本発明の表示装置は、表示部2703dに用いることができる。

【0170】

図14(D)に本発明の表示装置を用いたテレビの模式図を示す。テレビは、本体2704a、筐体2704b、表示部2704c、操作スイッチ2704dによって構成されている。本発明の表示装置は、表示部2704cに用いることができる。

【0171】

図14(E)に本発明の表示装置を用いたヘッドマウントディスプレイの模式図を示す。ヘッドマウントディスプレイは、本体2705a、モニター部2705b、頭部固定バンド2705c、表示部2705d、光学系2705eによって構成されている。本発明の表示装置は、表示部2705dに用いることができる。

20

【0172】

図14(F)に本発明の表示装置を用いたビデオカメラの模式図を示す。ビデオカメラは、本体2706a、筐体2706b、接続部2706c、受像部2706d、接眼部2706e、バッテリー2706f、音声入力部2706g、表示部2706hによって構成されている。本発明の表示装置は、表示部2706hに用いることができる。

【0173】

本発明は、上記応用電子機器に限定されず、様々な電子機器に応用することができる。

30

【0174】

本実施例は、実施例1～実施例3と自由に組み合わせて実施することが可能である。

【0175】

【発明の効果】

本発明は、上記構成によって、表示装置の消費電力を抑えることができる。且つ、第2の表示モードにおいて、1フレーム期間あたりの表示期間を長くとることが可能となり、鮮明な画像表示が可能な表示装置を提供することが可能となる。

【0176】

また、1フレーム期間あたりの発光素子の表示期間を多くとることができるので、1フレームあたりで同じ明るさを表現する場合、発光素子の陽極と陰極間に印加する電圧を小さく設定することができる。こうして、信頼性の高い表示装置を提供することが可能となる。

40

【0177】

本発明は、発光素子として、OLED素子を用いた表示装置だけでなく、FDP、PDP等その他の自発光型表示装置などについても適用が可能である。

【図面の簡単な説明】

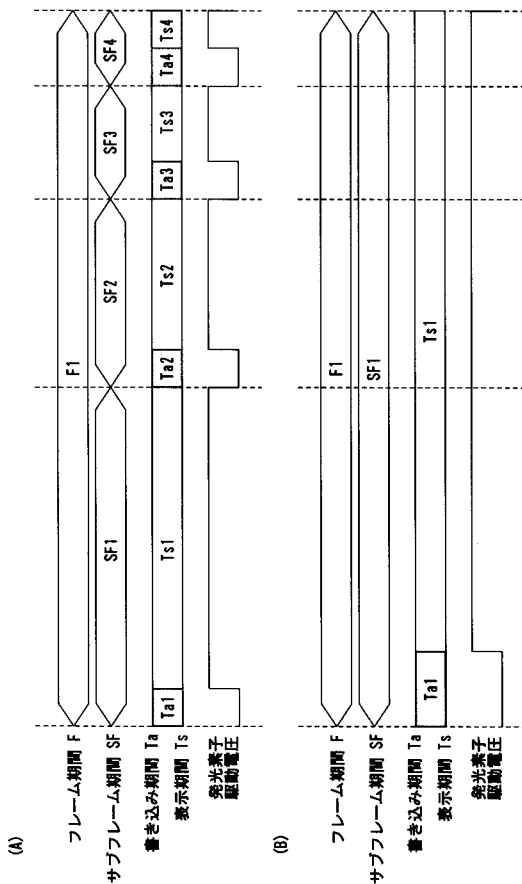
【図1】 本発明および従来の表示装置の駆動方法を示すタイミングチャートを示す図。

【図2】 本発明の表示装置のメモリコントローラの構成を示す図。

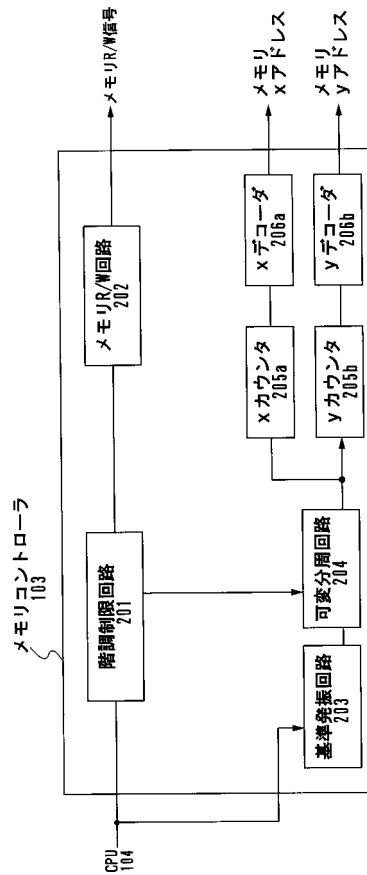
50

- 【図 3】 本発明の表示装置のディスプレイコントローラの構成を示す図。
- 【図 4】 本発明の表示装置の構成を示すブロック図。
- 【図 5】 時間階調方式の駆動方法を示すタイミングチャートを示す図。
- 【図 6】 本発明の表示装置の構成を示すブロック図。
- 【図 7】 表示装置の画素部の構成を示す図。
- 【図 8】 表示装置の画素の構成を示す図。
- 【図 9】 実施例 1 で使用する従来の表示装置の駆動方法を示すタイミングチャートを示す図。
- 【図 10】 本発明の表示装置の駆動方法を示すタイミングチャートを示す図。
- 【図 11】 本発明の表示装置の駆動方法を示すタイミングチャートを示す図。
- 【図 12】 本発明の駆動 T F T の動作条件を示す図。
- 【図 13】 本発明の表示装置の駆動方法を示すタイミングチャートを示す図。
- 【図 14】 本発明の表示装置を用いた電子機器を示す図。
- 【図 15】 本発明の表示装置のソース信号線駆動回路の構成を示す図。
- 【図 16】 本発明の表示装置のゲート信号線駆動回路の構成を示す図。
- 【図 17】 従来のディスプレイの構成を示すブロック図。

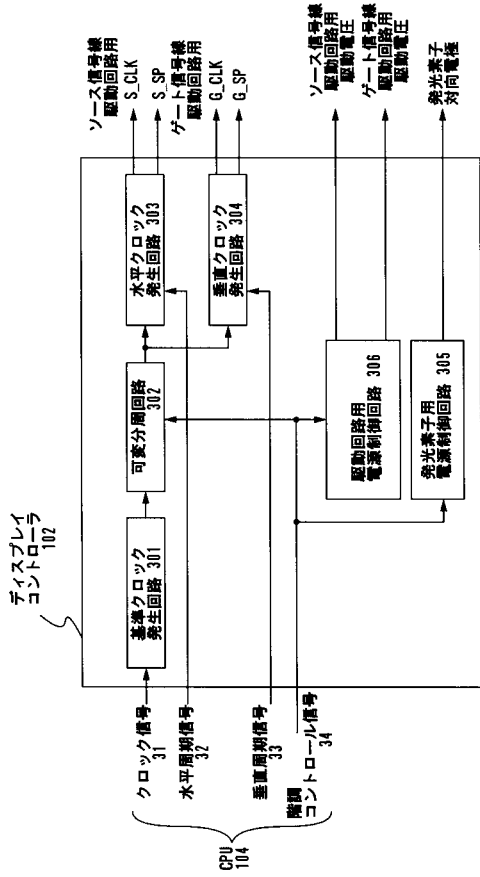
【図 1】



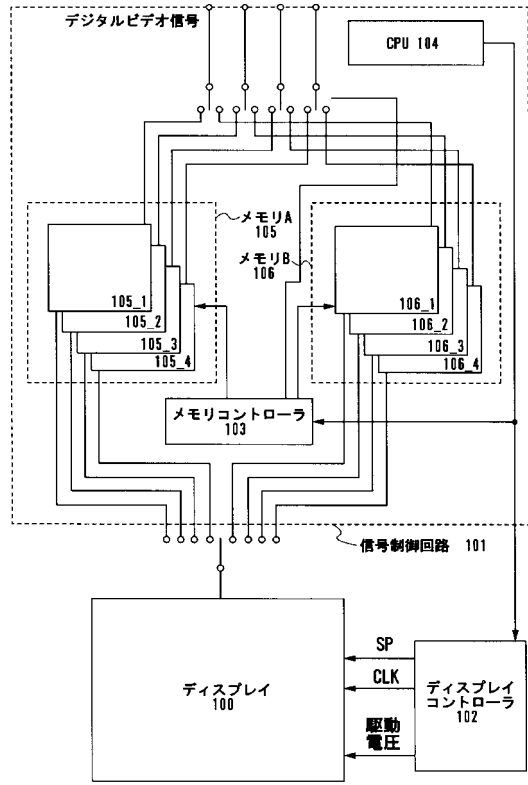
【図 2】



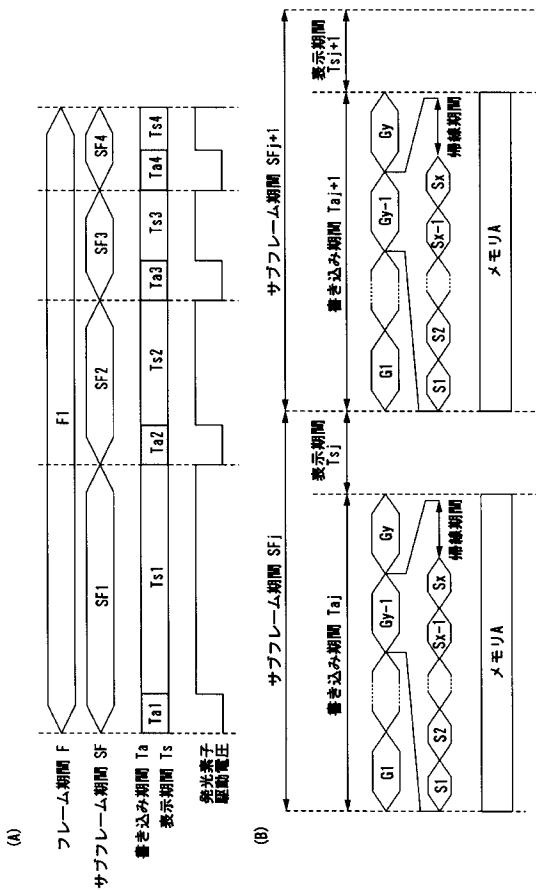
【図3】



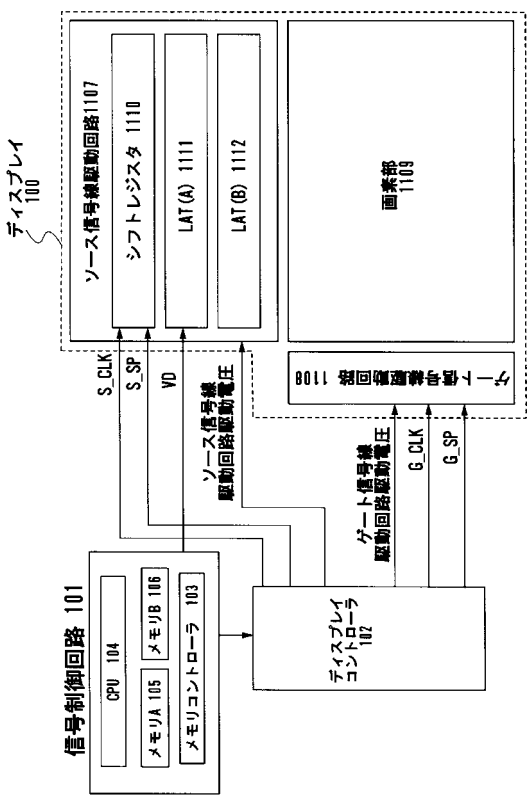
【図4】



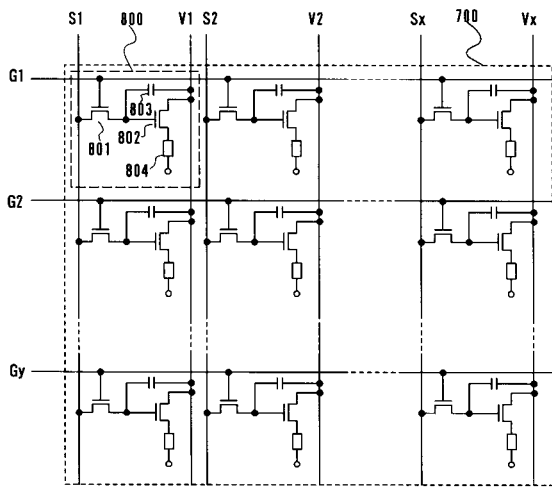
【図5】



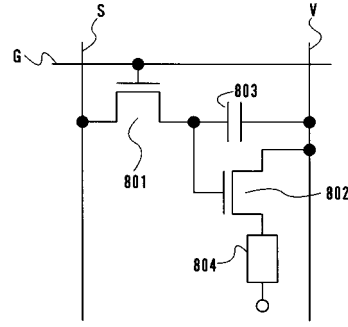
【図6】



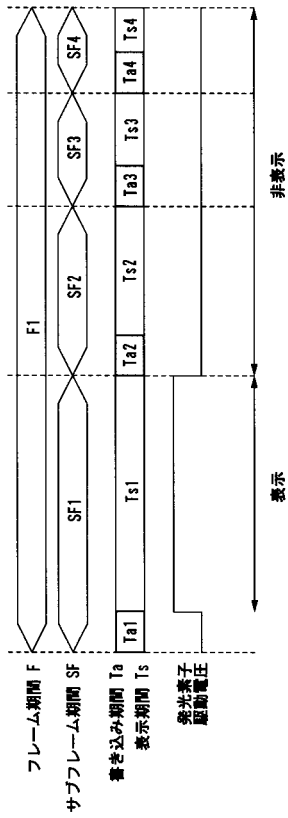
【図 7】



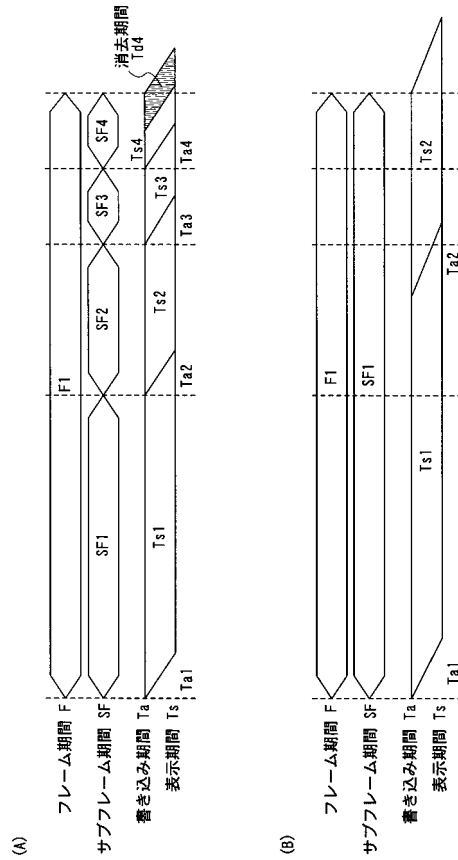
【図 8】



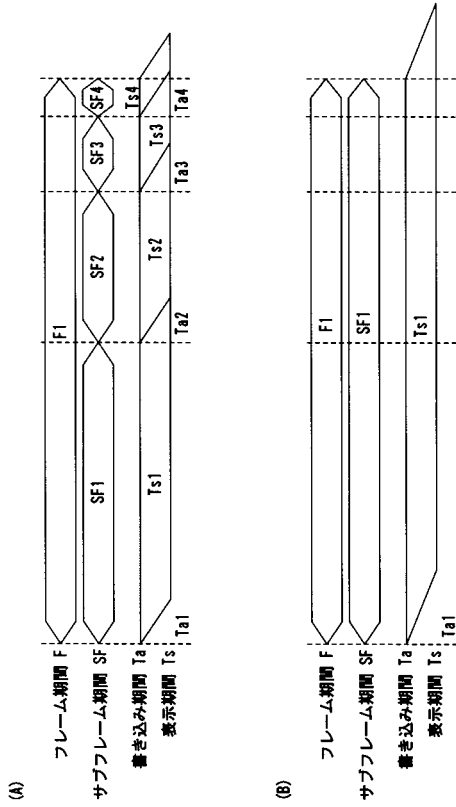
【図 9】



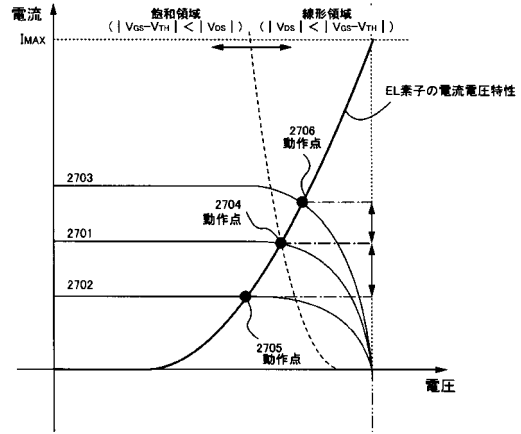
【図 10】



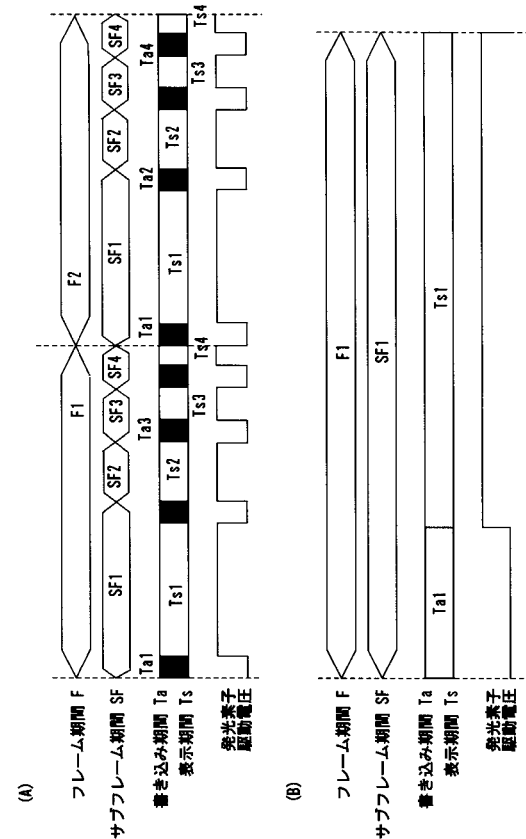
【図11】



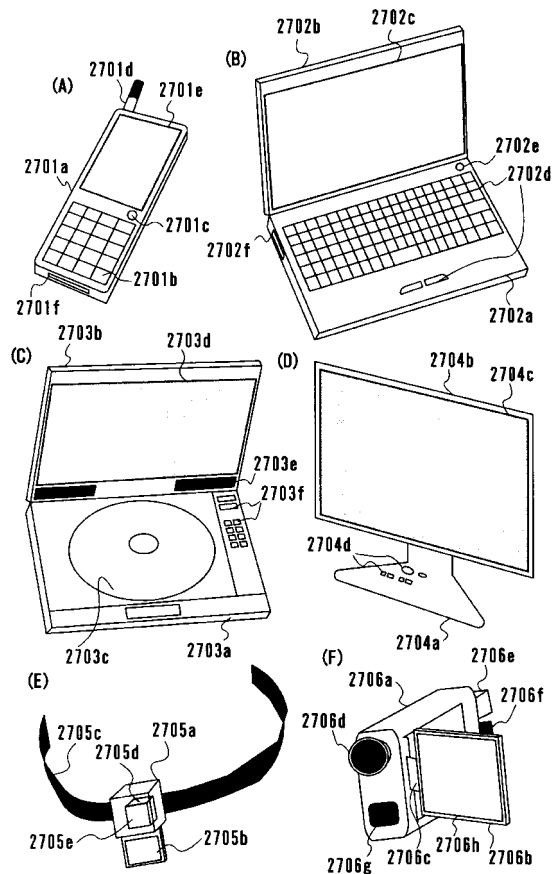
【図12】



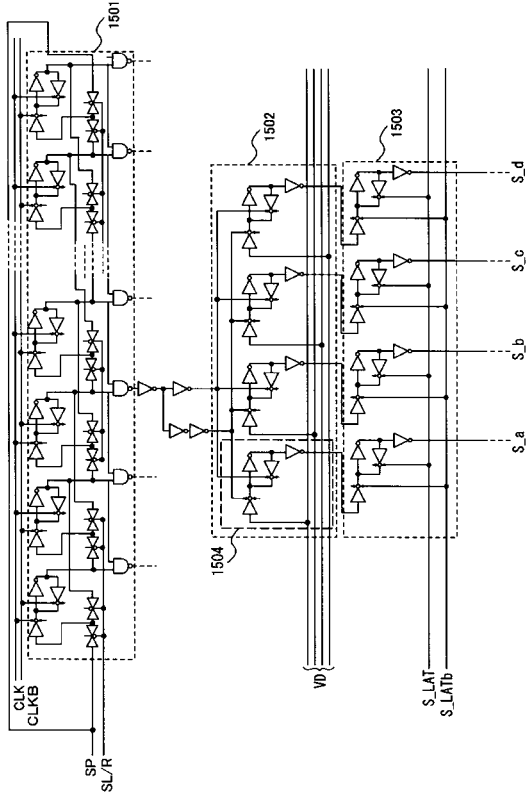
【図13】



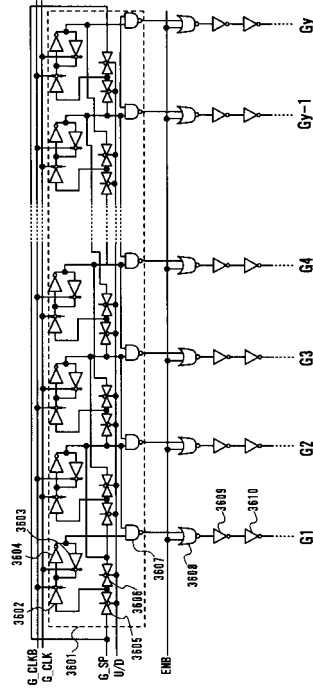
【図14】



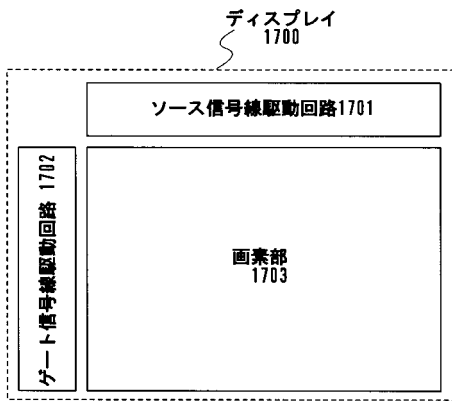
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 E
H 0 5 B 33/14 A

合議体

審判長 下中 義之

審判官 高 木 真顕

審判官 森 雅之

(56)参考文献 特開2003-5708(JP,A)
欧州特許出願公開第1251481(EP,A2)
特開2002-149119(JP,A)
特開平11-133921(JP,A)
特開平9-127907(JP,A)
特開平11-3063(JP,A)
特開2002-26801(JP,A)
特開2002-261242(JP,A)
特開平10-31531(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30

G09G 3/20

H05B 33/14