



(12) 发明专利

(10) 授权公告号 CN 102790171 B

(45) 授权公告日 2016. 06. 29

(21) 申请号 201210143618. 4

(22) 申请日 2012. 05. 09

(30) 优先权数据
2011-112219 2011. 05. 19 JP

(73) 专利权人 索尼公司
地址 日本东京

(72) 发明人 大森广之 细见政功 别所和宏
肥后丰 山根一阳 内田裕行
浅山徹哉

(74) 专利代理机构 北京康信知识产权代理有限
责任公司 11240
代理人 余刚 吴孟秋

(51) Int. Cl.
H01L 43/08(2006. 01)

(56) 对比文件
CN 1308317 A, 2001. 08. 15,

US 2005/0045931 A1, 2005. 03. 03,
CN 1726601 A, 2006. 01. 25,
CN 101689599 A, 2010. 03. 31,
CN 101145351 A, 2008. 03. 19,

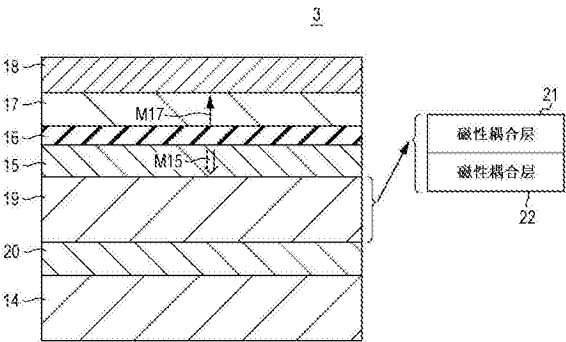
审查员 王朝政

权利要求书2页 说明书15页 附图10页

(54) 发明名称
存储元件和存储装置

(57) 摘要

本发明公开了存储元件和存储装置,该存储元件包括存储层,利用磁性物质的磁化状态来保持信息;磁化固定层,具有用作存储在存储层中的信息的基准的磁化;中间层,设置于存储层和磁化固定层之间并且由非磁性物质形成;磁性耦合层,被设置为邻接于磁化固定层并且与中间层相对;以及高矫顽力层,被设置为邻接于磁性耦合层,其中,通过利用伴随着在包括存储层、中间层和磁化固定层的层结构的层压方向上流动的电流所产生的自旋扭矩磁化反转,使存储层的磁化反转来存储信息,以及磁性耦合层为两层层压结构。



1. 一种存储元件,包括:

存储层,所述存储层利用磁性物质的磁化状态来保持信息;

磁化固定层,所述磁化固定层具有用作存储在所述存储层中的信息的基准的磁化;

中间层,所述中间层设置于所述存储层和所述磁化固定层之间并由非磁性物质形成;

磁性耦合层,被设置为邻接于所述磁化固定层并且与所述中间层相对;以及

高矫顽力层,被设置为邻接于所述磁性耦合层,

其中,通过利用伴随着在包括所述存储层、所述中间层和所述磁化固定层的层结构的层压方向上流动的电流所产生的自旋扭矩磁化反转,使所述存储层的磁化反转来存储所述信息,以及

所述磁性耦合层为两层层压结构。

2. 根据权利要求1所述的存储元件,

其中,所述存储层和所述磁化固定层包含作为主要成分的Fe、Co和Ni中的至少一种,以及

按原子计5%以上且30%以下的B和C中的至少一种。

3. 根据权利要求2所述的存储元件,

其中,所述存储层和所述磁化固定层在与所述中间层的界面的附近包含按原子计至少30%的Fe。

4. 根据权利要求2所述的存储元件,

其中,所述磁性耦合层的所述两层中的所述高矫顽力层侧的层由Ru、Re和Os中的至少一种形成。

5. 根据权利要求4所述的存储元件,

其中,所述磁性耦合层的所述两层中的所述磁化固定层侧的层由Cu、Ag、Au、Ta、Zr、Nb、Hf、W、Mo和Cr中的至少一种形成。

6. 根据权利要求4所述的存储元件,

其中,所述磁性耦合层的所述两层中的所述磁化固定层侧的层由Ta、Zr、Nb、Hf、W、Mo和Cr中的至少一种形成,以及

该层的厚度是0.05nm~0.3nm。

7. 根据权利要求4所述的存储元件,

其中,所述磁性耦合层的所述两层中的所述磁化固定层侧的层由Cu、Ag和Au中的至少一种形成,以及

该层的厚度是0.1nm~0.5nm。

8. 根据权利要求4所述的存储元件,

其中,所述磁性耦合层的所述两层中的所述高矫顽力层侧的层的厚度是0.5nm~0.9nm。

9. 一种存储装置,包括:

存储元件,利用磁性物质的磁化状态来保持信息;以及

互相交叉的两种类型的配线,

其中,所述存储元件包括

存储层,所述存储层利用磁性物质的磁化状态来保持信息;

磁化固定层,所述磁化固定层具有用作存储在所述存储层中的信息的基准的磁化;
中间层,所述中间层设置于所述存储层和所述磁化固定层之间并由非磁性物质形成;
磁性耦合层,被设置为邻接于所述磁化固定层并且与所述中间层相对;以及
高矫顽力层,被设置为邻接于所述磁性耦合层,

其中,通过利用伴随着在包括所述存储层、所述中间层和所述磁化固定层的层结构的层压方向上流动的电流所产生的自旋扭矩磁化反转,使所述存储层的磁化反转来存储所述信息,以及

所述磁性耦合层为两层层压结构,

所述存储元件设置于所述两种类型的配线之间,以及

所述层压方向上的电流经由所述两种类型的配线在所述存储元件中流动,由此实现所述自旋扭矩磁化反转。

存储元件和存储装置

技术领域

[0001] 本发明涉及包括利用铁磁性层的磁化状态存储信息的存储层和磁化方向固定的磁化固定层的存储元件和配备有该存储元件的存储装置,其中该存储层的磁化方向通过流动电流来改变。

背景技术

[0002] 关于诸如计算机的信息装置,具有高速运作和高密度的DRAM已经广泛地用作随机存取存储器。

[0003] 然而,动态随机存取存储器(DRAM)是当电源切断时信息消失的易失性存储器。因此,期望信息不消失的非易失性存储器。

[0004] 对于非易失性存储器的候补对象,通过磁性物质的磁化来存储信息的磁性随机存取存储器(MRAM)已经受到关注并且已经被开发出。

[0005] 关于MRAM的存储方法,如例如在日本未审查专利申请公开第2004-193595号中所记载的,利用在两个磁性物质之间流动的自旋扭矩(spin torque)使担当存储的磁性物质的磁化反转的自旋扭矩MRAM已经受到关注,这是因为其结构相对简单并且重写次数大。

[0006] 在很多情况下,以与MRAM相同的方式,基于磁性隧道结(MTJ)形成利用自旋扭矩磁化反转的存储元件。该构造利用以下的事实:当流过固定在某一方向上的磁性层的自旋极化电子进入其他自由(方向未被固定)的磁性层时,扭矩被赋予到该磁性层(这可被称为自旋转移扭矩),并且当流过大于或等于某一阈值的电流时自由磁性层被反转。0/1的重写通过改变电流的极性来执行。

[0007] 对于大约 $0.1\mu\text{m}$ 尺度的元件,用于反转的电流的绝对值是 1mA 以下。另外,该电流值与元件体积成比例减小,因此,可以进行缩放(scaling)。而且,MRAM所需的用于生成存储器的电流磁场的字线不是必要的,因此,具有单元结构变得简单的优点。

[0008] 此后,利用自旋扭矩磁化反转的MRAM被称为“自旋扭矩MRAM”或“自旋扭矩磁性随机存取存储器(ST-MRAM)”。自旋扭矩磁化反转可被称为自旋注入(injection)磁化反转。

[0009] 对于ST-MRAM,已经开发出如在例如日本未审查专利申请公开第2004-193595号中记载的利用面内磁化的那些以及如在例如日本未审查专利申请公开第2009-081215号中记载的利用垂直磁化的那些。

[0010] 关于利用面内磁化的ST-MRAM,材料的自由度高,并且用于固定磁化的方法相对简单。然而,在使用垂直磁性膜的情况下,局限于具有垂直磁性各向异性的材料。

[0011] 近年来,如在例如Nature Materials., Vol 9, p.721(2010)中记载的,利用在Fe和氧化物之间的晶体界面出现的垂直磁性各向异性的界面各向异型垂直磁性膜受到关注。在利用界面各向异性的情况下,垂直磁性膜可以通过使用FeCoB合金作为磁性物质以及MgO作为氧化物来获得,并且可以确保高磁致电阻比(MR比)和垂直磁化之间的并存性,使得有望具有存储层和磁化固定层。因此,期望关于垂直磁化型自旋扭矩MRAM的应用。

发明内容

[0012] 顺便提及,为了使用上述用于自旋扭矩MRAM的界面各向异向型的材料,认为至少磁化固定层的磁性物质的矫顽力充分大于存储层的矫顽力是必要的。为了增大磁化固定层的矫顽力,可通过使具有大的磁晶各向异性的高矫顽力层与磁化固定层磁性耦合来增强磁化固定层的矫顽力。此外,优选地,在磁化固定层和高矫顽力层之间插入具有用于形成强磁性耦合的合适厚度的磁性耦合层,以使磁化固定层与高矫顽力层以反平行的方式进行磁性耦合,因为来自磁化固定层和高矫顽力层的漏磁场互相抵消,所以减小了对存储层的磁性影响。然而,如果高矫顽力层和磁性耦合层层叠在磁化固定层上,则与仅有磁化固定层的情况相比,产生MR比减小以及耐热温度减小等的影响。

[0013] 期望的是,关于自旋扭矩MRAM,具有大的垂直矫顽力和良好耐热性(热稳定性)的垂直磁化固定层被实现以执行稳定的操作。

[0014] 根据本发明的实施方式的存储元件包括存储层,利用磁性物质的磁化状态来保持信息;磁化固定层,具有用作存储在上述存储层中的信息的基准的磁化;中间层,设置于上述存储层和上述磁化固定层之间并且由非磁性物质形成;磁性耦合层,被设置为邻接于上述磁化固定层并且与上述中间层相对;以及高矫顽力层,被设置为邻接于上述磁性耦合层,其中,通过利用伴随着在包括上述存储层、上述中间层和上述磁化固定层的层结构的层压方向上流动的电流所产生的自旋扭矩磁化反转,使上述存储层的磁化反转来存储信息,以及上述磁性耦合层为两层层压结构。

[0015] 根据本发明实施方式的存储装置配备有利用磁性物质的磁化状态来保持信息的存储元件;以及互相交叉的两种类型的配线,其中上述存储元件包括存储层,该存储层利用磁性物质的磁化状态来保持信息;磁化固定层,具有用作存储在上述存储层中的信息的基准的磁化;中间层,其设置于上述存储层和上述磁化固定层之间并且由非磁性物质形成;磁性耦合层,被设置为邻接于上述磁化固定层并且与上述中间层相对;以及高矫顽力层,被设置为邻接于上述磁性耦合层,其中,通过利用伴随着在包括上述存储层、上述中间层和上述磁化固定层的层结构的层压方向上流动的电流所产生的自旋扭矩磁化反转,使上述存储层的磁化反转来存储信息,以及上述磁性耦合层为两层层压结构,上述存储元件设置于上述两种类型的配线之间,上述层压方向上的电流经由上述两种类型的配线在上述存储元件中流动,由此实现自旋扭矩磁化反转。

[0016] 在根据本发明的实施方式中,如上所述,存储元件被指定为具有其中磁性耦合层被设置为邻接于磁化固定层并且与中间层相对以及高矫顽力层被设置为邻接于磁性耦合层的结构,从而,元件具有增强的矫顽力和良好的热稳定性。

[0017] 根据本发明的实施方式,容易地获得具有垂直磁性各向异性的存储元件,并且充分地确保了用作信息保持能力的热稳定性,使得存储元件被构造为具有特性之间的良好平衡。所以,操作错误减少并且充分地获得存储元件的操作余量(margin)。

[0018] 因此,实现了稳定操作的高可靠性存储器。

[0019] 此外,可以减小重写电流,从而降低在存储元件中进行重写时的功耗。

[0020] 结果,降低整个存储装置的功耗变得可行。

附图说明

- [0021] 图1是根据实施方式的存储装置的构造的示意性透视图；
- [0022] 图2是根据实施方式的存储装置的截面图；
- [0023] 图3是示出了根据实施方式的存储元件的层压结构的截面图；
- [0024] 图4A至图4E是实验中所用的样本的层压结构的说明图；
- [0025] 图5是示出了磁性耦合层(Ru)的厚度和磁化反转的变化幅度之间关系的示图；
- [0026] 图6是示出了磁性耦合层(Ru)的厚度和磁化反转的变化幅度之间关系的示图，其中设置有磁性耦合层(Ru)和磁性耦合层(Ta)两层。
- [0027] 图7是示出了磁性耦合层(Ru)的厚度和磁性耦合层(Ta)的厚度的变化与磁化反转的磁场的幅度之间的关系关系的示图；
- [0028] 图8是示出了在300°C下进行加热处理之后磁性耦合层(Ta)的厚度和磁性耦合层(Ru)的厚度的变化与磁化反转的磁场的幅度之间的关系关系的示图，其中磁性耦合层(Ta)中的材料元素从Ta变为例如Cr；
- [0029] 图9是示出了在350°C下进行热处理之后，磁性耦合层(Ta)的厚度和磁性耦合层(Ru)的厚度的变化与磁化反转的磁场的幅度之间的关系关系的示图，其中磁性耦合层(Ta)中的材料的元素从Ta变为例如Cr；
- [0030] 图10是示出了磁性耦合层(Ta)的厚度和磁性耦合层(Ru)的厚度的变化与磁化反转的磁场的幅度之间关系的示图，其中磁性耦合层(Ta)中的材料的元素从Ta变为例如Cr；
- [0031] 图11是用于测量磁致电阻比(MR比)的样本的层压结构的示图。

具体实施方式

- [0032] 下面，将以以下顺序对根据本发明的实施方式进行了描述。
- [0033] 1. 根据实施方式的存储装置的构造
- [0034] 2. 根据实施方式的存储元件的概要
- [0035] 3. 实施方式的具体构造
- [0036] 4. 关于实施方式的实验
- [0037] 1. 根据实施方式的存储装置的构造
- [0038] 首先，将描述根据本发明实施方式的存储装置的构造。
- [0039] 图1和图2是存储装置(ST-MRAM)的示意图。图1是透视图，以及图2是截面图。
- [0040] 如图1中所示，构成用于选择各个存储元件3的选择晶体管的漏极区8、源极区7和栅电极1设置在由诸如硅基板的半导体基体10上的元件分离层2分开的各个部分中。其中，栅电极1还用作在图1中前后方向延伸的字线。
- [0041] 漏极区8被设置为在图2中的右选择晶体管和左选择晶体管之间共用，并且配线9连接至漏极区8。
- [0042] 具有存储层的存储元件3设置在源极区7和位线6之间，其中位线设置在上方并且在图1中的左右方向上延伸，并且存储层的磁化方向通过自旋扭矩磁化反转来反转。该存储元件3由例如磁性隧道结元件(MTJ元件)形成。
- [0043] 如图2中所示，存储元件3包括两个磁性层15和17。关于这两个磁性层15和17，一个

磁性层被指定为磁化M15的方向是固定的磁化固定层15。另一个磁性层被指定为磁性自由层,即,磁化M17的方向是变化的存储层17。

[0044] 存储元件3分别利用上接触层4和下接触层4连接至位线6和源极区7。

[0045] 因此,电流可以流到存储元件3,从而,存储层17的磁化M17的方向通过自旋注入而被反转。

[0046] 关于这种存储装置,必须以小于或等于选择晶体管的饱和电流的电流来执行写入。已知的是,晶体管的饱和电流随着小型化而减小。因此,通过提高自旋转移的效率使流过存储元件3的电流减小有利于存储装置的小型化。

[0047] 为了增强读取信号,必须确保磁致电阻比。为此,采用上述MTJ结构是有效的,即,存储元件3具有用作隧道绝缘层(隧道势垒层)的中间层设置在两个磁性层15和17之间的构造。

[0048] 在隧道绝缘层用作中间层的情况下,如上所述,要限制流入存储元件3的电流,以防止隧道绝缘层的电介质击穿。即,优选地,关于存储元件3的反复写入,从确保可靠性的观点来看,抑制自旋扭矩磁化反转所需的电流。在这点上,自旋扭矩磁化反转所需的电流也可以称为反转电流,记录电流等。

[0049] 存储装置是非易失性存储器,因此,通过电流写入的信息被稳定地存储是必须的。即,必须确保存储层对磁化的热波动具有稳定性(热稳定性)。

[0050] 如果存储层的热稳定性未被确保,则由于热(操作环境的温度)而使反转的磁化的方向被再次反转,从而导致写入错误。

[0051] 本存储装置中的存储元件3(ST-MRAM)具有缩放的优点,即,与现有技术的MRAM相比,体积可以减小。然而,当其他特性相同时,体积的减小可降低热稳定性。

[0052] 在增大ST-MRAM的容量的情况下,存储元件3的体积被进一步减小,因此,期望确保热稳定性。

[0053] 因此,关于ST-MRAM中的存储元件3,热稳定性是非常重要的特性,并且期望以甚至在体积减小时热稳定性也被确保的这种方式设计。

[0054] 2. 根据实施方式的存储元件的概要

[0055] 接下来,将描述根据本发明实施方式的存储元件的概要。

[0056] 在根据本发明的该实施方式中,通过利用上述自旋扭矩磁化反转使存储元件的存储层的磁化方向反转来记录信息。

[0057] 存储层由包括铁磁性层的磁性物质形成并且利用磁性物质的磁化状态(磁化方向)来保持信息。

[0058] 存储元件3被指定为具有例如层压结构,其中层压结构的示例在图3中示出,并且存储元件3设置有用作至少两个铁磁性层的存储层17和磁化固定层15以及两个磁性层之间的中间层16。

[0059] 存储层17具有垂直于膜面的磁化,并且磁化方向根据信息而变化。

[0060] 磁化固定层15具有垂直于用作存储层17中存储的信息的基准的膜面的磁化。

[0061] 中间层16被指定为是由例如非磁性物质形成的绝缘层,并且设置在存储层17和磁化固定层15之间。

[0062] 然后,在包括存储层17、中间层16和磁化固定层15的层压结构的层压方向上注入

自旋极化电子,从而存储层17的磁化方向被改变,使得信息记录入存储层17中。

[0063] 这里将简要地描述自旋扭矩磁化反转。

[0064] 电子具有两种类型的自旋角动量。它们被假设成定义为向上指向和向下指向。在非磁性物质的内部,两者的数量是相同的,而在铁磁性物质内两者的数量是不同的。考虑这样的情况,其中关于作为构成存储元件3的两层铁磁性物质的磁化固定层15和存储层17,在磁矩的方向彼此相反时,电子从磁化固定层15移动到存储层17。

[0065] 磁化固定层15是固定磁性层,其中由于高矫顽力而使得磁矩的方向被固定。

[0066] 关于穿过磁化固定层15的电子,出现自旋极化,即,出现向上指向和向下指向的数量之间的差异。在用作非磁性层的中间层16的厚度充分小的情况下,在由于穿过磁化固定层15发生的自旋极化衰减以及通常的非磁性物质的非极化(向上指向和向下指向的数量相同)状态到达之前,电子到达另一磁性物质,即,存储层17。

[0067] 在存储层17中,自旋极化度的符号是相反的,因此,为了减少系统的能量,一部分电子被反转,即,自旋角动量的方向被改变。此时,系统的总角动量守恒,因此,等同于由于转向的电子导致的角动量的总变化的反作用也赋予给存储层17的磁矩。

[0068] 在电流(即,单位时间内流过的电子数量)较小的情况下,转向的电子的总数量也较小,使得存储层17的磁矩中产生的角动量的变化较小。然而,通过增加电流使单位时间内角动量有大的变化。

[0069] 随着角动量的时间变化的是扭矩。如果扭矩超过某一阈值,则存储层17的磁矩开始旋进,并且由于当被转向180度时其单轴各向异性而变得稳定。即,发生从反方向状态到正方向状态的反转。

[0070] 在磁化是处于正方向状态的情况下,反过来,如果电流在电子从存储层17传送到磁化固定层15的方向上流动,则在磁化固定层15处被反射时经受自旋反转的电子,在进入存储层17时提供扭矩,从而磁矩可以被反转到反方向状态。然而,此时,实现反转所需的电流流量大于从反方向状态到正方向状态的情况下所需的电流流量。

[0071] 磁矩从正方向状态到反方向状态的反转难以直观地去理解。然而,可以这种方式考虑,由于磁化固定层15被固定而磁矩未被反转,而存储层17被反转以使整个系统的角动量守恒。以此方式,通过根据在从磁化固定层15到存储层17的方向或相反的方向上的各个极化,使流过大于或等于一定阈值的电流,来记录0/1。

[0072] 通过以与现有技术中MRAM的相同方式使用磁致电阻效应,来读取信息。即,以与上述记录的情况下相同的方式,在垂直于膜面的方向上流动电流。然后,利用其中由元件所表现出的电阻根据存储层17的磁矩相对于磁化固定层15的磁矩是在正方向还是反方向而变化的现象。

[0073] 磁化固定层15和存储层17之间的中间层16所使用的材料可以是金属或绝缘物质。然而,在绝缘物质用作中间层的情况下,获得更高的读取信号(电阻的变化速率),另外,以更低的电流执行记录。此时的元件被称为磁性隧道结(MTJ)。

[0074] 利用自旋扭矩磁化反转使磁性层的磁化方向反转时所需的电流的阈值 I_c 根据磁性层的磁化容易轴是在面内方向还是在垂直方向上是不同的。

[0075] 根据本实施方式的存储元件是垂直磁化型。关于现有技术中的面内磁化型存储元件,当用于反转磁性层的磁化方向的反转电流由 I_{c_para} 表示时,在从正方向到反方向执行

反转的情况下(其中正方向和反方向是以磁化固定层的磁化方向为基准的存储层的磁化方向,并且“正方向”和“反方向”可以分别称为“平行”和“反平行”), $I_{c_para}=(A \cdot \alpha \cdot M_s \cdot V/g(0)/P)(H_k+2\pi M_s)$ 成立,并且在从反方向到正方向执行反转的情况下, $I_{c_para}=-(A \cdot \alpha \cdot M_s \cdot V/g(\pi)/P)(H_k+2\pi M_s)$ 成立,(这些式子表示为式(1))。

[0076] 另一方面,当如在本示例中,垂直极化型存储元件的反转电流由 I_{c_perp} 表示时,在从正方向到反方向执行反转的情况下, $I_{c_perp}=(A \cdot \alpha \cdot M_s \cdot V/g(0)/P)(H_k-4\pi M_s)$ 成立,而在从反方向到正方向执行反转的情况下, $I_{c_perp}=-(A \cdot \alpha \cdot M_s \cdot V/g(\pi)/P)(H_k-4\pi M_s)$ 成立(这些式子表示为式(2))。

[0077] 在这点上,A表示常数, α 表示阻尼(damping)常数, M_s 表示饱和磁化强度,V表示元件体积,P表示自旋极化率, $g(0)$ 和 $g(\pi)$ 分别表示与正方向时和反方向时自旋扭矩向对方磁性层传送的效率相对应的系数,以及 H_k 表示磁性各向异性。

[0078] 关于上述各个式子,当比较垂直磁化型情况下的 $(H_k-4\pi M_s)$ 和面内磁化型情况下的 $(H_k+2\pi M_s)$ 时,应该理解,垂直磁化型更适合于记录电流的减小。

[0079] 在本实施方式中,设置有包括磁性层(存储层17)和磁化固定层15的存储元件3,其中磁性层用来利用磁化状态保持信息,并且磁化固定层的磁化方向是固定的。

[0080] 必要的是,为了作为存储而存在,保持写入的信息。保持信息的能力基于热稳定性指数 $\Delta (=KV/k_B T)$ 确定。该 Δ 通过下述式(3)来表示。

[0081] $\Delta = K \cdot V/k_B \cdot T = M_s \cdot V \cdot H_k \cdot (1/2k_B \cdot T)$ 式(3)

[0082] 在这点上, H_k 表示有效各向异性磁场, k_B 表示波尔兹曼常数,T表示温度, M_s 表示饱和磁化量,V表示存储层17的体积,以及K表示各向异性能量。

[0083] 有效各向异性磁场 H_k 包括形状磁性各向异性、感应磁性各向异性、晶体磁性各向异性等的影响,并且在假设单一域相干模型的情况下,这等同于矫顽力。

[0084] 在很多情况下,热稳定性指数 Δ 和电流的阈值 I_c 存在此消彼长的关系。因此,在很多情况下,期望确保它们之间的并存性以保持存储特性。

[0085] 关于用于改变存储层17的磁化状态的电流的阈值,实际上,关于TMR元件,例如,具有2nm厚度的存储层17并且具有几乎为 $100\text{nm} \times 150\text{nm}$ 的椭圆形状的二维图案,正侧阈值 $+I_c$ 是 $+0.5\text{mA}$,负侧阈值 $-I_c$ 是 -0.3mA ,以及此时电流密度大约是 $3.5 \times 10^6 \text{A}/\text{cm}^2$ 。它们几乎与上述式(1)一致。

[0086] 另一方面,关于通过电流磁场实现磁化去除的通常MRAM,需要几mA以上的写入电流。

[0087] 因此,显然,ST-MRAM对于减小集成电路的功耗是有效的,这是因为写入电流的阈值变得充分小,如上所述。

[0088] 此外,作为通常MRAM中必要的用于生成电流磁场的配线不是必要的,因此,关于集成程度,与通常MRAM相比存在优势。

[0089] 在实现自旋扭矩磁化反转的情况下,通过使电流直接流到存储元件3而写入(记录)信息,因此,为了选择要写入的存储元件3,存储装置是通过将存储元件3连接到选择晶体管来形成的。

[0090] 在该情况下,流到存储元件3的电流受到可以流到选择晶体管的电流大小(选择晶体管的饱和电流)的限制。

[0091] 为了减小记录电流,期望采用垂直磁化型,如上所述。此外,从如上所述保持大的 Δ 的观点来看,垂直磁化膜是优选的,这是因为通常与面内磁化膜的磁性各向异性相比,垂直磁化膜具有高的磁性各向异性。

[0092] 具有垂直各向异性的磁性材料的示例包括一些类型,例如,稀土过渡金属合金(TbCoFe等)、金属多层膜(Co/Pd多层膜等)、有序合金(FePt等),并且利用氧化物和磁性金属(Co/MgO等)之间的界面各向异性。然而,通过利用加热和结晶化的扩散,稀土过渡金属合金失去垂直磁性各向异性,并且不优选作为ST-MRAM的材料。另一方面,已知的是,金属多层膜由于加热而扩散并且垂直磁性各向异性劣化。垂直磁性各向异性出现在面心立方的取向(111)的情况下,因此,实现MgO以及被设置为邻接于MgO的高极化率层(例如,Fe、CoFe、CoFeB等)所要求的(001)取向是困难的。关于L10有序合金,不会出现上述问题,原因在于高温下的稳定性和(001)取向时表现出的垂直磁性各向异性。然而,生产时在500°C以上的充分高的温度下加热,或者通过在生产之后在500°C以上的温度下执行热处理来定序原子是必要的,从而使得会在层压膜的其他部分(例如,隧道势垒)产生不利的扩散或表面粗糙度增大。

[0093] 另一方面,关于利用界面磁性各向异性的材料,即,其中Co类或Fe类材料层叠在用作隧道结的MgO上的材料,上述问题中的任何一个都不会容易地发生,使得这种材料具有作为用于ST-MRAM的存储层的材料的潜力。

[0094] 此外,鉴于选择晶体管的饱和电流值,关于存储层17和磁化固定层15之间的非磁性中间层16,通过使用由绝缘物质形成的隧道绝缘层来形成磁性隧道结(MTJ)元件。

[0095] 在通过使用隧道绝缘层形成磁性隧道结(MTJ)元件的情况下,与其中通过使用非磁性导电层形成巨磁电阻效应(GMR)元件的情况下相比,磁致电阻比(MR比)增大并且读取信号密度增大。

[0096] 具体地,通过使用氧化镁(MgO)作为用于用作隧道绝缘层的中间层16的材料,磁致电阻比(MR比)增大。

[0097] 通常,自旋转移的效率取决于MR比,并且随着MR比增加,自旋转移的效率提高,以及磁化反转电流密度减小。

[0098] 因此,在氧化镁用作隧道绝缘层的材料,并且同时使用上述存储层17的情况下,通过自旋扭矩磁化反转写入的阈值电流减小,以及以小电流写入(记录)信息。此外,读取信号强度增大。

[0099] 因此,确保了MR比(TMR比),通过自旋扭矩磁化反转写入的阈值电流减小,并且以小电流写入(记录)信息。此外,读取信号强度增大。

[0100] 在隧道绝缘层由氧化镁(MgO)膜形成的情况下,更期望的是,MgO膜结晶化并且保持001方向的晶体取向。

[0101] 必要的是,从利用自旋扭矩(torque)磁化反转使存储层17的磁化方向反转所需的电流密度的获得的方面来看,隧道绝缘层的片电阻值被控制在几十 $\Omega \mu\text{m}^2$ 以下。

[0102] 关于由MgO膜形成的隧道绝缘层,为了将片电阻值指定在上述范围内,必要的是,MgO膜的厚度被指定为1.5nm以下。

[0103] 期望的是,以容易以小电流反转存储层17的磁化方向的方式将存储元件3小型化。

[0104] 因此,优选地,存储元件3的面积被指定为 $0.01\mu\text{m}^2$ 以下。

[0105] 3.实施方式的具体构造

[0106] 将描述根据本发明实施方式的具体构造。

[0107] 关于存储装置的构造,如上面图1中所述,利用磁化状态保持信息的存储元件3设置在正交的两种地址线1和6(例如,字线和位线)的交叉处附近。

[0108] 然后,垂直方向上的电流经由两种地址线1和6流到存储元件3,从而,通过自旋扭矩磁化反转将存储层17的磁化方向反转。

[0109] 漏极区8被设置为供图中的右选择晶体管和左选择晶体管之间共用,并且配线9连接至漏极区8。

[0110] 存储元件3设置在源极区7和另一个地址线(例如,位线)6之间,其中,另一个地址线6设置在上方并且在图中左右方向上延伸。存储元件3包括由铁磁性层形成的存储层17,其中磁化方向通过自旋注入而被反转。

[0111] 存储元件3设置在两种地址线1和6的交叉处附近。

[0112] 存储元件3分别通过上接触层4和下接触层4连接至位线6和源极区7。

[0113] 因此,可以经由两种地址线1和6使电流流到存储元件3,从而,存储层17的磁化方向通过自旋扭矩磁化反转而被反转。

[0114] 图3示出了根据本发明实施方式的存储元件3的详细结构。

[0115] 如图3中所示,在存储元件3中,相对于磁化M17的方向通过自旋扭矩磁化反转而反转的存储层17,磁化固定层15被设置为下层。

[0116] 关于ST-MRAM,信息的0和1通过存储层17的磁化M17和磁化固定层15的磁化M15的相对角度来规定。在该情况下,已经开发了通过使用面内磁化的ST-MRAM和通过使用垂直磁化的ST-MRAM。关于通过使用面内磁化的ST-MRAM,认为,材料的自由度高并且用于固定磁化的方法相对容易。

[0117] 用作隧道势垒层(隧道绝缘层)的中间层16设置在存储层17和磁化固定层15之间。存储层17和磁化固定层15构成MTJ元件。

[0118] 另一方面,在使用垂直磁化膜的情况下,具有垂直磁性各向异性的材料受到限制。近年来,利用出现在Fe和氧化物之间的晶体界面处的垂直磁性各向异性的界面各向异性型垂直磁性膜已经被应用。在利用界面各向异性的情况下,通过使用FeCoB合金作为磁性物质以及MgO作为氧化物来获得垂直磁性膜,确保了高磁致电阻比(MR比)和垂直磁化之间的并存性,使得能够应用为存储层17和磁化固定层15的材料。

[0119] 关于磁化固定层15和存储层17,包含Fe、Co和Ni中至少一种以及B和C中至少一种的合金是优选的,并且B和C的含量优选是按原子计百分之五以上且按原子计百分之三十以下。

[0120] 用作隧道势垒层(隧道绝缘层)的中间层16设置在存储层17和磁化固定层15之间。存储层17和磁化固定层15构成MTJ元件。关于中间层16,例如,使用MgO。

[0121] 磁性耦合层19、高矫顽力层20和基板层14设置在磁化固定层15下面,并且覆盖层(cap layer)18设置在存储层17上。

[0122] 设置高矫顽力层20以使磁化固定层15的矫顽力大于存储层17的矫顽力。即,磁化固定层15的矫顽力被增强。

[0123] 高矫顽力层20和磁化固定层15之间的磁性耦合层19使磁化固定层15与高矫顽力

层20以反平行的方式磁性地耦合。因此,来自磁化固定层15和高矫顽力层20的漏磁场相互抵消,并且有利地,对存储层17的磁性影响减弱。

[0124] 该磁性耦合层19由诸如Ru的材料形成。

[0125] 如图3的右部分所示,磁性耦合层19被指定为磁性耦合层22和磁性耦合层21两层。

[0126] 磁性耦合层22可以由诸如Ru的材料形成。磁性耦合层21可以由Cu、Ag、Au、Ta、Zr、Nb、Hf、W、Mo和Cr中至少一种材料形成。因此,实现了利用垂直磁化的存储元件3,其中抑制了MR比和耐热温度的降低,并且可以进行稳定的工作。

[0127] 关于存储元件3,通过形成合适的基板层14、在基板层上形成高矫顽力层20并且顺次形成Ru等的磁性耦合层19、Ta等的磁性耦合层19、磁化固定层15、中间层16、存储层17和覆盖层18,来形成层压结构。关于基板层14,可以使用Ta等。

[0128] 关于根据本发明的实施方式中所使用的材料层叠的方法,可使用溅射法、真空蒸镀法、化学气相沉积法(CVD)等。为了控制晶体取向等,可以在其上形成Ru、Cr等的金属膜或TiN等的导电氮化物膜,来用作基板层14。

[0129] 关于高矫顽力层20,例如,可以使用CoPt、FePt等的合金膜、Co和Pt或Co和Pd的连续层压膜或TbFeCo等的合金膜。CoPt合金是有利的,这是因为不需要高温下的热处理,并且表现出良好的耐热性。

[0130] 关于磁性耦合层22,诸如Ru、Re和Os的作为引起强磁性耦合的媒介的非磁性金属是优选的。关于磁性耦合层21,Cu、Ag、Au、Ta、Zr、Nb、Hf、W、Mo和Cr中的任一个或它们中多个的组合是优选的。

[0131] 磁性耦合层21的厚度在Ta、Zr、Nb、Hf、W、Mo或Cr的情况下,优选是0.05nm以上且0.3nm以下,而在Cu、Ag和Au的情况下,优选地是0.1nm以上且0.5nm以下。如果磁性耦合层21的厚度小于指定下限,不利地,改进MR比的效果小。如果厚度大于指定上限,不利地,高矫顽力层20和磁化固定层15之间的磁性耦合强度小。

[0132] 在磁性耦合层21的厚度是0.5nm以上且0.9nm以下的情况下,获得稳定的反铁磁性耦合。关于磁化固定层15和存储层17,包含Fe、Co和Ni中至少一种以及B和C中至少一种的合金是优选的,并且B和C的含量优选地是按原子计百分之五以上且按原子计百分之三十以下。

[0133] 优选地,存储层17和磁化固定层15在至中间层16的界面的附近包含至少30%的Fe。如果含量小于30%,则不会获得足够的垂直磁性各向异性。

[0134] 关于中间层16,可以使用MgO、Al₂O₃、TiO₂、MgAl₂O₄等,并且优选地使用MgO,原因在于MR比较大。

[0135] 关于覆盖层18,可以使用诸如Ta或Ti的金属、诸如TiN的导电氮化物或MgO等的薄绝缘层和金属膜的组合。

[0136] 关于存储装置的构造,CMOS逻辑电路可形成在硅晶圆上,上述层压膜可形成在下部电极上,可通过反应离子蚀刻(RIE)、离子研磨、化学蚀刻等方法来形成合适的形状,可以形成上部电极,并且CMOS逻辑电路可以以在上部电极和下部电极之间施加合适的电压的这种方式连接。元件可具有任意形状。然而,圆形是优选的,这是因为具体地,圆形形状形成简单并且具有高密度配置。

[0137] 根据本发明实施方式的垂直磁化膜至存储装置的应用可实现耐热性高的非易失

性存储装置,至半导体处理的应用简单,磁致电阻比较大,数据读取电路简化,并且读取速度增加。

[0138] 在MR比增大的情况下,如上所述,可以提高自旋注入的效率,并且用于反转存储层17的磁化M17的方向所需的电流密度可减小。

[0139] 另一方面,充分地确保了用作信息保持能力的热稳定性,使得存储元件3可被构造为具有特性之间的良好平衡。

[0140] 因此,可减少操作错误,并且可充分地获得存储元件3的操作余量(margin),使得存储元件3可被稳定地操作。

[0141] 即,可实现稳定操作的高可靠性存储装置。

[0142] 此外,可以减小重写电流,从而将在存储元件3中进行重写时的功耗降低。

[0143] 因此,可实现具有良好信息保持能力的稳定操作的高可靠性存储器,并且配备有存储元件3的存储器的功耗可降低。

[0144] 配备有图3中所示的存储元件3的图1中所示的存储装置具有的优点在于,通用半导体MOS形成处理适用于制造。

[0145] 因此,根据本实施方式的存储器可应用到通用存储器。

[0146] 4.关于实施方式的实验

[0147] 为了确保根据本实施方式的存储元件3的矫顽力增强和MR比的改善,在存储元件3具有其中磁性耦合层19和高矫顽力层20设置在磁化固定层15和基板层14之间并且磁性耦合层19被指定为磁性耦合层22和磁性耦合层21两层的构造的情况下,通过选择各层的材料制作如图4A至图4E以及图5中所示的样本。进行实验1至5,并且检验其磁性特性。

[0148] 关于本实验中用于评估磁性特性的样本,在覆盖有氧化物的硅基板上使用具有5nm厚度的Ta和具有5nm厚度的Ru用作基板层14、Co₇₀Pt₃₀的合金膜用作高矫顽力层20、磁性耦合层19、磁化固定层15、具有1nm厚度的MgO用作中间层16以及具有1nm厚度的Ru和具有5nm厚度的Ta的层压膜用作保护膜。用于评估的上述样本是用于评估仅仅磁化固定层15侧的样本,并且为了形成存储元件3,必须在用作中间层的MgO和保护膜之间插入存储层17。

[0149] 实验1

[0150] 图4A示出了用于实验1的样本,其中磁性耦合层是一层。

[0151] 如图4A中所示,

[0152] • 基板14:具有5nm厚度的Ta膜和具有5nm厚度的Ru膜的层压膜

[0153] • 高矫顽力层20:具有3nm厚度的Co₇₀Pt₃₀的合金膜

[0154] • 磁性耦合层19:Ru膜(膜厚度:t_{Ru})

[0155] • 磁化固定层15:具有0.5nm厚度的Fe₆₄Co₁₆B₂₀合金膜、具有0.1nm厚度的Ta膜和具有0.5nm厚度的Fe₆₄Co₁₆B₂₀合金膜的层压膜

[0156] • 中间层16:具有1.0nm厚度的氧化镁膜

[0157] • 保护膜:具有1nm膜厚度的Ru和具有5nm膜厚度的Ta的层压膜。

[0158] 图5示出了基于磁光极化克尔效应(magneto optical polar Kerr effect)的样本的垂直磁化状态的测量结果。示出了300°C下热处理之后的结果和350°C下热处理之后的结果中的每一个。

[0159] 图5示出了改变Ru的厚度t_{Ru}下样本的结果。在图中,HC指示的位置是发生磁化反

转时磁化固定层15和高矫顽力层20以反平行方式磁性耦合的磁场,并且 H_{SF} 指示磁化固定层15和高矫顽力层20的磁性耦合被破坏所在的磁场。关于300°C下的热处理, H_{SF} 点处的改变是急剧的,以指示这里反转的磁化固定层15是有效的垂直磁化膜。

[0160] 另一方面,在350°C下热处理之后的样本中,例如,关于0.5nm的tRu的样本,改变是平缓的。在该情况下,磁化固定层15的垂直磁化是不足够的,因此反转的改变是平缓的。当发生磁化固定层15的磁化反转所在的磁场由 H_{SF} 表示时,在 H_{SF} 以下的情况下,磁化固定层15表现出垂直磁化。

[0161] 图4B示出了用于实验1的样本,其中磁性耦合层是两层。

[0162] 如图4B中所示,

[0163] • 基板层14:具有5nm厚度的Ta膜和具有5nm厚度的Ru膜的层压膜

[0164] • 高矫顽力层20:具有3nm厚度的Co₇₀Pt₃₀合金膜

[0165] • 磁性耦合层22:Ru膜(膜厚度:tRu)

[0166] • 磁性耦合层21:具有0.05nm厚度的Ta膜

[0167] • 磁化固定层15:具有0.5nm厚度的Fe₆₄Co₁₆B₂₀合金膜、具有0.1nm厚度的Ta膜和具有0.5nm厚度的Fe₆₄Co₁₆B₂₀合金膜的层压膜

[0168] • 中间层16:具有1.0nm厚度的氧化镁膜

[0169] • 保护膜:具有1nm膜厚度的Ru和具有5nm膜厚度的Ta的层压膜。

[0170] 图6示出了基于磁光极化克尔效应的样本的垂直磁化状态的测量结果。示出了300°C下热处理之后的结果和350°C下热处理之后的结果中的每一个。

[0171] 在向磁性耦合层19添加Ta的情况下,如图6中所示,与未进行添加情况下的上述样本相比, H_{SF} 相对于磁性耦合层22的Ru的厚度的变化变小,并且,其中保持反平行的范围在每个温度处扩大。

[0172] 实验2

[0173] 图4C示出了用于实验2的样本,其中磁性耦合层是两层。

[0174] 如图4C中所示,

[0175] • 基板层14:具有5nm厚度的Ta膜和具有5nm厚度的Ru膜的层压膜

[0176] • 高矫顽力层20:具有3nm厚度的Co₇₀Pt₃₀合金膜

[0177] • 磁性耦合层22:Ru膜(膜厚度:tRu)

[0178] • 磁性耦合层21:Ta膜(膜厚度:tTa)

[0179] • 磁化固定层15:具有0.8nm厚度的Fe₆₄Co₁₆B₂₀膜

[0180] • 中间层16:具有1.0nm厚度的氧化镁膜

[0181] • 保护膜:具有1nm膜厚度的Ru和具有5nm膜厚度的Ta的层压膜

[0182] 图7示出了耦合磁场强度 H_{SF} 相对于样本的磁性耦合层22的Ru的厚度的变化。示出了300°C下热处理之后的结果和350°C下热处理之后的结果。当与磁性耦合层是Ru单质的样本相比,向Ru的磁性耦合层添加Ta的情况下,关于300°C下的热处理,耦合磁场强度没有显著地改进,但是关于350°C下的热处理,添加Ta的情况下的耦合磁场强度变大。因此,确定Ta的添加对改进耐热性具有效果。

[0183] 此外,关于0.5nm至0.9nm的Ru的厚度,磁性耦合不容易被打破,使得0.5nm至0.9nm的Ru的厚度是有利的。

[0184] 实验3

[0185] 关于用于实验3的样本,磁性耦合层是两层,并且如图4D所示,

[0186] • 基板层14:具有5nm的厚度的Ta膜和具有5nm厚度的Ru膜的层压膜

[0187] • 高矫顽力层20:具有3nm厚度的Co₇₀Pt₃₀合金膜

[0188] • 磁性耦合层22:具有0.6nm厚度的Ru膜

[0189] • 磁性耦合层21:添加预定元素

[0190] • 磁化固定层15:具有0.5nm厚度的Fe₆₄Co₁₆B₂₀合金膜、具有0.1nm厚度的Ta膜和具有0.5nm厚度的Fe₆₄Co₁₆B₂₀合金膜的层压膜

[0191] • 中间层16:具有1.0nm厚度的氧化镁膜

[0192] • 保护膜:具有1nm膜厚度的Ru和具有5nm膜厚度的Ta的层压膜。

[0193] 该样本用于检查向Ru的磁性耦合层添加Ta的情况和添加Ta之外的元素的情况之间特性的差异。

[0194] 图8示出了本样本经过300°C下热处理之后的耦合磁场强度H_{sf}对添加层厚度的依赖性。关于添加的元素,采用Ta、Cr、Mg、Si、W、Nb、Zr、Hf和Mo。同样,图9示出了350°C下热处理之后的结果。在添加元素是Ta、Cr、W、Nb、Zr、Hf和Mo的情况下,观察到耦合磁场强度的增强,以及具体地,Ta表现出350°C下热处理之后耦合磁场强度增强的显著效果。

[0195] 表现出改善的膜厚度是0.05nm以上并且0.3nm以下。

[0196] 实验4

[0197] 关于用于实验4的样本,磁性耦合层是两层,以及如图4E中所示,

[0198] • 基板层14:具有5nm厚度的Ta膜和具有5nm厚度的Ru膜的层压膜

[0199] • 高矫顽力层20:具有3nm厚度的Co₇₀Pt₃₀合金膜

[0200] • 磁性耦合层22:具有0.8nm厚度的Ru膜

[0201] • 磁性耦合层21:添加预定元素

[0202] • 磁化固定层15:具有0.8nm厚度的Fe₆₄Co₁₆B₂₀合金膜、具有0.3nm厚度的Ta膜和具有0.8nm厚度的Fe₆₄Co₁₆B₂₀合金膜的层压膜

[0203] • 中间层16:具有1.0nm厚度的氧化镁膜

[0204] • 保护膜:具有1nm膜厚度的Ru和具有5nm膜厚度的Ta的层压膜

[0205] 该样本用于检查将Cu、Ag或Au的元素添加到Ru的磁性耦合层的情况下特性的差异。

[0206] 图10示出了本样本在经过300°C和350°C热处理之后样本的耦合磁场强度H_{sf}对添加层厚度的依赖性。以与实验3的结果相同的方式,在Cu、Ag和Au的所有情况下,观察到改进耦合磁场强度的效果。关于这些元素,表现出耦合磁场强度改善的膜厚度是0.1nm以上并且0.5nm以下。

[0207] 实验5

[0208] 在实验5中,形成配备有存储层的存储元件,并且测量磁致电阻比(MR比)。

[0209] 图11示出了用于实验5的样本。如图11中所示,制备五种类型的样本。

[0210] (1)包括一个磁性耦合层的样本

[0211] • 基板层14:具有5nm厚度的Ta膜和具有5nm厚度的Ru膜的层压膜

[0212] • 高矫顽力层20:具有2nm厚度的CoPt合金膜

- [0213] • 磁性耦合层19:具有0.8nm厚度的Ru膜
- [0214] • 磁化固定层15:具有0.8nm厚度的Fe₆₄Co₁₆B₂₀合金膜
- [0215] • 中间层16:具有1.0nm厚度的氧化镁膜
- [0216] • 存储层17:具有1.4nm厚度的Fe₆₄Co₁₆B₂₀合金膜
- [0217] • 保护膜:具有5nm厚度的Ta膜。
- [0218] (2)包括两个磁性耦合层的样本1
- [0219] • 基板层14:具有5nm厚度的Ta膜和具有5nm厚度的Ru膜的层压膜
- [0220] • 高矫顽力层20:具有2nm厚度的CoPt合金膜
- [0221] • 磁性耦合层22:具有0.6nm厚度的Ru膜
- [0222] • 磁性耦合层21:具有0.1nm厚度的Ta膜
- [0223] • 磁化固定层15:具有0.8nm厚度的Fe₆₄Co₁₆B₂₀合金膜
- [0224] • 中间层16:具有1.0nm厚度的氧化镁膜
- [0225] • 存储层17:具有1.4nm厚度的Fe₆₄Co₁₆B₂₀合金膜
- [0226] • 保护膜:具有5nm厚度的Ta膜
- [0227] (3)包括两个磁性耦合层的样本2
- [0228] • 基板层14:具有5nm厚度的Ta膜和具有5nm厚度的Ru膜的层压膜
- [0229] • 高矫顽力层20:具有2nm厚度的CoPt合金膜
- [0230] • 磁性耦合层22:具有0.6nm厚度的Ru膜
- [0231] • 磁性耦合层21:具有0.1nm厚度的Ta膜
- [0232] • 磁化固定层15:具有1.2nm厚度的Fe₆₄Co₁₆B₂₀合金膜
- [0233] • 中间层16:具有1.0nm厚度的氧化镁膜
- [0234] • 存储层17:具有1.4nm厚度的Fe₆₄Co₁₆B₂₀合金膜
- [0235] • 保护膜:具有5nm厚度的Ta膜。
- [0236] (4)包括两个磁性耦合层的样本3
- [0237] • 基板层14:具有5nm厚度的Ta膜和具有5nm厚度的Ru膜的层压膜
- [0238] • 高矫顽力层20:具有2nm厚度的CoPt合金膜
- [0239] • 磁性耦合层22:具有0.7nm厚度的Re膜
- [0240] • 磁性耦合层21:具有0.1nm厚度的Ta膜
- [0241] • 磁化固定层15:具有0.8nm厚度的Fe₆₄Co₁₆B₂₀合金膜
- [0242] • 中间层16:具有1.0nm厚度的氧化镁膜
- [0243] • 存储层17:具有1.2nm厚度的Fe₆₀Ni₃₀C₁₀合金膜
- [0244] • 保护膜:具有5nm厚度的Ta膜
- [0245] (5)包括两个磁性耦合层的样本4
- [0246] • 基板层14:具有5nm厚度的Ta膜和具有5nm厚度的TiN膜的层压膜
- [0247] • 高矫顽力层20:具有2nm厚度的FePt合金膜
- [0248] • 磁性耦合层22:具有0.8nm厚度的Os膜
- [0249] • 磁性耦合层21:具有0.05nm厚度的Ta膜
- [0250] • 磁化固定层15:具有1.0nm厚度的Fe₅₀Co₁₀Cr₂₀B₂₀合金膜
- [0251] • 中间层16:具有1.0nm厚度的氧化镁膜

[0252] • 存储层17:具有1.5nm厚度的Fe₆₄Co₁₆B₂₀合金膜

[0253] • 保护膜:具有5nm厚度的Ta膜

[0254] 表1示出了300°C和350°C下热处理之后上述样本的MR比的测量结果。关于根据本实施方式的存储元件,通过进行特别是350°C下的热处理MR比显著地改进。因此,显然,根据本发明实施方式的技术对改进耐热性和MR比具有显著的效果。

[0255] 表1

[0256]

	300°C 热处理之后的 MR 比	350°C 热处理之 后的 MR 比
包括一个磁性耦合层的样本	76%	54%
样本 1	87%	90%
样本 2	80%	93%
样本 3	77%	83%
样本 4	72%	80%

[0257] 到现在为止,已经说明了实施方式。本发明并不限于上述单个实施方式中所示的存储元件3的膜构造,并且可采用各种膜构造。

[0258] 例如,尽管在实施方式中,磁化固定层15被指定为CoFeB,但是不限于该实施方式。在不背离本发明的主旨的范围内,可以采用各种其他构造。

[0259] 在实施方式中,示出了仅一种类型基板等,但是不限于此。在不背离本发明的主旨的范围内,可以采用各种其他构造。

[0260] 在实施方式中,关于磁化固定层15,使用由两个铁磁性层和非磁性层组成的层压铁磁固定(ferri-pinned)结构。然而,可采用其中向层压铁磁固定结构膜添加反铁磁性层的结构。

[0261] 自然地,可以采用单个层。

[0262] 关于存储元件3的膜构造,存储层17设置在磁化固定层15的上侧还是下侧都不会产生问题。

[0263] 本发明可包括下述构造。

[0264] (1)一种存储元件,包括存储层,所述存储层利用磁性物质的磁化状态来保持信息;磁化固定层,所述磁化固定层具有用作存储在所述存储层中的信息的基准的磁化;中间层,所述中间层设置于所述存储层和所述磁化固定层之间且由非磁性物质形成;磁性耦合层,被设置为邻接于所述磁化固定层并且与所述中间层相对;以及高矫顽力层,被设置为邻接于所述磁性耦合层,其中,通过利用伴随着在包括所述存储层、所述中间层和所述磁化固定层的层结构的层压方向上流动的电流所产生的自旋扭矩磁化反转,使所述存储层的磁化反转来存储所述信息,以及所述磁性耦合层为两层层压结构。

[0265] (2)根据项(1)所述的存储元件,其中,所述存储层和所述磁化固定层包含作为主要成分的Fe、Co和Ni中的至少一种,以及按原子计5%以上且30%以下的B和C中的至少一种。

[0266] (3)根据项(1)或(2)所述的存储元件,其中,所述磁性耦合层的所述两层中的所述高矫顽力层侧的层由Ru、Re和Os中的至少一种形成。

[0267] (4)根据(1)至(3)中任一项所述的存储元件,其中,所述磁性耦合层的所述两层中的所述磁化固定层侧的层由Cu、Ag、Au、Ta、Zr、Nb、Hf、W、Mo和Cr中的至少一种形成。

[0268] (5)根据(1)至(3)中任一项所述的存储元件,其中,所述磁性耦合层的所述两层中的所述磁化固定层侧的层由Ta、Zr、Nb、Hf、W、Mo和Cr中的至少一种形成,以及该层的厚度是0.05nm~0.3nm。

[0269] (6)根据(1)至(3)中任一项所述的存储元件,其中,所述磁性耦合层的所述两层中的所述磁化固定层侧的层由Cu、Ag和Au中的至少一种形成,以及该层的厚度是0.1nm~0.5nm。

[0270] (7)根据(1)至(6)中任一项所述的存储元件,其中,所述高矫顽力层侧的层的厚度是0.5nm~0.9nm。

[0271] 本发明包含于2011年5月19日向日本专利局提交的日本优先权专利申请JP 2011-112219中公开的相关主题,其全部内容通过引证结合于此。

[0272] 本领域的技术人员应当理解,根据设计要求和因素,可以进行各种修改、组合、子组合以及替换,只要它们在所附权利要求书或其等同物的范围内。

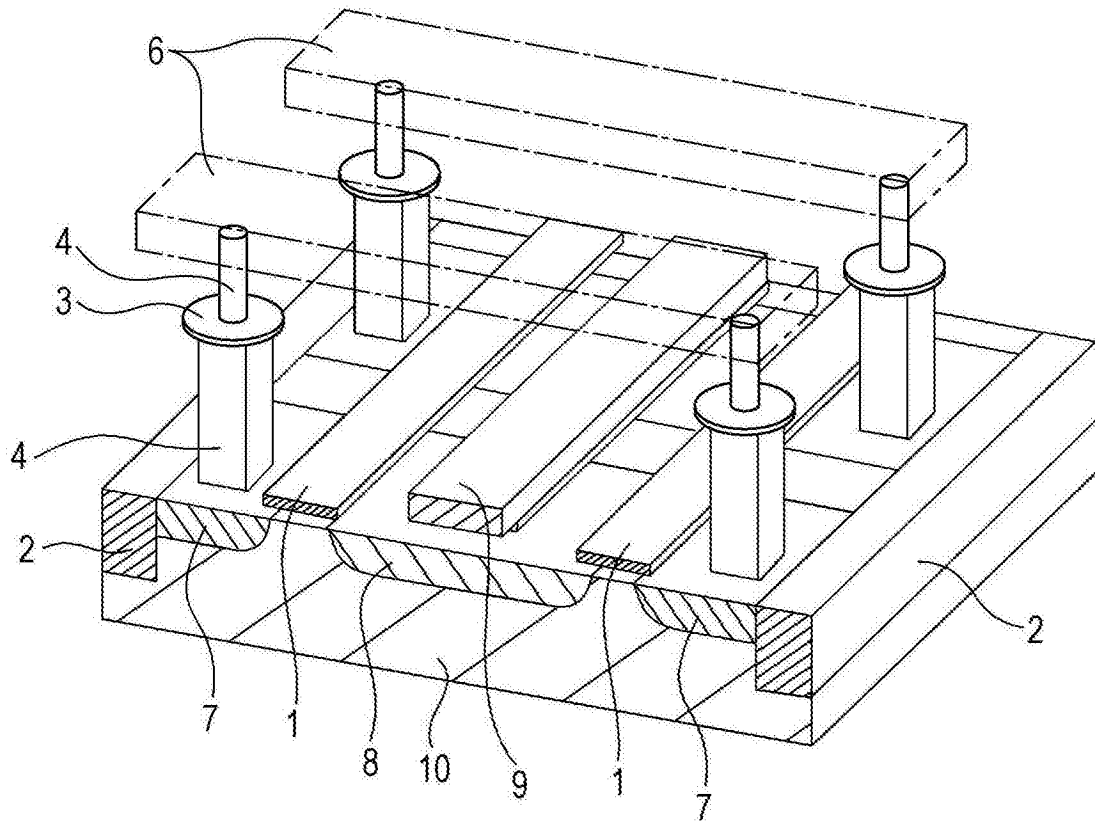


图1

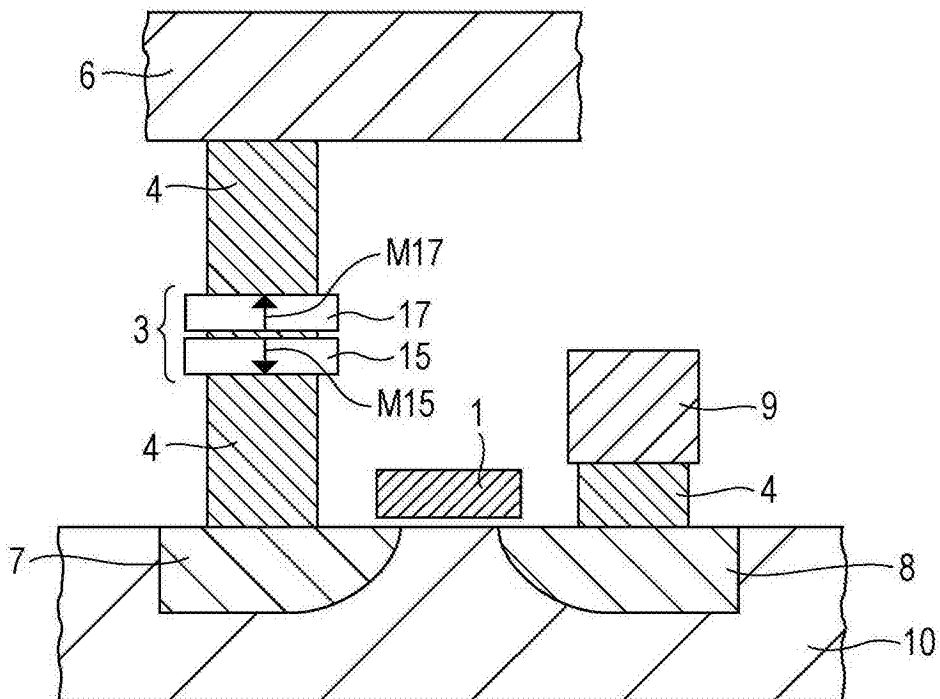


图2

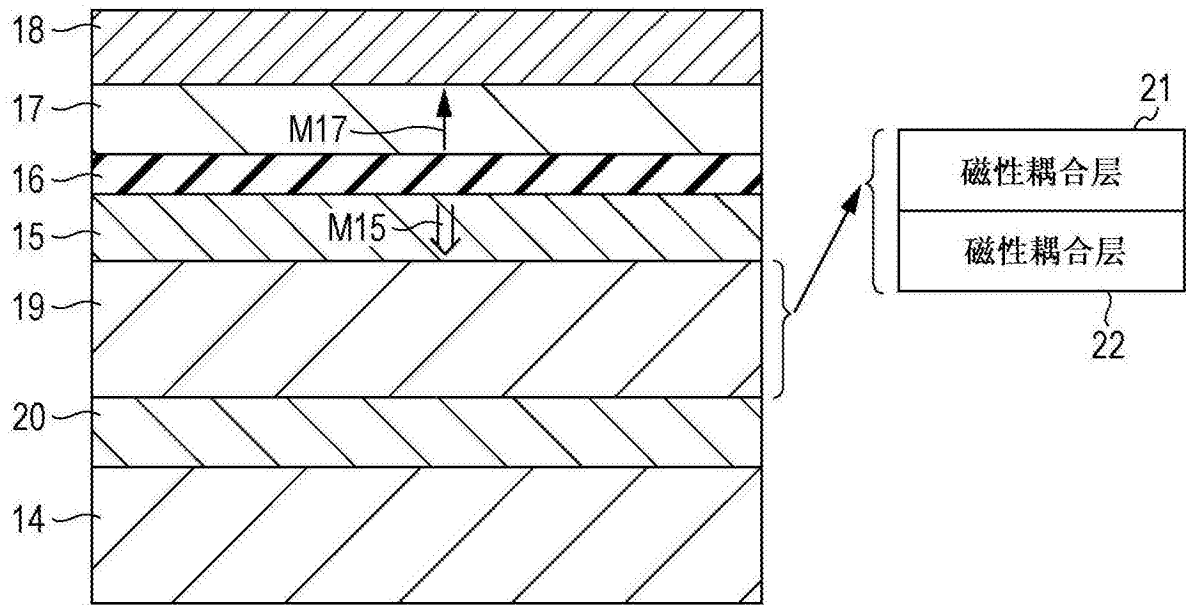
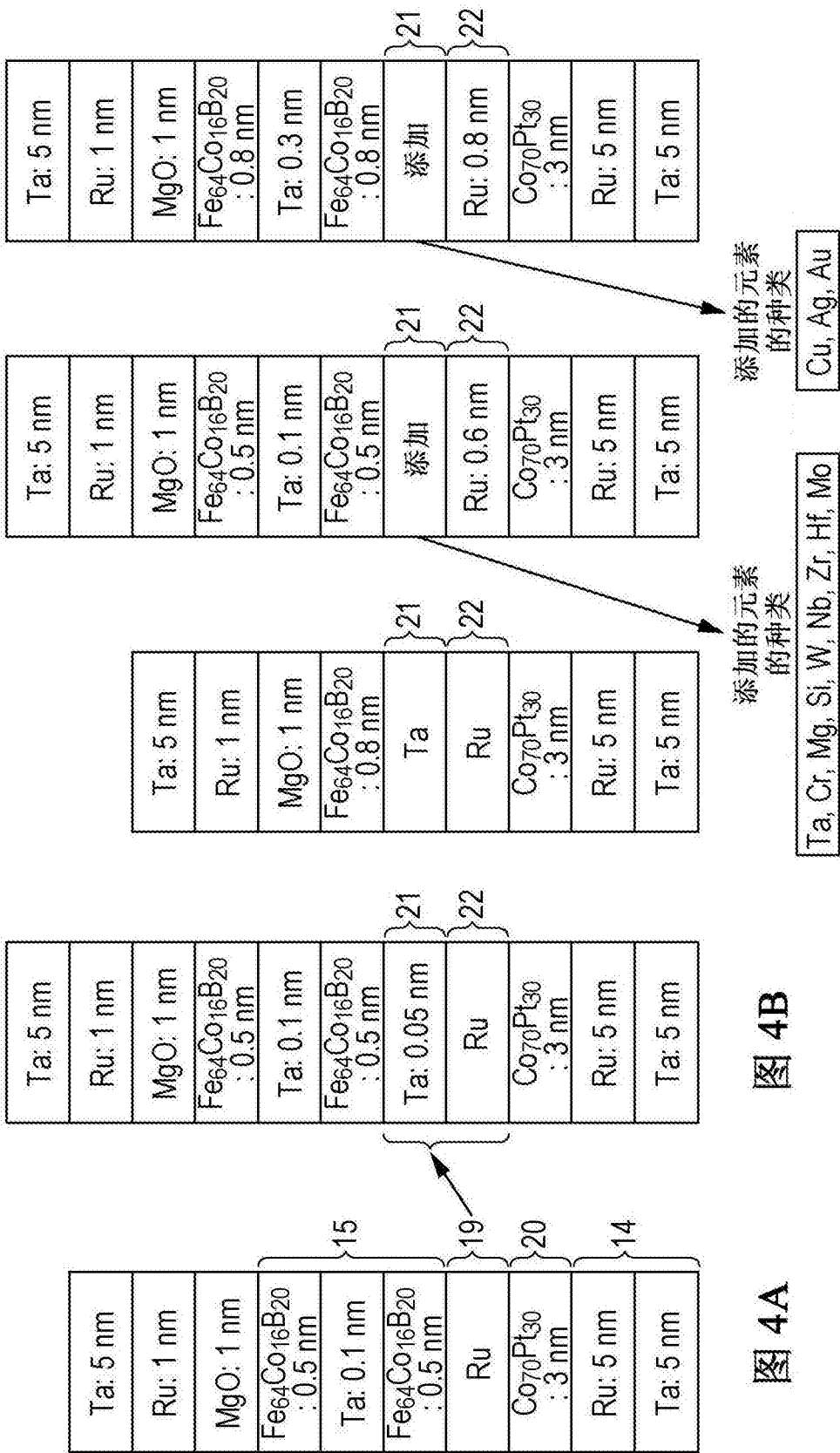
3

图3



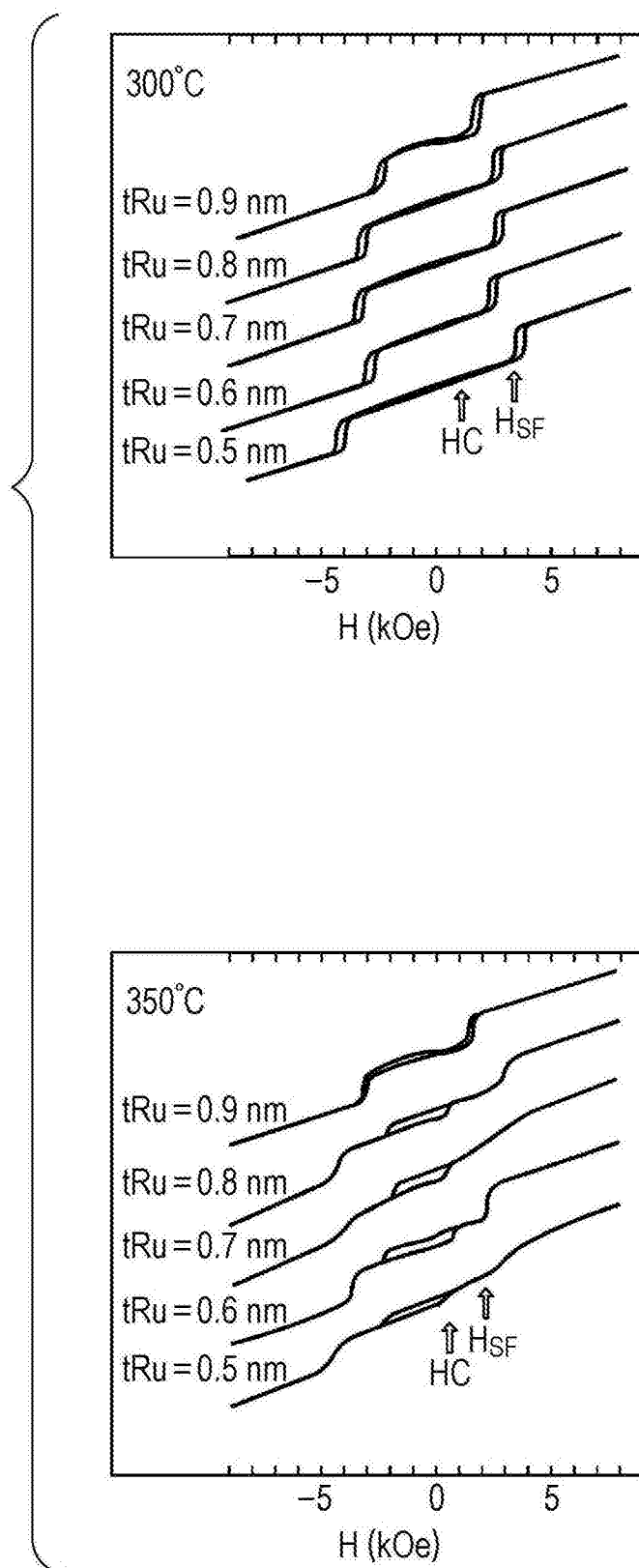


图5

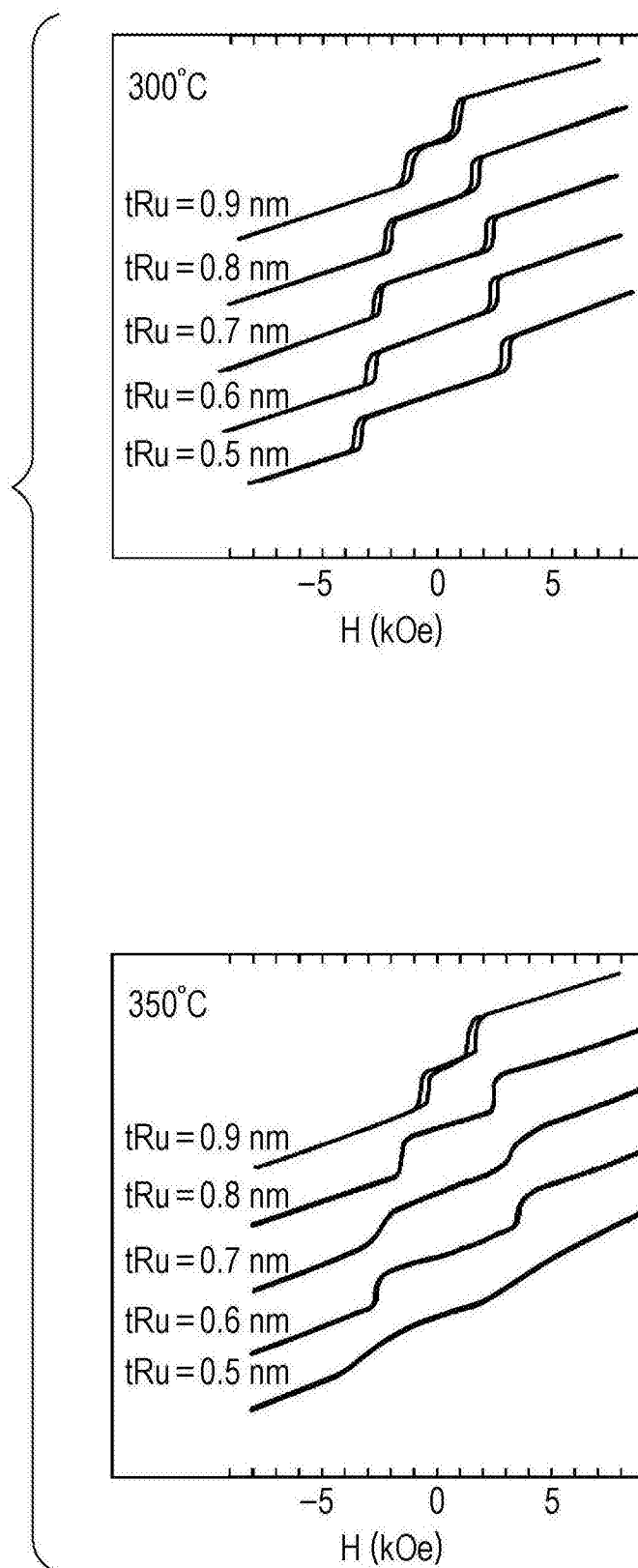


图6

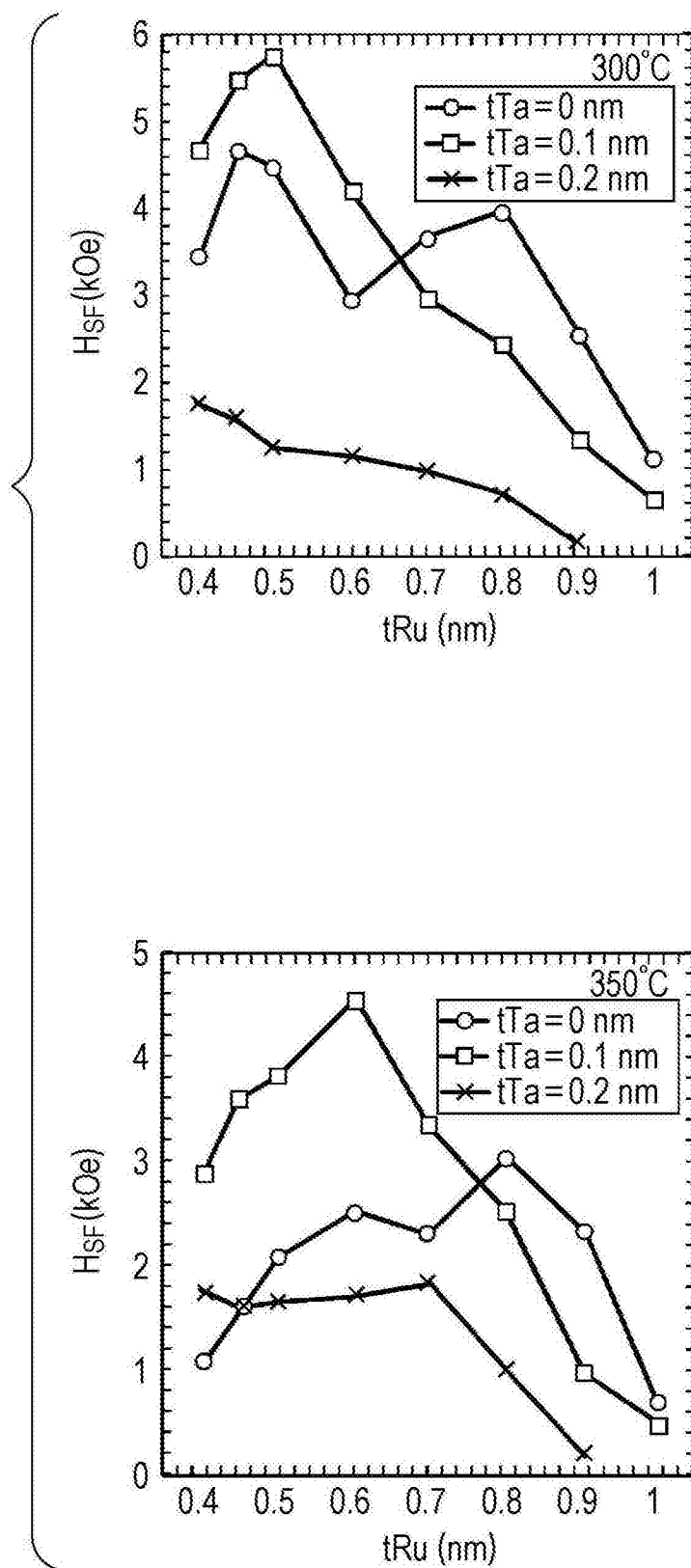


图7

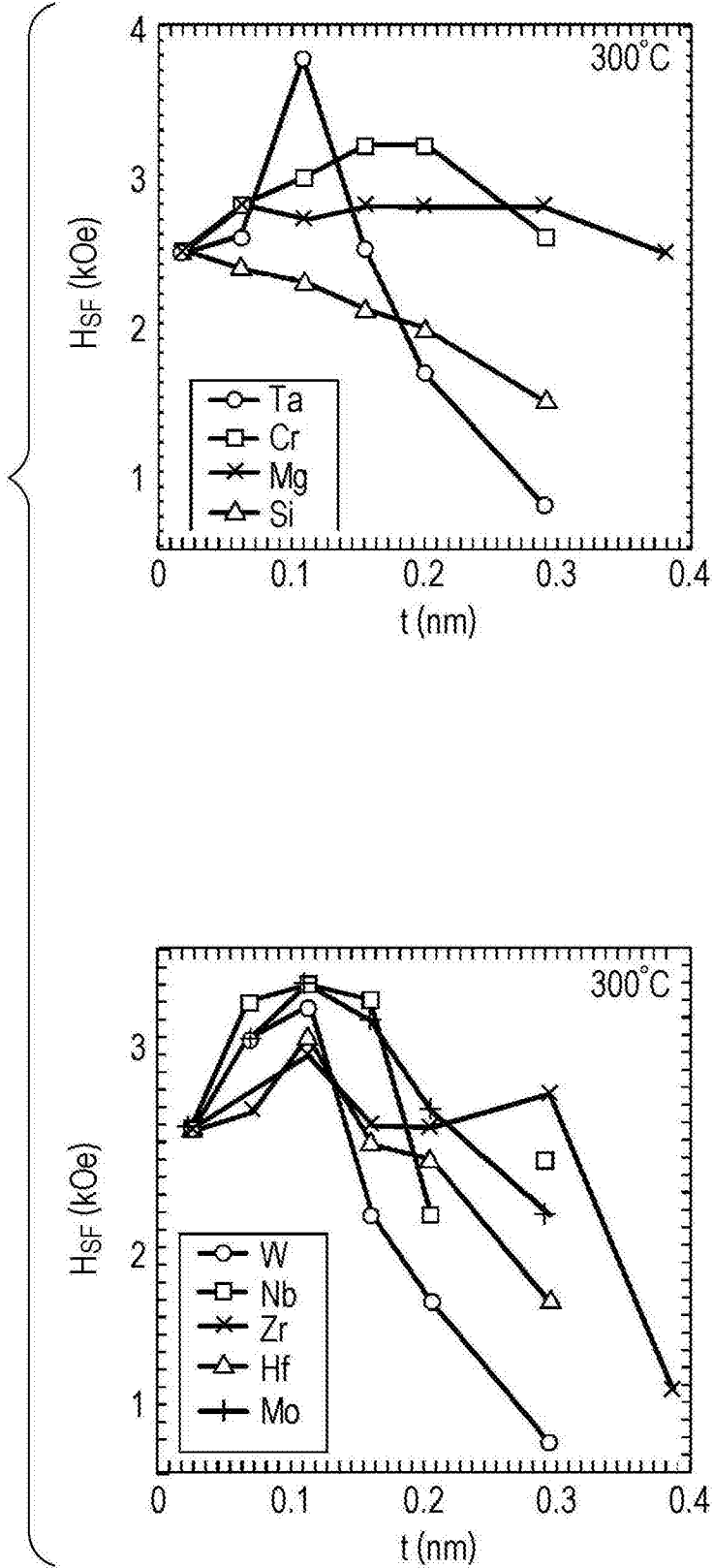


图8

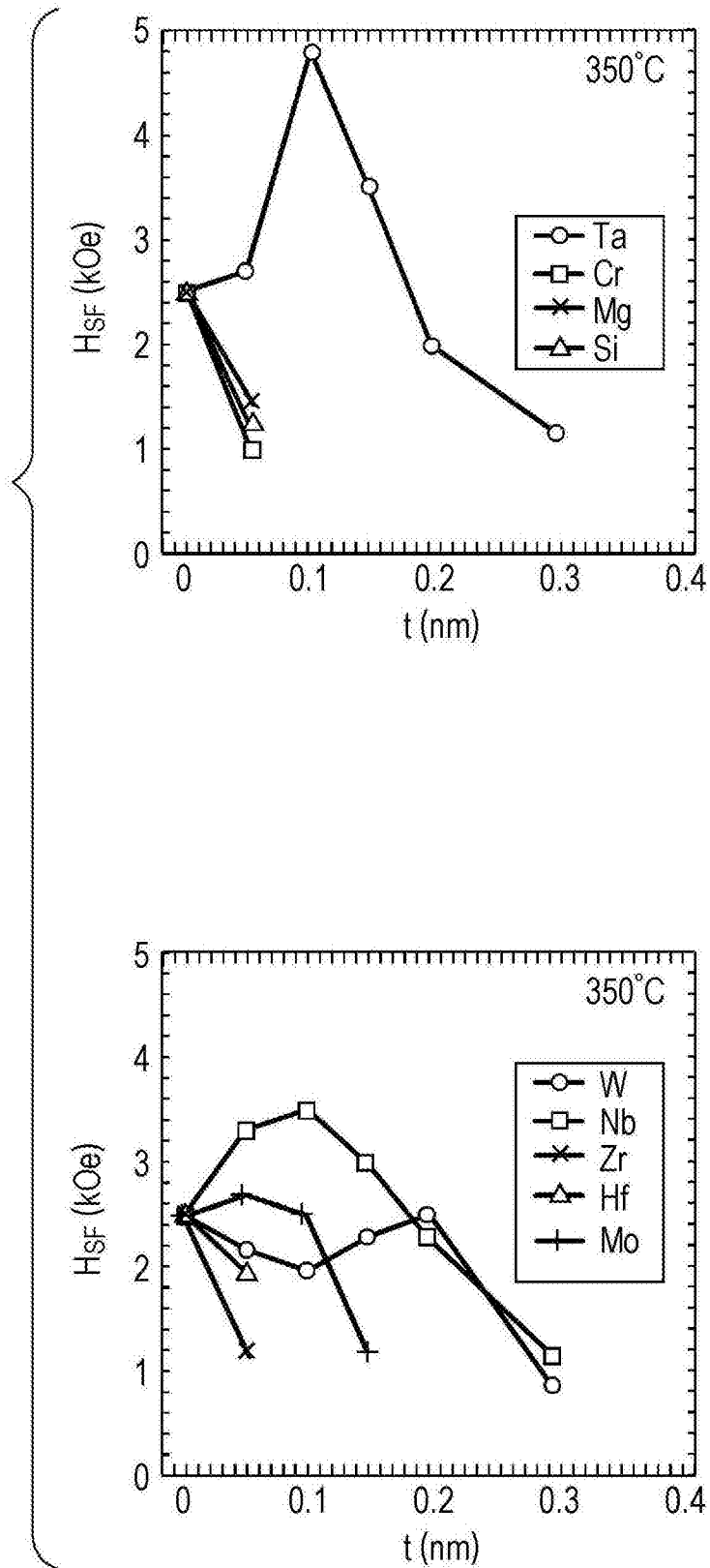


图9

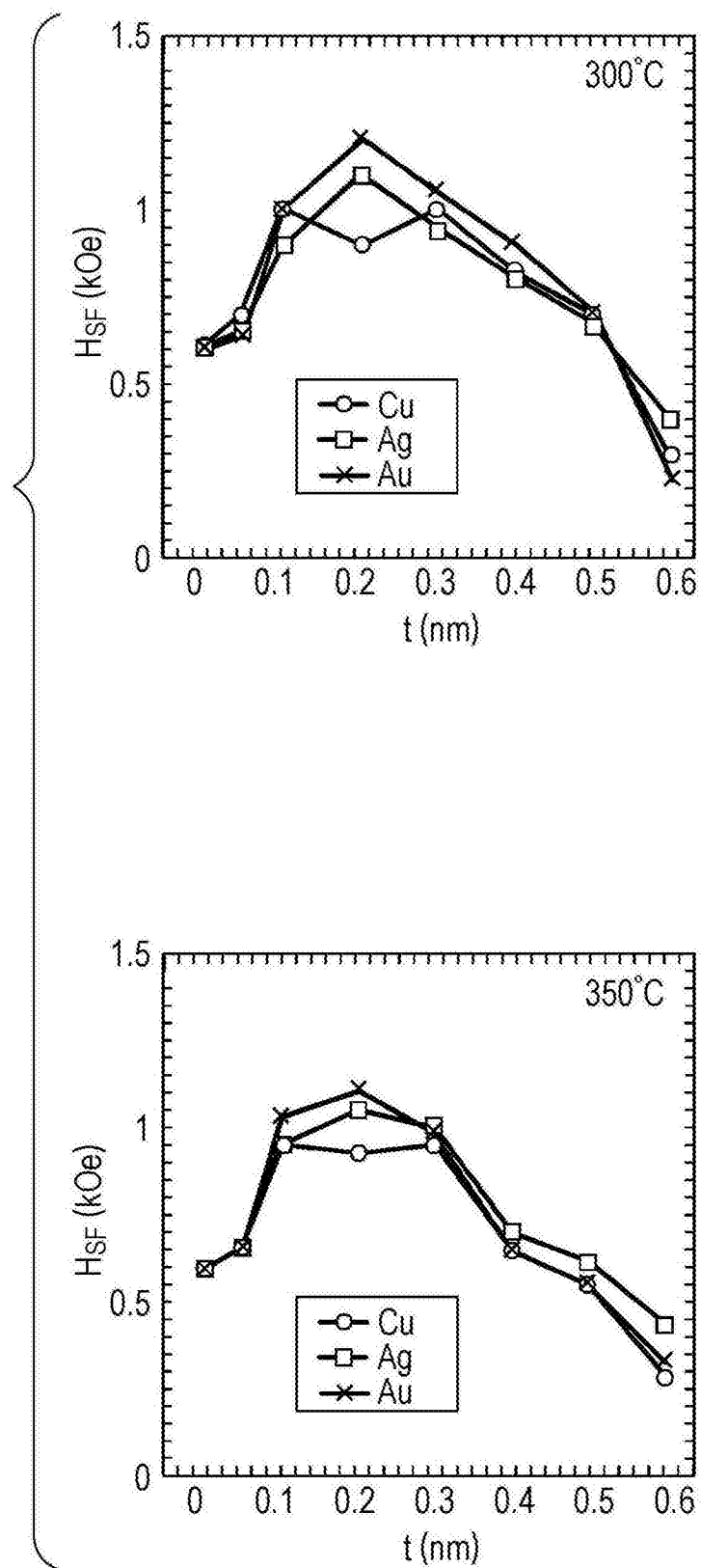


图10

包括一个 磁性耦合层 的样本		包括两个磁性耦合层的样本			
		1	2	3	4
Ta: 5 nm		Ta: 5 nm	Ta: 5 nm	Ta: 5 nm	Ta: 5 nm
17 {	Fe ₆₄ Co ₁₆ B ₂₀ : 1.4 nm	Fe ₆₄ Co ₁₆ B ₂₀ : 1.4 nm	Fe ₆₄ Co ₁₆ B ₂₀ : 1.4 nm	Fe ₆₀ Ni ₃₀ C ₁₀ : 1.2 nm	Fe ₆₄ Co ₁₆ B ₂₀ : 1.5 nm
16 {	MgO: 1 nm	MgO: 1 nm	MgO: 1 nm	MgO: 1 nm	MgO: 1 nm
15 {	Fe ₆₄ Co ₁₆ B ₂₀ : 0.8 nm	Fe ₆₄ Co ₁₆ B ₂₀ : 0.8 nm	Fe ₆₄ Co ₁₆ B ₂₀ : 1.2 nm	Fe ₆₄ Co ₁₆ B ₂₀ : 0.8 nm	Fe ₅₀ Co ₁₀ Cr ₂₀ B ₂₀ : 0.8 nm
19 {	Ru: 0.8 nm	Ta: 0.1 nm	Ta: 0.1 nm	Ta: 0.1 nm	Ta: 0.05 nm
		Ru: 0.6 nm	Ru: 0.6 nm	Re: 0.7 nm	Os: 0.8 nm
20 {	CoPt: 2 nm	CoPt: 2 nm	CoPt: 2 nm	CoPt: 2 nm	FePt: 2 nm
14 {	Ru: 5 nm	Ru: 5 nm	Ru: 5 nm	Ru: 5 nm	TiN: 5 nm
	Ta: 5 nm	Ta: 5 nm	Ta: 5 nm	Ta: 5 nm	Ta: 5 nm

图11