



(21)申请号 201510081061.X

(22)申请日 2010.10.20

(65)同一申请的已公布的文献号

申请公布号 CN 104681079 A

(43)申请公布日 2015.06.03

(30)优先权数据

2009-255536 2009.11.06 JP

2009-264572 2009.11.20 JP

(62)分案原申请数据

201080051357.2 2010.10.20

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72)发明人 山崎舜平 小山润 加藤清

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 侯颖嫒

(51)Int.Cl.

G11C 11/405(2006.01)

G11C 11/56(2006.01)

H01L 21/822(2006.01)

H01L 27/06(2006.01)

H01L 27/105(2006.01)

H01L 27/11551(2017.01)

H01L 27/1156(2017.01)

H01L 27/12(2006.01)

(56)对比文件

US 6914812 B2,2005.07.05,

US 7221616 B2,2007.05.22,

审查员 常津铭

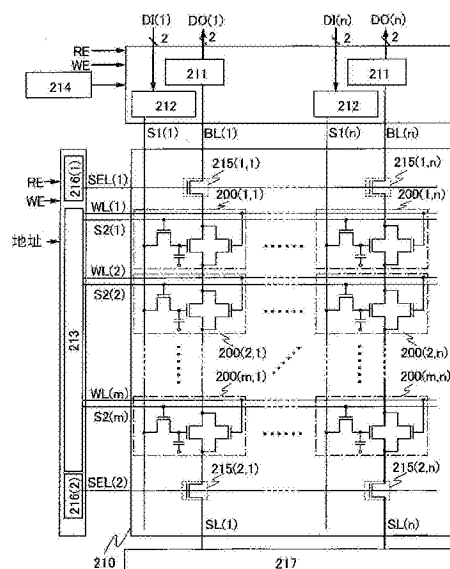
权利要求书6页 说明书37页 附图30页

(54)发明名称

半导体装置及用于驱动半导体装置的方法

(57)摘要

本发明涉及半导体装置及用于驱动半导体装置的方法。所公开的是用作多值化存储器设备的半导体器件,包括:串联连接的存储单元;选择存储单元并驱动第二信号线和字线的驱动器电路;选择写入电位中的任意并将其输出至第一信号线的驱动器电路;比较位线的电位和参考电位的读取电路;以及产生写入电位和参考电位的电位产生电路。一个存储单元包括:连接至位线和源线的第一晶体管;连接至第一和第二信号线的第二晶体管;以及连接至字线、位线、以及源线的第三晶体管。第二晶体管包括氧化物半导体层。第一晶体管的栅电极连接至第二晶体管的源和漏电极中的一个。



1. 一种半导体装置,包括:

第一线;

第二线;

第三线;

在所述第一线和所述第二线之间串联连接的第一存储器单元和第二存储器单元;

第一电路,被配置为选择并输出多个写入电位中的任意至所述第三线;以及

第二电路,被配置为将所述第二线的电位与多个参考电位作比较以读出数据,

其中,所述第一存储器单元和所述第二存储器单元中的每一个都包括:

包含第一栅极、第一源极和第一漏极的第一晶体管;

包含第二栅极、第二源极和第二漏极的第二晶体管;以及

包含第三栅极、第三源极和第三漏极的第三晶体管,

其中,所述第二晶体管包含包括氧化物半导体的沟道形成区,且

其中,所述第一栅极与所述第二源极和所述第二漏极中的一个彼此电连接,

其中,所述第一线、所述第一源极和所述第三源极彼此电连接,

其中,所述第二线、所述第一漏极和所述第三漏极彼此电连接,且

其中,所述第三线与所述第二源极和所述第二漏极中的另一个彼此电连接。

2. 如权利要求1所述的半导体装置,其特征在于,所述半导体装置还包括第三电路,该第三电路被配置为产生所述多个写入电位和所述多个参考电位并向所述第一电路和所述第二电路提供所述多个写入电位和所述多个参考电位。

3. 如权利要求1所述的半导体装置,其特征在于,

所述第一存储器单元和所述第二存储器单元中的每一个还包括电容器,且

其中,所述电容器电连接至所述第一栅极以及所述第二源极和所述第二漏极中的一个。

4. 如权利要求1所述的半导体装置,其特征在于,所述半导体装置还包括被提供有地址信号的第四电路,

其中,所述第四电路电连接至所述第二栅极和所述第三栅极。

5. 如权利要求1所述的半导体装置,其特征在于,所述半导体装置还包括:

第四线;

第五线;

包含第四栅极的第四晶体管;以及

包含第五栅极的第五晶体管,

其中,所述第四栅极电连接至所述第四线,

其中,所述第五栅极电连接至所述第五线,

其中,所述第一线通过所述第五晶体管电连接至所述第一源极和所述第三源极,且

其中,所述第二线通过所述第四晶体管电连接至所述第一漏极和所述第三漏极。

6. 如权利要求1所述的半导体装置,其特征在于,所述第一晶体管和所述第三晶体管中的每一个都包含沟道形成区,该沟道形成区包括所述氧化物半导体之外的半导体材料。

7. 如权利要求1所述的半导体装置,其特征在于,所述第一晶体管和所述第三晶体管中的每一个都包含包括硅的沟道形成区。

8. 一种半导体装置, 包括:

第一线;

第二线;

第三线;

在所述第一线和所述第二线之间串联连接的第一存储器单元和第二存储器单元;

第一电路, 被配置为选择并输出多个写入电位中的任意至所述第三线;

第二电路, 被配置为检测所述第一线和所述第二线之间的电导以读出数据; 以及

第三电路, 配置为被提供有多个参考电位并选择且输出所述多个参考电位中的任意,

其中, 所述第一存储器单元和所述第二存储器单元中的每一个都包括:

具有第一栅极、第一源极和第一漏极的第一晶体管;

具有第二栅极、第二源极和第二漏极的第二晶体管; 以及

包括一对电极的电容器,

其中, 所述第二晶体管包含包括氧化物半导体的沟道形成区, 且

其中, 所述第一栅极电连接至所述第二源极和所述第二漏极中的一个以及所述电容器的所述一对电极中的一个,

其中, 所述第一线和所述第一源极彼此电连接,

其中, 所述第二线和所述第一漏极彼此电连接,

其中, 所述第三线与所述第二源极和所述第二漏极中的另一个彼此电连接, 且

其中, 所述第二栅极和所述电容器的所述一对电极中的另一个都电连接至所述第三电路。

9. 如权利要求8所述的半导体装置, 其特征在于, 所述半导体装置还包括第四电路, 该第四电路被配置为产生所述多个写入电位和所述多个参考电位并向所述第一电路、所述第二电路和所述第三电路提供所述多个写入电位和所述多个参考电位。

10. 如权利要求8所述的半导体装置, 其特征在于, 所述半导体装置还包括:

第四线;

第五线;

包含第三栅极的第三晶体管; 以及

包含第四栅极的第四晶体管,

其中, 所述第三栅极电连接至所述第四线,

其中, 所述第四栅极电连接至所述第五线,

其中, 所述第一线通过所述第四晶体管电连接至所述第一源极, 且

其中, 所述第二线通过所述第三晶体管电连接至所述第一漏极。

11. 如权利要求8所述的半导体装置, 其特征在于, 所述第一晶体管包含沟道形成区, 该沟道形成区包括单晶半导体材料。

12. 如权利要求8所述的半导体装置, 其特征在于, 所述第一晶体管包含包括硅的沟道形成区。

13. 如权利要求1或8所述的半导体装置, 其特征在于, 所述氧化物半导体包含In、Ga和Zn。

14. 如权利要求1或8所述的半导体装置, 其特征在于, 所述氧化物半导体包含

In₂Ga₂ZnO₇的晶体。

15. 如权利要求1或8所述的半导体装置,其特征在于,所述氧化物半导体的氢浓度小于或等于 5×10^{19} atoms/cm³。

16. 如权利要求1或8所述的半导体装置,其特征在于,所述第二晶体管的截止态电流小于或等于 1×10^{-13} A。

17. 一种用于驱动半导体装置的方法,所述半导体装置包括:

第一线;

第二线;

第三线;

在所述第一线和所述第二线之间串联连接的多个存储器单元;

电连接至所述第三线的第一电路;以及

电连接至所述第二线的第二电路,

所述方法包括写入步骤和读取步骤,所述写入步骤包括如下步骤:

选择多个写入电位中的一个;以及

向所述第三线输出所述多个写入电位中的一个,且

所述读取步骤包括如下步骤:

向所述第一线提供电位;以及

比较所述第二线的电位和多个参考电位,

其中,所述多个存储器单元中的每一个都包括:

包含第一栅极、第一源极和第一漏极的第一晶体管;

包含第二栅极、第二源极和第二漏极的第二晶体管;以及

包含第三栅极、第三源极和第三漏极的第三晶体管,

其中,所述第二晶体管包含包括氧化物半导体的沟道形成区,且

其中,所述第一栅极与所述第二源极和所述第二漏极中的一个彼此电连接,

其中,所述第一线、所述第一源极和所述第三源极彼此电连接,

其中,所述第二线、所述第一漏极和所述第三漏极彼此电连接,且

其中,所述第三线与所述第二源极和所述第二漏极中的另一个彼此电连接。

18. 如权利要求17所述的用于驱动半导体装置的方法,其特征在于,

所述半导体装置还包括电连接至所述第一电路和所述第二电路的第三电路,

其中在所述写入步骤中,所述第三电路产生所述多个写入电位并将所述多个写入电位提供至所述第一电路,且

其中在所述读取步骤中,所述第三电路产生所述多个参考电位并将所述多个参考电位提供至所述第二电路。

19. 如权利要求17所述的用于驱动半导体装置的方法,其特征在于,

所述多个存储器单元中的每一个还包括电容器,该电容器包括一对电极,且

其中,所述电容器的所述一对电极中的一个电连接至所述第一栅极以及所述第二源极和所述第二漏极中的一个。

20. 如权利要求17所述的用于驱动半导体装置的方法,其特征在于,所述第一晶体管和所述第三晶体管中的每一个都包含沟道形成区,该沟道形成区包括所述氧化物半导体之外

的半导体材料。

21. 如权利要求17所述的用于驱动半导体装置的方法,其特征在于,所述第一晶体管和所述第三晶体管中的每一个都包含包括硅的沟道形成区。

22. 一种用于驱动半导体装置的方法,所述半导体装置包括:

第一线;

第二线;

第三线;

在所述第一线和所述第二线之间串联连接的多个存储器单元;

电连接至所述第三线的第一电路;

电连接至所述第二线的第二电路;以及

第三电路,

所述方法包括写入步骤和读取步骤,所述写入步骤包括如下步骤:

选择多个写入电位中的一个;以及

向所述第三线输出所述多个写入电位中的一个,且

所述读取步骤包括如下步骤:

通过从所述第三电路提供多个参考电位中的一个来选择所述多个存储器单元中的一个;以及

检测所述第一线和所述第二线之间的电导,

其中,所述多个存储器单元中的每一个都包括:

具有第一栅极、第一源极和第一漏极的第一晶体管;

具有第二栅极、第二源极和第二漏极的第二晶体管;以及

包括一对电极的电容器,

其中,所述第二晶体管包含包括氧化物半导体的沟道形成区,且

其中,所述第一栅极、所述第二源极和所述第二漏极中的一个、以及所述电容器的所述一对电极中的一个彼此电连接,

其中,所述第一线和所述第一源极彼此电连接,

其中,所述第二线和所述第一漏极彼此电连接,

其中,所述第三线与所述第二源极和所述第二漏极中的另一个彼此电连接,且

其中,所述第二栅极和所述电容器的所述一对电极中的另一个都电连接至所述第三电路。

23. 如权利要求22所述的用于驱动半导体装置的方法,其特征在于,

所述半导体装置还包括电连接至所述第一电路、所述第二电路和所述第三电路的第四电路,

其中在所述写入步骤中,所述第四电路产生所述多个写入电位并将所述多个写入电位提供至所述第一电路,且

其中在所述读取步骤中,所述第四电路产生所述多个参考电位并将所述多个参考电位提供至所述第二电路和所述第三电路。

24. 如权利要求22所述的用于驱动半导体装置的方法,其特征在于,所述第一晶体管包含沟道形成区,该沟道形成区包括所述氧化物半导体之外的半导体材料。

25. 如权利要求22所述的用于驱动半导体装置的方法,其特征在于,所述第一晶体管包含包括硅的沟道形成区。

26. 如权利要求17或22所述的用于驱动半导体装置的方法,其特征在于,所述第二晶体管的截止态电流小于或等于 1×10^{-13} A。

27. 一种用于驱动半导体装置的方法,所述半导体装置包括:

第一线;

第二线;

第三线;

串联连接的多个存储器单元;

包括第一栅极并电连接在所述第一线 and 所述多个存储器单元之间的第一晶体管;

包括第二栅极并电连接在所述第一线 and 所述多个存储器单元之间的第二晶体管;

电连接至所述第三线的第一电路;以及

电连接至所述第二线的第二电路,

所述方法包括写入步骤和读取步骤,所述写入步骤包括如下步骤:

选择多个写入电位中的一个;以及

向所述第三线输出所述多个写入电位中的一个,且

所述读取步骤包括如下步骤:

向所述第一栅极和所述第二栅极提供第一电位,以使所述第一晶体管和所述第二晶体管导通,

其中,所述多个存储器单元中的每一个都包括:

包含第三栅极、第三源极和第三漏极的第三晶体管,

包含第四栅极、第四源极和第四漏极的第四晶体管;以及

其中,所述第四晶体管包含包括氧化物半导体的沟道形成区,且

其中,所述第三栅极与所述第四源极和所述第四漏极中的一个彼此电连接,

其中,所述第一线 and 所述第三源极通过所述第一晶体管彼此电连接,

其中,所述第二线 and 所述第三漏极通过所述第二晶体管彼此电连接,且

其中,所述第三线与所述第四源极和所述第四漏极中的另一个彼此电连接。

28. 如权利要求27所述的用于驱动半导体装置的方法,其特征在于,

所述多个存储器单元中的每一个还包括第五晶体管,该第五晶体管包括第五栅极、第五源极和第五漏极,

其中,所述第五源极电连接至所述第三源极,

其中,所述第五漏极电连接至所述第三漏极,且

其中,所述读取步骤还包括如下步骤:

向所述第一线提供第二电位;以及

比较所述第二线的电位和多个参考电位。

29. 如权利要求27所述的用于驱动半导体装置的方法,其特征在于,

所述半导体装置还包括第三电路,

其中,所述多个存储器单元中的每一个还包括电容器,该电容器包括一对电极,

其中,所述第三栅极、所述第四源极和所述第四漏极中的一个、以及所述电容器的所述

一对电极中的一个彼此电连接,

其中,所述电容器的所述一对电极中的另一个电连接至所述第三电路,且

其中,所述读取步骤还包括如下步骤:

通过从所述第三电路提供多个参考电位中的一个来选择所述多个存储器单元中的一个;以及

检测所述第一线 and 所述第二线之间的电导。

30. 如权利要求27所述的用于驱动半导体装置的方法,其特征在于,所述第三晶体管包含沟道形成区,该沟道形成区包括所述氧化物半导体之外的半导体材料。

31. 如权利要求27所述的用于驱动半导体装置的方法,其特征在于,所述第三晶体管包含包括硅的沟道形成区。

32. 如权利要求27所述的用于驱动半导体装置的方法,其特征在于,所述第四晶体管的截止态电流小于或等于 $1 \times 10^{-13} \text{A}$ 。

33. 如权利要求17、22和27中任一权利要求所述的用于驱动半导体装置的方法,其特征在于,所述氧化物半导体包含In、Ga和Zn。

半导体装置及用于驱动半导体装置的方法

[0001] 本申请是申请日为“2010年10月20日”、申请号为“201080051357.2”、题为“半导体器件”的分案申请。

技术领域

[0002] 本发明涉及使用半导体元件的半导体器件及制造其的方法。

背景技术

[0003] 使用半导体元件的存储设备被粗略地分为停止供电时丢失其所存储的数据的易失性存储设备和停止供电时可保持其所存储的数据的非易失性存储设备。

[0004] 给出动态随机存取存储器 (DRAM) 作为易失性存储设备的典型示例。在 DRAM 中, 存储器元件中所包括的晶体管被选中, 且电荷被累积在电容器中, 从而数据被存储。

[0005] 由于上述原理, 当 DRAM 中的数据被读取时电容器中的电荷丢失; 因此, 无论何时数据被读取时有必要执行写入操作。此外, 在存储元件所包括的晶体管中存在漏电流, 且即使在该晶体管没有被选中时电荷流入或流出电容器, 藉此数据保持时间段较短。因此, 有必要以预确定的周期重新执行写入操作 (刷新操作) 且难以充分地减少功耗。进一步, 由于停止供电时所存储的数据丢失, 需要使用磁性材料或光学材料的另一个存储设备来保持所存储的数据达较长时间。

[0006] 给出静态随机存取存储器 (SRAM) 作为易失性存储设备的另一个示例。在 SRAM 中, 使用诸如触发器之类的电路保持所存储的数据, 所以不需要刷新操作。这样看来, SRAM 比 DRAM 更有优势。然而, 由于使用了诸如触发器之类的电路, 每存储容量的成本就存在难题。进一步, 从停止供电时所存储的数据丢失的角度而言, SRAM 也没有优于 DRAM。

[0007] 给出闪存存储器作为非易失性存储设备的典型示例。闪存存储器包括晶体管中的栅电极和沟道形成区之间的浮动栅。闪存存储器通过保持浮动栅中的电荷来存储数据, 从而数据保持时间段非常长 (准永久), 且因此具有不需要在易失性存储设备中所必须的刷新操作的优势 (例如, 见专利文献1)。

[0008] 然而, 在闪存存储器中, 存在这样的问题: 存储元件在执行写入操作很多次之后不再起作用, 因为存储元件中所含有的栅绝缘层由于执行写入操作时发生的隧道电流而被劣化。为了避免这个问题的不利影响, 例如, 采用了均衡存储元件的写入操作的次数的方法。然而, 需要复杂的外围电路来实现这个方法。即使当采用这样的方法时, 寿命的基本问题亦没有被解决。即, 闪存存储器不适用于高频写入数据的应用。

[0009] 进一步, 需要高压来将电荷注射至浮动栅或移除浮动栅中的电荷。进一步, 需要相对长的时间来注射或移除电荷, 且不能轻易地增加写入或擦除的速度。

[0010] [参考文献]

[0011] [专利文献]

[0012] [专利文献1] 日本公开专利申请 No. S57-105889

发明内容

[0013] 鉴于上述问题,本发明的实施例的一个目的在于提供具有其中即使当不提供电源时保持所存储的数据且写入的次数不受限制的新颖结构的半导体器件。本发明的一个实施例的另一个目的是提供具有其中存储于半导体器件中的数据易于被多值化 (multivalued) 的结构半导体。

[0014] 本发明的一个实施例是具有使用氧化物半导体的晶体管和使用非氧化物半导体的材料的晶体管的堆叠的半导体。例如,该半导体器件可采用如下结构。

[0015] 本发明的一实施例是半导体器件,该半导体器件包括:源线;位线;第一信号线;多个第二信号线;多个字线;在该源线和该位线之间串联连接的多个存储单元;第二信号线和字线的驱动器电路,对该驱动器电路输入地址信号且该驱动器电路驱动多个第二信号线和多个字线从而从多个存储单元中选择由该地址信号指定的存储单元;用于第一信号线选择并输出多个引线电位中的任意至第一信号线的驱动器电路;向其输入位线电位和多个参考电位的读取电路,且该读取电路通过比较位线电位和多个参考电位而读取数据;以及电位产生电路,产生并提供多个写入电位和多个参考电位至第一信号线的驱动器电路和读取电路。进一步,该多个存储单元中的一个包括:含有第一栅电极、第一源电极、和第一漏电极的第一晶体管;含有第二栅电极、第二源电极、和第二漏电极的第二晶体管;和含有第三栅电极、第三源电极、和第三漏电极的第三晶体管。该第一晶体管被提供在含有半导体材料的衬底上。形成第二晶体管以使其含有氧化物半导体层。第一栅电极、与第二源电极和第二漏电极中的一个,彼此电连接。源线、第一源电极、和第三源电极彼此电连接。位线、第一漏电极、和第三漏电极彼此电连接。第一信号线、与第二源电极和第二漏电极中的另一个,彼此电连接。多个第二信号线中的一个与第二栅电极彼此电连接。多个字线中的一个与第三栅电极彼此电连接。

[0016] 注意,优选地在上述结构中包括电连接至第一栅电极,以及第二源电极与第二漏电极中的一个的电容器。

[0017] 本发明的另一实施例是半导体器件,该半导体器件包括:源线;位线;第一信号线;多个第二信号线;多个字线;在该源线和该位线之间串联连接的多个存储单元;第二信号线和字线的驱动器电路,对该驱动器电路输入地址信号和多个参考电位,且该驱动器驱动多个第二信号线和多个字线从而从多个存储单元中选择由该地址信号指定的存储单元,并选择并输出多个参考电位中的任意至一个所选中的字线;用于第一信号线选中并输出多个引线电位中的任意至第一信号线的驱动器电路;连接至该位线的读取电路,且通过读取所指定的存储单元的电导而读取数据;以及电位产生电路,产生并提供多个写入电位和多个参考电位至第一信号线的驱动器电路和读取电路。进一步,该多个存储单元中的一个包括:具有第一栅电极、第一源电极、和第一漏电极的第一晶体管;具有第二栅电极、第二源电极、和第二漏电极的第二晶体管;以及电容器。该第一晶体管被提供在含有半导体材料的衬底上。形成含有氧化物半导体层的第二晶体管。第一栅电极、与第二源电极和第二漏电极中的一个、以及电容的电极中的一个,彼此电连接。源线和第一源电极彼此电连接。位线和第一漏电极彼此电连接。第一信号线、与第二源电极和第二漏电极中的另一个,彼此电连接。多个第二信号线中的一个与第二栅电极彼此电连接。多个字线中的一个与电容器的另一个电极彼此电

连接。

[0018] 上述半导体器件优选地包括：第一选择线；第二选择线；第四晶体管，通过其栅电极电连接至第一选择线；以及第五晶体管，通过其栅电极电连接至第二选择线。进一步，优选的是位线通过第四晶体管电连接至第一漏电极和第三漏电极，且源线通过第五晶体管电连接至第一源电极和第三源电极。

[0019] 此外，优选的是用在升压电路中被升压的电位提供给电位产生电路。

[0020] 在上述结构中，该第一晶体管包括：在含有半导体材料的衬底上提供沟道形成区；被提供为将该沟道形成区夹在其之间的杂质区；在该沟道形成区上的第一栅绝缘层；在该第一栅绝缘层之上的第一栅电极；且该第一源电极和第一漏电极电连接至该杂质区。

[0021] 进一步，在上述结构中，该第二晶体管包括：在含有半导体材料的衬底上的第二栅电极；在该第二栅电极上的第二栅绝缘层；在第二栅绝缘层上的氧化物半导体层；且第二源电极和第二漏电极电连接至氧化物半导体层。

[0022] 在上述结构中，优选地将单晶半导体衬底或SOI衬底用作含有半导体材料的衬底。特别优选的是半导体材料是硅。

[0023] 进一步，在上述结构中，氧化物半导体层优选地含有In-Ga-Zn-O基的氧化物半导体材料。特别优选的是该氧化物半导体层含有 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。该氧化物半导体层的氢浓度优选地是小于或等于 $5 \times 10^{19} \text{ atoms/cm}^3$ 。此外，第二晶体管的截止态电流优选地是小于或等于 $1 \times 10^{-13} \text{ A}$ 。

[0024] 此外，在上述结构中，可在与第一晶体管交迭的区域中提供第二晶体管。

[0025] 注意，在本说明书中，在组件之间的物理关系的描述中，“之上”和“之下”各自并不必然意味着“直接位于其上”和“直接位于其下”。例如，“在栅绝缘层之上的第一栅电极”的表达可对应于这样的情况：栅绝缘层和第一栅电极之间设置有另一个组件。此外，术语“之上”和“之上”仅被用于解释的便利，且它们可被互换除非有相反的指定。

[0026] 在本说明书中，术语“电极”或“引线”不限制组件的功能。例如，可使用“电极”作为“引线”的部分，且可使用“引线”作为“电极”的部分。此外，例如，术语“电极”或“引线”还可意味着多个“电极”和“引线”的组合。

[0027] 进一步，例如，当采用了具有不同极性的晶体管或电路操作中电流的方向被改变时，“源极”和“漏极”的功能可被互换。因此，在本说明书中，术语“源极”和“漏极”可被互换。

[0028] 注意，在本说明书中，“电连接”的表达包括通过“具有任何电功能的物体”的电连接的情况。此处，对于“具有电功能的物体”没有特别限制，只要该物体能实现在该物体所连接的组件之间发送和接收电信号。

[0029] 例如，在“具有任何电功能的对象”中，诸如晶体管之类的开关元件、电阻器、电感器、电容器、以及具有各种功能的其他元件，以及电极和引线。

[0030] 通常，术语“SOI衬底”指的是在绝缘表面上具有硅半导体层的一种衬底。在本文说明书中，术语“SOI衬底”还表示一种衬底，其具有在绝缘表面上的使用除硅以外材料的半导体层。即，包括在“SOI衬底”中的半导体层并不限于硅半导体层。附加地，“SOI衬底”中的衬底并不限于诸如硅晶片之类的半导体衬底，且可能是诸如玻璃衬底、石英衬底、蓝宝石衬底、以及金属衬底之类的非半导体衬底。即，“SOI衬底”还包括具有绝缘表面的导电衬底以及在其上使用半导体材料形成层的绝缘衬底。此外，在本说明书中，“半导体衬底”指示仅为

半导体材料的衬底,以及还有含有半导体材料的材料的一般衬底。换言之,在本说明书中,“SOI衬底”也被包括在“半导体衬底”的宽范畴中。

[0031] 另外,在本说明书中,氧化物半导体之外的材料可以是任何材料,只要是氧化物半导体之外的材料。例如,可给出硅、锗、硅锗、碳化硅、砷化镓等。此外,可使用有机半导体材料等。注意,在没有特别解释半导体器件中所含有的材料等的情况下,可使用氧化物半导体或氧化物半导体之外的材料。

[0032] 本发明的一实施例提供了半导体器件,其中在其下部放置有使用氧化物半导体之外的材料的晶体管、且在其上部放置有使用氧化物半导体的晶体管。

[0033] 使用氧化物半导体的晶体管具有极小的截止态电流;因此,通过使用该晶体管,所存储的数据可被保持达很长的时间。即,刷新操作可变得没有必要或者刷新操作的频率可被显著减少,从而可充分减少功耗。进一步,即使在不提供电源的情况下,可保持所存储的数据达较长时间。

[0034] 此外,不需要高压用于将数据写入半导体器件,且不存在元件劣化的问题。例如,由于没有必要执行将电荷注入浮动栅以及将电子从浮动栅中抽出这样在常规非易失性存储器中所需要的操作,不发生栅绝缘层的劣化。即,根据本发明的半导体器件对于作为常规非易失性存储器的难题的写入次数没有限制,且限制改进了其可靠性。进一步,通过在晶体管的导通状态和截止状态之间的切换而写入数据,藉此可轻易地实现高速操作。附加地,存在这样的优势:对于闪存存储器等中所必须的用于擦除数据的操作是没有必要的。

[0035] 进一步,使用氧化物半导体之外的材料的晶体管可在远高于使用氧化物半导体的晶体管的速度下进行操作,且因此实现了所存储的数据的高速读取。

[0036] 另外,通过被提供有升压电路,被存储在本发明的半导体器件中的数据可被轻易地多值化,从而可增加存储容量。

[0037] 相应地,通过提供有使用氧化物半导体之外的材料的晶体管和使用氧化物半导体材料的晶体管的组合,可实现具有空前特征的半导体器件。

附图说明

[0038] 在附图中:

[0039] 图1是用于示出半导体器件的电路图;

[0040] 图2A和2B分别是用于示出半导体器件的截面图和平面图;

[0041] 图3A至3H是用于示出半导体器件的制造工艺的截面图;

[0042] 图4A至4G是用于示出半导体器件的制造工艺的截面图;

[0043] 图5A至5D是用于示出半导体器件的制造工艺的截面图;

[0044] 图6是含有氧化物半导体的晶体管的截面图;

[0045] 图7是沿图6中的A-A'截面的能带图(示意图);

[0046] 图8A是示出其中向栅极(GE1)施加正电压($V_G > 0$)的状态的图,而图8B是示出其中向栅极(GE1)施加负电压($V_G < 0$)的状态的图。

[0047] 图9是示出真空能级和金属的功函数(ϕ_M)之间、以及真空能级和氧化物半导体的电子亲和力(χ)之间的关系的图;

[0048] 图10示出C-V特性;

- [0049] 图11示出 V_G 和 $(1/C)^2$ 之间的关系；
- [0050] 图12是用于示出半导体器件的截面图；
- [0051] 图13A和13B各自是用于示出半导体器件的截面图；
- [0052] 图14A和14B各自是用于示出半导体器件的截面图；
- [0053] 图15A和15B各自是用于示出半导体器件的截面图；
- [0054] 图16是用于示出半导体器件的电路图；
- [0055] 图17是用于示出半导体器件的电路框图；
- [0056] 图18是用于示出半导体器件的电路图；
- [0057] 图19是用于示出半导体器件的电路图；
- [0058] 图20是用于示出半导体器件的电路图；
- [0059] 图21是用于示出半导体器件的电路图；
- [0060] 图22A和22B是用于示出半导体器件的电路图；
- [0061] 图23是用于示出半导体器件的电路图；
- [0062] 图24是用于示出半导体器件的电路图；
- [0063] 图25A和25B分别是用于示出半导体器件的写入操作的时序图和读取操作的时序图；
- [0064] 图26是用于示出半导体器件的电路图；
- [0065] 图27是用于示出半导体器件的电路框图；
- [0066] 图28是用于示出半导体器件的电路图；
- [0067] 图29是用于示出半导体器件的电路图；
- [0068] 图30是用于说明节点A的电位和字线WL的电位之间的关系的图；
- [0069] 图31是用于示出半导体器件的读取操作的时序图；以及
- [0070] 图32A到32F各自是用于示出使用半导体器件的电子设备的示意图。

具体实施方式

[0071] 在下文中,将参考附图而描述本发明的实施例的示例。注意,本发明不限于以下描述,而且本领域技术人员容易理解的是,模式和细节可以各种方式修改,而不背离本发明的范围和精神。因此,本发明不应被解释为限于对以下实施例的描述。

[0072] 注意,为了易于理解,在一些情况下附图中等所示的每一个组件的位置、尺寸、范围等并不是实际的那些。因此,本发明并不限于附图等中所公开的位置、尺寸和范围等。

[0073] 要注意,在本说明书中,为了避免组件之间的混淆使用诸如“第一”、“第二”和“第三”的序数,这些术语并不在数量上限制组件。

[0074] [实施例1]

[0075] 在这个实施例中,参考图1、图2A和2B、图3A到3H、图4A到4G、图5A到5D、图6、图7、图8A和8B、图9、图10、图11、图12、图13A和13B、图14A和14B、以及图15A和15B而描述根据所公开的发明的一个实施例的半导体器件的结构和制造方法。

[0076] <半导体器件的电路结构>

[0077] 图1示出半导体器件的电路结构的一示例。半导体器件包括使用氧化物半导体之外的材料的晶体管160以及使用氧化物半导体的晶体管162。注意,向图1中的晶体管162添

加了标记“0S”来表示晶体管162使用了氧化物半导体(0S)。这还适用于其他实施例的其他电路图。

[0078] 此处,晶体管160的栅电极电连接至晶体管162的源电极和漏电极中的一个。第一引线(用“第一线”表示,且还被称作源线SL)和第二引线(用“第二线”表示,且还被称作位线BL)分别电连接至晶体管160的源电极和晶体管160的漏电极。进一步,第三引线(用“第三线”表示,且还被称作第一信号线S1)和第四引线(用“第四线”表示,且还被称作第二信号线S2)分别电连接至晶体管162的源电极和漏电极中的另一个和晶体管162的栅电极。

[0079] 使用氧化物半导体之外的材料的晶体管160可在远高于使用氧化物半导体的晶体管的速度进行操作,且因此实现了所存储的数据的高速读取等。此外,在使用氧化物半导体的晶体管162中截止态电流极小。因此,当晶体管162被截止时,可保持晶体管160的栅电极的电位达极长时间。进一步,在使用氧化物半导体的晶体管162中,可能无法导致短沟道效应,这是有利的。

[0080] 可保持栅电极的电位达极长时间的优势能如上所述地实现数据的写入、保持、和读取。

[0081] 首先将描述数据的写入和保持。首先,将第四引线的电位设置为使得晶体管162处于导通状态的电位,藉此使得晶体管162处于导通状态。相应地,将第三引线的电位施加到晶体管160的栅电极(数据的写入)。此后,将第四引线的电位设置为使得晶体管162处于截止状态的电位,藉此使得晶体管162处于截止状态;相应地,晶体管160的栅电极的电位被保持(数据的保持)。

[0082] 由于晶体管162的截止态电流极小,晶体管160的栅电极的电位被保持达长时间段。例如,当晶体管160的栅电极的电位是使得晶体管160处于导通状态的电位时,保持晶体管160的导通状态达较长时间。当晶体管160的栅电极的电位是使得晶体管160处于截止状态的电位时,保持晶体管160的截止状态达较长时间。

[0083] 接着,对数据的读取做出描述。当如上所述地保持晶体管160的导通状态或截止状态且将给定电位(低电位)施加给第一引线时,第二引线的电位的值取决于晶体管160的状态是导通状态还是截止状态而变化。例如,当晶体管160处于导通状态时,第二引线的电位通过被第一引线的电位所影响而被降低。另一方面,当晶体管160处于截止状态时,第二引线的电位不被改变。

[0084] 以此方式,通过将第二引线的电位与数据被保持状态中的给定电位相比较,数据可被读取。

[0085] 然后,对数据的重新写入做出描述。数据的重新写入以与上述数据的写入和保持相类似的方式执行。即,将第四引线的电位设置为使得晶体管162处于导通状态的电位,藉此使得晶体管162处于导通状态。相应地,将第三引线的电位(相关于新数据的电位)施加至晶体管160的栅电极。此后,将第四引线的电位设置为使得晶体管162处于截止状态的电位,藉此使得晶体管162处于截止状态;相应地,新数据被保持。

[0086] 如上所述,在根据所公开的发明的一个实施例的半导体器件中,通过再次执行数据的写入可直接将数据重新写入。因此不需要在闪存存储器中所必须的擦除操作等;因此,可抑制由于擦除操作引起的操作速度的降低。换言之,实现了半导体器件的高速操作。

[0087] 注意,在上述描述中,使用了用电子作为载流子的n-型晶体管(n-沟道晶体管);然

而,毋庸置疑,可使用用空穴作为载流子的p-沟道晶体管替代n-沟道晶体管。

[0088] 仍然毋庸置疑的是可向晶体管160的栅电极添加电容器以使晶体管160的栅电极的电位易于被保持。

[0089] <半导体器件的平面结构和截面结构>

[0090] 在图2A和2B中示出了上述半导体器件的结构示例。图2A和2B分别是用于示出半导体器件的截面图和平面图。此处,图2A对应于图2B的沿线A1-A2和B1-B2的截面。图2A和2B中所示的半导体器件包括在下部使用氧化物半导体之外的材料的晶体管160和在上部使用了氧化物半导体的晶体管162。注意,尽管将n-沟道晶体管描述为晶体管160和162,可采用p-沟道晶体管。具体地,可使用p-沟道晶体管作为晶体管160。

[0091] 晶体管160包括:为含有半导体材料的衬底100所提供的沟道形成区116;将沟道形成区116夹在其中的杂质区114和将沟道形成区116夹在其中的高浓度杂质区120(也被合起来称为杂质区);提供在沟道形成区116上的栅绝缘层108;提供在栅绝缘层108上的栅电极110;以及电连接至杂质区114的源或漏电极130a和源或漏电极130b。

[0092] 此处,为栅电极110的侧表面而提供侧壁绝缘层118。进一步,在衬底100的从截面图看没有与侧壁绝缘层118交迭的区域中,提供了高浓度杂质区120。金属化合物区124位于高浓度杂质区120上。在衬底100上,提供元件隔离绝缘层106以围绕晶体管160,提供层间绝缘层126和层间绝缘层128以覆盖晶体管160。源或漏电极130a和源或漏电极130b通过在层间绝缘层126和128中形成的开口电连接至金属化合物区124。换言之,源或漏电极130a和源或漏电极130b经由金属化合物区124电连接至高浓度杂质区120和杂质区114。进一步,栅电极110电连接至以与源或漏电极130a和源或漏电极130b类似方式而被提供的电极130c。

[0093] 晶体管162包括:提供在层间绝缘层128上的栅电极136d;提供在栅电极136d上的栅绝缘层138;提供在栅绝缘层138上的氧化物半导体层140;以及提供在氧化物半导体层140上且电连接至氧化物半导体层140的源或漏电极142a和源或漏电极142b。

[0094] 此处,提供栅电极136d以使其被嵌入在位于层间绝缘层128上的绝缘层132中。进一步,类似于栅电极136d,形成分别与源或漏电极130a、源或漏电极130b、以及电极130c相接触的电极136a、136b、以及电极136c。

[0095] 在晶体管162上,提供与氧化物半导体层140的部分相接触的保护绝缘层144。在保护绝缘层144上提供层间绝缘层146。此处,在保护绝缘层144和层间绝缘层146中,形成达到源或漏电极142a和源或漏电极142b的开口。在该开口中,形成电极150d和电极150e分别与源或漏电极142a和源或漏电极142b相接触。类似于电极150d和电极150d,形成电极150a、电极150b和电极150c,在栅绝缘层138、保护绝缘层144、以及层间绝缘层146中提供的开口分别与电极136a、电极136b和电极136c相接触。

[0096] 此处,氧化物半导体层140优选地是通过移除诸如氢之类的杂质而被高度纯化的氧化物半导体层。具体地,氧化物半导体层140中的氢浓度小于或等于 $5 \times 10^{19} \text{ atoms/cm}^3$,优选地,小于或等于 $5 \times 10^{18} \text{ atoms/cm}^3$,或更优选地,小于或等于 $5 \times 10^{17} \text{ atoms/cm}^3$ 。在通过充分地降低氢浓度而被高度纯化的氧化物半导体层140中,当与一般硅晶片(向其添加了微量的诸如磷或硼之类的杂质元素的硅晶片)中的载流子浓度(大约为 $1 \times 10^{14} / \text{cm}^3$)相比较时其载流子浓度足够低。换言之,氧化物半导体层140中的载流子浓度小于或等于 $1 \times 10^{12} / \text{cm}^3$,优选地,小于或等于 $1 \times 10^{11} / \text{cm}^3$ 。以此方式,通过使用通过充分地降低氢浓度而被高度纯化

并被制成i-型(本征)氧化物半导体或基本为i-型氧化物半导体的氧化物半导体,可获得具有极其良好的截止态电流特性的晶体管162。例如,当漏电压 V_D 为+1或+10V且栅电压 V_G 从-20到-5V变化时,截止态电流为小于或等于 1×10^{-13} A。当使用作为被通过充分地降低氢浓度而被制成本征氧化物半导体层或基本为本征氧化物半导体层的氧化物半导体层140且晶体管162的截止态电流被减少时,可实现具有新颖结构的半导体器件。注意,氧化物半导体层140中的氢浓度通过二次离子质谱法(SIMS)来测量。

[0097] 进一步,在层间绝缘层146上提供绝缘层152。提供电极154a、电极154b、以及电极154c从而其被嵌在绝缘层152中。此处,电极154a与电极150a相接触;电极154b与电极150b相接触;电极154c与电极150c和150d相接触;且电极154d与电极150e相接触。

[0098] 即,在图2A和2B所示的半导体器件中,晶体管160的栅电极110经由电极130c、136c、150c、154c、以及150d电连接至晶体管162的源或漏电极142a。

[0099] <用于制造半导体器件的方法>

[0100] 接着,将描述用于制造上述半导体器件的方法的示例。首先,将参考图3A到3H描述用于制造下部中的晶体管160的方法,然后将参考图4A到4G和图5A到5D而描述用于制造上部中的晶体管162的方法。

[0101] <用于制造下部中的晶体管的方法>

[0102] 首先,制备含有半导体材料的衬底100(见图3A)。可使用含有硅、碳化硅等的单晶半导体衬底或多晶半导体衬底、含有硅锗等的化合物半导体衬底、SOI衬底等作为含有半导体材料的衬底100。此处,描述了其中使用单晶硅衬底作为含有半导体材料的衬底100的示例。

[0103] 在衬底100上有用作用于形成元件隔离绝缘层的掩模的保护层102(见图3A)。例如,可使用氧化硅、氮化硅、氮氧化硅等形成的绝缘层用作保护层102。注意,在这个步骤之前或之后,可向衬底100添加给出n-型导电率的杂质元素或给出p-型导电率的杂质元素,从而控制晶体管的阈值电压。当衬底100中所含有的半导体材料是硅时,可使用磷、砷等作为给出n-型导电率的杂质。例如,可使用硼、铝、镓等作为给出p-型导电率的杂质。

[0104] 接着,随着将上述保护层102用作掩模,通过蚀刻来移除衬底100的不被覆盖保护层102的区域(暴露区域)的部分。因此,形成了分开的半导体区域104(见图3B)。优选地实行干法蚀刻用于蚀刻,不过可执行湿法蚀刻。取决于所要蚀刻的对象的材料而适当地选择蚀刻气体和蚀刻剂。

[0105] 接着,形成绝缘层从而覆盖半导体区域104,且选择性地移除与半导体区域104交迭的区域,藉此形成元件隔离绝缘层106(见图3B)。使用氧化硅、氮化硅、氮氧化硅等形成绝缘层。作为用于移除绝缘层的方法,蚀刻处理或诸如CMP之类的抛光处理,且可采用其中的任意一种。注意,在形成半导体区域104之后或形成元件隔离绝缘层106之后,移除保护层102。

[0106] 然后,在半导体区域104上形成绝缘层,且在绝缘层上形成含有导电材料的层。

[0107] 之后绝缘层用作栅绝缘层且优选地具有使用通过CVD法、溅射法等获得的含有氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等的膜的单层结构或层叠结构。可选地,上述绝缘层可通过高密度等离子体处理或热氧化处理氧化或氮化半导体区域104的表面而获得。可使用例如诸如He、Ar、Kr、或Xe之类的稀有气体以及诸如氧、氧化氮、氨、氮、氢之类的

气体的混合气体执行高密度等离子体处理。对于绝缘层的厚度没有特别限制,不过,例如,该厚度可大于或等于1nm且小于或等于100nm。

[0108] 可使用诸如铝、铜、钛、钽或钨之类的金属材料形成含有导电材料的层。可选地,含有导电材料的层可使用诸如含有导电材料的多晶硅的半导体材料而被形成。对于形成含有导电材料的层的方法也没有特别限制,且诸如蒸镀法、CVD法、溅射法、以及旋涂法之类的各种成膜方法中的任意都是可应用的。注意在这个实施例中,描述了使用金属材料形成含有导电材料的层的情况。

[0109] 此后,通过选择性地蚀刻绝缘层和含有导电材料的层,形成栅绝缘层108和栅电极110(见图3C)。

[0110] 接着,形成覆盖栅电极110的绝缘层112(见图3C)。然后将磷(P)、砷(As)等添加至半导体区域104,藉此形成具有浅结深度的杂质区114,即,其与衬底100相交的界面位于较浅区域的杂质区114(见图3C)。注意,尽管此处添加了磷或砷从而形成了n-沟道晶体管,在形成p-沟道晶体管的情况中可添加诸如硼(B)或铝(Al)之类的杂质元素。还应注意,通过形成杂质区114而在栅绝缘层108下的半导体区域104中形成沟道形成区116(见图3C)。此处,可适当地设置所添加的杂质的浓度;在半导体元件被高度小型化的情况下,优选地将该浓度设置为较高。进一步,可采用其中在形成杂质区114之后形成绝缘层112的工艺替代在形成绝缘层112之后形成杂质区114的工艺。

[0111] 然后,形成侧壁绝缘层118(见图3D)。形成绝缘层从而覆盖绝缘层112,且然后该绝缘层经受高度各向异性的蚀刻处理,藉此可以自对齐方式形成侧壁绝缘层118。优选的是此时部分地蚀刻绝缘层112,从而暴露栅电极110的顶部表面和杂质区114的顶部表面。

[0112] 此后,形成绝缘层从而覆盖栅电极110、杂质区114、侧壁绝缘层118等。然后将磷(P)、砷(As)等添加至于绝缘层接触的杂质区114的部分中,藉此形成高浓度杂质区120(见图3E)。接着,移除上述绝缘层,且形成金属层122从而覆盖栅电极110、侧壁绝缘层118、高浓度杂质区120等(见图3E)。诸如真空蒸镀法、溅射法、以及旋涂法之类的各种方法中的任意可被应用于金属层122的形成。优选的是使用金属材料形成金属层122,该金属材料与半导体区域104中含有的半导体材料反应,从而形成成具有低电阻的金属化合物。这样的金属材料的示例包括钛、钽、钨、镍、钴和铂。

[0113] 接着,执行热处理,藉此金属层122与半导体材料反应。相应地,形成与高浓度杂质区120相接触的金属化合物区124(见图3F)。注意,在使用多晶硅用于栅电极110的情况下,与金属层122相接触的栅电极110的部分也具有金属化合物区。

[0114] 可采用用闪光灯的照射作为热处理。尽管不用说可使用另一种热处理方法,优选地使用通过该方法可实现极短时间热处理的方法,从而改进金属化合物的形成中的化学反应的可控制性。注意,上述金属化合物区通过金属材料和半导体材料的反应而形成,且具有被充分地增加的导电率。通过金属化合物区的形成,可充分地减少电阻并可改进元件特性。金属层122在金属化合物区124形成之后被移除。

[0115] 形成层间绝缘层126和128来覆盖在上述步骤中形成的组件(见图3G)。使用包括无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、或氧化钽之类)的材料形成层间绝缘层126和128。可选地,可使用诸如聚酰亚胺或丙烯酸之类的有机绝缘材料。注意,尽管层间绝缘层126和层间绝缘层128形成此处的两层结构,层间绝缘层的结构并不限于此。

还要注意,层间绝缘层128的表面优选地经受CMP、蚀刻处理等从而在层间绝缘层128被形成之后被平坦化。

[0116] 此后,在层间绝缘层中形成达到金属化合物区124的开口,且然后在开口中形成源或漏电极130a和源或漏电极130b(见图3H)。例如,可如下形成源或漏电极130a和源或漏电极130b:在含有开口的区域中通过PVD法、CVD法等形成导电层;且然后通过蚀刻处理、CMP等移除该导电层的部分。

[0117] 注意,在通过移除该导电层的部分形成源或漏电极130a和源或漏电极130b的步骤中,优选的是将其表面处理为平坦。例如,在将钛膜、氮化钛膜等形成为在含有开口的区域中具有较小厚度,且然后形成钨膜从而被嵌入这些开口的情况下,其后执行的CMP可移除钨膜、钛膜、氮化钛膜等的不需要的部分,且改进了表面的平坦度。通过如上所述地平坦化含有源或漏电极130a和源或漏电极130b的表面的表面,可在之后的步骤中形成良好的电极、引线、绝缘层、半导体层等。

[0118] 注意,尽管仅描述了与金属化合物区124相接触的源或漏电极130a和源或漏电极130b,可在同一个步骤中形成与栅电极110(如,图2A的电极130c)等相接触的电极。对于源或漏电极130a和源或漏电极130b所用的材料没有特殊限制,各种导电材料都可被使用。例如,可使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钐之类的导电材料。

[0119] 通过上述工艺,形成了使用含有半导体材料的衬底100的晶体管160。注意,也可在执行上述工艺之后形成电极、引线、绝缘层等。当采用其中层间绝缘层与导电层堆叠的多层引线结构时,可提供高度集成的半导体器件。

[0120] <用于制造上部中的晶体管的方法>

[0121] 然后,将参考图4A到4G以及图5A到5D而描述通过该工艺在层间绝缘层128上制造晶体管的工艺。注意,在图4A到4G以及图5A到5D中省略了晶体管162下的晶体管160等,这些图说明了在层间绝缘层128、晶体管162等上多个电极的制造工艺。

[0122] 首先,在层间绝缘层128、源或漏电极130a、源或漏电极130b、以及电极130c上形成绝缘层132(见图4A)。绝缘层132可通过PVD法、CVD法等形成。包括无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钨、氧化铝、以及氧化钽)的材料可被用作绝缘层132。

[0123] 接着,在绝缘层132中形成达到源或漏电极130a、源或漏电极130b、以及电极130c的开口。此时,在将要形成栅电极136d的区域中形成另一个开口。形成导电层134从而被嵌在这些开口中(见图4B)。例如,可通过使用掩模而蚀刻形成上述开口。例如,可通过使用光掩模的曝光形成掩模。对于蚀刻,无论湿法蚀刻或干法蚀刻都可被执行,不过考虑到精细模制,干法蚀刻是优选的。可通过诸如PVD法和CVD法之类的沉积方法形成导电层134。导电层134的材料的示例包括诸如钼、钛、铬、钽、钨、铝、铜、钕、以及钐之类的导电材料、这些材料中的任意的合金、以及含有其中的任意的化合物(如,氮化其中的任意)。

[0124] 具体地,例如,可如下地形成导电层134:在含有开口的区域中通过PVD法形成钛膜以具有较小的厚度,且然后通过CVD法形成氮化钛膜以具有较小的厚度;且然后,形成钨膜从而被嵌入这些开口中。此处,由PVD法形成的钛膜具有减少形成于低电极(此处,源或漏电极130a、源或漏电极130b、电极130c等)的表面处的氧化物膜的功能,从而减少了与低电极的接触电阻。此外,随后形成的氮化钛膜具有阻挡性,从而防止了导电材料的扩散。进一步,在使用钛、氮化钛、等形成阻挡膜之后,通过电镀法可形成铜膜。

[0125] 在形成导电层134后,通过蚀刻处理、CMP等移除导电层134的部分,从而暴露出绝缘层132并形成电极136a、136b、和136c,以及栅电极136d(见图4C)。注意,当通过移除导电层134的部分而形成电极136a、136b、和136c,以及栅电极136d时,优选地执行处理从而获得被平坦化的表面。通过平坦化绝缘层132、电极136a、136b、和136c,以及栅电极136d的表面,可在之后的步骤中形成良好的电极、引线、绝缘层、半导体层等。

[0126] 此后,形成栅绝缘层138从而覆盖绝缘层132、电极136a、电极136b、和136c、以及栅电极136d(见图4D)。栅绝缘层138可通过溅射法、CVD法等形式形成。栅绝缘层138优选地含有氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铅、氧化钽等。注意,栅绝缘层138可具有单层结构或层叠结构。例如,可通过使用硅烷(SiH_4)、氧、和氮作为源气的等离子体CVD法形成氧氮化硅的栅绝缘层138。对于栅绝缘层138的厚度没有特别限制,不过,例如,该厚度可大于或等于10nm且小于或等于500nm。当采用层叠结构时,优选地通过堆叠具有厚度大于或等于50nm且小于或等于200nm的第一栅绝缘层和在该第一栅绝缘层上的具有厚度大于或等于5nm且小于或等于300nm的第二栅绝缘层而形成栅绝缘层138。

[0127] 注意,通过移除杂质被制成i-型氧化物半导体或基本i-型氧化物半导体的氧化物半导体(被高度纯化的氧化物半导体)对于界面状态或界面电荷极其敏感;因此,当使用这样的氧化物半导体作为氧化物半导体层时,氧化物半导体层和栅绝缘层之间的界面是重要的。换言之,与被高度纯化的氧化物半导体层相接触的栅绝缘层138需要具有高质量。

[0128] 例如,使用微波(2.45GHz)的高密度等离子体CVD法是良好的,因为藉此可形成具有高耐压的致密且高质量的栅绝缘层138。以此方式,当被高度纯化的氧化物半导体层和高质量的栅绝缘层彼此接触时,可减少界面状态且界面特性可以是良好的。

[0129] 毋庸置疑,即使当使用这样的被高度纯化的氧化物半导体层时,只要可形成具有良好质量的绝缘层作为栅绝缘层,可采用诸如溅射法或等离子体CVD法之类的另一种方法。可选地,可应用绝缘层,其在被形成之后其膜质量和与氧化物半导体之间的界面特性通过热处理被修改。在任何情况下,具有良好质量的层作为栅绝缘层138是可接受的,且这样减少了栅绝缘层和氧化物半导体层之间的界面状态,从而形成了良好的界面。

[0130] 当氧化物半导体中含有杂质时,通过诸如强电场和高温之类的应力切断了氧化物半导体的杂质和主要组分之间的组合,且所产生的悬空键导致阈值电压(V_{th})的偏移。

[0131] 另一方面,根据所公开的发明的一个实施例,如上所述,可通过移除氧化物半导体中的杂质(特别是氢或水)并实现栅绝缘层和氧化物半导体层之间的良好的界面特性,而提供即使在诸如强电场和高温之类的应力下仍是稳定的晶体管。

[0132] 然后,在栅绝缘层138上形成氧化物半导体层,并通过使用掩模的诸如蚀刻之类的方法处理氧化物半导体层,从而形成具有岛状的氧化物半导体层140(见图4E)。

[0133] 可应用使用如下材料中的任意形成的氧化物半导体层作为氧化物半导体层:诸如In-Sn-Ga-Zn-O-基金属氧化物之类的四组分金属氧化物;三组分金属氧化物,诸如In-Ga-Zn-O基金属氧化物、In-Sn-Zn-O基金属氧化物、In-Al-Zn-O基金属氧化物、Sn-Ga-Zn-O基金属氧化物、Al-Ga-Zn-O基金属氧化物、以及Sn-Al-Zn-O基金属氧化物;两组分金属氧化物,诸如In-Zn-O基金属氧化物、Sn-Zn-O基金属氧化物、Al-Zn-O基金属氧化物、Zn-Mg-O基金属氧化物、Sn-Mg-O基金属氧化物、以及In-Mg-O基金属氧化物;In-O-基金属氧化物;Sn-O-基金属氧化物;以及Zn-O-基金属氧化物。此外,上述氧化物半导体材料可含有 SiO_2 。

[0134] 可使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜作为氧化物半导体层。此处, M表示选自Ga、Al、Mn和Co的一种或多种金属元素。例如, M可以是Ga、Ga和Al、Ga和Mn、Ga和Co等等。被表示为 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的氧化物半导体膜, 其包括Ga作为M, 被称作In-Ga-Zn-O基氧化物半导体, 且In-Ga-Zn-O基氧化物半导体的薄膜被称作In-Ga-Zn-O基膜(In-Ga-Zn-O-基非晶膜)。

[0135] 在本实施例中, 通过使用In-Ga-Zn-O基氧化物半导体靶用于成膜的溅射法形成非晶氧化物半导体层作为氧化物半导体层。注意, 通过向该非晶氧化物半导体层添加硅, 可抑制结晶; 因此, 可使用含有大于等于2wt.%且小于等于10wt.%的 SiO_2 的靶形成氧化物半导体层。

[0136] 例如, 可使用含有氧化锌作为主要组分的氧化物半导体靶作为通过溅射法用于形成氧化物半导体层的靶。例如, 具有组分比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ (摩尔比率) 的靶也可被用于成膜的In-Ga-Zn-O-基氧化物半导体靶。可选地, 可使用具有组分比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ (摩尔比率) 的靶或具有组分比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ (摩尔比率) 的靶作为用于成膜的In-Ga-Zn-O-基氧化物半导体靶。用于成膜的氧化物半导体靶的填充率大于等于90%且小于或等于100%, 优选地大于或等于95% (如, 99.9%)。通过使用其填充率较高的用于成膜的氧化物半导体靶, 形成致密氧化物半导体层。

[0137] 用于形成氧化物半导体层的气氛优选是稀有气体 (通常是氩) 气氛、氧气氛、或稀有气体 (通常是氩) 和氧的混合气氛等。具体地, 高纯度气体 (其中诸如氢、水、含有羟基的化合物、以及氢化物之类的杂质的浓度被减少为约每百万数份 (优选地是每十亿数份)) 是优选的。

[0138] 在形成氧化物半导体层时, 该衬底被固定在保持于减少的压力状态中的处理腔室中, 且该衬底温度大于或等于100℃且小于或等于600℃, 优选地, 大于或等于200℃且小于或等于400℃。当衬底被加热的同时形成氧化物半导体层时, 可减少氧化物半导体层中含有的杂质的浓度。此外, 减少了由于溅射引起的氧化物半导体层的损坏。当移除了处理腔室中剩余的水分时, 引入其中已被移除氢和水分的溅射气体, 且使用金属氧化物作为靶而形成氧化物半导体层。为了移除处理腔室中剩余的水分, 优选使用截留真空泵。例如, 可使用低温泵、离子泵、或钛升华泵。排出单元可以是设置有冷阱的涡轮泵。从用低温泵排气的沉积室中移除氢原子、含有氢原子的化合物, 诸如水 (H_2O)、含有碳原子的化合物等, 藉此减少了形成在沉积室中的氧化物半导体层中所含有的杂质的浓度。

[0139] 例如, 沉积条件可被设置如下: 衬底和靶之间的距离是100mm, 压力是0.6Pa, 直流 (DC) 功率是0.5kW; 且气氛是氧气 (氧流速的比例是100%)。优选的是使用脉冲直流 (DC) 电源, 因为可减少粉末物质 (也称作颗粒或灰尘) 并且膜厚可以是均匀的。氧化物半导体层的厚度是大于或等于2nm且小于或等于200nm, 优选的是大于或等于5nm且小于或等于30nm。注意, 适当的厚度取决于所应用的氧化物半导体材料, 且氧化物半导体层的厚度可取决于材料而被适当地设置。

[0140] 注意, 在通过溅射法形成氧化物半导体层之前, 优选地通过引入氩气并产生等离子体的反溅射来去除附连到栅绝缘层138的表面的灰尘。此处, 反溅射是指用于通过离子击打表面改进将要处理的对象的表面质量的方法, 而一般的溅射是通过离子击打溅射靶而实现的。用于使离子击打将要处理的对象的表面的方法包括其中在氩气氛中对该表面施加高频电压, 且在衬底附近产生等离子体的方法。注意, 可使用氮气氛、氦气氛、氧气氛等来替代

氟气氛。

[0141] 对于蚀刻氧化物半导体层,可采用干法蚀刻或湿法蚀刻。毋庸置疑,可采用干法蚀刻和湿法蚀刻的组合。取决于材料,适当地设置蚀刻条件(蚀刻气体、蚀刻溶液、蚀刻时间、温度等),从而可将氧化物半导体层蚀刻为期望形状。

[0142] 用于干法蚀刻的蚀刻气体的示例是含氯的气体(诸如氯气(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)或四氯化碳(CCl_4)的氯基气体)等。可选地,可使用含氟气体(诸如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或三氟甲烷(CHF_3)之类的氟基气体);溴化氢(HBr);氧气(O_2);添加了诸如氦气(He)或氩气(Ar)之类的稀有气体的这些气体中的任一种;等。

[0143] 作为干法蚀刻方法,可使用平行板反应离子蚀刻(RIE)法或感应耦合等离子体(ICP)蚀刻法。为了将该层蚀刻成期望形状,适当地设置蚀刻条件(施加到线圈状电极的电功率量、施加到基板侧上的电极的电功率量、基板侧上的电极的温度等)。

[0144] 作为用于湿法蚀刻的蚀刻剂,可使用磷酸、乙酸、和硝酸的混合溶液。可选地,可使用IT007N(Kanto化学有限公司制造)等。

[0145] 然后,氧化物半导体层优选地经受第一热处理。通过这个第一热处理,该氧化物半导体层可被脱水或脱氢。第一热处理在高于或等于 300°C 且低于或等于 750°C 的温度下执行,优选高于或等于 400°C 且低于衬底的应变点。例如,衬底被引入其中使用电阻加热元件等之类的电炉中,且氧化物半导体层140在 450°C 的温度在氮气气氛中经受热处理达一小时。此时,防止氧化物半导体层140暴露于空气,从而防止了水或氢的进入。

[0146] 注意,热处理装置不限于电炉,且可包括通过来自诸如被加热的气体等的介质所给的热辐射对要处理的对象进行加热的设备。例如,可使用诸如气体快速热退火(GRTA)装置或灯光快速热退火(LRTA)之类的快速热退火(RTA)装置。LRTA装置是用于通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来对要处理对象加热的装置。GRTA装置是用于使用高温气体来进行热处理的装置。可使用不与要通过热处理处理的对象反应的惰性气体(诸如氮气或稀有气体(诸如氩气))作为气体。

[0147] 例如,GRTA可如下执行,作为第一热处理。衬底被放在被加热至 650°C 到 700°C 高温的惰性气体中,被加热达数分钟,并被从惰性气体中取出。GRTA使高温热处理能够进行较短的时间。此外,即使当温度超过衬底的应变点时因为仅进行较短时间,这样的热处理是可接受的。

[0148] 注意,优选地在包含氮或稀有气体(例如,氮、氩、或氩)作为其主要成分并且不包含水、氢等的气氛中执行第一热处理。例如,被引入热处理装置的氮气或稀有气体(如,氮、氩、或氩)的纯度大于或等于6N(99.9999%)、优选大于或等于7N(99.99999%) (即,杂质的浓度低于或等于1ppm、优选低于或等于0.1ppm)。

[0149] 在一些情况下,取决于第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可被结晶为微晶层或多晶层。例如,可将氧化物半导体层结晶为具有大于或等于90%、或者大于或等于80%的结晶度的微晶氧化物半导体层。进一步,取决于第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可能变成不含结晶组分的非晶氧化物半导体层。

[0150] 氧化物半导体层可变成其中晶体(具有大于或等于1nm且小于或等于20nm的粒径,通常大于或等于2nm且小于或等于4nm)混合在非晶氧化物半导体中(如,氧化物半导体层的表面)的氧化物半导体层。

[0151] 此外,可通过在该氧化物半导体层的非晶区的表面上提供晶层而改变氧化物半导体层的电特性。例如,在使用In-Ga-Zn-O-基氧化物半导体靶用于成膜形成氧化物半导体层的情况下,可通过形成其中具有电各向异性的以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 表示的晶粒在特定方向中对齐的晶体部分而改变氧化物半导体层的电特性。

[0152] 更具体地,例如,通过以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的c轴被取向为与氧化物半导体层的表面垂直的方向的方式对齐晶粒,改进了在与氧化物半导体层的表面平行的方向中的导电性,藉此可增加与氧化物半导体层的表面垂直的方向中的绝缘性质。此外,这种晶体部分具有抑制诸如水或氢之类的杂质进入氧化物半导体层的功能。

[0153] 注意,上述含有晶体部分氧化物半导体层可通过由GRTA加热氧化物半导体层的表面而被形成。当使用其中Zn的量小于In或Ga的量的溅射靶时,可获得更良好的形成。

[0154] 在还未被处理成岛状层的氧化物半导体层上可执行在氧化物半导体层140上执行的第一热处理。在此情况下,在第一热处理之后,从加热装置中取出衬底,并且执行光刻步骤。

[0155] 注意,上述第一热处理可脱水或脱氢氧化物半导体层140且因此被称为脱水处理或脱氢处理。可能在任何时刻执行这样的脱水处理或脱氢处理,例如,可在形成氧化物半导体层之后、在氧化物半导体层140上堆叠源和漏电极之后、或者在源和漏电极上形成保护绝缘层之后。这样的脱水处理或脱氢处理可被执行多于一次。

[0156] 接着,源或漏电极142a、以及源或漏电极142b被形成为与氧化物半导体层140接触(参见图4F)。源或漏电极142a和源或漏电极142b可用如下方式形成:形成导电层以覆盖氧化物半导体层140,并且随后选择性地蚀刻导电层。

[0157] 该导电层可通过诸如溅射法之类的PVD法、诸如等离子体CVD法之类的CVD法形成。作为导电层的材料,可使用从铝、铬、铜、钽、钛、钼、及钨中选出的元素、含有上述元素中任意作为其组分的合金等。此外,可使用从锰、镁、锆、铍和钽中选择的一种或多种材料。其中将铝与选自钛、钽、钨、钼、铬、钽、以及钪的一个或多个元素相组合的材料也被用作导电层的材料。

[0158] 另选地,可使用导电金属氧化物形成导电层。作为导电金属氧化物,可使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟-氧化锡合金(In_2O_3 - SnO_2 ,在一些情况下缩写为ITO)、氧化铟-氧化锌合金(In_2O_3 - ZnO)、或者包含硅或氧化硅的这些金属氧化物材料中的任一种。

[0159] 导电层可具有单层结构或包含两层或更多层的层叠结构。例如,可给出包括硅的铝膜的单层结构、铝膜和在其上堆叠的钛膜的双层结构、其中钛膜、铝膜、以及钛膜依序堆叠的三层结构等。

[0160] 此处,优选地使用紫外线、KrF激光束、或者ArF激光束用于形成蚀刻掩膜的曝光。

[0161] 晶体管的沟道长度(L)由源或漏电极142a的下端部与源或漏电极142b的下端部之间的距离来确定。在沟道长度(L)小于25nm的情况下,在具有数纳米到数十纳米的极短波长的极紫外范围中执行用于制造掩模的曝光。在使用极紫外光的曝光时,分辨率高且聚焦深

度大。因此,之后将形成的晶体管的沟道长度 L 可大于或等于 10nm 且小于或等于 1000nm ,藉此可增加电路的操作速度。进一步,晶体管的截止态电流极小,这防止了功耗的增加。

[0162] 适当地调节层的材料和蚀刻条件,以使氧化物半导体层140在导电层的蚀刻过程中不被移除。注意,在一些情况下,取决于材料和蚀刻条件,氧化物半导体层140在这个步骤中被部分地蚀刻,从而成为具有凹槽(凹入部分)的氧化物半导体层。

[0163] 可在氧化物半导体层140与源或漏电极142a之间、并且在氧化物半导体层140与源或漏电极142b之间形成氧化物导电层。可连续地形成(连续沉积)用于形成源或漏电极142a和源或漏电极142b的氧化物导电层和导电层。氧化物导电层可用作源或漏区。通过提供这样的氧化物导电层,可减少源和漏区的电阻且可实现晶体管的高速操作。

[0164] 为了减少掩模和步骤的数量,可通过利用使用多色调掩模而形成的抗蚀剂掩模来进行蚀刻,该多色调掩模是透射光以使其具有多个强度的曝光掩模。通过使用多色调掩模而形成的抗蚀剂掩模具有有多个厚度的形状(阶梯式形状),并且还可通过灰化来改变形状;因此,抗蚀剂掩模可在用于处理成不同图案的多个蚀刻步骤中使用。即,可通过一个多色调掩模来形成与至少两种或更多种不同的图案相对应的抗蚀剂掩模。由此,可减少曝光掩模的数量,并且还可减少相应的光刻步骤的数量,因此可实现工艺的简化。

[0165] 注意,优选地在上述处理之后执行使用诸如 N_2O 、 N_2 、和 Ar 之类的气体的等离子体处理。通过这个等离子体处理,移除了附着至被暴露的氧化物半导体层表面的水。可选地,可使用含有氧的气体,诸如氧和氩的混合气体之类的气体等来执行等离子体处理。以此方式,氧化物半导体层被提供了氧且可减少由于氧气不足引起的缺陷。

[0166] 此后,与氧化物半导体层140的一部分接触的保护绝缘层144被不暴露于空气地形成(参见图4G)。

[0167] 可通过适当地采用通过其防止诸如水和氢之类的杂质进入保护绝缘层144的溅射法之类的方法形成保护绝缘层144。保护绝缘层144被形成厚度大于或等于 1nm 。作为可被用作保护绝缘层144的材料,有氧化硅、氮化硅、氧氮化硅、氮氧化硅等。保护绝缘层144可具有单层结构或层叠结构。形成保护绝缘层144时的衬底温度优选高于或等于室温且低于或等于 300°C 。用于形成保护绝缘层144的气氛优选是稀有气体(通常是氩)气氛、氧气氛、或者稀有气体(通常是氩)和氧的混合气氛。

[0168] 当氢被包含在保护绝缘层144中时,导致了氢进入氧化物半导体层、由氢抽出氧化物半导体层中的氧、等,且氧化物半导体层的背沟道侧的电阻变低,这可形成寄生沟道。因此,采用其中不使用氢气的方法以使绝缘层144尽可能不包含氢具有重要意义。

[0169] 此外,优选的是在移除了处理腔室中剩余的水分的同时形成了保护绝缘层144。这是为了防止氢、羟基、或水被包含在氧化物半导体层140和保护绝缘层144中。

[0170] 为了移除处理室中剩余的水分,优选使用截留真空泵。例如,优选地使用低温泵、离子泵、或钛升华泵。排出单元可以是设置有冷阱的涡轮泵。从由低温泵排气的沉积腔室中移除了氢原子、含有氢原子的化合物,诸如(H_2O)、等被从沉积腔室中移除,藉此减少了形成在沉积腔室中的保护绝缘层144中含有的杂质浓度。

[0171] 作为在保护绝缘层144的形成中所使用的溅射气体,优选地使用高纯度气体,其中诸如氢、水、含羟基的化合物、或氢化物之类的杂质被减少为大约每百万数份(优选地是每十亿数份)。

[0172] 然后,优选地在惰性气体气氛下或氧气氛下执行第二热处理(优选在高于或等于200℃且低于或等于400℃,例如高于或等于250℃且低于或等于350℃的温度下)。例如,在氮气气氛中,在250℃进行第二热处理达1小时。第二热处理可减少晶体管的电特性的变化。进一步,通过第二热处理可为氧化物半导体层提供氧。此外,可转换上述气氛;连续地,在第二热处理之后,还可通过在氧气氛或充分地移除了氢或水的气氛中的温度下降处理而提供氧给氧化物半导体层,

[0173] 进一步,可在高于或等于100℃且低于或等于200℃的温度下在空气中执行热处理达大于或等于一小时且小于或等于30小时。该热处理可在固定加热温度下进行。可选地,可数次地重复地应用如下温度循环:温度从室温上升到高于或等于100℃且低于或等于200℃的温度,然后下降到室温。进一步,该热处理可在形成保护绝缘层之前在减少的压力下执行。这个减少的压力能使热处理时间变短。注意,这个热处理可替代第二热处理而被执行;可选地,在第二热处理之前或之后,可除了第二热处理之外执行这个热处理。

[0174] 然后,在保护绝缘层144上形成层间绝缘层146(参见图5A)。层间绝缘层146可通过PVD法、CVD法等形式形成。包括无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、以及氧化钽)的材料可被用作层间绝缘层146。进一步,层间绝缘层146的表面优选地经受CMP、蚀刻处理等从而在层间绝缘层146被形成之后被平坦化。

[0175] 接着,在层间绝缘层146、保护绝缘层144、以及栅绝缘层138中形成到达电极136a、136b、136c、源或漏电极142a、以及源或漏电极142b的开口;然后,形成导电层148以嵌入这些开口中(参见图5B)。例如,可通过使用掩模而蚀刻形成上述开口。例如,可通过使用光掩模的曝光形成掩模。对于蚀刻,无论湿法蚀刻或干法蚀刻都可被执行,不过考虑到精细模制,干法蚀刻是优选的。可通过诸如PVD法和CVD法之类的沉积方法形成导电层148。导电层148的材料示例包括诸如钼、钛、铬、钽、钨、铝、铜、钕、以及钐之类的导电材料、这些材料中的任意的合金、以及含有其中的任意的化合物(如,氮化其中的任意)。

[0176] 具体地,例如,可如下地形成导电层148:在含有开口的区域中通过PVD法形成钛膜以具有较小的厚度,且然后通过CVD法形成氮化钛膜以具有较小的厚度;且然后,形成钨膜从而被嵌入这些开口中。此处,由PVD法形成的钛膜具有减少形成于低电极(此处,电极136a、136b、136c、源或漏电极142a、源或漏电极142b、等)的表面处的氧化物膜的功能,从而减少了与低电极的接触电阻。此外,随后形成的氮化钛膜具有阻挡性,从而防止了导电材料的扩散。进一步,在使用钛、氮化钛、等形成阻挡膜之后,通过电镀法可形成铜膜。

[0177] 在形成导电层148之后,通过蚀刻处理、CMP等去除导电层148的一部分,从而露出层间绝缘层146,并且形成电极150a、150b、150c、150d和150e(参见图5C)。注意,当通过去除上述导电层148的一部分来形成电极150a、150b、150c、150d和150e时,优选执行处理以获得平坦化的表面。通过平坦化层间绝缘层146和电极150a、150b、150c、150d和150e,可在之后的步骤中形成良好的电极、引线、绝缘层、等。

[0178] 进一步,形成绝缘层152,并且在绝缘层152中形成到达电极150a、150b、150c、150d和150e的开口;然后,形成导电层从而嵌入这些开口中。此后,通过蚀刻、CMP等移除导电层的一部分,从而暴露出绝缘层152且形成电极154a、154b、154c、以及154d(见图5D)。该步骤类似于形成电极150a等的步骤;因此,此处省略详细描述。

[0179] 当以上述方式制造晶体管162时,氧化物半导体层的氢浓度小于或等于 $5 \times$

10^{19} atoms/cm³且晶体管162的截止态电流小于或等于 1×10^{-13} A,即,检测极限。晶体管162的截止态电流(此处,每微米沟道长度的电流)小于或等于100 zA/ μ m。因此,通过采用其中氢浓度被充分减少的经高度纯化的氧化物半导体层可获得具有良好特性的晶体管162,且减少了由于氧气不足引起的缺陷。此外,可制造包括在下部使用氧化物半导体之外的材料的晶体管160以及在上部使用氧化物半导体的晶体管162在内的具有良好特性的半导体器件。

[0180] 注意尽管进行了关于氧化物半导体的物理特性的很多研究,但它们没有提出在能隙中充分地减少定域态(localized state)的理念。在所公开的发明的一个实施例中,可引起定域态的水或氢被从氧化物半导体中移除,藉此制造了被高度纯化的氧化物半导体。这是基于在能隙中充分地减少定域态(localized state)的理念并实现了良好的工业产品的制造。

[0181] 注意,当氢、水等被移除时,在一些情况中还移除氧。因此,有利的是通过提供氧给由氧气不足所产生的金属的悬空键而进一步纯化氧化物半导体(成为i-型氧化物半导体),从而减少了由于氧气不足引起的定域态。例如,可以下列方式减少由于氧气不足引起的定域态:形成具有过量氧气的氧化膜与沟道形成区紧密接触;且在200℃到400℃,一般约250℃下执行热处理,从而从氧化膜将氧提供给氧化物半导体。

[0182] 可认为氧化物半导体特性的劣化的因素是归因于过量氢在导带之下0.1 eV到0.2 eV的浅能级、由于氧气不足引起的深能级、等。为了修正这些缺陷,充分地移除氢且充分地提供氧。

[0183] 在所公开的发明中,由于氧化物半导体被高度纯化,氧化物半导体的载流子浓度足够低。

[0184] 通过使用在标准温度的费米-迪拉克分布函数,具有3.05 eV到3.15 eV的能隙的氧化物半导体的本征载流子密度是 1×10^{-7} /cm³,远高于硅的 1.45×10^{10} /cm³的本征载流子密度。

[0185] 相应地,作为少数载流子的空穴的数量极小。处于截止态的绝缘栅型场效应晶体管(IGFET)的漏电流被期望是在标准温度小于或等于100 aA/ μ m,优选地小于或等于10 aA/ μ m,更优选地,小于或等于1 aA/ μ m。注意,“1 aA/ μ m”意味着每微米晶体管沟道长度的流过电流是1 aA (1×10^{-18} A)。

[0186] 实际上,4H-SiC (3.26 eV)、GaN (3.42 eV) 等被已知为具有大于或等于3 eV的能隙的宽能隙的半导体。期待使用这些半导体而获得类似于上述特性的晶体管特性。然而,基本不可能性形成这些半导体材料的薄膜,因为它们需要大于或等于1500℃的处理温度。此外,处理温度如此之高从而这些材料不可能在硅集成电路上在三维中被堆叠。另一方面,通过在从室温到400℃的溅射可将氧化物半导体沉积为薄膜,且该氧化物半导体可被脱水或脱氢(移除氢或水)且在450℃到700℃被提供氧;因此,氧化物半导体可在三维中被堆叠在硅集成电路上。

[0187] 注意,尽管氧化物半导体一般具有n-型导电率,在所公开的发明的一个实施例中,通过移除诸如水或氢之类的杂质并通过提供作为氧化物半导体的组分的氧,氧化物半导体被制成i-型氧化物半导体。从这个方面,不同于通过添加杂质而将硅制成i-型硅的情况,所公开的发明的一个实施例包括新颖的技术理念。

[0188] <使用氧化物半导体的晶体管的导电机制>

[0189] 将参考图6、图7、图8A和8B、以及图9来描述包括氧化物半导体的晶体管的导电机制。注意以下描述是基于易于理解的理想情况的假设,且下述描述并不必然地反映理想情况。还应注意,以下描述只是一种考虑,而不影响本发明的有效性。

[0190] 图6是包括氧化物半导体的晶体管(薄膜晶体管)的截面图。氧化物半导体层(OS)设置在具有插在中间的栅绝缘层(GI)的栅电极(GE1)上,并且源电极(S)和漏电极(D)设置在该栅绝缘层上。提供绝缘层来覆盖源电极(S)和漏电极(D)。

[0191] 图7是图6中的A-A'截面的能带图(示意图)。在图7中,黑色圆圈(●)和白色圆圈(○)分别表示电子和空穴且具有电荷(-q,+q)。正电压($V_D > 0$)施加给漏电极,虚线示出没有电压施加至栅电极($V_G = 0$)的情况而实线示出正电压施加至栅电极($V_G > 0$)的情况。在没有电压施加至栅电极的情况下,由于高电位势垒,载流子(电子)未从电极注入氧化物半导体侧,从而电流不流动,这意味着截止状态。另一方面,当向栅电极施加正电压时,电位势垒被降低,且由此电流流动,这意味着导通状态。

[0192] 图8A和8B是图6中的B-B'截面的能带图(示意图)。图8A示出其中正电位($V_G > 0$)被施加到栅电极(GE1)并且载流子(电子)在源电极和漏电极之间流动的导通状态。图8B示出其中负电位($V_G < 0$)被施加到栅电极(GE1)而少数载流子不流动的截止状态。

[0193] 图9示出真空能级和金属的功函数(ϕ_m)之间、以及真空能级和氧化物半导体的电子亲和力(χ)之间的关系。

[0194] 在常温时,金属中的电子被简并,且费米能级位于导带中。另一方面,常规氧化物半导体是n型半导体,其中费米能级(E_F)远离位于带隙中间的本征费米能级(E_i),并且位于更接近导带处。注意,已知氢的部分是氧化物半导体中的施主,并且是使氧化物半导体成为n型半导体的一个因素。

[0195] 另一方面,根据所公开的发明的一个实施例的氧化物半导体是本征(i型)或基本本征的氧化物半导体,其通过从氧化物半导体中去除作为n型半导体的因素的氢以及纯化氧化物半导体(从而尽可能防止氧化物半导体的主要组分之外的元素(即,杂质元素)被包含在内)而获得的。换句话说,特征在于,经纯化的i型(本征)半导体、或接近其的半导体不是通过添加杂质、而是通过尽可能多地去除杂质(诸如氢或水)来获得的。由此,费米能级(E_F)可与本征费米能级(E_i)相当。

[0196] 可以说氧化物半导体的能隙(E_g)是3.15eV且电子亲和力(χ)为4.3V。源电极和漏电极中所包括的钛(Ti)的功函数基本上等于氧化物半导体的电子亲和力(χ)。在此情况下,在金属和氧化物半导体之间的界面处不形成肖特基势垒。

[0197] 此时,如图8A所示,电子在栅绝缘层和经纯化的氧化物半导体之间的界面附近(在能量方面是稳定的氧化物半导体的最低部分)移动。

[0198] 另外,如图8B中所示,当负电位被施加到栅电极(GE1)时,电流值极为接近零,因为作为少数载流子的空穴基本上为零。

[0199] 以此方式,通过被纯化从而除了主要元素之外的元素(即,杂质元素)尽可能少地被包含在内,而获得本征(i-型)或基本本征的氧化物半导体。由此,氧化物半导体和栅绝缘层之间的界面的特性变得明显。由此,栅绝缘层需要用氧化物半导体来能形成良好的界面。具体地,优选使用例如,通过将用VHF带的范围内的电源频率生成的高密度等离子体用于微波带的CVD法而形成的绝缘层,或通过溅射法而形成的绝缘层、等。

[0200] 当氧化物半导体被纯化且氧化物半导体和栅绝缘层之间的界面变得有利时,在晶体管具有 $1 \times 10^4 \mu\text{m}$ 的沟道宽度(W)和 $3 \mu\text{m}$ 的沟道长度(L)的情况下,例如,有可能实现小于或等于 10^{-13}A 的截止电流、以及 0.1V/dec 的子阈值摆动(S值)(具有 100nm 厚的栅绝缘层)。

[0201] 当如上所述氧化物半导体被纯化从而尽可能少地包含除其主要元素以外的元素(即,杂质元素)时,薄膜晶体管可以有利的操作。

[0202] <载流子浓度>

[0203] 在根据所公开的发明的技术理念中,通过充分地减少其中的载流子浓度,氧化物半导体层被制成尽可能接近于本征(i-型)氧化物半导体层。下文中,将参考图10和图11而描述用于计算载流子浓度的方法以及实际测得的载流子浓度。

[0204] 首先,简要地说明用于计算载流子浓度的方法。可以制造MOS电容器并估算该MOS电容器的C-V测量结果(C-V特性)的方式来计算载流子浓度。

[0205] 具体地,以如下方式计算载流子浓度 N_d :通过绘制MOS电容器的栅极电压(V_G)和电容(C)之间的关系而获得C-V特性的图;通过使用该C-V特性而获得栅极电压 V_G 和 $(1/C)^2$ 之间的关系;在图的弱反型区中找到 $(1/C)^2$ 的微分值;且该微分值被代入公式1。注意,公式1中的 e 、 ϵ_0 、以及 ϵ 分别代表氧化物半导体的基本电荷、真空电容率、以及相对电容率。

[0206] [式1]

$$[0207] \quad N_d = - \left(\frac{2}{e \epsilon_0 \epsilon} \right) \bigg/ \frac{d(1/C)^2}{dV} \quad (1)$$

[0208] 接着,描述了用上述方法实际测得的载流子浓度。为了测量,使用了被如下形成的样本(MOS电容器):在玻璃衬底上被形成为具有 300nm 厚度的钛膜;在钛膜上被形成为具有 100nm 厚度的氮化钛膜;在该氮化钛膜上被形成为 $2 \mu\text{m}$ 厚度的使用In-Ga-Zn-O-基氧化物半导体的氧化物半导体层;且在该氧化物半导体层上形成具有 300nm 厚度的银膜。注意,使用用于成膜的In-Ga-Zn-O-基氧化物半导体靶($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ (摩尔比))通过溅射法而形成氧化物半导体层。进一步,氧化物半导体层的形成气氛是氩和氧的混合气氛(流量比为 $\text{Ar}:\text{O}_2=30(\text{sccm}):15(\text{sccm})$)。

[0209] 栅极电压(V_G)和 $(1/C)^2$ 之间的C-V特性和关系被分别图示为图10和图11中。从图11中的图所示的弱反型区中的 $(1/C)^2$ 的微分值使用公式1计算出的载流子浓度是 $6.0 \times 10^{10}/\text{cm}^3$ 。

[0210] 如上所示,通过使用被制成i-型或基本i-型的氧化物半导体(例如,载流子浓度小于或等于 $1 \times 10^{12}/\text{cm}^3$,优选地,小于或等于 $1 \times 10^{11}/\text{cm}^3$)的氧化物半导体,可获得具有非常好的截止态电流特性的晶体管。

[0211] <修改示例>

[0212] 参考图12、图13A和13B、图14A和14B、以及图15A和15B而描述氧化物器件的结构修改示例。注意,在接下来的修改示例中,晶体管162的结构不同于已经被描述的晶体管。换言之,晶体管160的结构类似于已经描述的晶体管。

[0213] 在图12所示的示例中,晶体管162包括位于氧化物半导体层140下的栅电极136d,以及在氧化物半导体层140的底部表面与氧化物半导体层140相接触的源或漏电极142a和源或漏电极142b。由于平面结构可根据截面结构而适当地改变,此处仅描述了截面结构。

[0214] 图12中所示的结构与图2A和2B中所示的结构之间的较大差异在于源或漏电极142a和源或漏电极142b连接至氧化物半导体层140的连接位置。即,在图2A和2B中所示的结构中,源或漏电极142a和源或漏电极142b在氧化物半导体层140的顶部表面与氧化物半导体层140相接触;另一方面,在图12所示的结构中,源或漏电极142a和源或漏电极142b在氧化物半导体层140的底部表面与氧化物半导体层140相接触。此外,由于接触上的这个差异,另一个电极、另一个绝缘层等的位置被改变。对于每一个组件的细节,可参考图2A和2B。

[0215] 具体地,晶体管162包括:提供在层间绝缘层128上的栅电极136d;提供在栅电极136d上的栅绝缘层138;提供在该栅绝缘层138上的源或漏电极142a和源或漏电极142b;以及及与源或漏电极142a和源或漏电极142b的顶部表面相接触的氧化物半导体层140。

[0216] 此处,提供栅电极136d从而被嵌入在形成在层间绝缘层128上的绝缘层132中。进一步,类似于栅电极136d,形成电极136a、136b、以及电极136c以和源或漏电极130a、源或漏电极130b、以及电极130c分别相接触。

[0217] 在晶体管162上,提供与氧化物半导体层140的部分相接触的保护绝缘层144。层间绝缘层146被提供在保护绝缘层144上。此处,在保护绝缘层144和层间绝缘层146中,形成达到源或漏电极142a和源或漏电极142b的开口。在该开口中,形成电极150d和电极150e分别与源或漏电极142a和源或漏电极142b相接触。类似于电极150d和电极150e,形成电极150a、电极150b和电极150c,在栅绝缘层138、保护绝缘层144、以及层间绝缘层146中提供的开口分别与电极136a、电极136b和电极136c相接触。

[0218] 进一步,在层间绝缘层146上提供绝缘层152。提供电极154a、电极154b、电极154c以及电极154d以嵌入绝缘层152中。此处,电极154a与电极150a相接触;电极154b与电极150b相接触;电极154c与电极150c和150d相接触;且电极154d与电极150e相接触。

[0219] 图13A和13B每一个示出其中在氧化物半导体层140上提供栅电极136d的示例。此处,图13A示出其中源或漏电极142a和源或漏电极142b在氧化物半导体层140的底部表面与氧化物半导体层140相接触的示例;且图13B示出其中源或漏电极142a和源或漏电极142b在氧化物半导体层140的顶部表面与氧化物半导体层140相接触的示例。

[0220] 图13A和13B的结构极大地不同于图2A和2B以及图12之处在于在氧化物半导体层140上提供栅电极136d。此外,图13A所示结构和图13B所示结构中较大的差异在于源或漏电极142a和源或漏电极142b与氧化物半导体层140相接触的表面,是氧化物半导体层140的顶部表面或底部表面。此外,由于这些差异,另一个电极、另一个绝缘层等的位置被改变。对于每一个组件的细节,可参考图2A和2B或其他附图。

[0221] 具体地,在图13A中,晶体管162包括:提供在层间绝缘层128上的源或漏电极142a和源或漏电极142b;与源或漏电极142a和源或漏电极142b的顶部表面相接触的氧化物半导体层140;提供在氧化物半导体层140上的栅绝缘层138;以及位于与氧化物半导体层140交迭的区域中的栅绝缘层138上的栅电极136d。

[0222] 在图13B中,晶体管162包括:提供在层间绝缘层128上的氧化物半导体层140;被提供为与氧化物半导体层140的顶部表面相接触的源或漏电极142a和源或漏电极142b;提供在氧化物半导体层140、源或漏电极142a、和源或漏电极142b上的栅绝缘层138;以及位于被提供在与氧化物半导体层140交迭的区域中的栅绝缘层138上的栅电极136d。

[0223] 注意,在图13A和13B中所示的结构中,在某些情况下在图2A和2B等中所示的结构

所具有的组件可被省略(例如,电极150a、电极154a、等)。在这样的情况下,可其次地获得制造工艺的简化。毋庸赘言,在图2A和2B等所示的结构中也可省略不必要的组件。

[0224] 图14A和14B各自示出其中元件具有相对较大的尺寸且栅电极136d被提供在氧化物半导体层140下的结构的示例。在这个情况下,引线、电极、等不需被形成嵌入在绝缘层中,因为表面的平坦度或覆盖度(coverage)不需要非常高。例如,可用形成导电层然后平坦化的方式来形成电极136d等。注意,尽管没有示出,可类似地制造晶体管160。

[0225] 图14A所示结构和图14B所示结构中较大的差异在于源或漏电极142a和源或漏电极142b与氧化物半导体层140相接触的表面,是氧化物半导体层140的顶部表面或底部表面。此外,由于这个差异,另一个电极、另一个绝缘层等的位置被改变。对于每一个组件的细节,可参考图2A和2B或其他附图。

[0226] 具体地,在图14A中,晶体管162包括:提供在层间绝缘层128上的栅电极136d;提供在栅电极136d上的栅绝缘层138;提供在该栅绝缘层138上的源或漏电极142a和源或漏电极142b;以及与源或漏电极142a和源或漏电极142b的顶部表面相接触的氧化物半导体层140。

[0227] 在图14B中,晶体管162包括:提供在层间绝缘层128上的栅电极136d;提供在栅电极136d上的栅绝缘层138;提供在栅绝缘层138上的氧化物半导体层140,从而与栅电极136d相交迭;以及被提供为与氧化物半导体层140的顶部表面相接触的源或漏电极142a和源或漏电极142b。

[0228] 注意,在某些情况下图2A和2B等中所示结构所具有的组件或者图14A和14B中所示结构所具有的组件可被省略。在这样的情况下,也可获得制造工艺的简化。

[0229] 图15A和15B各自示出其中元件具有相对较大的尺寸且栅电极136d被提供在氧化物半导体层140上的结构的示例。在这个情况下,引线、电极、等也不需要被形成嵌入在绝缘层中,因为表面的平坦度或覆盖度(coverage)不需要非常高。例如,可用形成导电层然后平坦化的方式来形成电极136d等。注意,尽管没有示出,可类似地制造晶体管160。

[0230] 图15A所示结构和图15B所示结构中较大的差异在于源或漏电极142a和源或漏电极142b与氧化物半导体层140相接触的表面,是氧化物半导体层140的顶部表面或底部表面。此外,由于这个差异,另一个电极、另一个绝缘层等的位置被改变。对于每一个组件的细节,可参考图2A和2B或其他附图。

[0231] 具体地,在图15A中,晶体管162包括:提供在层间绝缘层128上的源或漏电极142a和源或漏电极142b;与源或漏电极142a和源或漏电极142b的顶部表面相接触的氧化物半导体层140;提供在源或漏电极142a、源或漏电极142b、以及氧化物半导体层140上的栅绝缘层138;以及位于被提供在与氧化物半导体层140交迭的区域中的栅绝缘层138上的栅电极136d。

[0232] 在图15B中,晶体管162包括:提供在层间绝缘层128上的氧化物半导体层140;被提供为与氧化物半导体层140的顶部表面相接触的源或漏电极142a和源或漏电极142b;提供在源或漏电极142a、源或漏电极142b、以及氧化物半导体层140上的栅绝缘层138;以及位于被提供在与氧化物半导体层140交迭的区域中的栅绝缘层138上的栅电极136d。

[0233] 注意,在某些情况下图2A和2B等中所示结构所具有的组件或者图15A和15B中所示结构所具有的组件可被省略。在这样的情况下,也可获得制造工艺的简化。

[0234] 如上所述,根据所公开的发明的一个实施例,实现了具有新颖结构的半导体器件。

尽管在这个实施例中,晶体管160和晶体管162被堆叠,半导体器件的结构并不限于此。进一步,尽管描述了其中晶体管160的沟道长度方向和晶体管162的沟道长度方向彼此垂直的示例,晶体管160和162的位置不限于此。另外,晶体管160和162可被设置成彼此交迭。

[0235] 注意,尽管在这个实施例中,为了便于理解而描述了每个最小存储单元(一比特)的半导体器件,半导体器件的结构并不限于此。可通过适当地连接多个半导体器件来形成更先进的半导体器件。例如,可能通过使用多个半导体器件而制成NAND-型或NOR-型半导体器件。引线的结构不限于图1所示,并且可被适当地改变。

[0236] 在根据这个实施例的半导体器件中,晶体管162的较小截止态电流特定能使数据被保持相当长时间。换言之,在DRAM等中所需要的刷新操作是不必要的;因此,可抑制功耗。此外,可将半导体器件基本用作非易失性存储器设备。

[0237] 由于通过晶体管162的转换操作而写入数据,不需要高压且在半导体器件中元件不会被劣化。进一步,根据晶体管的导通状态和截止状态而写入或擦除信息,藉此可轻易地实现高速操作。另外,通过控制向晶体管的电位输入可直接重新写入信息。因此不需要在闪存存储器中所必须的擦除操作;因此,可抑制由于擦除操作引起的操作速度的降低。

[0238] 进一步,使用氧化物半导体之外的材料的晶体管可在远高于使用氧化物半导体的晶体管的速度进行操作,且因此实现了所存储的数据的高速读取。

[0239] 本实施例中所述的方法和结构可与其他实施例中所描述的任一种方法和结构适当地组合。

[0240] [实施例2]

[0241] 在本实施例中,将描述根据本发明一个实施例的半导体器件的电路配置和操作方法。

[0242] 在图16中示出包括在半导体器件中的存储器元件(下文中也被称为存储单元)的电路图的示例。图16中所示的存储单元200是多值化存储单元且包括第一信号线S1(第三引线)、第二信号线S2(第四引线)、字线WL(第五引线)、晶体管201、晶体管202、晶体管203、以及晶体管205。晶体管201和203使用氧化物半导体之外的材料而被形成,且晶体管202使用氧化物半导体而被形成。此处,晶体管201和203优选地具有类似于实施例1中所描述的晶体管160的结构。进一步,晶体管202优选地具有类似于实施例1中所描述的晶体管162的结构。存储单元200,优选地经由晶体管(可以是包括在另一个存储单元中的晶体管),电连接至源线SL(第一引线)和位线BL(第二引线)。

[0243] 此处,晶体管201的栅电极电连接至晶体管202的源电极和漏电极中的一个。进一步,源线SL、晶体管201的源电极、以及晶体管203的源电极电连接至彼此。位线BL、晶体管201的漏电极、以及晶体管203的漏电极电连接至彼此。第一信号线S1电连接至晶体管202的源电极和漏电极中的另一个。第二信号线S2电连接至晶体管202的栅电极,且字线WL电连接至晶体管203的栅电极。附加地,电容器205的电极中的一个、晶体管201的栅电极、以及晶体管202的源电极和漏电极电连接至彼此。电容器205的电极的另一个被提供有预确定的电位,例如,GND。注意,源线SL、晶体管201的源电极、以及晶体管203的源电极可经由晶体管(可以是包括在另一个存储单元中的晶体管)被连接至彼此。进一步,位线BL、晶体管201的漏电极、以及晶体管203的漏电极可经由晶体管(可以是包括在另一个存储单元中的晶体管)被连接至彼此。

[0244] 此处,描述存储单元200的操作。例如,在存储单元200是四值化存储单元时,存储单元200的四个状态被设置为数据“00b”、“01b”、“10b”、以及“11b”,且连接至晶体管201的栅电极的节点(节点A)的电位被分别设置为 V_{00} 、 V_{01} 、 V_{10} 、以及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。此处的读取方法是其中位线BL经由所选择的存储单元从源线SL侧被充电的方法。当从源线SL侧被充电时,位线BL反映了存储单元200的状态前且被充电至由((节点A的电势)-(晶体管201的阈值电压 V_{th}))所表示的电位。因此,位线BL的电位分别对应于数据“00b”、“01b”、“10b”、以及“11b”而变为 $(V_{00}-V_{th})$ 、 $(V_{01}-V_{th})$ 、 $(V_{10}-V_{th})$ 、以及 $(V_{11}-V_{th})$ 。因为对应于数据的位线的电位彼此不同,可读取数据“00b”、“01b”、“10b”、以及“11b”。

[0245] 根据本发明的一实施例的包含 $m \times n$ 位的存储容量的半导体器件的电路框图被图示在图17中。作为示例,此处描述了其中存储单元200被串联连接的NAND型半导体器件。

[0246] 根据本发明一实施例的半导体器件包括 m 个字线WL(1)到WL(m)、 m 个第二信号线S2(1)到SL(m)、 n 个位线BL(1)到BL(n)、 n 个第一信号线S1(1)到SL(n)、两个选择线SEL(1)和SEL(2)、其中设置在 m 块(行)乘以 n 块(列) (m 和 n 是自然数)的矩阵中的多个存储单元200(1,1)到200(m,n)的存储单元阵列210、沿着位于位线BL(1)到BL(n)和存储单元200(1,1)到200(1, n)之间的选择线SEL(1)而设置的晶体管215(1,1)到215(1, n)、沿着位于源线SL(1)到SL(n)和存储单元200(m ,1)到200(m,n)之间的选择线SEL(2)而设置的晶体管215(2,1)到215(2, n)、以及诸如源线的驱动器电路217、读取电路211、第一信号线的驱动器电路212、第二信号线和字线的驱动器电路213、电位产生电路214、以及选择线的驱动器电路216(1)和216(2)之类的外围电路。可提供刷新电路等作为另一个外围电路。

[0247] 考虑每一个存储单元200,如,存储单元200(i,j) (此处, i 是大于或等于1且小于或等于 m 的整数,且 j 是大于或等于1且小于或等于 n 的整数)。存储单元200(i,j)连接至第一信号线S1(j)、第二信号线S2(i)、以及字线WL(i)。进一步,存储单元200(i_1,j)中所包括的晶体管201和203的漏电极(i_1 是大于或等于2且小于或等于 m 的整数)连接至存储单元200(i_1-1,j)中所包括的晶体管201和203的源电极。存储单元200(i_2,j)中所包括的晶体管201和203的源电极(i_2 是大于或等于1且小于或等于 $m-1$ 的整数)连接至存储单元200(i_2+1,j)中所包括的晶体管201和203的漏电极。包括在存储单元200(1, j)中的晶体管201和203的漏电极连接至晶体管215(1, j)的源电极。包括在存储单元200(m,j)中的晶体管201和203的源电极连接至晶体管215(2, j)的漏电极。晶体管215(1, j)的漏电极连接至位线BL(j),且晶体管215(2, j)的源电极连接至源线SL(j)。晶体管215(1, j)的栅电极连接至选择线SEL(1),且晶体管215(2, j)的栅电极连接至选择线SEL(2)。

[0248] 源线SL(1)到SL(n)连接至源线的驱动器电路217;位线BL(1)到BL(n)连接至读取电路211;第一信号线S1(1)到S1(n)连接至第一信号线的驱动器电路212;第二信号线S2(1)到S2(m)和字线WL(1)到WL(m)连接至第二信号线和字线的驱动器电路213;且选择线SEL(1)和SEL(2)分别连接至选择线的驱动器电路216(1)和216(2)。

[0249] 图18中示出第二信号线和字线的驱动器电路213的示例。第二信号线和字线的驱动器电路213包括解码器等。第二信号线S2经由受写使能信号(WE信号)控制的开关和受从解码器输出的信号控制的开关连接至引线 V_{S20} 、 V_{S21} 、以及 V_{S2S} 。字线WL经由受读使能信号(RE信号)控制的开关和受从解码器输出的信号控制的开关连接至引线 V_{WL0} 、 V_{WL1} 、以及 V_{WLS} 。从外界向解码器输入地址信号。

[0250] 当地址信号被输入第二信号线和字线的驱动器电路213时,由该地址所指定的行(下文中也被称为被选择的行)被断言(激活)且除了由该地址所指定的行之外的其他行(下文中也被称为未被选择的行)被去断言(失活)。当RE信号被去断言时,电位 V_{WLS} 被施加至字线WL。当RE信号被断言时,电位 V_{WL1} 被施加至字线WL中被选中的行,且电位 V_{WL0} 被施加至字线WL未被选中的行中。当WE信号被去断言时,电位 V_{S2S} 被施加至第二信号线S2。当WE信号被断言时,电位 V_{S21} 被施加至第二信号线S2中被选中的行,且电位 V_{S20} 被施加至第二信号线S2中未被选中的行中。

[0251] 连接至被施加了电位 V_{WL0} 的字线WL的晶体管203导通。连接至被施加了电位 V_{WL1} 的字线WL的晶体管203截止。连接至被施加了电位 V_{S2S} 和 V_{S20} 的第二信号线S2的晶体管202截止。连接至被施加了电位 V_{S21} 的第二信号线S2的晶体管202导通。

[0252] 当RE信号被断言时,选择线的驱动器电路216 (1) 和216 (2) 将选择线SEL (1) 和SEL (2) 设置为电位 V_{SEL1} 且导通晶体管215 (1, 1) 到215 (1, n) 和晶体管215 (2, 1) 到215 (2, n)。另一方面,当RE信号被去断言时,选择线的驱动器电路216 (1) 和216 (2) 将选择线SEL (1) 和SEL (2) 设置为电位 V_{SEL0} 且截止晶体管215 (1, 1) 到215 (1, n) 和晶体管215 (2, 1) 到215 (2, n)。

[0253] 图19中示出第一信号线的驱动器电路212的示例。第一信号线的驱动器电路212包括多路复用器(MUX1)。信号DI和写入电位 V_{00} 、 V_{01} 、 V_{10} 、以及 V_{11} 被输入至该多路复用器(MUX1)。该多路复用器(MUX1)的输出端子经由开关连接至第一信号线S1。附加地,第一信号线S1经由开关连接至GND。开关受写使能信号控制。

[0254] 当信号DI被输入第一信号线的驱动器电路212时,该多路复用器(MUX1)根据信号DI的值从写入电位 V_{00} 、 V_{01} 、 V_{10} 、以及 V_{11} 中选择写入电位 V_w 。该多路复用器(MUX1)的行为被图示为表1中。当写使能信号被断言时,施加所选择的写入电位 V_w 至第一信号线S1。当写使能信号被去断言时,第一信号线S1连接至GND。

[0255] [表1]

[0256]

DI [1]	DI [0]	MUX1的输出
0	0	V_{00}
0	1	V_{01}
1	0	V_{10}
1	1	V_{11}

[0257] 在预充电之后的读取阶段中,源线的驱动器电路217将电位 V_{s_read} ($V_{s_读取}$) 施加至源线SL。在其他阶段中,施加0V。此处,电位 V_{s_read} 高于电位 ($V_{11}-V_{th}$)。

[0258] 读取电路211的一示例在图20中示出。读取电路211包括读出(sense)放大器电路、逻辑电路、等。每一个读出放大器电路的一个输入端子经由开关连接至位线BL或引线 V_{pc} 。参考电位 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} 中的任意被输入至每一个读出放大器电路的另一个输入端子。每一个读出放大器电路的输出端子连接至逻辑电路的输入端子。注意,开关受控于读使能信号和信号 Φ_{pc} 。

[0259] 通过设定每一个参考电位 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} 的值从而使得 $(V_{00}-V_{th}) < V_{ref0} < (V_{01}-V_{th}) < V_{ref1} < (V_{10}-V_{th}) < V_{ref2} < (V_{11}-V_{th})$, 存储单元的状态可被读取为具有三位的数字

信号。例如,在数据“00b”的情况下,位线BL的电位是 $(V_{00}-V_{th})$ 。此处,位线的电位的值小于参考电位 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} 中的任意,藉此,读出放大器电路的输出SA_OUT0、SA_OUT1、以及SA_OUT2均变成“0”。类似地,在数据“01b”的情况下,读出放大器电路的输出SA_OUT0、SA_OUT1、以及SA_OUT2分别变成“1”、“0”、以及“0”。在数据“10b”的情况下,读出放大器电路的输出SA_OUT0、SA_OUT1、以及SA_OUT2分别变成“1”、“1”、以及“0”。在数据“11b”的情况下,读出放大器电路的输出SA_OUT0、SA_OUT1、以及SA_OUT2分别变成“1”、“1”、以及“1”。此后,使用表2中的逻辑表所示的逻辑电路,从读取电路211中产生并输出具有两位的数据D0。

[0260] [表2]

	SA_	SA_	SA_	D	D
	OUT0	OUT1	OUT2	O[1]	O[0]
[0261]	0	0	0	0	0
	1	0	0	0	1
	1	1	0	1	0
	1	1	1	1	1

[0262] 注意在此处所示的读取电路211中,当 Φ_{pc} 信号被断言时,位线BL和连接至位线BL的读出放大器电路的输入端子被充电至电位 V_{pc} 。换言之,可用信号 Φ_{pc} 来执行预充电。注意,电位 V_{pc} 被设置为低于 $(V_{00}-V_{th})$ 。当RE信号被断言时,将电位 V_{s_read} 施加给连接至源线的驱动器电路217的源线SL,藉此反映数据的电位被充电给位线BL。然后,在读取电路211中执行读取。

[0263] 注意在读取中所比较的“位线BL的电位”包括经由开关连接至位线BL的读出放大器电路的输入端子的节点的电位。即,在读取电路中所比较的电位不需要严格地与位线BL的电位相同。

[0264] 电位产生电路214的一示例在图21中示出。在电位产生电路214中,电位在电源电位 V_{dd} 和GND之间通过电阻被分压,藉此可获得所期望的电位。然后所产生的电位经由模拟缓冲器被输出。以此方式,产生写入电位 V_{00} 、 V_{01} 、 V_{10} 、以及 V_{11} 和参考电位 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} 。注意,在图21中示出其中 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 的设置;然而,电位关系不限于此。可通过调节参考电位所连接至的电阻与节点而适当地产生所要求的电位。进一步,可通过使用不同于产生 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} 的电位产生电路的电位产生电路而产生 V_{00} 、 V_{01} 、 V_{10} 、以及 V_{11} 。

[0265] 替代电源电位 V_{dd} ,在升压电路中被升压的电位可被提供至电位产生电路214。通过将升压电路的输出提供至电位产生电路可增加电位差的绝对值,从而可提供更高的电位。

[0266] 注意,即使在将电源电位 V_{dd} 直接提供给电位产生电路的情况下,可将电源电位 V_{dd} 分割为多个电位。然而,由于在这个情况下难以将相邻电位彼此辨别出来,会增加写入错误和读取错误的次数。在将升压电路的输出提供给电位产生电路的情况下,可增加电位差的绝对值,从而即使所分割的电位的数量增加也可充分确保相邻电位之间的电位差。

[0267] 因此,可在不增加写入错误和读取错误的次数的情况下增加存储单元的存储容

量。

[0268] 作为其中执行四级升压的升压电路的示例,升压电路219被图示于图22A中。在图22A中,电源电位 V_{dd} 被施加至第一二极管402的输入端子。第二二极管404的输入端子和第一电容器412的一端连接至第一二极管402的输出端子。类似地,第三二极管406的输入端子和第二电容器414的一端连接至第二二极管404的输出端子。其他零件的连接与上述类似;因此,省略了其详细描述。然而,连接可被如下表示:第 n 个电容器的一端连接至第 n 个二极管的输出端子(n 是自然数)。注意,第五个二极管410的输出成为升压电路219的输出 V_{out} 。

[0269] 此外,时钟信号CLK被输入至第一电容器412的另一端和第三电容器416的另一端。反相时钟信号CLKB被输入至第二电容器414的另一端和第四电容器418的一端。即,时钟信号CLK被输入至第 $(2k-1)$ 个电容器的另一端,且反相时钟信号CLKB被输入至第 $2k$ 个电容器的另一端(k 是自然数)。注意,接地电势GND被输入至最后一级的电容器(在这个实施例中是第五电容器420)的另一端。

[0270] 当时钟信号CLK为高时,即当反相时钟信号CLKB为低时,第一电容器412和第三电容器416被充电,且与时钟信号CLK电容地耦合的节点N1和节点N3的电位被增加预确定的电压。另一方面,与反相时钟信号CLKB电容地耦合的节点N2和节点N4的电位被减少预确定的电压。

[0271] 因此,电荷移动通过第一二极管402、第三二极管406、以及第五二极管410,且节点N2和节点N4的电位被增加至预确定的值。

[0272] 接着,当时钟信号CLK变低,且反相时钟信号CLKB变高时,节点N2和节点N4的电位被进一步增加。另一方,节点N1、节点N3、以及节点N5的电位被降低预确定的电压。

[0273] 相应地,电荷移动通过第二二极管404和第四二极管408。因此,节点N3 和节点N5的电位被增加至预确定的电位。因此,节点的电位之间的关系变为 $(V_{N5} > V_{N4} (CLKB=High) > V_{N3} (CLK=High) > V_{N2} (CLKB=High) > V_{N1} (CLK=High) > V_{dd})$,藉此执行了升压。注意,升压电路219不限于其中执行了四级升压的电路。升压的级的数量可被适当地改变。

[0274] 注意,升压电路219的输出 V_{out} 极大地受到二极管的特性间的变化的影响。例如,通过将晶体管的源电极和栅电极彼此连接而提供二极管,不过在这个情况下,二极管的特性受到晶体管的阈值变化的影响。

[0275] 为了高准确度地控制输出 V_{out} ,可采用其中输出 V_{out} 被反馈的结构。图22B示出在输出 V_{out} 被反馈的情况下的电路设置的示例。图22B中的升压电路219对应于图22A中的升压电路219。

[0276] 升压电路219的输出端子经由电阻 R_1 被连接至读出放大器电路的一个输入端子。此外,读出放大器电路的一个输入端子经由电阻 R_2 被接地。即,对应于输出 V_{out} 的电位 V_1 被输入至读出放大器电路的一个输入端子。此处, $V_1 = V_{out} \cdot R_2 / (R_1 + R_2)$ 。

[0277] 进一步,参考电位 V_{ref} 被输入至读出放大器电路的另一个输入端子。即, V_1 和 V_{ref} 在读出放大器电路中被比较。读出放大器电路的输出端子连接至控制电路。时钟信号CLK0被输入至控制电路。响应于读出放大器电路的输出,控制电路将时钟信号CLK和反相时钟信号CLKB输出至升压电路219。

[0278] 当 $V_1 > V_{ref}$ 时,读出放大器电路的输出sig_1被断言,且控制电路停止将时钟信号CLK和反相时钟信号CLKB提供给升压电路219。因此,升压操作被停止,从而电位 V_{out} 停止增

加。然后,连接至升压电路219的电路消耗电力,藉此电位 V_{out} 逐渐降低。

[0279] 当 $V_1 < V_{ref}$ 时,读出放大器电路的输出 sig_1 被去断言,且控制电路开始将时钟信号CLK和反相时钟信号CLKB提供给升压电路219。因此,执行升压操作,从而电位 V_{out} 逐渐增加。

[0280] 以此方式,通过反馈升压电路219的输出电位 V_{out} ,可将升压电路219的输出电位保持在常数值。这个设置在二极管的特性中有变化的情况下是特别有效的。另外,这个设置在根据参考电位 V_{ref} 而产生预确定的电位的情况下也是有效的。注意,通过使用多个不同参考电位可在升压电路219中产生多个电位。

[0281] 以此方式,通过将升压电路的输出提供至电位产生电路可增加电位差的绝对值。因此,可在不改变电位差的最小单位的情况下产生更高的电位。即,可增加存储单元的存储容量。

[0282] 图23示出作为读出放大器电路的示例的差分读出放大器。差分读出放大器包括输入端子 $V_{in}(+)$ 和 $V_{in}(-)$ 以及输出端子 V_{out} ,并且放大 $V_{in}(+)$ 和 $V_{in}(-)$ 之间的电位差。当 $V_{in}(+)$ 的电位高于 $V_{in}(-)$ 的电位时, V_{out} 输出高信号,且当 $V_{in}(-)$ 的电位高于 $V_{in}(+)$ 的电位时, V_{out} 输出低信号。

[0283] 图24示出作为读出放大器电路的示例的锁存读出放大器。锁存读出放大器包括输入-输出端子V1和V2以及控制信号Sp和Sn的输入端子。首先,通过将信号Sp设定为高且信号Sn设定为低而中断电源电位(V_{dd})。接着,要比较的电位被施加给V1和V2中的每一个。此后,当通过将信号Sp设置为低且信号Sn设定为高而提供电源电位(V_{dd})时,V1的输出为高,且当V1的电位高于V2的电位时,V2的输出为低。当V1的电位低于V2的电位时,V1的输出为低且V2的输出为高。以此方式,V1和V2之间的电位差被放大。

[0284] 描述特定操作电位(电压)的示例。例如,当晶体管201的阈值电压大约为0.3V且电源电压 V_{dd} 为2V时, V_{11} 可以是1.6V; V_{10} ,1.2V; V_{01} ,0.8V; V_{00} ,0V; V_{ref0} ,0.3V; V_{ref1} ,0.7V;且 V_{ref2} ,1.1V。进一步, V_{s_read} 可以是2V。优选的是 V_{WL0} 是2V; V_{WL1} ,0V; V_{WLS} ,0V; V_{S20} ,0V; V_{S21} ,2V; V_{S2S} ,0V; V_{SEL0} ,0V;且 V_{SEL1} ,2V。例如,电位 V_{pc} 优选地是0V。

[0285] 接着,描述了图17中所示的半导体器件的操作。例如,在存储单元200是四值化存储单元时,存储单元200的四个状态是数据"00b"、"01b"、"10b"、以及"11b",且在四个状态中节点A的电位被分别设置为 V_{00} 、 V_{01} 、 V_{10} 、以及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。在这个结构中,可逐行地执行写入和读取。

[0286] 首先,描述了半导体器件的写入操作。在写使能信号被断言的时间段中执行写入操作。在写入操作中,读能使信号是被去断言的。在第i行中的存储单元200(i,1)到200(i,n)上执行写入的情况下,第二信号线S2(i)被设置为电位 V_{S21} 且在所选中存储单元中的晶体管被导通。另一方面,在第i行之外的其他行中的第二信号线S2被设置为电位 V_{S20} 且未被选中的存储单元中的晶体管202被截止。根据被输入至第一信号线的驱动器电路212的信号DI,第一信号线S1(1)到S1(n)在被写入数据"00b"的列中被设置为 V_{00} 、在被写入数据"01b"的列中被设置为 V_{01} 、在被写入数据"10b"的列中被设置为 V_{10} 、在被写入数据"11b"的列中被设置为 V_{11} 。注意,在写入的末尾,在第一信号线S1(1)到S1(n)的电位被改变之前,第二信号线S2(i)被设置为电位 V_{S20} ,从而在被选中的存储单元中的晶体管202截止。对于其他写入,例如,位线BL(1)到BL(n)被设置为0V;字线WL(1)到WL(m), V_{WLS} 的电位;选择线SEL

(1) 和 SEL (2), V_{SEL0} 的电位; 且源线 SL (1) 到 SL (n) 的电位 $V_s, 0V$ 。图 25A 示出上述写入操作的时序图的示例。注意, 图 25A 是其中将数据 "10b" 写入存储单元的情况的时序图。

[0287] 因此, 写入数据 "00b" 的存储单元的节点 A 的电位约为 $V_{00}[V]$ 、写入数据 "01b" 的存储单元的节点 A 的电位约为 $V_{01}[V]$ 、写入数据 "10b" 的存储单元的节点 A 的电位约为 $V_{10}[V]$ 、写入数据 "11b" 的存储单元的节点 A 的电位约为 $V_{11}[V]$ 。未被选中的存储单元的节点 A 的电位没有被改变。此处, 根据第一信号线 S1 的电位而在节点 A 中累加电荷。由于晶体管 202 的截止态电流极小或基本为 0, 晶体管 201 的栅电极 (节点 A) 的电势被保持达长时间。

[0288] 接着描述了半导体器件的读取操作。在读使能信号被断言的时间段中执行读取操作。在读取操作中, 写能使信号是被去断言的。在其中执行第 i 行的存储单元 200 (i, 1) 到 200 (i, n) 的读取的情况下, 选择线 SEL (1) 和 SEL (2) 被设置为电位 V_{SEL1} 且晶体管 215 (1, 1) 到 215 (1, n) 以及晶体管 215 (2, 1) 到 215 (2, n) 被导通。进一步, 字线 WL (i) 的电位被设置为 V_{WL1} 且在除了第 i 行之外的行中的字线 WL 的电位被设置为 V_{WL0} 。此时, 第 i 行中的存储单元中的晶体管 203 截止。除了第 i 行之外的其他行中的存储单元中的晶体管 203 被导通。第二信号线 S2 (1) 到 S2 (m) 被设置为电位 V_{S2S} 且所有存储单元中的晶体管 202 截止。第一信号线 S1 (1) 到 S1 (n) 的电位被设置为 0V。

[0289] 在读取操作开始时的特定阶段中, 信号 Φ_{pc} 被断言。因此, 位线 BL 被预充电至电位 V_{pc} 。然后, 源线 SL (1) 到 SL (n) 的电位 V_s 被设置为 V_{s_read} 。因此, 根据在第 i 行中的存储单元中的晶体管 201 的状态, 电流从源线 S1 流向位线 BL, 从而位线 BL 被充电为用 ((节点 A 的电位) - (晶体管 201 的阈值电压 V_{th})) 表示的电位。因此, 位线 BL 的电位分别对应于数据 "00b"、"01b"、"10b"、以及 "11b" 而变为 $(V_{00}-V_{th})$ 、 $(V_{01}-V_{th})$ 、 $(V_{10}-V_{th})$ 、以及 $(V_{11}-V_{th})$ 。因为对应于数据的位线的电位彼此不同, 可通过读取电路而读取数据 "00b"、"01b"、"10b"、以及 "11b"。注意, $(V_{11}-V_{th})$ 小于或等于 $(V_{SEL1}-V_{th_SEL})$ 且小于或等于 $(V_{WL0}-V_{th_203})$ 。此处, V_{th_SEL} 表示晶体管 215 的阈值电压, 且 V_{th_203} 表示晶体管 203 的阈值电压。

[0290] 图 25B 示出上述读取操作的时序图的示例。图 25B 中的时序图中示出从存储单元读取数据 "10b" 的情况。被选中的字线 WL 的电位 V_{WL0} 和源线 SL 的电位变为 V_{s_read} , 藉此位线 BL 被充电至对应于存储单元的数据 "10b" 的电位 $(V_{10}-V_{th})$ 。因此, SA_OUT0、SA_OUT1、以及 SA_OUT2 分别变为 "1"、"1"、以及 "0"。

[0291] 注意, 在半导体器件不具有衬底电势的情况下, 如, 在 SOI 衬底上形成薄膜晶体管的情况下, 当执行写入时, 字线 WL (i+1) 到 WL (m) 的电位优选地被设置为 V_{WL0} 且选择线 SEL (2) 的电位优选地被设置为 V_{SEL1} 。因此, 第 i 行中的存储单元中的晶体管 201 的源电极电位和漏电极电位中的至少一个可约为 0V。可选地, 选择线 SEL (1) 的电位可被设置为 V_{SEL1} 且字线 WL (1) 到 WL (i-1) 的电位可被设置为 V_{WL0} 。另一方面, 在半导体器件具有衬底电位的情况下, 如, 在单晶硅半导体衬底上形成晶体管的情况下, 衬底电位可以是 0V。

[0292] 注意, 位线 BL (1) 到 BL (n) 的电位在写入操作时被设置为 0V; 在选择线 SEL (1) 的电位被设置为 V_{SEL0} 的情况下, 位线 BL (1) 到 BL (n) 的电位可被充电为浮动状态或高于 0V 的电位。尽管当执行读取时第一信号线 S1 (1) 到 S1 (n) 的电位被设置为 0V, 第一信号线 S1 (1) 到 S1 (n) 可被充电为浮动状态或高于 0V 的电位。

[0293] 附加地, 在这个实施例, 第一信号线 S1 被设置在位线 BL 方向 (列方向) 且第二信号线 S2 被设置在字线 WL 方向 (行方向); 然而, 本发明的一个实施例并不限于此。例如, 第一

信号线S1可被设置在字线WL方向(行方向)且第二信号线S2可被设置在位线BL方向(列方向)。在这样的情况下,第一信号线S2所连接至的驱动器电路和第二信号线S2所连接至的电路可被适当地设置。

[0294] 在这个实施例中,描述了四值化存储单元的操作,即,将四个不同状态中的任意写入一个存储单元或从一个存储单元读取四个不同状态中的任意。然而,通过适当地改变电路设置,可执行n值化存储单元的操作,即,将n个不同状态中的任意(n是大于或等于2的整数)写入一个存储单元或从一个存储单元中读取n个不同状态中的任意。

[0295] 例如,在八值化存储单元中,存储能力变成二值化存储单元的三倍大。当执行写入时,准备了用于决定节点A的电位的八种写入电位且产生了八种状态。当执行读取时,准备了能区分这八个状态的七种参考电位。提供一个读出放大器且执行七次比较,从而可执行读取。进一步,通过将比较结果反馈可将比较次数的数量减少至三。在驱动源线SL的读取方法中,可通过提供七个读出放大器而在一次比较中执行读取。进一步,可采用其中提供了多个读出放大器且执行多次比较的结构。

[0296] 一般地,在 2^k 值化存储单元中(k是大于或等于1的整数),存储能力是二值化存储单元的k倍大。当执行写入时,准备了用于决定节点A的电位的 2^k 种写入电位且产生了 2^k 种状态。当执行读取时,准备了能区分这 2^k 个状态的 (2^k-1) 种参考电位。提供了一个读出放大器且执行 (2^k-1) 次比较,从而可执行读取。进一步,通过将比较结果反馈可将比较次数的数量减少至k。在驱动源线SL的读取方法中,可通过提供 (2^k-1) 个读出放大器而在一次比较中执行读取。进一步,可采用其中提供了多个读出放大器且执行多次比较的结构。

[0297] 在根据这个实施例的半导体器件中,晶体管202的较小截止态电流特性能使数据被保持相当长时间。换言之,在DRAM等中所需要的刷新操作是不必要的;因此,可抑制功耗。此外,可将半导体器件基本用作非易失性存储器设备。

[0298] 由于通过晶体管202的转换操作而写入数据,不需要高压且在半导体器件中元件不会被劣化。进一步,根据晶体管的导通状态和截止状态而写入或擦除数据,藉此可轻易地实现高速操作。另外,通过控制向晶体管的电位输入可直接重新写入数据。因此不需要在闪存存储器中所必须的擦除操作;因此,可抑制由于擦除操作引起的操作速度的降低。

[0299] 进一步,使用氧化物半导体之外的材料的晶体管可在远高于使用氧化物半导体的晶体管的速度进行操作,且因此实现了所存储的数据的高速读取。

[0300] 根据这个实施例的半导体器件是多值化半导体器件,所以每单位区域的存储能力可以大于二值化半导体器件的存储能力。因此,可减少半导体器件的尺寸并高度集成半导体器件。附加地,当执行写入操作时变成浮动状态的节点的电位可被直接地控制;因此,可轻易地以多值化存储器所需要的高准确度来控制阈值电压。因此,可省略在多值化类型的存储器中所需要的写入操作之后的状态的验证,且可缩短写入操作所需时间。

[0301] 在根据这个实施例的半导体器件中,可通过将升压电路的输出提供至电位产生电路而增加电位差的绝对值。因此,可在不改变电位差的最小单位的情况下产生更高的电位。即,可增加存储单元的存储容量。

[0302] 本实施例中所描述的方法和结构可与其他实施例中所描述的任一种方法和结构适当地组合。

[0303] [实施例3]

[0304] 在这个实施例中,将描述不同于实施例2中的半导体器件的半导体器件的电路设置的示例以及其操作。

[0305] 被包括在半导体器件中的存储单元的电路图的示例被图示于图26中。图26中所示的存储单元240是多值存储单元且包括第一信号线S1、第二信号线S2、字线WL、晶体管201、晶体管202、以及电容器204。晶体管201使用氧化物半导体之外的材料而被形成,且晶体管202使用氧化物半导体而被形成。此处,晶体管201优选地具有类似于实施例1中所描述的晶体管160的结构。进一步,晶体管202优选地具有类似于实施例1中所描述的晶体管162的结构。存储单元240,优选地经由晶体管(可以是包括在另一个存储单元中的晶体管),电连接至源线SL和位线BL。

[0306] 此处,电容器201的栅电极、晶体管202中的源电极和漏电极中的一个、以及晶体管204的电容器电极中的一个电连接至彼此。最后,源线SL和晶体管201的源电极电连接至彼此,且晶体管201的漏电极和位线BL电连接至彼此。晶体管202的源电极和漏电极中的另一个与第一信号线S1彼此电连接,并且第二信号线S2与晶体管202的栅电极彼此电连接。字线WL与电容器204的电极中的另一个彼此电连接。注意,源线SL和晶体管201的源电极可经由晶体管(可以是包括在另一个存储单元中的晶体管)电连接至彼此。进一步,位线BL和晶体管201的漏电极可经由晶体管(可以是包括在另一个存储单元中的晶体管)电连接至彼此。

[0307] 此处,描述存储单元240的操作。例如,在存储单元240是四值存储单元时,存储单元240的四个状态被设置为数据"00b"、"01b"、"10b"、以及"11b",且晶体管201的节点A的电位被分别设置为 V_{00} 、 V_{01} 、 V_{10} 、以及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。存储单元240的节点A的电位取决于字线WL的电位。当字线WL的电位被增加时,存储单元240的节点A的电位被增加。例如,施加至处于四个不同状态的存储单元的字线WL的电位从低电位改变为高电位,首先导通数据"11b"的存储单元的晶体管201,然后依序导通数据"10b"的存储单元、数据"01b"的存储单元、以及数据"00b"的存储单元。换言之,通过适当地选择字线WL的电位,可辨别存储单元的状态(即,存储单元中所包括的数据)。通过适当地选择字线WL的电位,其中晶体管201处于导通状态的存储单元处于低电阻状态,且其中晶体管201处于截止状态的存储单元处于高电阻状态;因此,当读取电路辨别出电阻状态时,可将数据"00b"、"01b"、"10b"、以及"11b"读出。

[0308] 本发明的一实施例中的包含 $m \times n$ 位的存储容量的半导体器件的电路框图被图示在图27中。作为示例,此处描述了其中存储单元240被串联连接的NAND型半导体器件。

[0309] 图27中所描述的半导体器件包括 m 个字线WL、 m 个第二信号线S2、 n 个位线BL、 n 个第一信号线S1、两个选择线SEL (1) 和SEL (2)、其中设置在 m 块(行)乘 n 块(列) (m 和 n 是自然数)的存储单元阵列250中的多个存储单元240 (1,1) 到240 (m,n)、沿位线BL (1) 到BL (n) 和存储单元240 (1,1) 到240 (1, n) 之间的选择线SEL (1) 而设置的晶体管255 (1,1) 到255 (1, n)、沿源线SL (1) 到SL (n) 和存储单元240 ($m,1$) 到240 (m,n) 之间的选择线SEL (2) 而设置的晶体管255 (2,1) 到255 (2, n)、以及诸如读取电路251、第一信号线的驱动器电路252、第二信号线和字线的驱动器电路253、电位产生电路254、选择线的驱动器电路256 (1) 和256 (2) 之类的外围电路。可提供刷新电路等作为另一个外围电路。

[0310] 考虑每一个存储单元240,如,存储单元240 (i,j) (此处, i 是大于或等于1且小于或

等于 m 的整数,且 j 是大于或等于1且小于或等于 n 的整数)。存储单元240(i, j)连接至第一信号线 $S1(j)$ 、第二信号线 $S2(i)$ 、以及字线 $WL(i)$ 。进一步,存储单元240(i_1, j)中所包括的晶体管201的漏电极(i_1 是大于或等于2且小于或等于 m 的整数)连接至存储单元240(i_1-1, j)中所包括的晶体管201的源电极。存储单元240(i_2, j)中所包括的晶体管201的源电极(i_2 是大于或等于1且小于或等于 $m-1$ 的整数)连接至存储单元240(i_2+1, j)中所包括的晶体管201的漏电极。包括在存储单元240(1, j)中的晶体管201的漏电极连接至晶体管255(1, j)的源电极。包括在存储单元240(m, j)中的晶体管201的源电极连接至晶体管255(2, j)的漏电极。晶体管255(1, j)的漏电极连接至位线 $BL(j)$,且晶体管255(2, j)的源电极连接至源线 $SL(j)$ 。

[0311] 位线 $BL(1)$ 到 $BL(n)$ 连接至读取电路251;第一信号线 $S1(1)$ 到 $S1(n)$ 连接至第一信号线的驱动器电路252;第二信号线 $S2(1)$ 到 $S2(m)$ 和字线 $WL(1)$ 到 $WL(m)$ 连接至第二信号线和字线的驱动器电路253;且选择线 $SEL(1)$ 和 $SEL(2)$ 连接至选择线的驱动器电路256(1)和256(2)。电位 V_s 施加至源线 $SL(1)$ 到 $SL(n)$ 。注意,源线 $SL(1)$ 到 $SL(n)$ 不必要是分开的且可能电连接至彼此。

[0312] 注意,第一信号线的驱动器电路252和电位产生电路254可分别具有相关实施例2中的图19和图21而描述的结构。替代电源电位 V_{dd} ,可将在实施例2中参考图22A和22B所描述的在升压电路中被升压的电位而提供至电位产生电路254。进一步,可使用实施例2中所描述的结构用作选择线的驱动器电路256(1)和256(2)。

[0313] 图28示出读取电路251的示例。读取电路包括读出放大器电路、触发器电路、偏压电路257等。变压电路257经由开关连接至位线 BL 。进一步,偏压电路257连接至读出放大器电路的输入端子。参考电位 V_{ref} 被输入至读出放大器电路的另一个输入端子。每一个读出放大器电路的输出端子连接至触发器电路的输入端子。注意,开关受读使能信号控制。

[0314] 图28中所示的读取电路251包括一个读出放大器且执行两次比较从而分辨四个不同状态。这两次比较受控于信号 $RE0$ 和 $RE1$ 。触发器电路 $FF0$ 和 $FF1$ 分别受控于信号 $RE0$ 和 $RE1$,且存储读出放大器电路的输出信号的值。触发器电路 $FF0$ 的输出和触发器电路 $FF1$ 的输出被输出作为来自读取电路的信号 $D0b[1]$ 和信号 $D0b[0]$ 。

[0315] 注意,在图示的读取电路251时,当 RE 信号被去断言时,位线 BL 连接至引线 V_{pc} 且执行预充电。当 RE 信号被断言时,建立了位线 BL 和偏压电路257之间的电气连接。注意,预充电并不是一定要执行的。

[0316] 图29中示出第二信号线和字线的驱动器电路253的示例。第二信号线和字线的驱动器电路253包括解码器、多路复用器(MUX2)等。第二信号线 $S2$ 经由受写使能信号(WE 信号)控制的开关和受从解码器输出的信号控制的开关连接至引线 V_{S20} 、 V_{S21} 、以及 V_{S2S} 。字线 WL 经由受读使能信号(RE 信号)控制的开关和受从解码器输出的信号控制的开关连接至引线 V_{WL0} 、 V_{WL1} 、以及 V_{WLS} 。进一步,信号 $RE0$ 、 $RE1$ 、 $D0b[1]$ 、参考电位 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} 、和 GND 被输入至多路复用器(MUX2),且多路复用器(MUX2)输出电位 V_{WL} 。从外界向解码器输入地址信号。

[0317] 当地址信号被输入第二信号线和字线的驱动器电路253时,由该地址所指定的行(被选择的行)被断言且除了由该地址所指定的行之外的其他行(未被选择的行)被去断言。当 RE 信号被去断言时,电位 V_{WLS} 被施加至字线 WL 。当 RE 信号被断言时,电位 V_{WL1} 被施加至字线 WL 中被选择的行,且电位 V_{WL0} 被施加至字线 WL 未被选择的行中。当 RE 信号被去断言

时,电位 V_{S2S} 被施加至第二信号线 $S2$ 。当 WE 信号被断言时,电位 V_{S21} 被施加至第二信号线 $S2$ 中被选择的行,且电位 V_{S20} 被施加至第二信号线 $S2$ 中未被选择的行中。 V_{WL1} 是由多路复用器(MUX2)所选择的电位。根据信号 $RE0$ 、 $RE1$ 、以及 $DOb[1]$ 的值,多路复用器选择三种参考电位 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} 、和 GND 中的一个。该多路复用器(MUX2)的行为被图示为表3中。

[0318] [表3]

[0319]	R E0	R E1	DO [1]	V__WL1
	0	0	*	GND
[0320]	1	0	*	V_{ref1}
	0	1	0	V_{ref0}
	0	1	1	V_{ref2}

[0321] * = 1 or 0

[0322] 连接至被施加了电位 V_{WL0} 的字线 WL 的晶体管201被导通。连接至被施加了电位 V_{S2S} 和 V_{S20} 的第二信号线 $S2$ 的晶体管202截止。连接至被施加了电位 V_{S21} 的第二信号线 $S2$ 的晶体管202导通。

[0323] 描述了三种参考电位 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} ($V_{ref0} < V_{ref1} < V_{ref2}$), 以及在上述电位被选择作为字线 WL 的电位的情况下晶体管201的状态。在其中 V_{ref2} 被选中作为字线 WL 的电位的情况下,数据"00b"的存储单元的晶体管201截止且数据"01b"的存储单元的晶体管201被导通所具有的电位被选择为 V_{ref2} 。此外,在其中 V_{ref1} 被选中作为字线 WL 的电位的情况下,数据"01b"的存储单元的晶体管201截止且数据"10b"的存储单元的晶体管201被导通所具有的电位被选择为 V_{ref1} 。此外,在其中 V_{ref2} 被选中作为字线 WL 的电位的情况下,数据"10b"的存储单元的晶体管201截止且数据"11b"的存储单元的晶体管201被导通所具有的电位被选择为 V_{ref2} 。

[0324] 在读取电路251中,在上述情况下通过两次比较来执行读取。使用 V_{ref1} 来执行第一次比较。当使用 V_{ref1} 的较的结果 $DOb[1]$ 的值为"0"时使用 V_{ref0} 执行第二次比较,或者当使用 V_{ref1} 的较的结果 $DOb[1]$ 的值为"1"时使用 V_{ref1} 。以上述方式,可通过该两次比较读出四个状态。

[0325] 注意,尽管读取操作中比较次数的数量在本实施例中是两次,本发明的一个实施例并不限于这个结构。例如,可在不将比较之后获得的值反馈的情况下执行三次比较。

[0326] 描述操作电位(电压)的特定示例。例如,电源电位 V_{dd} 是2V且晶体管201的阈值电压 V_{th} 为1.8V。节点A的电位取决于字线 WL 和节点A之间的电容器 $C1$ 和晶体管202的栅电容 $C2$,且此处,例如,当晶体管202处于截止状态时 $C1/C2 \gg 1$,且当晶体管202处于导通状态时 $C1/C2 = 1$ 。图30示出在源线 SL 具有电位0V的情况下节点A的电位和字线 WL 的电位之间的关系。从图30中,发现,在执行写入时的情况下参考电位 V_{ref0} 、 V_{ref1} 、以及 V_{ref2} 分别优选为0.4V、0.8V、以及1.2V,数据"00b"的节点A的电位是0V,数据"01b"的是0.8V、数据"10b"的是1.2V、且数据"11b"的是1.6V。

[0327] 接着,描述了图27中所示的半导体器件的操作。此处,描述了其中存储单元是四值化存储单元的情况。存储单元240的四个状态是数据“00b”、“01b”、“10b”、以及“11b”,且在这四个状态中节点A的电位被分别设置为 V_{00} 、 V_{01} 、 V_{10} 、以及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。在这个结构中,逐行执行写入和读取。

[0328] 首先,描述了半导体器件的写入操作。在写使能信号被断言的时间段中执行写入操作。在写入操作中,读能使信号是被去断言的。在第*i*行中的存储单元240(*i*,1)到240(*i*,*n*)上执行写入的情况下,第二信号线S2(*i*)被设置为电位 V_{S21} 且在所选中存储单元中的晶体管被导通。另一方面,在第*i*行之外的其他行中的第二信号线S2被设置为电位 V_{S20} 且未被选中的存储单元中的晶体管202截止。根据被输入至第一信号线的驱动器电路212的信号DI,第一信号线S1(1)到S1(*n*)在被写入数据“00b”的列中被设置为电位 V_{00} 、在被写入数据“01b”的列中被设置为电位 V_{01} 、在被写入数据“10b”的列中被设置为电位 V_{10} 、在被写入数据“11b”的列中被设置为电位 V_{11} 。注意,在写入的末尾,在第一信号线S1(1)到S1(*n*)的电位被改变之前,第二信号线S2(*i*)被设置为电位 V_{S20} ,从而在被选中的存储单元中的晶体管202截止。对于其他引线,例如,位线BL(1)到BL(*n*)被设置为0V;字线WL(1)到WL(*m*),电位 V_{WLS} ;选择线SEL(1)和SEL(2),电位 V_{SEL0} ;且源线SL(1)到SL(*n*)的电位 V_s ,0V。上述写入操作的时序图类似于图25中所示的时序图。注意,图25A是其中将数据“10b”写入存储单元的情况的时序图。

[0329] 因此,写入数据“00b”的存储单元的节点A的电位约为 V_{00} [V]、写入数据“01b”的存储单元的节点A的电位约为 V_{01} [V]、写入数据“10b”的存储单元的节点A的电位约为 V_{10} [V]、写入数据“11b”的存储单元的节点A的电位约为 V_{11} [V]。未被选中的存储单元的节点A的电位没有被改变。此处,根据第一信号线S1的电位而在节点A中累加电荷。由于晶体管202的截止态电流极小或基本为0,晶体管201的栅电极(节点A)的电势被保持达长时间段。

[0330] 接着,描述了半导体器件的读取操作。在读使能信号被断言的时间段中执行读取操作。在读取操作中,写能使信号是被去断言的。在其中执行第*i*行的存储单元240(*i*,1)到240(*i*,*n*)的读取的情况下,选择线SEL(1)和SEL(2)被设置为电位 V_{SEL1} 且晶体管255(1,1)到255(2,*n*)被导通。源线SL(1)到SL(*n*)的电位 V_s ,0V。第二信号线S2(1)到S2(*m*)被设置为电位 V_{S2S} 且所有存储单元中的晶体管202截止。第一信号线S1(1)到S1(*n*)被设置为0V。

[0331] 进一步,字线WL(*i*)被设置为电位 V_{WL1} 且在除了第*i*行之外的行中的字线WL被设置为电位 V_{WL0} 。除了第*i*行之外的其他行中的存储单元中的晶体管201被导通。因此,位线BL和源线SL之间的电阻状态(电导),当被选中的行中的晶体管201处于导通状态时为低,而当被选中的行中的晶体管201处于截止状态时为高。在被选中的行中,适当地选择字线WL的电位以使晶体管201的导通状态和截止状态在具有不同数据的存储单元之间变化。因此,通过区分位线BL和源线SL之间的电阻状态(电导),读取电路可读取数据“00b”、“01b”、“10b”以及“11b”。即,读取电路可通过读取所指定的存储单元的电阻状态(电导)而读取数据。注意,存储单元的电阻状态(电导)的读取表示被包括在存储单元中的晶体管201的导通状态或截止状态的读取。读取操作的时序图的示例被图示在图31中。图31示出从存储单元读取数据“01b”的情况的时序图。参考电位 V_{ref1} 和 V_{ref2} 被输入至被选中的相应字线WL,且读出放大器中的比较结果在信号RE0、和RE1被断言的各自时间段中被存储在触发器电路FF0和FF1中。在存储单元的数据为“01b”的情况下,触发器电路FF0和FF1的值为“1”和“0”。注意,第一

信号线S1和第二信号线S2为0V。

[0332] 注意,在写入之后(字线WL的电位是0V)晶体管201的节点A的电位优选地低于或等于晶体管201的阈值电压。进一步, V_{WL0} 可以是2V; V_{WLS} ,0V; V_{S20} ,0V; V_{S21} ,2V;且 V_{S2S} ,0V。

[0333] 注意,位线BL(1)到BL(n)在写入操作时被设置为0V;在选择线SEL(1)被设置为电位 V_{SEL0} 的情况下,位线BL(1)到BL(n)可被充电为浮动状态或高于0V的电位。尽管当执行读取时第一信号线S1(1)到S1(n)被设置为0V,第一信号线S1(1)到S1(n)可被充电为浮动状态或高于0V的电位。

[0334] 附加地,在这个实施例中,在位线BL方向(列方向)设置第一信号线S1且在字线WL方向(行方向)设置第二信号线S2;然而,本发明的一个实施例并不限于此。例如,可在字线WL方向(行方向)设置第一信号线S1且可在位线BL方向(列方向)设置第二信号线S2。在这样的情况下,第一信号线S2所连接至的驱动器电路和第二信号线S2所连接至的电路可被适当地设置。

[0335] 在这个实施例中,描述了四值化存储单元的操作,即,将四个不同状态中的任意写入一个存储单元或从一个存储单元读取四个不同状态中的任意。然而,通过适当地改变电路设置,可执行n值化存储单元的操作,即,将n个不同状态中的任意(n是大于或等于2的整数)写入一个存储单元或从一个存储单元中读取n个不同状态中的任意。

[0336] 例如,在八值化存储单元中,存储能力变成二值化存储单元的三倍大。当执行写入时,准备了用于决定节点A的电位的八种写入电位且产生了八种状态。当执行读取时,准备了能分辨这八个状态的七种参考电位。提供了一个读出放大器且执行七次比较,从而可执行读取。进一步,通过将比较结果反馈可将比较次数的数量减少至三。在驱动源线SL的读取方法中,可通过提供七个读出放大器而在一次比较中执行读取。进一步,可提供多个读出放大器且执行多次比较。

[0337] 一般地,在 2^k 值化存储单元中(k是大于或等于1的整数),存储能力是二值化存储单元的k倍大。当执行写入时,准备了用于决定节点A的电位的 2^k 种写入电位且产生了 2^k 种状态。当执行读取时,准备了能区分这 2^k 个状态的 (2^k-1) 种参考电位。提供了一个读出放大器且执行 (2^k-1) 次比较,从而可执行读取。进一步,通过将比较结果反馈可将比较次数的数量减少至k。在驱动源线SL的读取方法中,可通过提供 (2^k-1) 个读出放大器而在一次比较中执行读取。进一步,可采用其中提供了多个读出放大器且执行多次比较的结构。

[0338] 在根据这个实施例的半导体器件中,晶体管202的较小截止态电流特性使数据被保持相当长时间。换言之,在DRAM等中所需要的刷新操作是不必要的;因此,可抑制功耗。此外,可将半导体器件基本用作非易失性存储器设备。

[0339] 由于通过晶体管202的转换操作而写入数据,不需要高压且在半导体器件中元件不会被劣化。进一步,根据晶体管的导通状态和截止状态而写入或擦除数据,藉此可轻易地实现高速操作。另外,通过控制向晶体管的电位输入可直接重新写入数据。因此不需要在闪存存储器中所必须的擦除操作;因此,可抑制由于擦除操作引起的操作速度的降低。

[0340] 使用氧化物半导体之外的材料的晶体管可在远高于使用氧化物半导体的晶体管的速度下进行操作,且因此实现了所存储的数据的高速读取。

[0341] 根据这个实施例的半导体器件是多值化半导体器件,所以每单位区域的存储能力

可以大于二值化半导体器件的存储能力。因此,可减少半导体器件的尺寸并高度集成半导体器件。附加地,当执行写入操作时变成浮动状态的节点的电位可被直接地控制;因此,可轻易地以多值化存储器所需要的高准确度来控制阈值电压。因此,可省略在多值化类型的存储器中所需要的写入操作之后的状态的验证,且可缩短写入操作所需时间。

[0342] 在根据这个实施例的半导体器件中,可通过将升压电路的输出提供至电位产生电路而增加电位差的绝对值。因此,可在不改变电位差的最小单位的情况下产生更高的电位。即,可增加存储单元的存储容量。

[0343] 本实施例中所描述的方法和结构可与其他实施例中所描述的任一种方法和结构适当地组合。

[0344] [实施例4]

[0345] 在这个实施例中,将参考图32A到32F而描述其中安装了根据上述实施例所获得的半导体器件的电子电器的示例。根据上述实施例所获得的半导体器件可在即使没有电源的情况下保持数据。此外,不导致由于写入和擦除引起的劣化。进一步,其操作速度较高。由此,通过使用半导体器件,可提供具有新结构的电子电器。注意,根据上述实施例的半导体器件被集成并安装在被安装到电子电器中的电路板等上。

[0346] 图32A示出膝上型个人计算机,其包括根据上述实施例的半导体器件且包括主体301、外壳302、显示部分303、键盘304等。当根据本发明的实施例的半导体器件被应用于该膝上型个人计算机时,可在即使没有电源提供的情况下保持数据。此外,不导致由于写入和擦除引起的劣化。进一步,其操作速度较高。因此,优选的是将根据本发明的实施例的半导体器件应用于该膝上型个人计算机。

[0347] 图32B示出个人信息终端(PDA),它包括根据上述实施例的半导体器件,并被提供有含有显示部分313、外部接口315、操作按钮314等的主体311。此外,包括指示笔312作为用于操作的附件。当根据本发明的实施例的半导体器件被应用于该PDA时,可在即使没有电源提供的情况下保持数据。此外,不导致由于写入和擦除引起的劣化。进一步,其操作速度较高。因此,优选的是将根据本发明的实施例的半导体器件应用于该PDA。

[0348] 图32C示出电子书阅读器320作为包括根据上述实施例的半导体器件的电子纸的示例。电子书阅读器320包括两个外壳——外壳321和外壳323。外壳321和外壳323与枢纽337组合,从而该电子书阅读器320可以该枢纽337为轴打开和关闭。利用这种结构,电子书阅读器320可类似于纸书一样使用。当根据本发明的实施例的半导体器件被应用于该电子纸时,可在即使没有电源提供的情况下保持数据。此外,不导致由于写入和擦除引起的劣化。进一步,其操作速度较高。因此,优选的是将根据本发明的实施例的半导体器件应用于该电子纸。

[0349] 显示部分325结合入外壳321中,而显示部分327结合入外壳323中。显示部分325和显示部分327可显示一幅图像或可显示不同图像。在显示部分325和显示部分327显示不同图像时,例如,右边的显示部分(图32C中的显示部分325)可显示文本,而左边的显示部分(图32C中的显示部分327)可显示图形。

[0350] 图32C示出其中外壳321被提供有操作部分等的示例。例如,外壳321被提供有电源开关331、操作键333、扬声器335等。可用操作键333翻页。注意,还可在提供有显示部分的外壳的表面上设置键盘、定点设备等。此外,外部连接端子(耳机端子、USB端子、可连接到诸如

AC适配器和USB电缆之类的各种电缆的端子等)、记录介质插入部分等可设置在外壳的背面或侧面上。此外,电子书阅读器320可具有电子词典的功能。

[0351] 电子书阅读器320可被设置为无线地发送和接收数据。通过无线通信,可从电子书服务器购买和下载所需的图书数据等。

[0352] 注意,电子纸可被应用于可显示信息的任何领域中的电子电器。此外,除了电子书阅读器,电子纸可用于诸如火车之类的车辆中的海报、广告、诸如信用卡的各种卡中的显示等。

[0353] 图32D示出包括根据以上实施例的半导体器件的移动电话。移动电话包括两个外壳,外壳340和外壳341。外壳341包括显示面板342、扬声器343、麦克风344、指向设备346、摄像机透镜347、外部连接端子348等。外壳340包括用于对移动电话进行充电的太阳能电池349、外部存储槽350等。另外,在外壳341中结合有天线。当根据本发明的实施例的半导体器件被应用于该移动电话时,可在即使没有电源提供的情况下保持数据。此外,不导致由于写入和擦除引起的劣化。进一步,其操作速度较高。因此,优选的是将根据本发明的实施例的半导体器件应用于该移动电话。

[0354] 显示面板342被提供有触摸面板功能。被显示为图像的多个操作键345在图32D中图示为虚线。注意,该移动电话包括用于将从太阳能电池349输出的电压提升至每一个电路所必须的电压的升压电路。进一步,除了上述结构,还可采用结合了非接触式IC芯片、较小存储设备等的结构。

[0355] 显示面板342的显示取向根据使用模式而适当地变化。此外,相机镜头347被提供在与显示面板342相同的表面上,从而移动电话可被用作视频电话。在不限于言语通信的情况下,扬声器343和话筒344可被用于视频电话、录音、回放等。此外,外壳340和341处于如图32D所示发展的状态中,从而一个重叠在另一个上;因此,移动电话的尺寸可减小,这使得移动电话适于携带。

[0356] 外部链接端子348可连接至诸如AC适配器或USB电缆之类的各种电缆,这些电缆能实现充电和数据通信。此外,通过将记录介质插入外部存储槽350,移动电话可处理大量数据的存储和移动。此外,除了上述功能外,可提供红外通信功能、电视接收功能等。

[0357] 图32E示出包括根据上述实施例的半导体器件的数码相机。数码相机包括主体361,显示部分(A)367、目镜363、操作开关364、显示部分(B)365、电池366等。当根据本发明的实施例的半导体器件被应用于该数码相机时,可在即使没有电源提供的情况下保持数据。此外,不导致由于写入和擦除引起的劣化。进一步,其操作速度较高。因此,优选的是将根据本发明的实施例的半导体器件应用于该数码相机。

[0358] 图32F示出包括根据以上实施例的半导体器件的电视机。在电视机370中,显示部分373被包括在外壳371中。显示部分373可显示图像。这里,外壳371由支架375支承。

[0359] 可用外壳371的操作开关或独立的遥控器380操作电视机370。可利用遥控器380的操作键379控制频道和音量,从而可控制显示部分373上显示的图像。此外,遥控器380可被提供有用于显示从遥控器380输出的数据的显示部分377。当根据本发明的实施例的半导体器件被应用于该电视机时,可在即使没有电源提供的情况下保持数据。此外,不导致由于写入和擦除引起的劣化。进一步,其操作速度较高。因此,优选的是将根据本发明的实施例的半导体器件应用于该电视机。

[0360] 注意,电视机370优选设置有接收器、调制解调器等。利用该接收器,可接收一般的电视广播。此外,当电视机370经由调制解调器通过有线或无线连接而连接到通信网络时,可进行单向(从发射器到接收器)或双向(在发射器与接收器之间、接收器之间等)信息通信。

[0361] 本实施例中所描述的方法和结构可与其他实施例中所描述的任一种方法和结构适当地组合。

[0362] 本申请基于2009年11月6日向日本专利局提交的日本专利申请系列号2009-255536、2009年11月20日向日本专利局提交的日本专利申请系列号2009-264572,这些申请的全部内容通过引用结合于此。

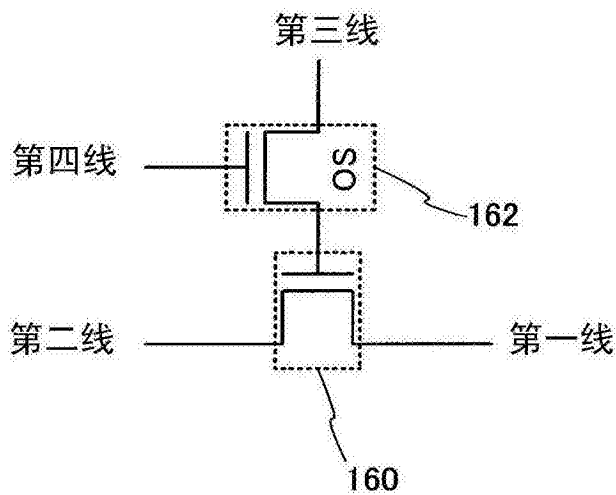


图1

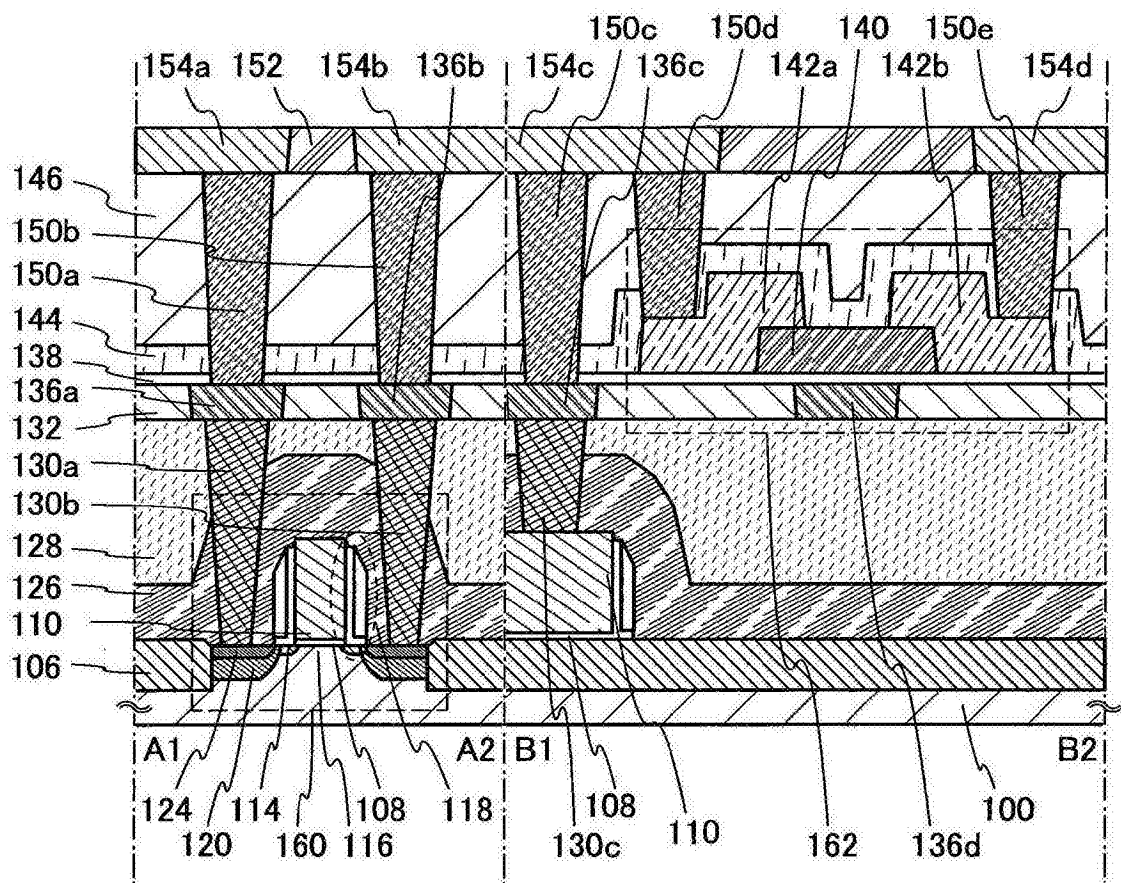


图2A

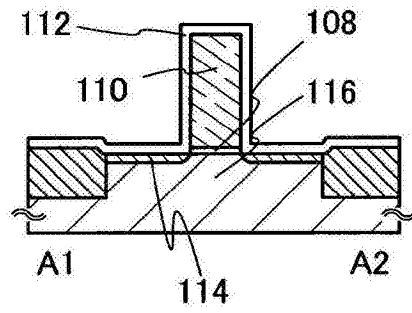


图3C

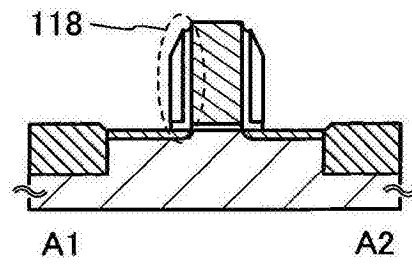


图3D

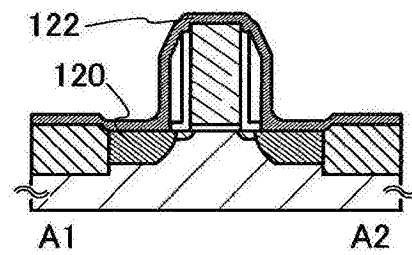


图3E

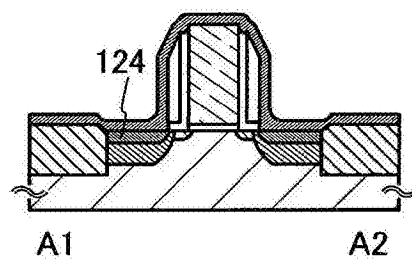


图3F

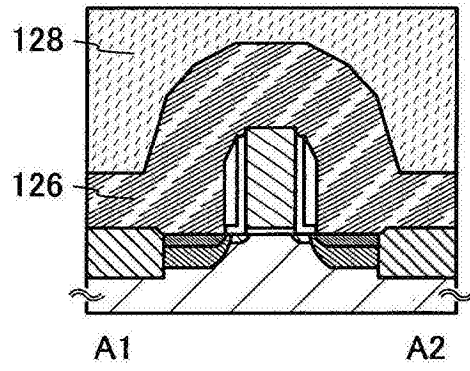


图3G

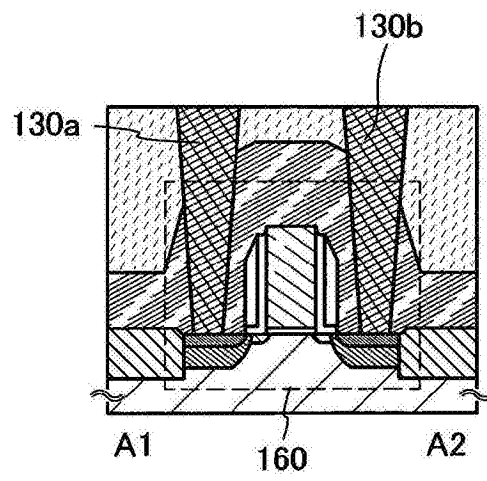


图3H

图 4A

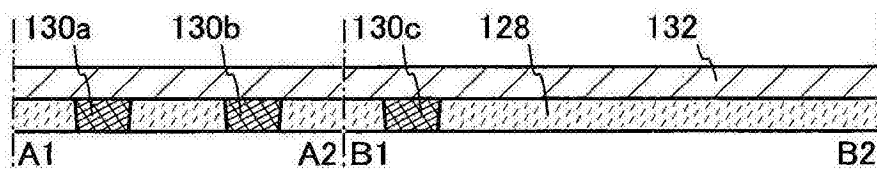


图 4B

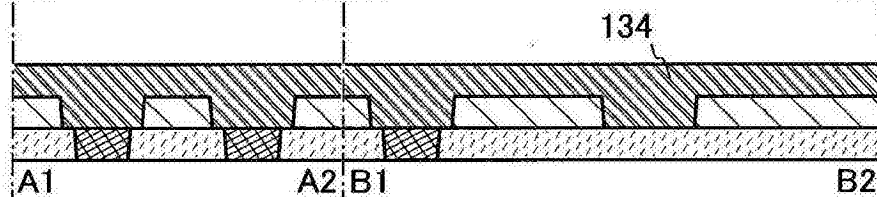


图 4C

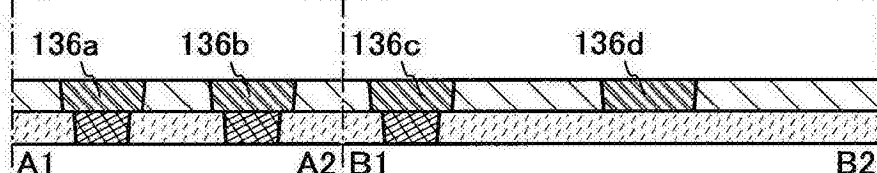


图 4D

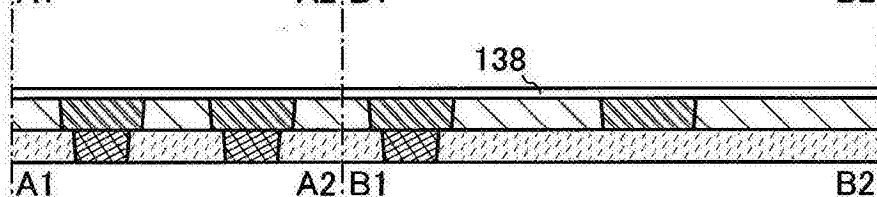


图 4E

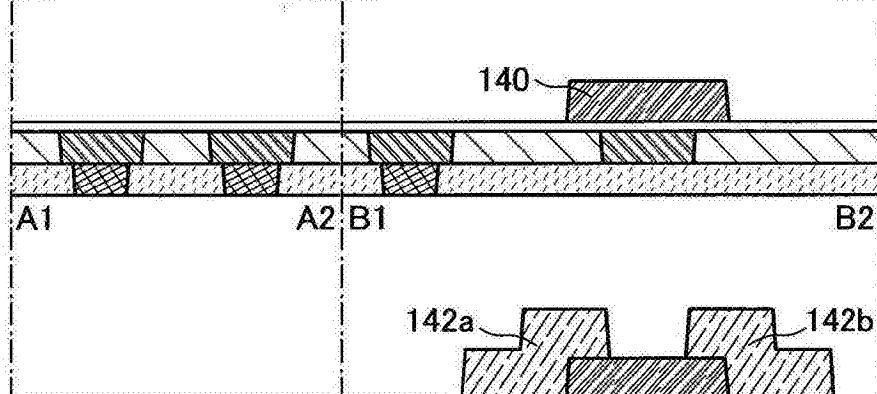


图 4F



图 4G

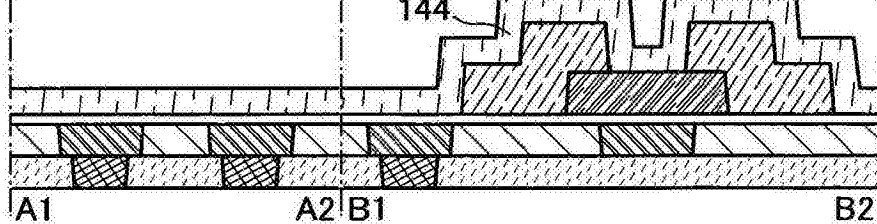


图 5A

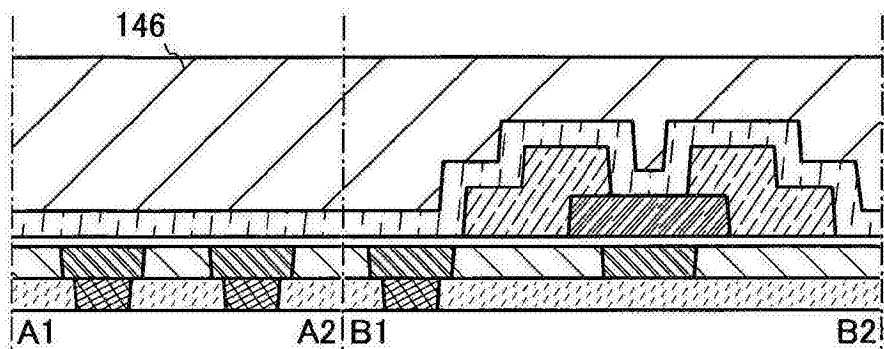


图 5B

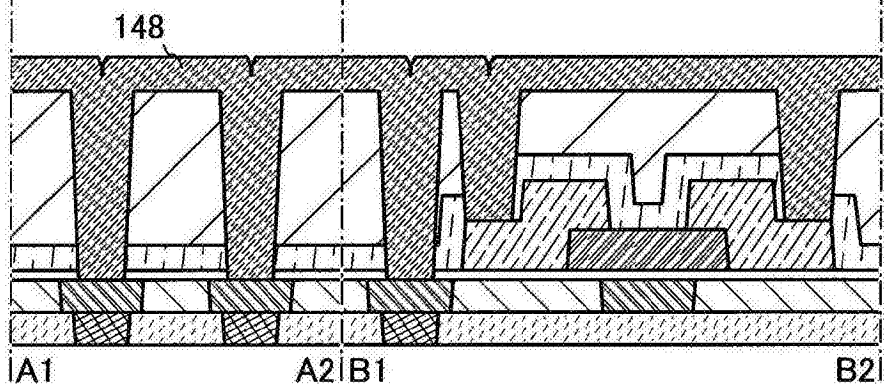


图 5C

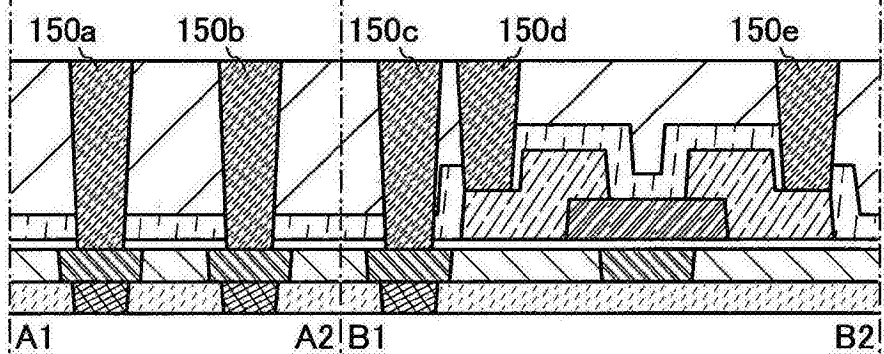
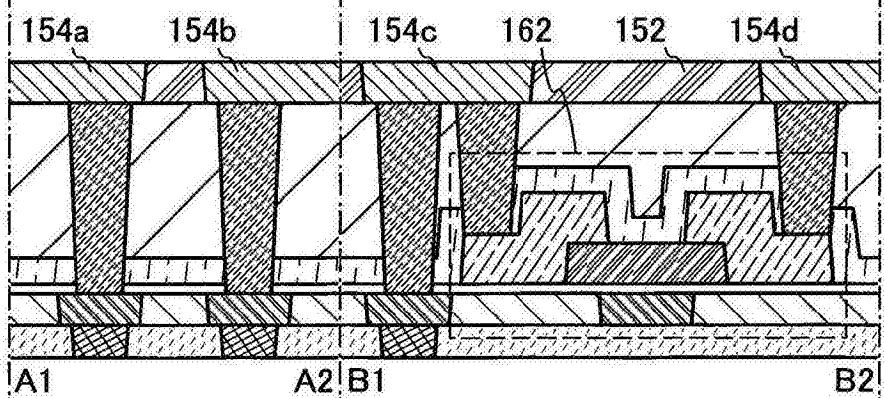


图 5D



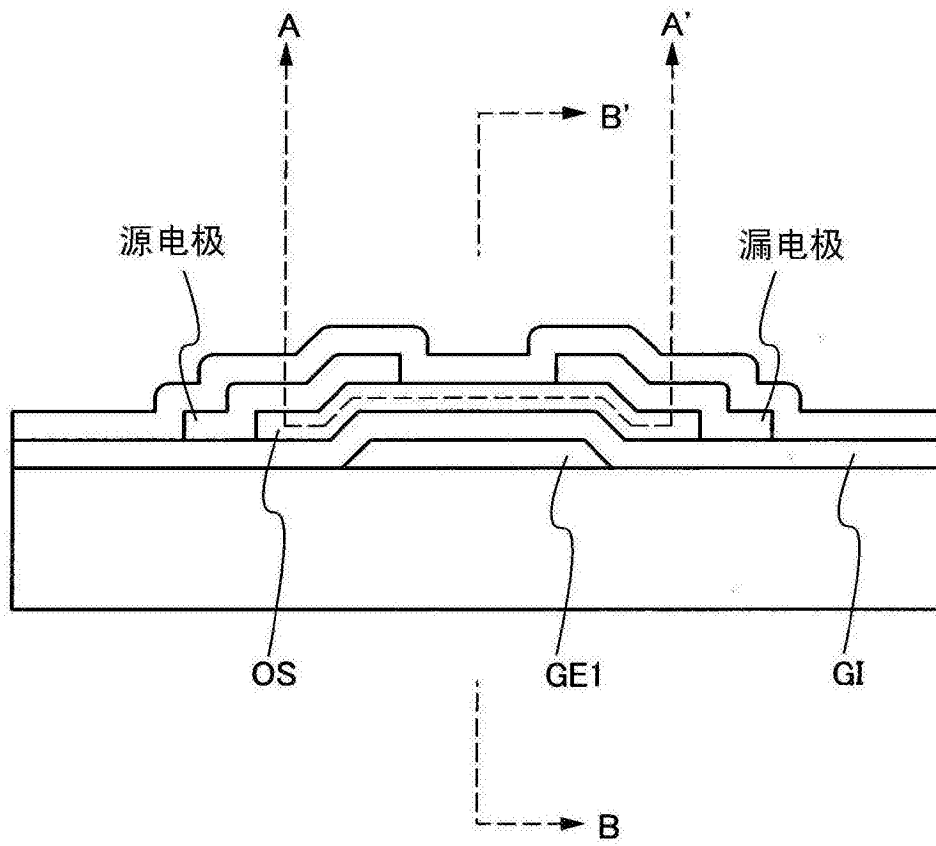


图6

氧化物半导体
(沟道)

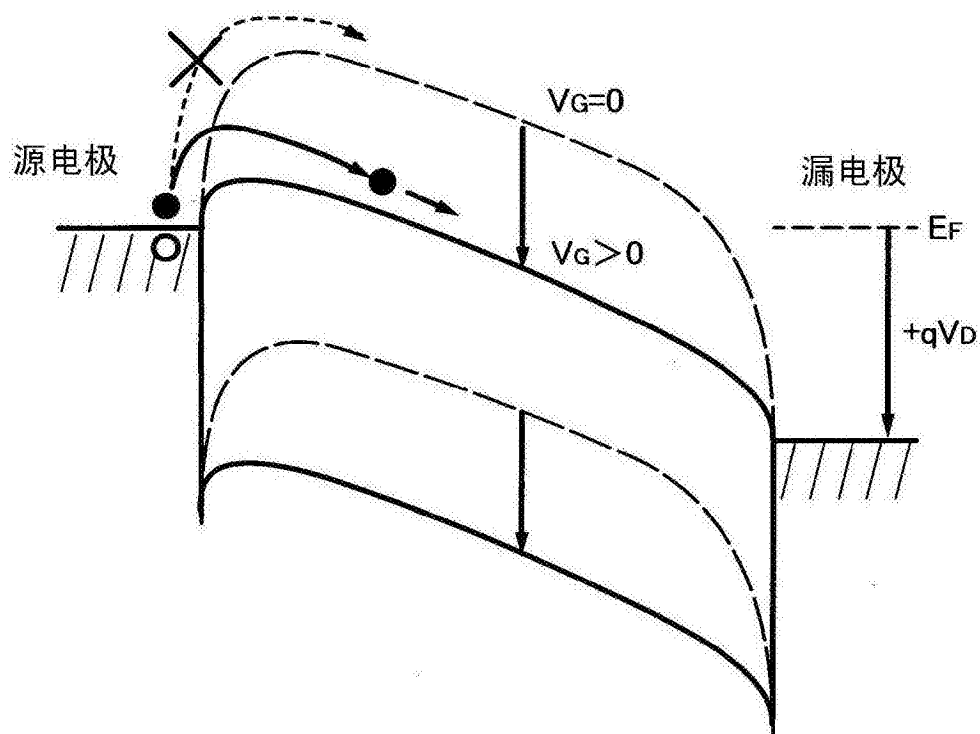


图7

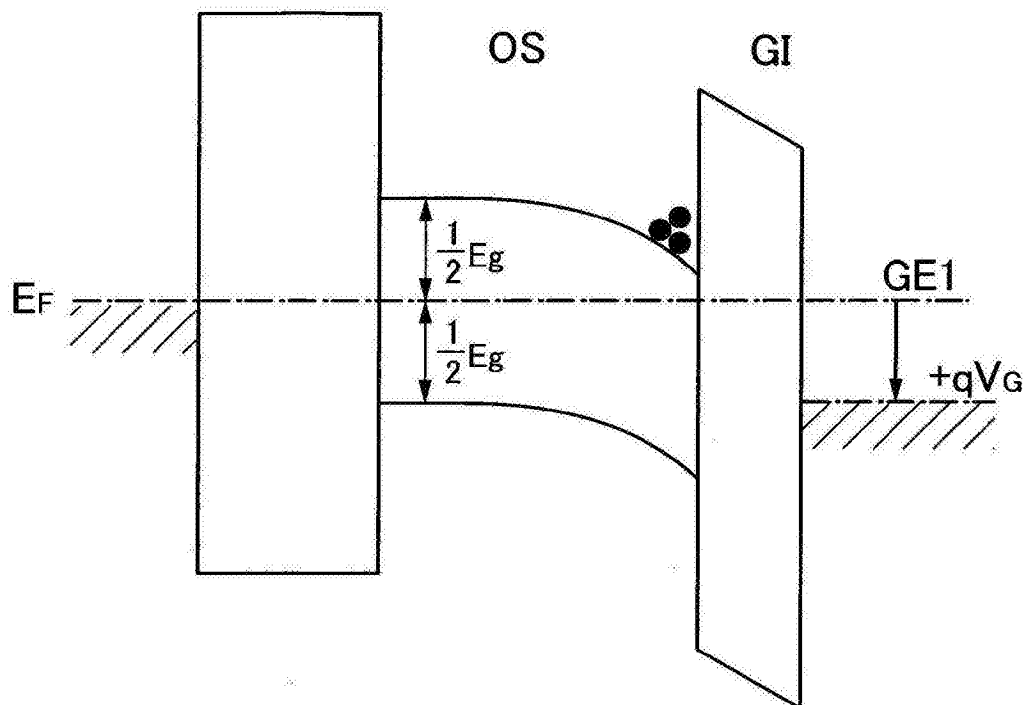
B-B' 截面的能带图 ($V_G>0$)

图8A

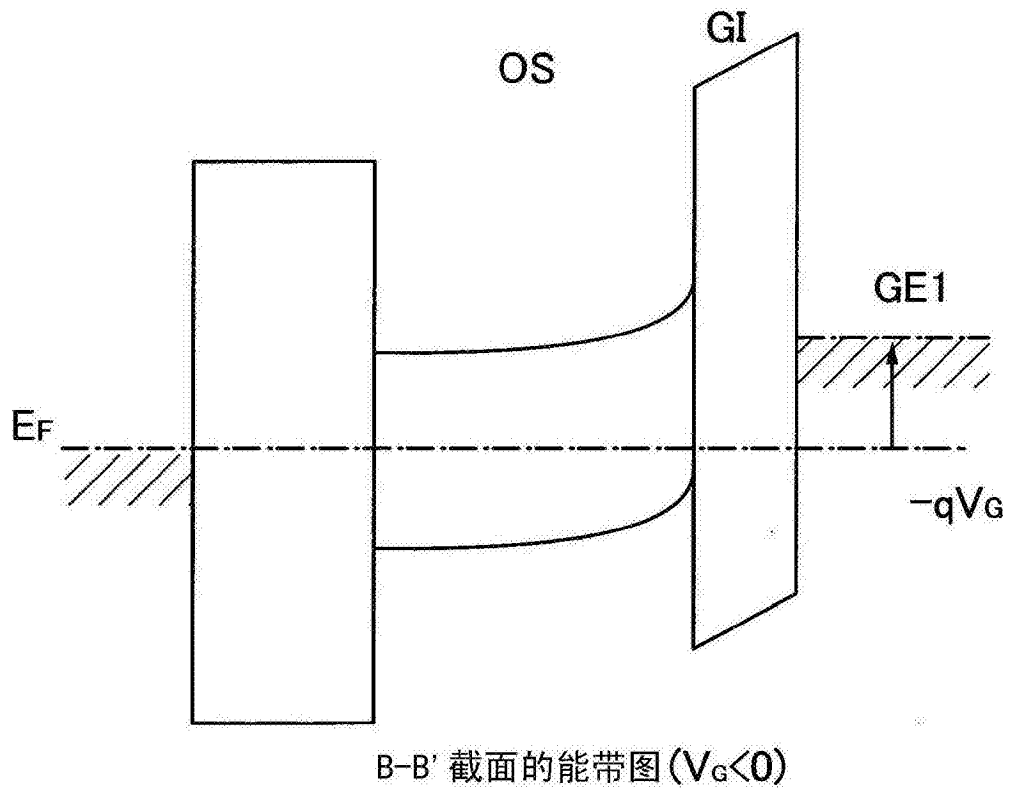


图8B

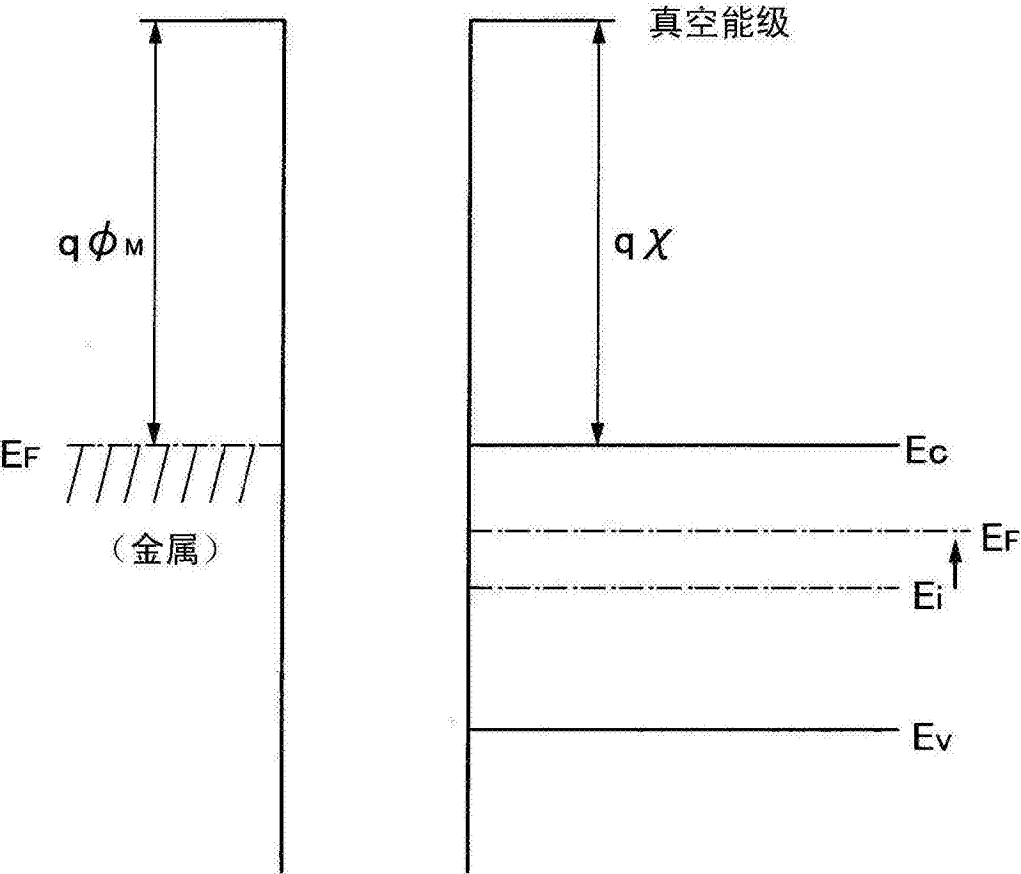


图9

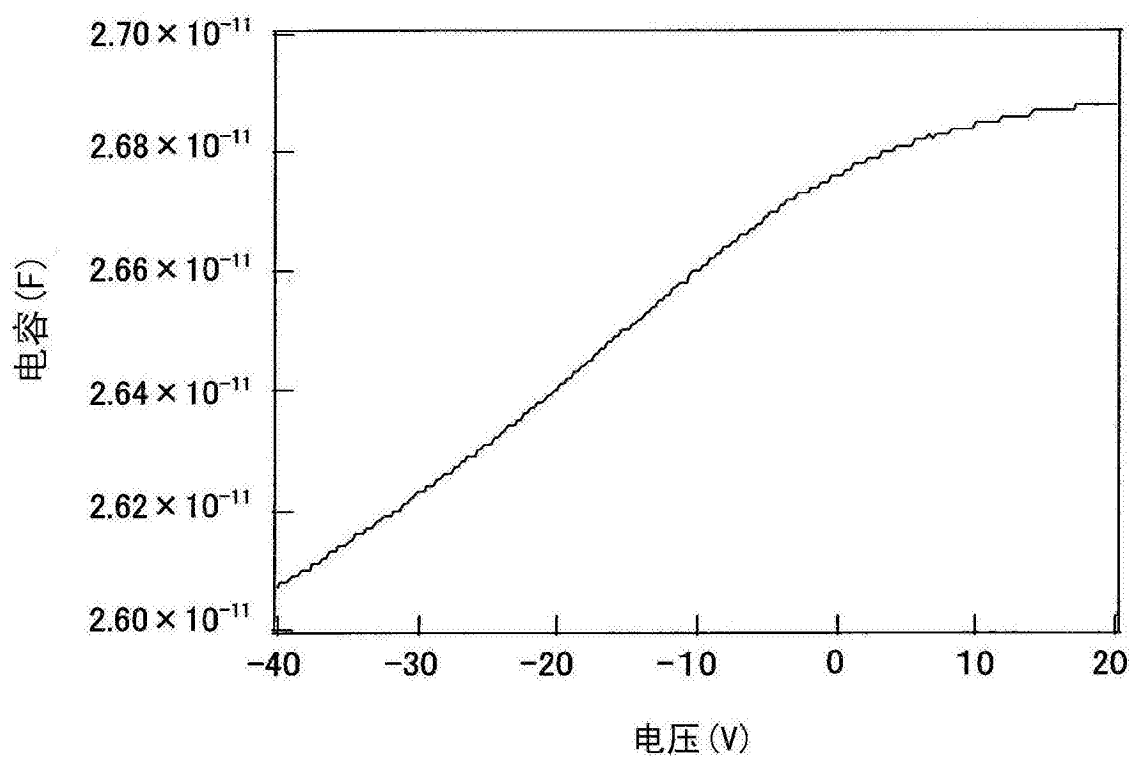


图10

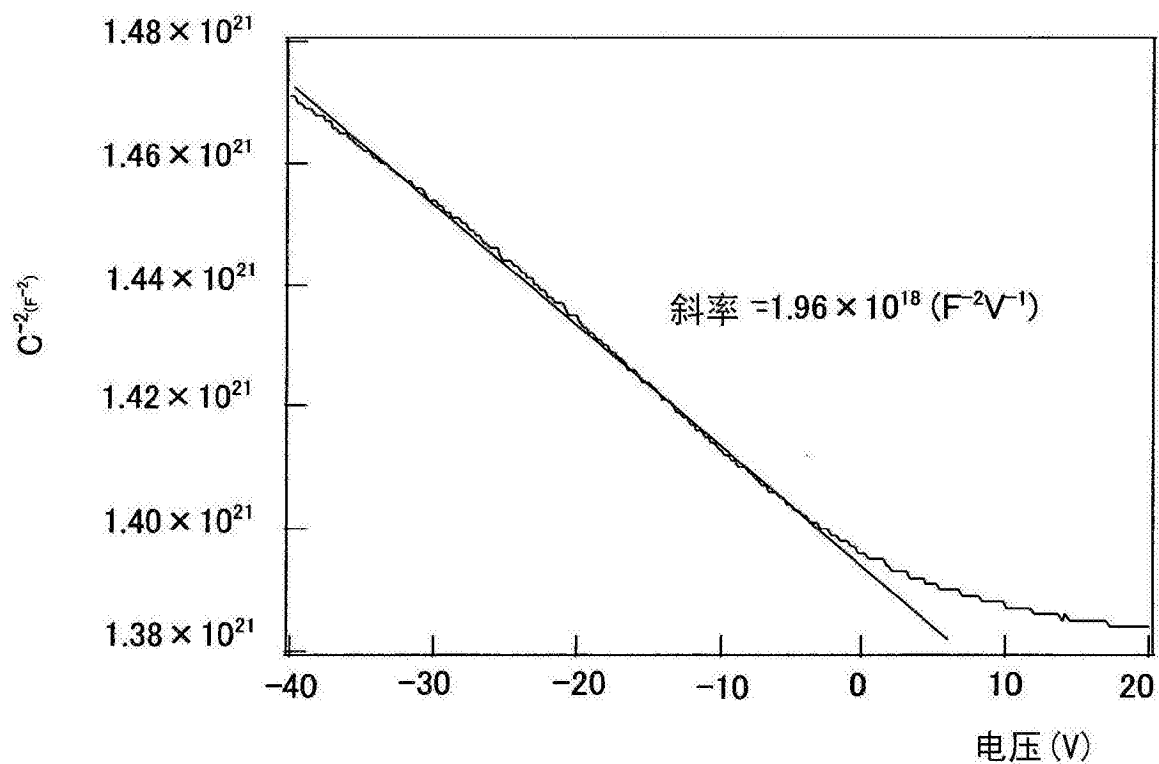


图11

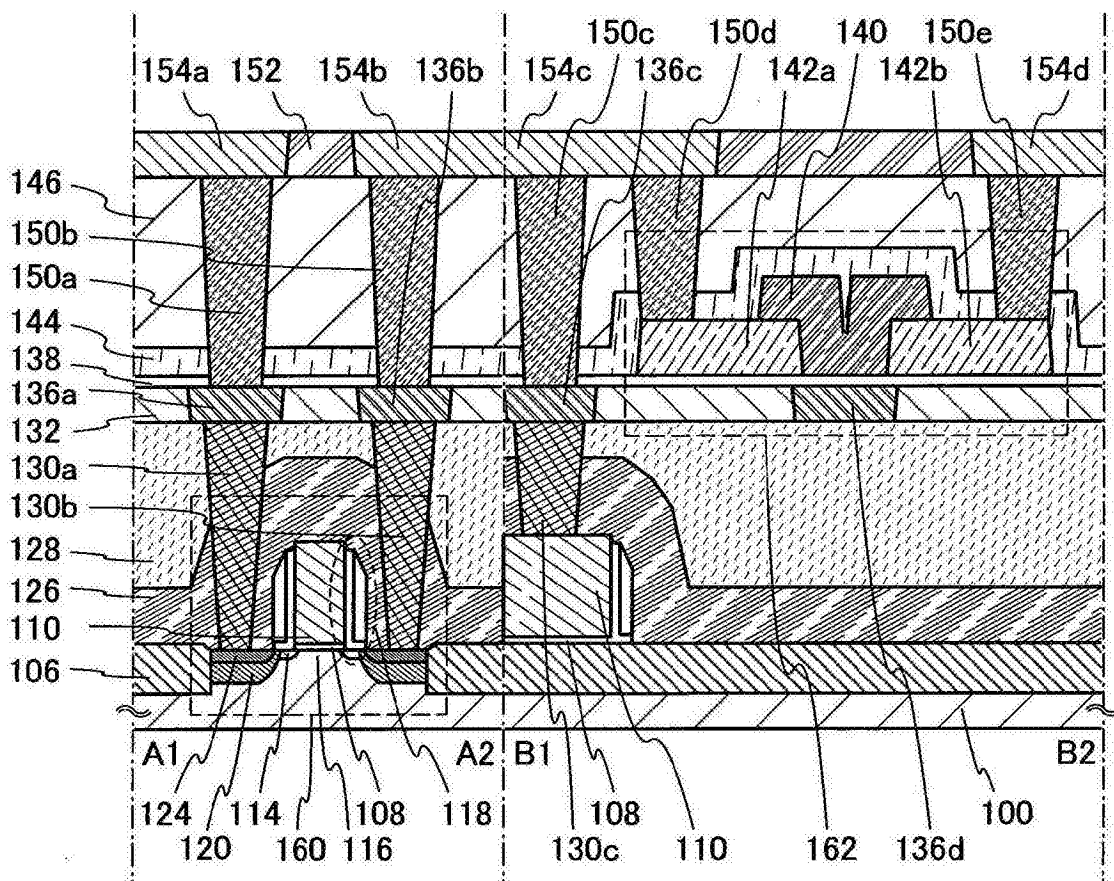


图12

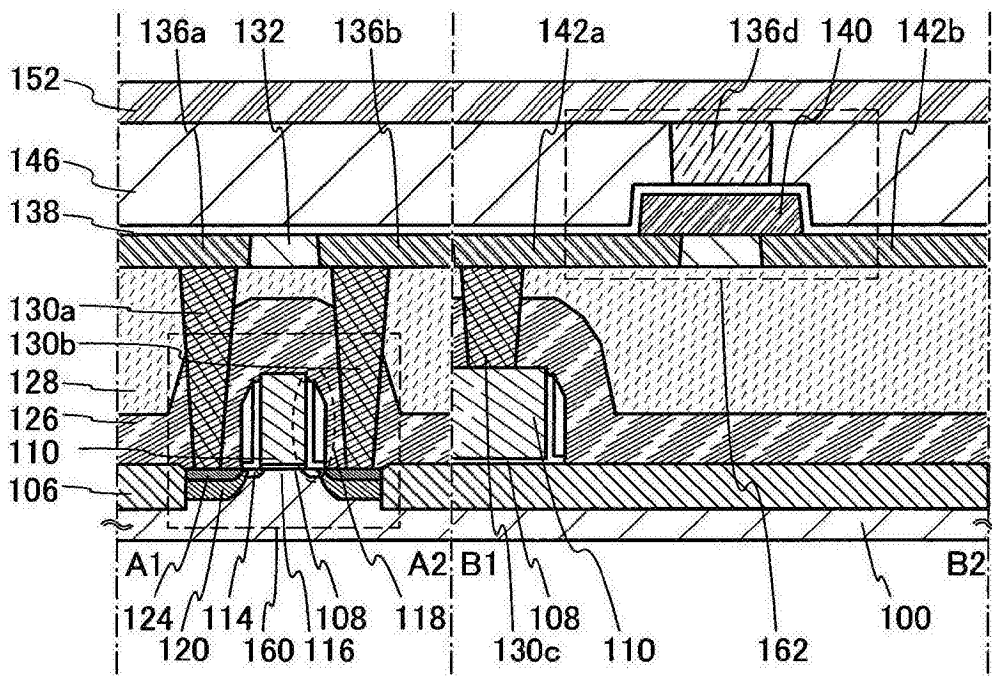


图13A

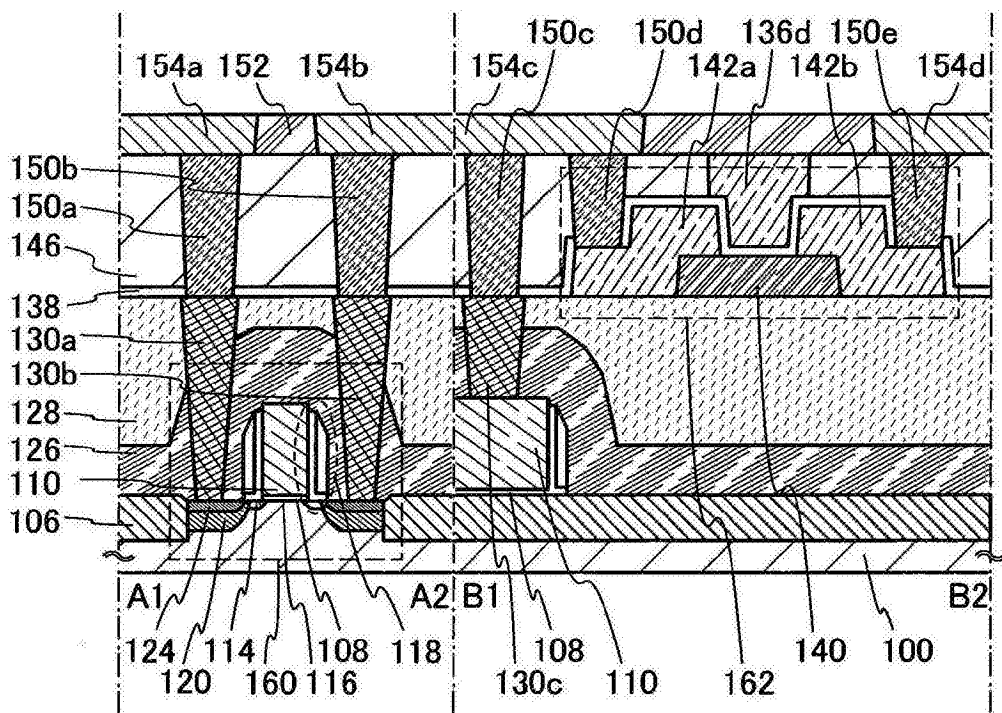


图13B

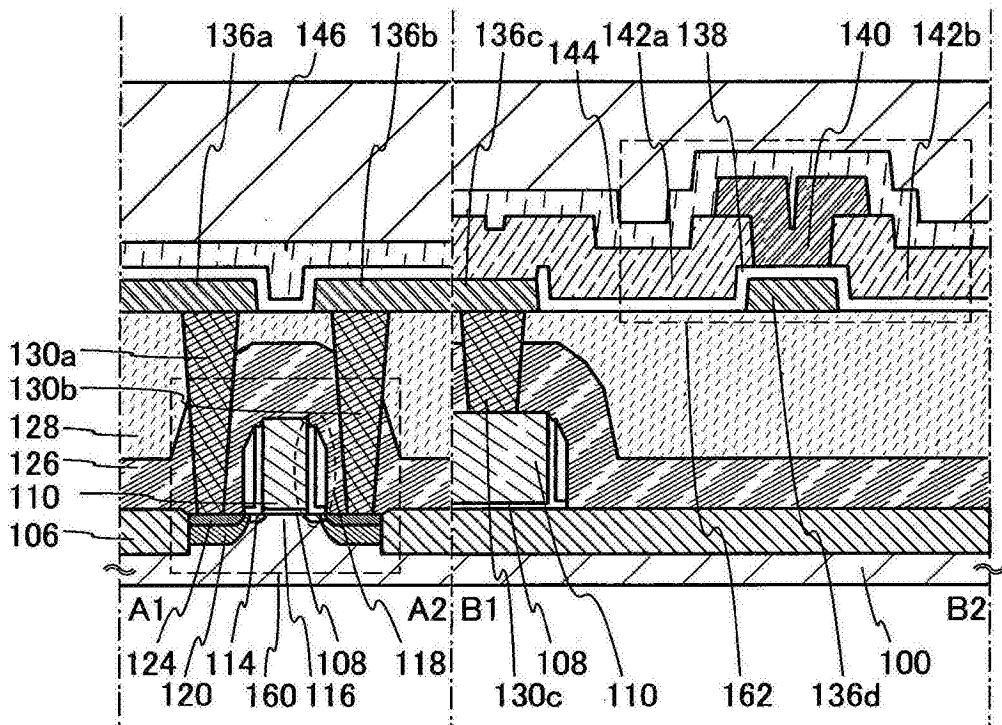


图14A

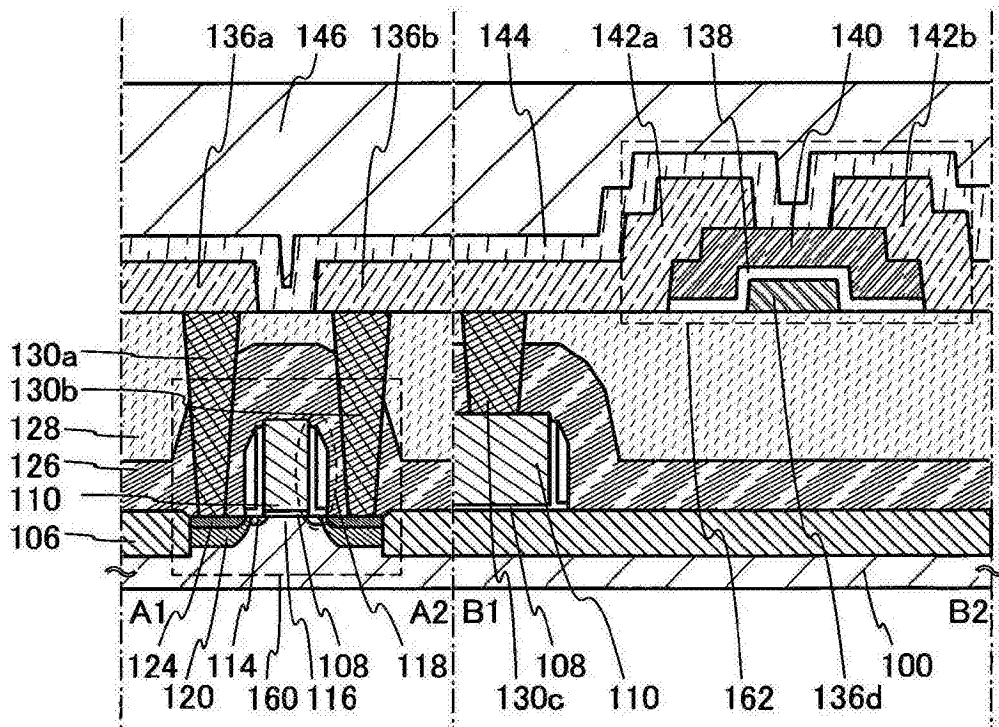


图14B

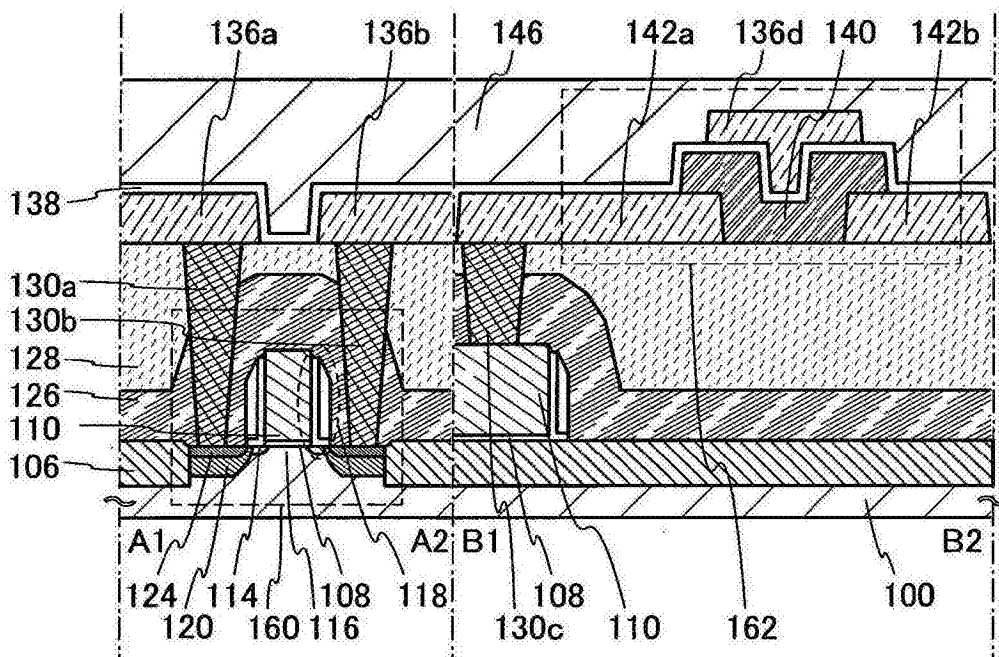


图15A

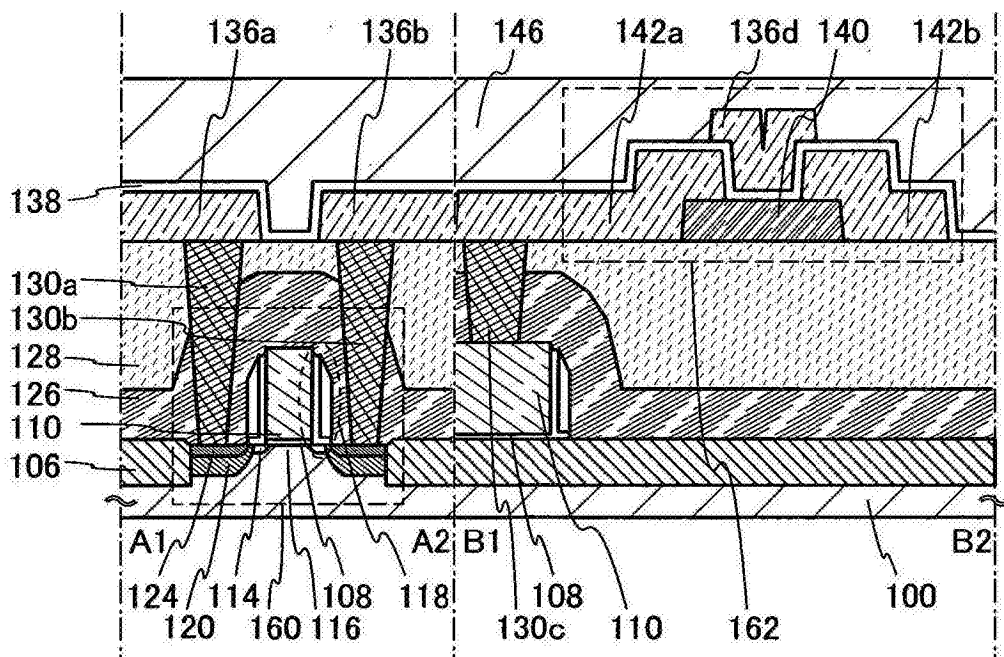


图15B

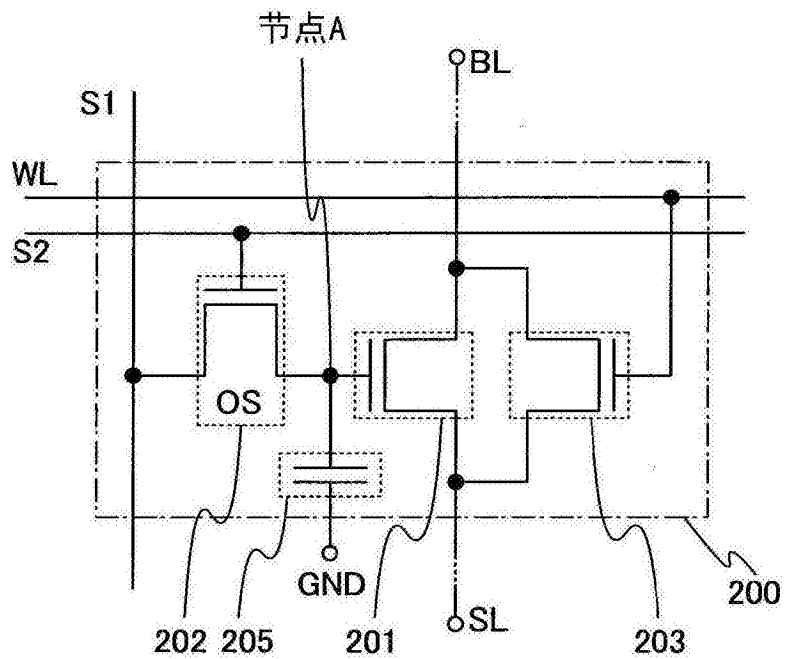


图16

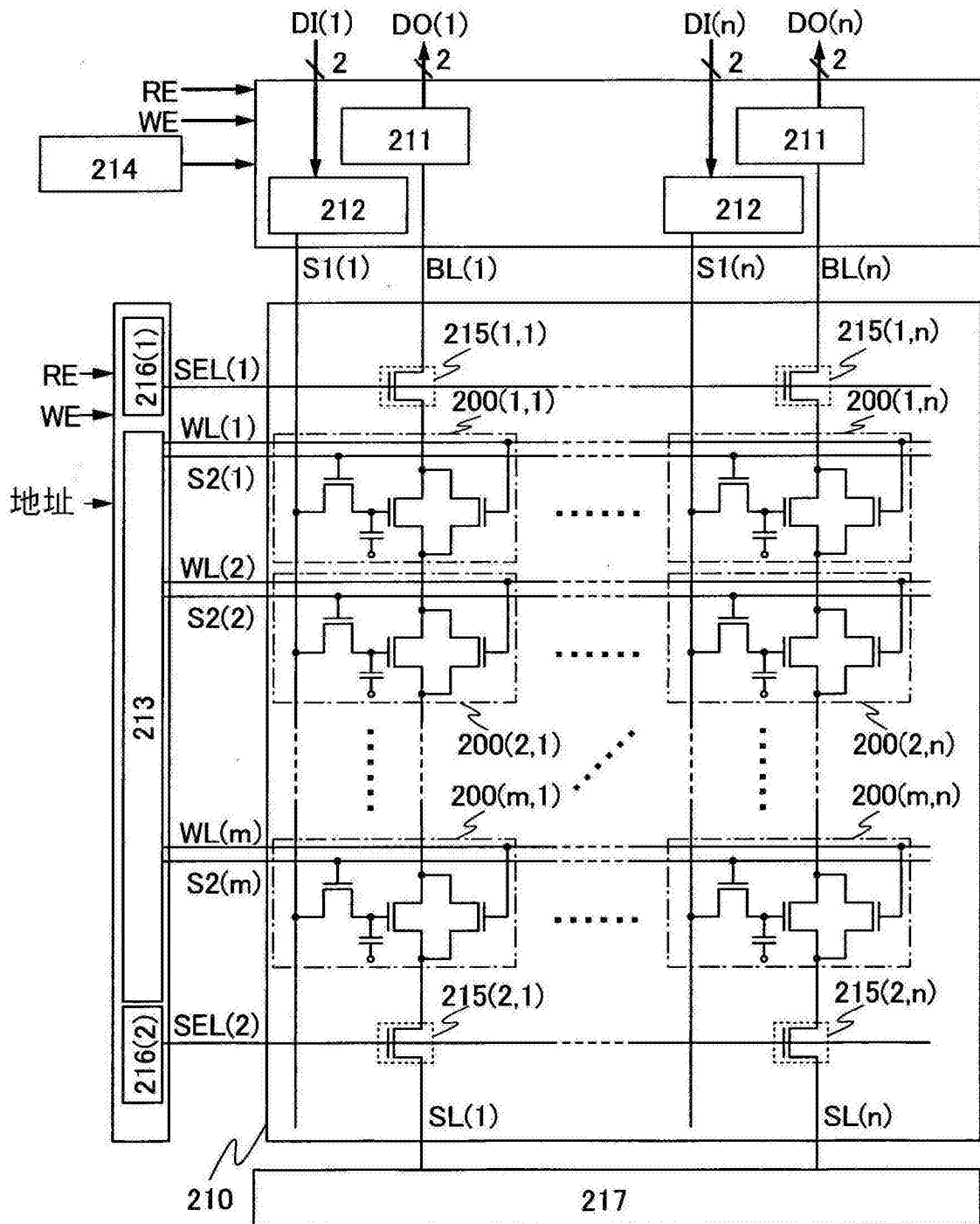


图17

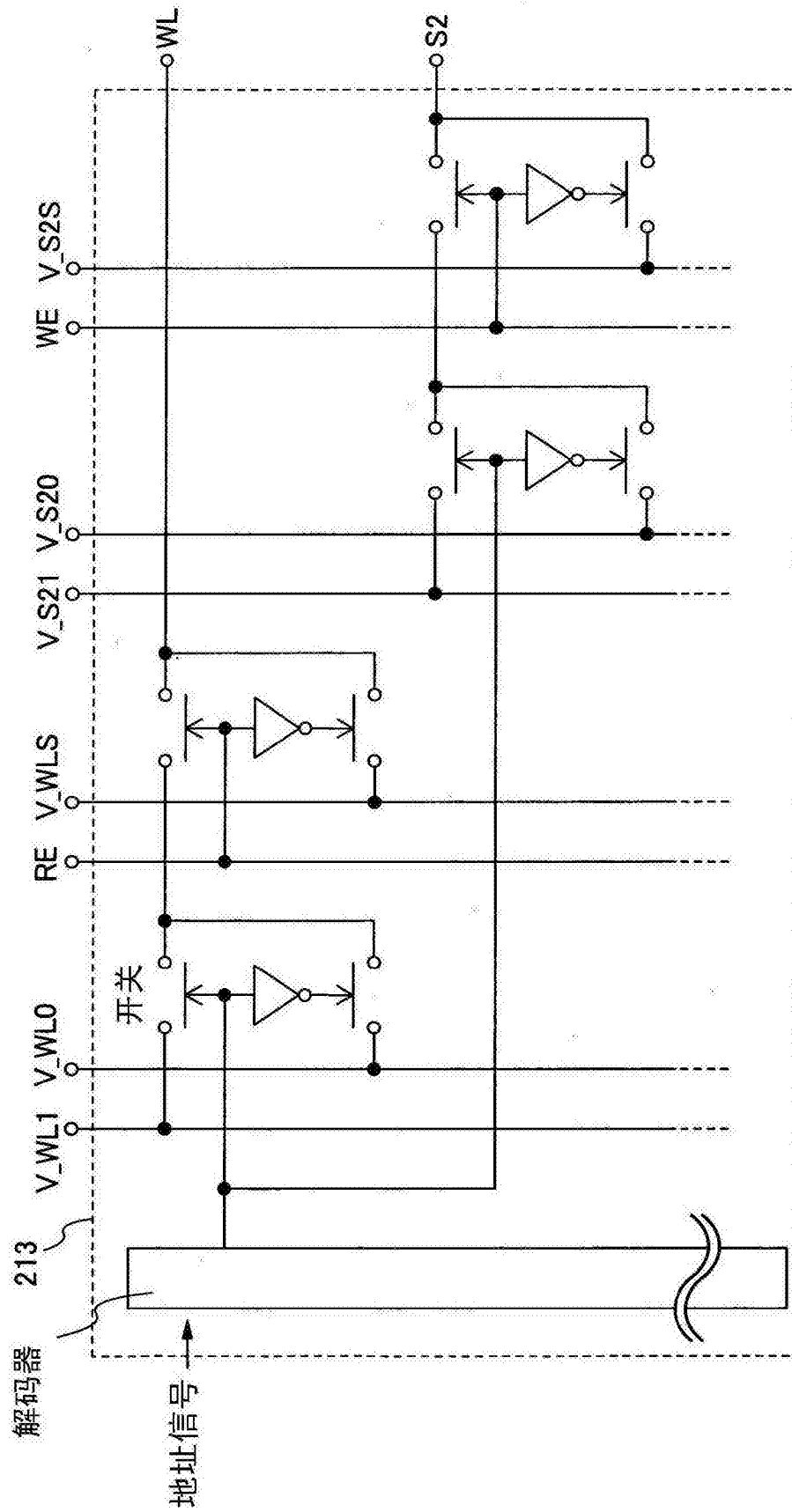


图18

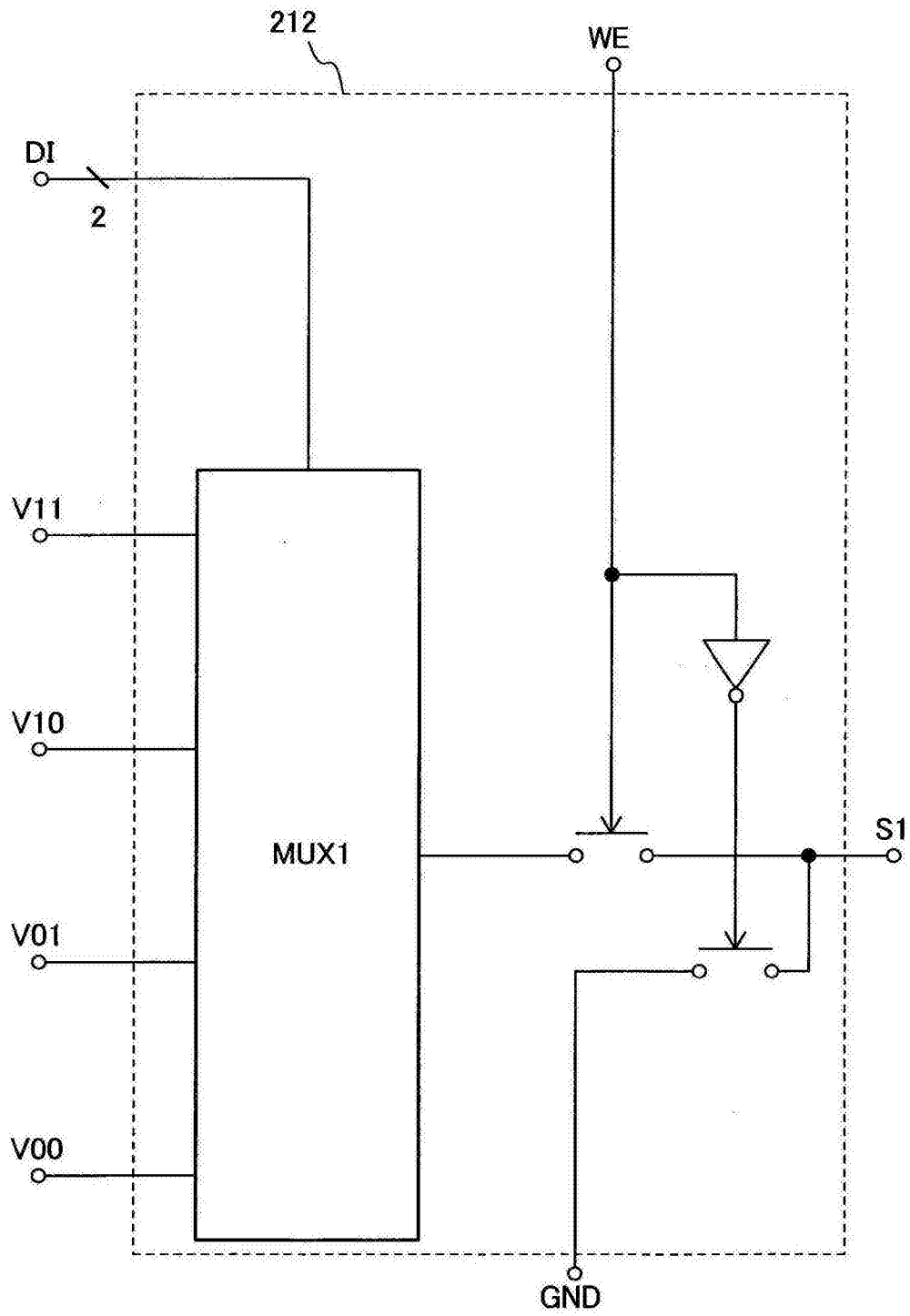


图19

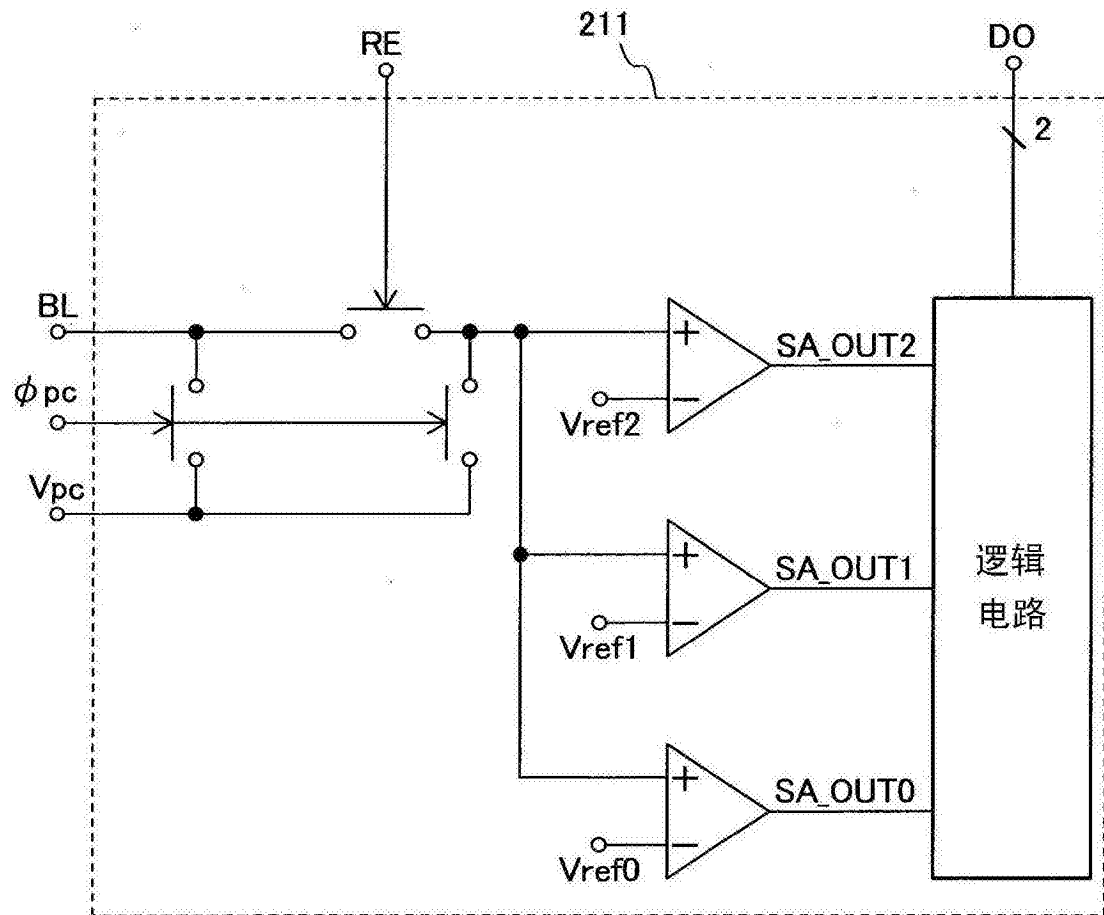


图20

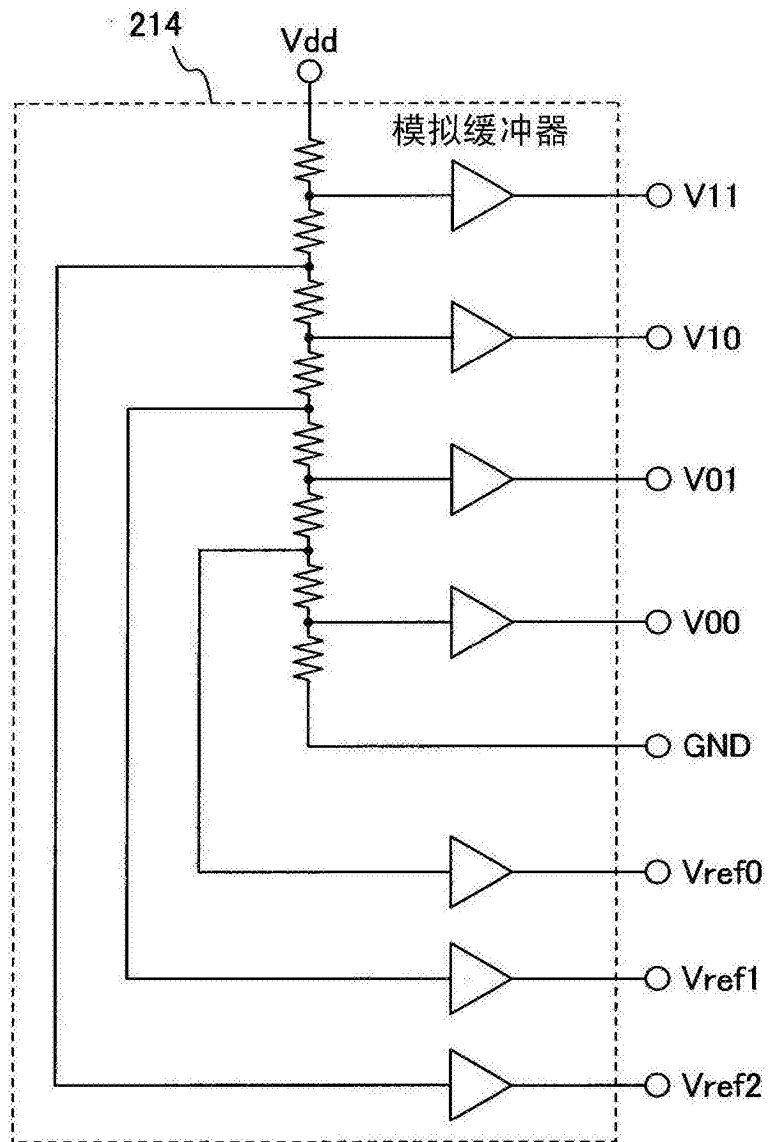


图21

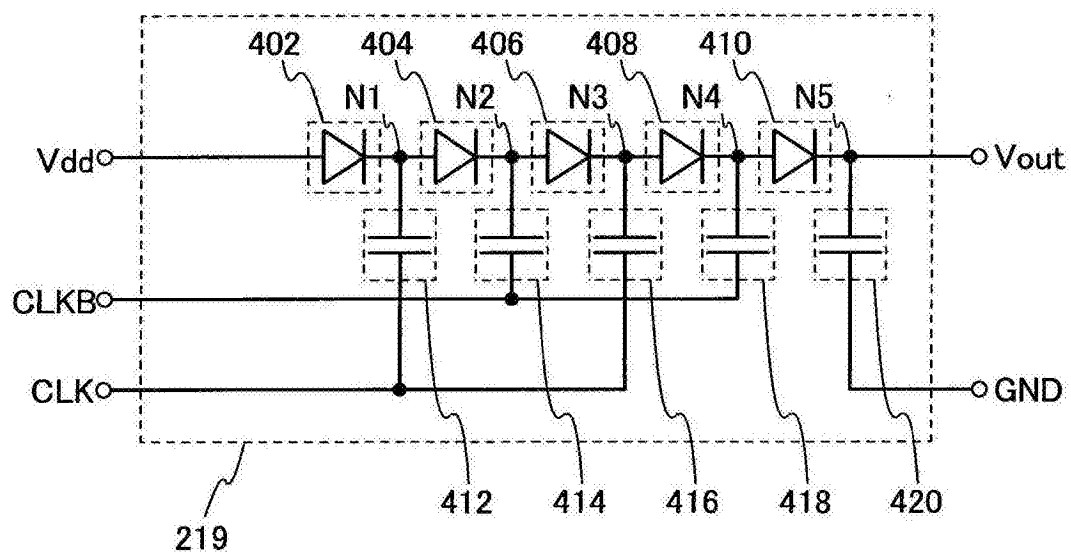


图 22A

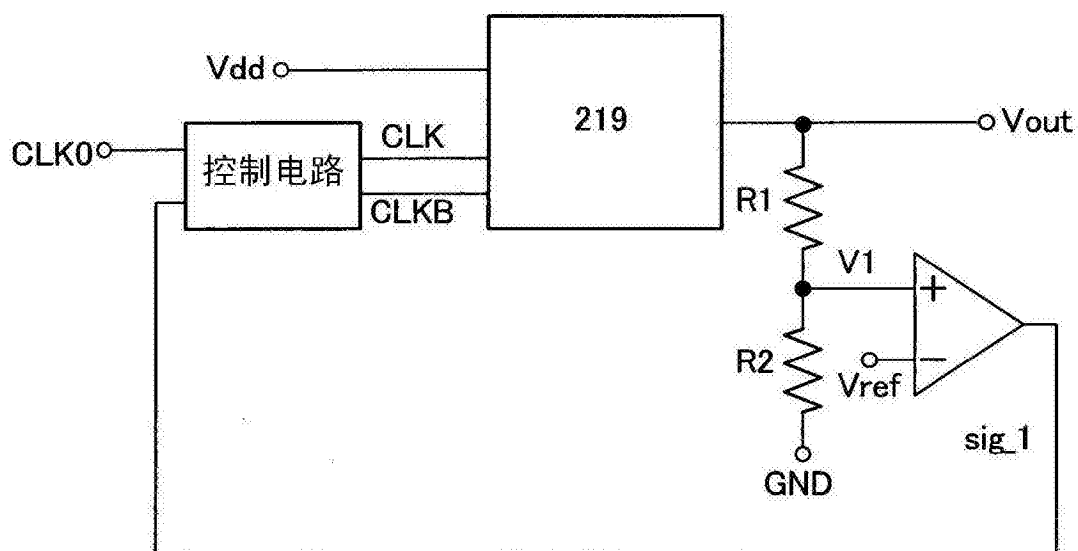


图 22B

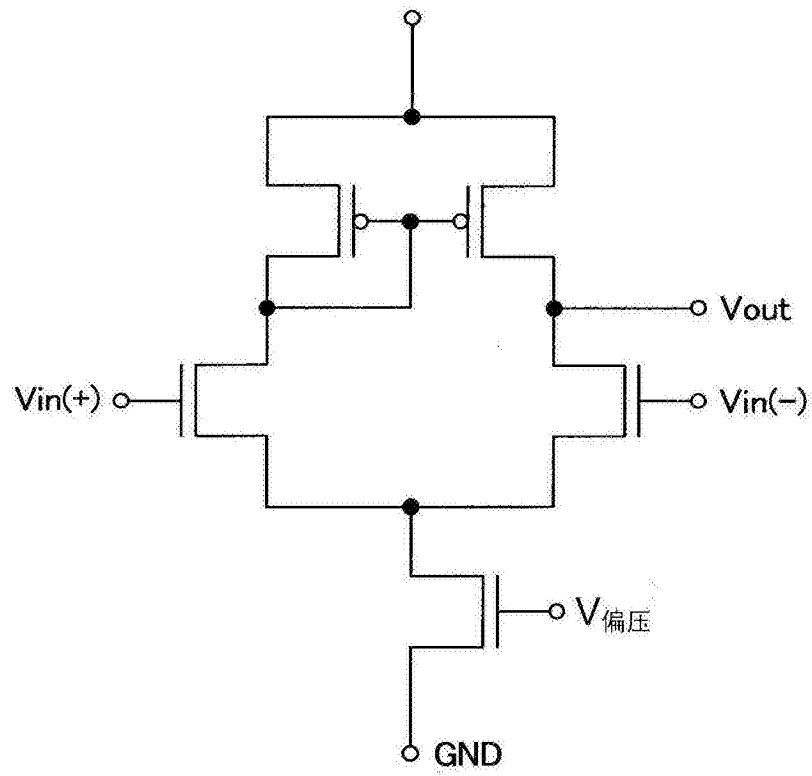


图23

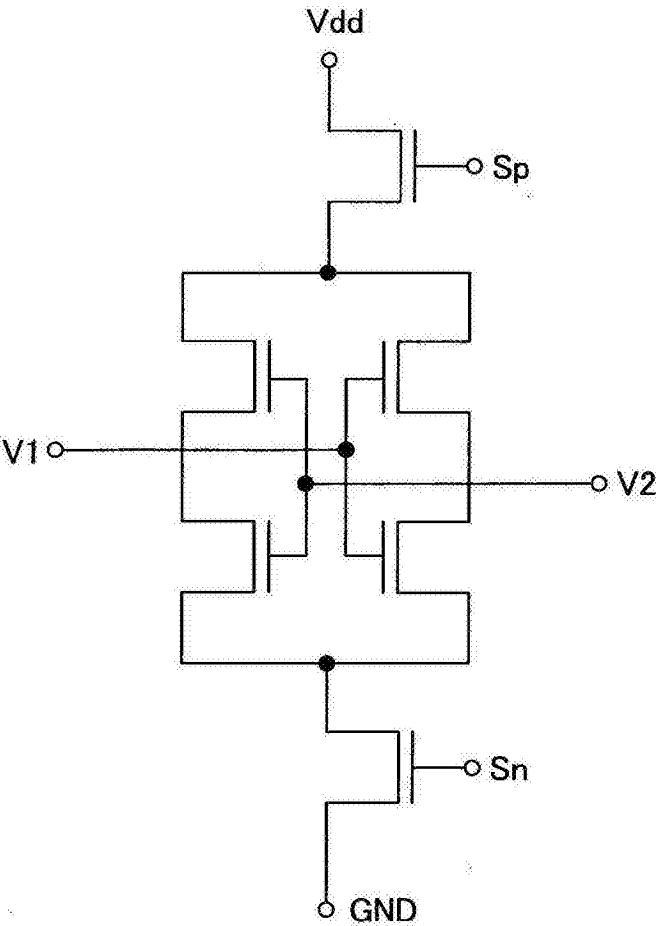


图24

WE	
RE	
DI	
被选中的第二信号线	
第一信号线	
未被选中的第二信号线	
字线	
位线	
源线	

图25A

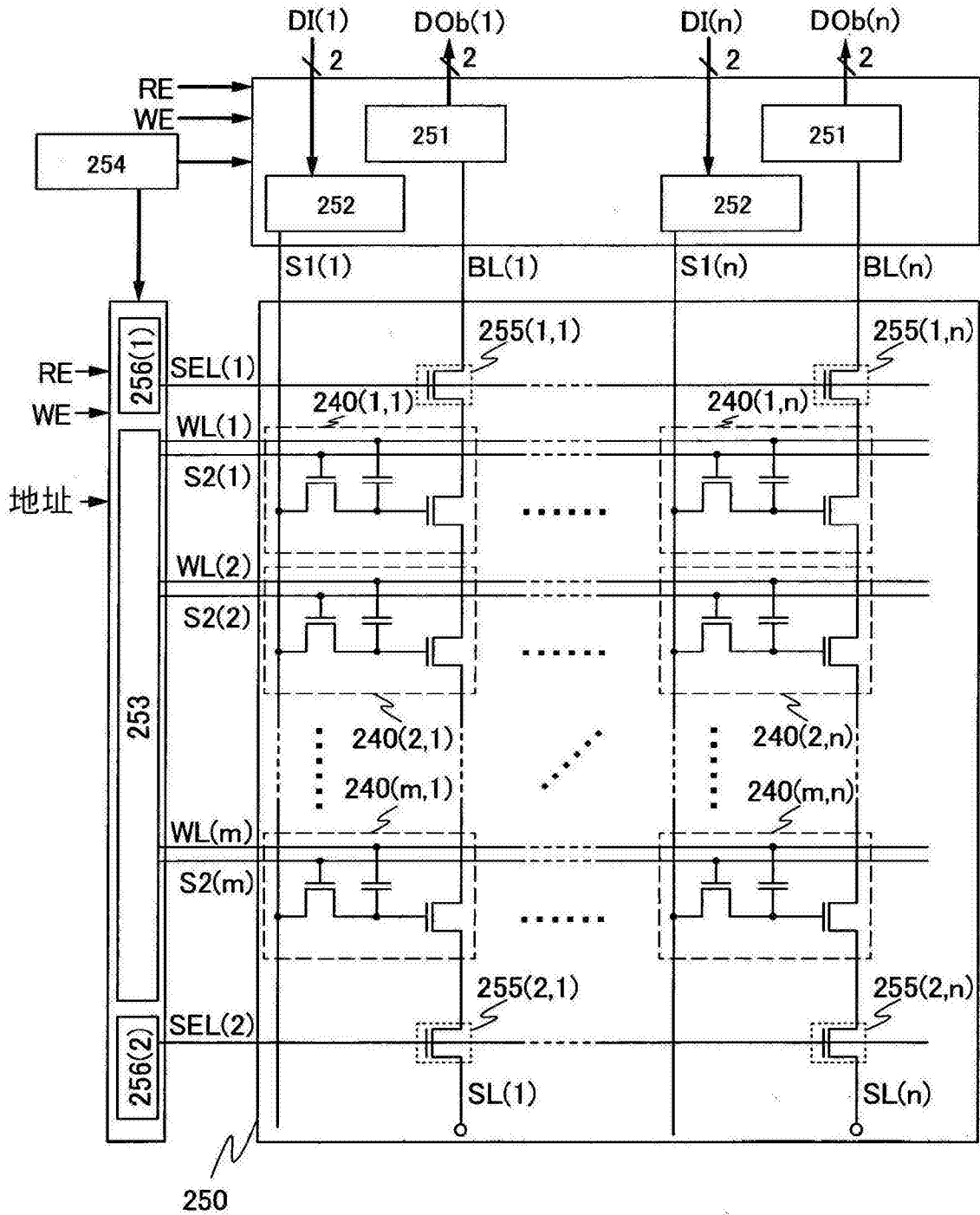


图27

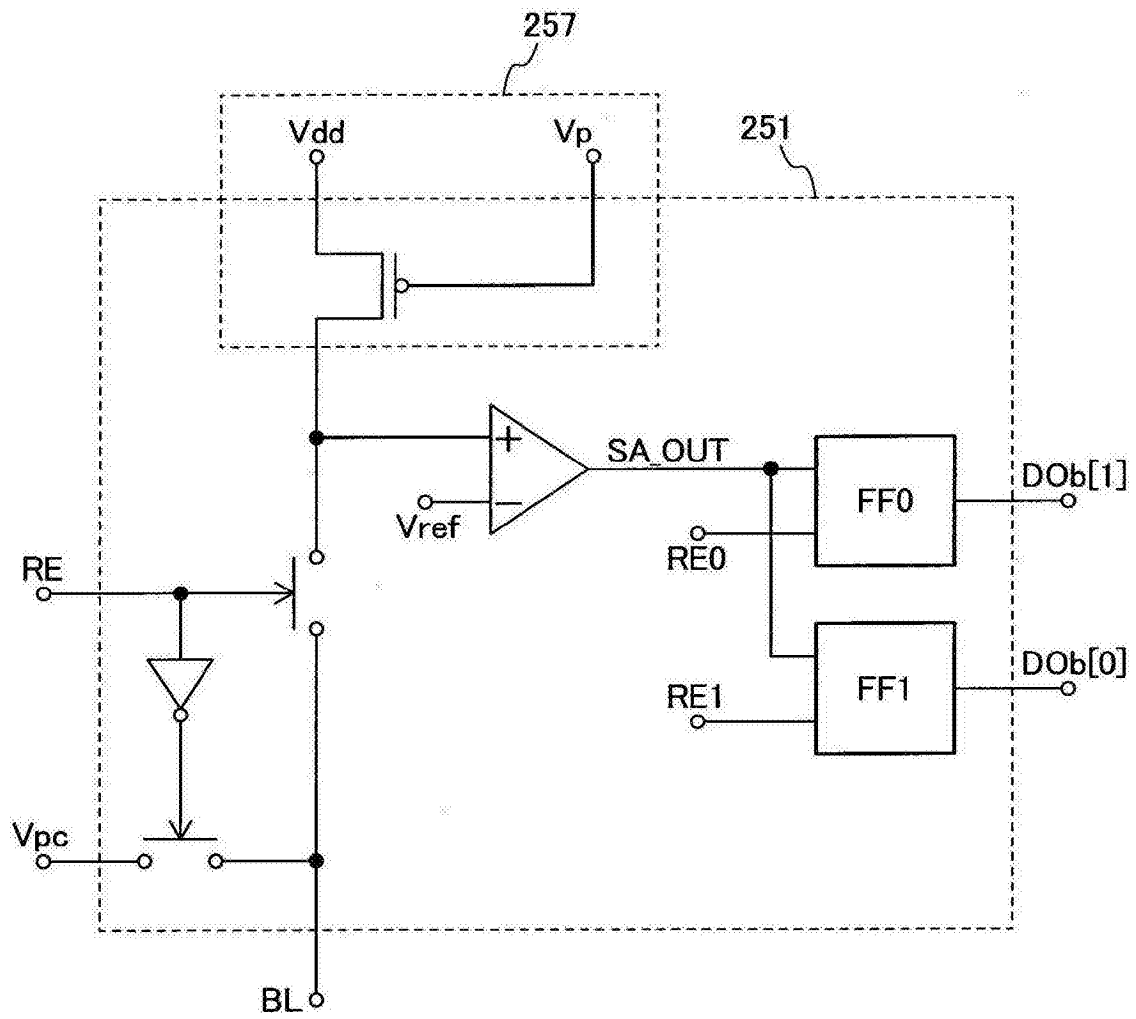


图28

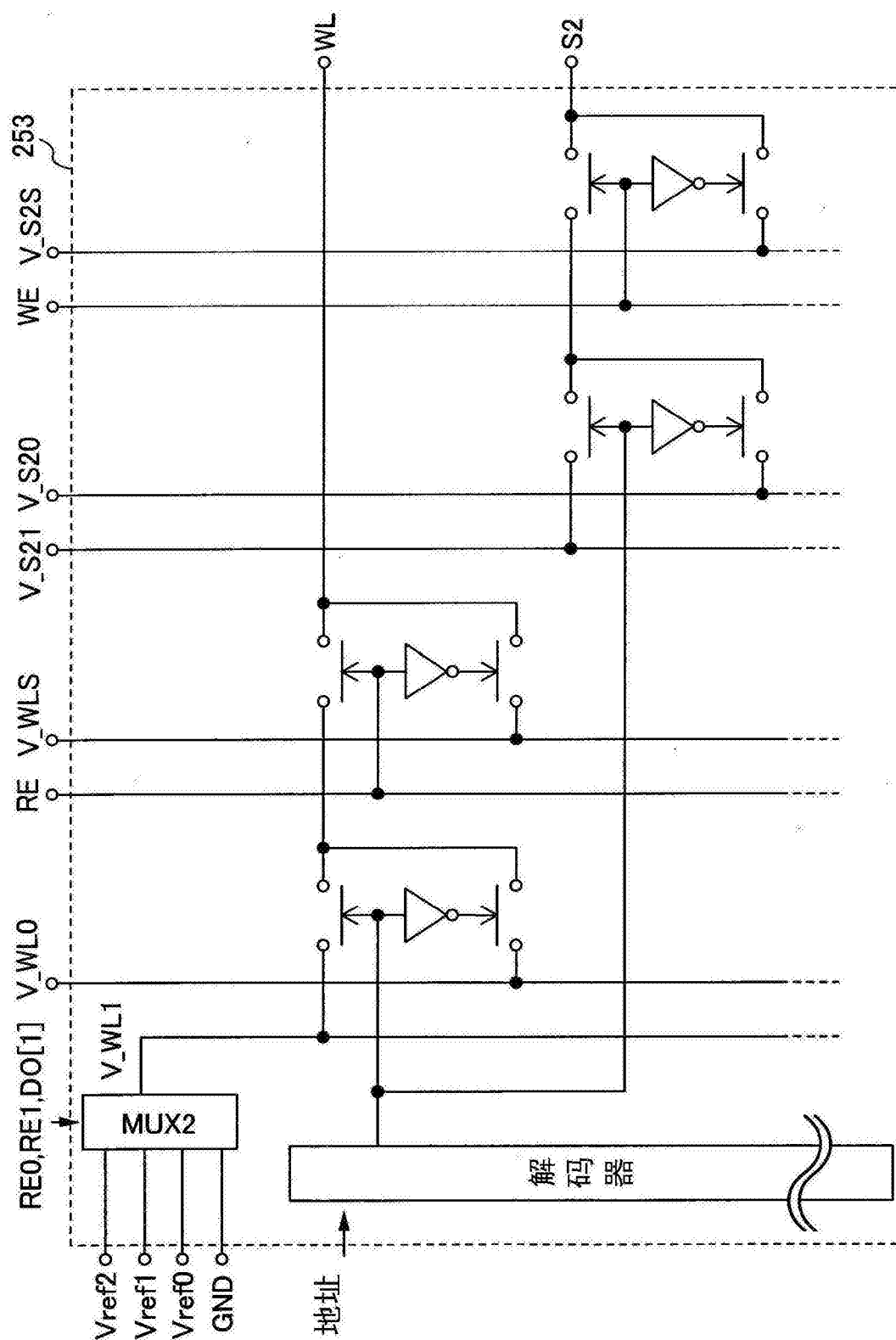


图 29

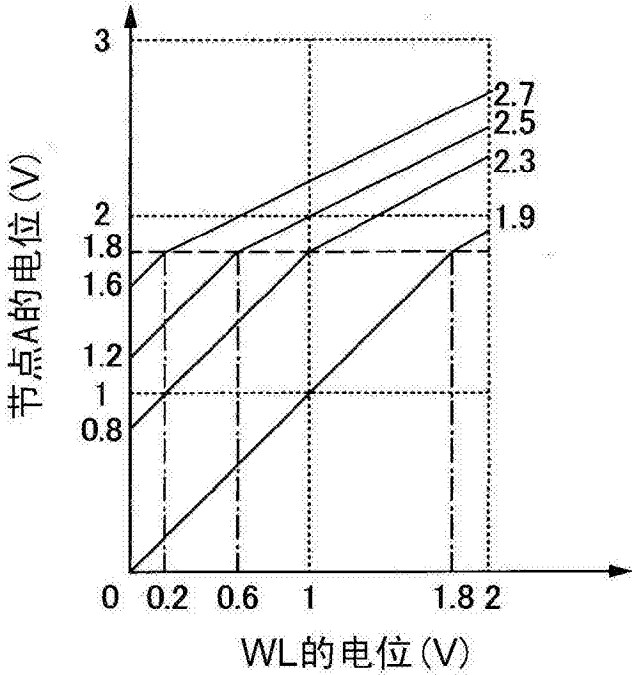


图30

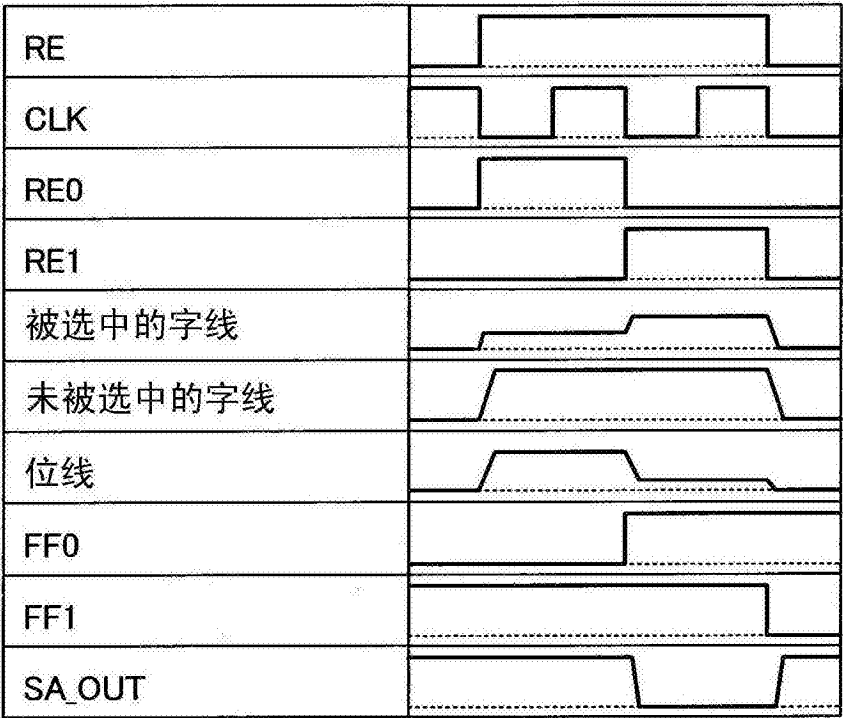


图31

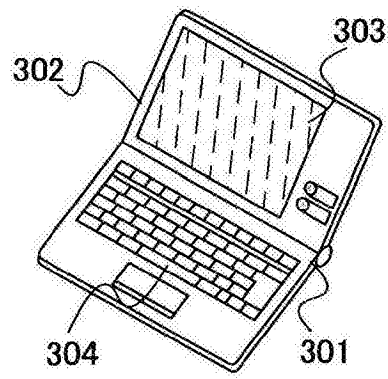


图32A

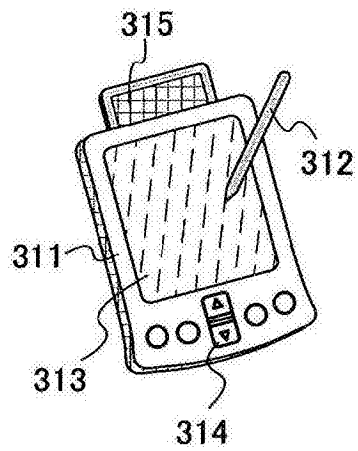


图32B

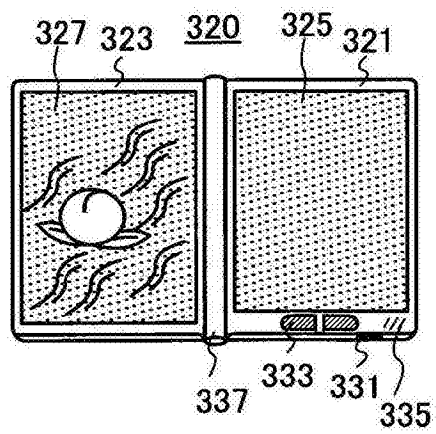


图32C

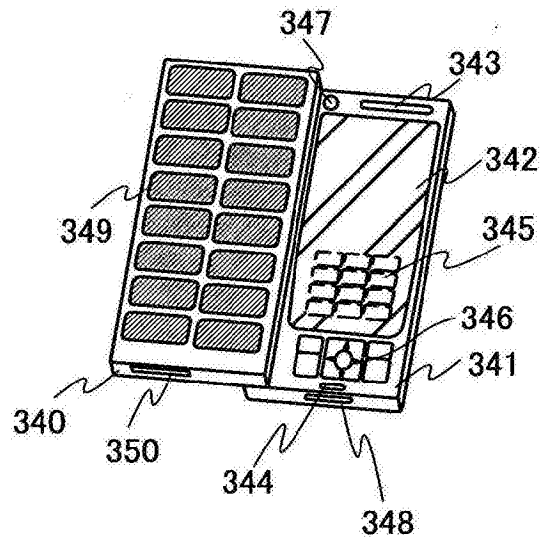


图32D

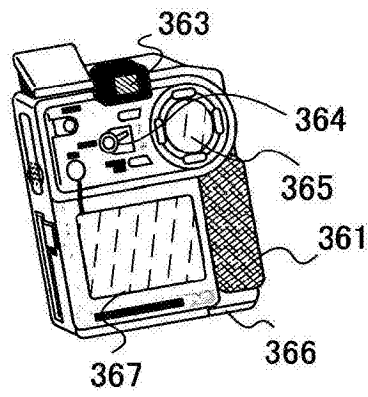


图32E

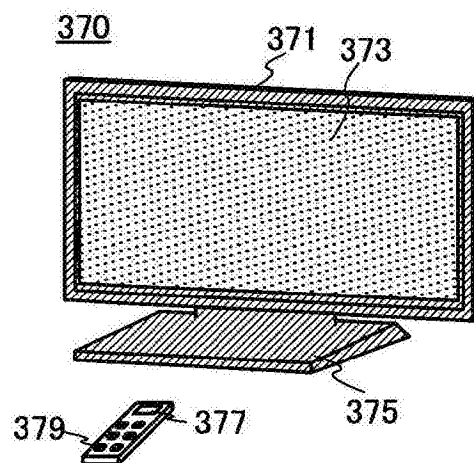


图32F