



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I601464 B

(45) 公告日：中華民國 106 (2017) 年 10 月 01 日

(21) 申請案號：103115882 (22) 申請日：中華民國 101 (2012) 年 03 月 01 日

(51) Int. Cl. : *H05K3/16 (2006.01)* *B32B9/00 (2006.01)*
G06F3/041 (2006.01) *H01L31/04 (2014.01)*

(30) 優先權：2011/03/04 南韓 10-2011-0019598

(71) 申請人：L G 化學股份有限公司 (南韓) LG CHEM, LTD. (KR)
 南韓

(72) 發明人：林振炯 LIM, JIN HYONG (KR)；章盛皓 JANG, SONG HO (KR)；朴鎮宇 PARK, JIN WOO (KR)；金起煥 KIM, KI-HWAN (KR)；黃仁哲 HWANG, IN-SEOK (KR)；金忠完 KIM, CHUNG WAN (KR)；李承憲 LEE, SEUNG HEON (KR)；具範謨 KOO, BEOM MO (KR)；黃智泳 HWANG, JI YOUNG (KR)

(74) 代理人：葉璟宗；詹富閔；鄭婷文

(56) 參考文獻：
 TW I263849

審查人員：楊兆華

申請專利範圍項數：17 項 圖式數：8 共 43 頁

(54) 名稱

導電結構體及其製造方法

CONDUCTIVE STRUCTURE BODY AND METHOD FOR PREPARING THE SAME

(57) 摘要

本發明之實施例係關於一種包含有 AlO_xN_y 之暗化圖案層之導電結構體，以及其製造方法。根據本發明實施例，上述之導電結構體可在不影響導電圖案層導電特性下，避免導電圖案層產生的反射，且能藉由改善吸光度進而改善導電圖案層之暗化特性。因此，藉由利用本發明實施例之導電結構體，可發展具有改善能見度特性之顯示面板。

An exemplary embodiment of the present invention relates to a conductive structure body that comprises a darkening pattern layer having AlO_xN_y , and a method for manufacturing the same. The conductive structure body according to the exemplary embodiment of the present invention may prevent reflection by a conductive pattern layer without affecting conductivity of the conductive pattern layer, and improve a concealing property of the conductive pattern layer by improving absorbance. Accordingly, a display panel having improved visibility may be developed by using the conductive structure body according to the exemplary embodiment of the present invention.

指定代表圖：

符號簡單說明：

100 . . . 基板

200 . . . 暗化圖案層

300 . . . 導電圖案層

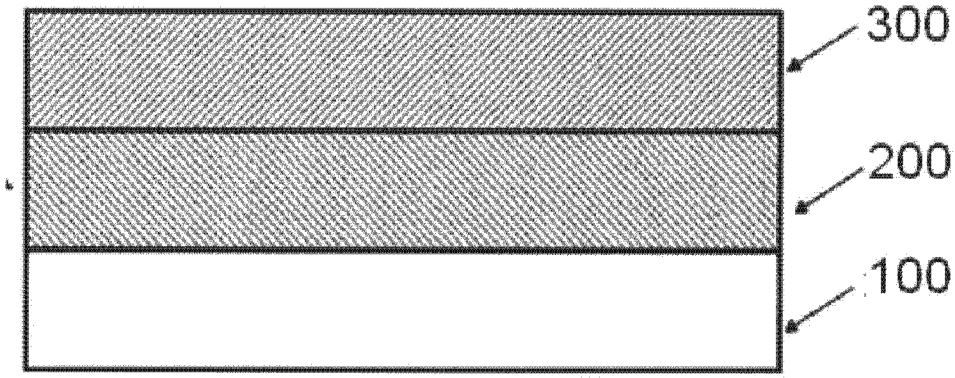


圖 1

發明摘要

※ 申請案號：103115882(由101106681分割)

※ 申請日：101/03/01

※IPC 分類：H05K 3/16 (2006.01)
B32B 9/00 (2006.01)
G06F 3/041 (2006.01)
H01L 31/04 (2014.01)

【發明名稱】(中文/英文)

導電結構體及其製造方法/

CONDUCTIVE STRUCTURE BODY AND METHOD FOR PREPARING
THE SAME

【中文】

本發明之實施例係關於一種包含有 AlO_xNy 之暗化圖案層之導電結構體，以及其製造方法。根據本發明實施例，上述之導電結構體可在不影響導電圖案層導電特性下，避免導電圖案層產生的反射，且能藉由改善吸光度進而改善導電圖案層之暗化特性。因此，藉由利用本發明實施例之導電結構體，可發展具有改善能見度特性之顯示面板。

【英文】

An exemplary embodiment of the present invention relates to a conductive structure body that comprises a darkening pattern layer having AlO_xNy , and a method for manufacturing the same. The conductive structure body according to the exemplary embodiment of the present invention may prevent reflection by a conductive pattern layer without affecting conductivity of the conductive pattern layer, and improve a concealing property of the conductive pattern layer by improving absorbance. Accordingly, a display panel having improved visibility may be developed by using the conductive structure body according to the exemplary embodiment of the present invention.

【代表圖】

【本案指定代表圖】：圖（ 1 ）。

【本代表圖之符號簡單說明】：

100 基板

200 暗化圖案層

300 導電圖案層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】(中文/英文)

導電結構體及其製造方法/CONDUCTIVE STRUCTURE BODY AND METHOD FOR PREPARING THE SAME

【技術領域】

【0001】 本發明係關於一種導電結構體以及其製造方法。

【先前技術】

【0002】 一般而言，觸控面板可根據訊號的偵測方式而分類為以下類型：藉由直流電壓的電流或電壓改變而偵測按壓位置之一電阻式觸控面板；應用交流電之電容耦合之一電容式觸控面板；以及藉由當電壓改變時所提供之磁場偵測點選位置之一電磁式觸控面板等等。

【發明內容】

【0003】 本發明係為致力於發展用於改良所屬技術領域中各種型態之觸控面板之性能的技術。

【0004】 本發明之一實施例係提供一種導電結構體，包括：一基板；一導電圖案層；以及一暗化圖案層，此暗化圖案層係包含 AlO_xNy ($0 \leq x \leq 1.5$, $0 \leq y \leq 1$)，其中， x 及 y 代表在 AlO_xNy 中， O 及 N 之原子個別對 Al 原子之數量比。

【0005】 本發明之另一例係提供一種導電結構體，係包含：一基板；一導電圖案層；以及滿足下式 1 之一 AlO_xNy 暗化圖案層 ($x > 0$, $y > 0$)。

【0006】 [式 1]

$$1 < \frac{(Al)_{at} \times 3}{(O)_{at} \times 2 + (N)_{at} \times 3} < 2$$

【0007】 x 及 y 代表在 AlO_xN_y 中， O 及 N 之原子個別對 Al 原子之數量比，且以式 1 中 AlO_xN_y 所有原子含量為 100% 為計， $(Al)_{at}$ 代表 Al 之原子含量(at%)， $(O)_{at}$ 代表 O 之原子含量(at%)，而 $(N)_{at}$ 代表 N 之原子含量(at%)。

【0008】 本發明另一實施例係提供一種導電結構體之製造方法，係包含：形成一導電層於一基板上；在導電層形成之前、之後、或之前及之後，形成包含 AlO_xN_y ($0 \leq x \leq 1.5$ ， $0 \leq y \leq 1$) 之一暗化圖案層；以及分別或同時地圖案化導電層以及暗化層。

【0009】 本發明另一實施例係提供一種導電結構體之製造方法，係包含：形成一導電圖案層於一基板上；以及在導電圖案層形成之前、之後或之前及之後，形成包含 AlO_xN_y ($0 \leq x \leq 1.5$ ， $0 \leq y \leq 1$) 之一暗化圖案層。

【0010】 本發明之另一實施例係提供一導電結構體之製造方法，係包含：形成一導電圖案層於一基板上；形成一導電圖案層於一基板上；以及在形成導電圖案層之前、之後或之前及之後，形成包含具有如式 1 所示原子比例之 AlO_xN_y ($x > 0$ ， $y > 0$) 之一暗化圖案層。

【0011】 本發明之另一實施例係提供一種導電結構體之製造方法，係包含：形成一導電層於一基板上；在形成導電層之前、之後或之前及之後，形成包含具有式 1 所示

原子比例之 AlO_xN_y ($x > 0$, $y > 0$) 之一暗化層；以及分別或同時地圖案化導電層以及暗化層。

【0012】 本發明之另一實施例係提供一種觸控螢幕面板，其係包含上述之導電結構體。

【0013】 本發明之另一實施例係提供一種顯示器，其係包含上述之導電結構體。

【0014】 本發明之另一實施例係提供一太陽能電池，其係包含上述之導電結構體。

【0015】 根據本發明之實施例，上述之導電結構體可在不影響導電圖案層之導電特性下，避免導電圖案層反射，且可藉由吸光度的改善進而改善導電圖案層的暗化特性 (concealing property)。因此，藉由使用本發明實施例之導電結構體，可發展具有改善能見度特性的觸控螢幕面板以及包含其之顯示器。

【圖式簡單說明】

【0016】

圖 1 至圖 3 係本發明實施例包含暗化圖案層之一導電結構體之層疊結構示意圖。

圖 4 係一暗化圖案層設置於一玻璃基板之導電結構體示意圖，其中，在反應條件改變情況下，Al 係沉積如實施例 1，且導電結構體係對應至比較例 6(#8)，實施例 2(#1) 以及比較例 2(#12)。

圖 5 係依據實施例 1 至 4 以及比較例 1 至 8 波長之全反射示意圖。

圖 6 係以橢圓偏光計測量比較例 1 至 4 之光常數折射係數 n 以及消光係數(extinction coefficient) k 之結果圖。

圖 7 係以橢圓偏光計測量實施例 1 至 4 之光常數折射係數 n 以及消光係數 k 之結果圖。

圖 8 係以橢圓偏光計測量比較例 5 至 8 之光常數折射係數 n 以及消光係數 k 之結果圖。

【實施方式】

【0017】 以下將更詳細說明本發明。

【0018】 於本發明說明書中，一顯示器係表示 TV 或電腦之螢幕整體，且係包含會形成影像之二極管顯示器以及支撐此二極管顯示器之外殼。

【0019】 二極管顯示器可包含一電漿顯示面板(PDP)、一液晶顯示器(LCD)、一光電顯示器、一陰極射線管(CRT)、一有機發光二極體(OLED)顯示器等等，而用於顯示影像的 RGB 像素圖案以及濾光器係可配置於二極管顯示器中。

【0020】 同時，隨著智慧型手機、平板電腦以及網際網路協定電視(IPTV)等顯示器的加速擴展，對於以手指作為直接輸入裝置而不需要例如鍵盤或遙控器等外加輸入裝置之觸控功能的需求亦隨之增加，此外，對於多點觸控功能辨識特定之位點以及記錄亦具需求。

【0021】 近來，多數的觸碰螢幕面板(TSP)係以透明導電材料 ITO 薄膜作為基礎材料，然而，當大面積的觸碰螢幕面板因具相對高之表面電阻而產生電阻電容(RC)延遲時(最小值 150Ω /平方，由 Nitto Denko, Co., Ltd.所製之

ELECRYSTA 產品)，其觸碰辨識速度會有減慢的問題，故須額外加設補償芯片(compensation chip)，以克服此減慢問題。

【0022】 本發明致力研究將金屬薄圖案取代透明 ITO 薄膜之技術，因此，本發明發現：具有高導電特性的 Ag、Mo/Al/Mo、MoTi/Cu 等金屬薄膜可在形成預定形狀之精緻電極圖案時，用來作為觸控螢幕面板之電極。然而，此情況下卻存在一個問題，即由於高反射率，此圖案在能見度上會很容易被肉眼發現，並且由於對外源光線的高反射及霧度而會產生眩光等現象。此外，本發明人發現製造過程會使用到昂貴的靶材，或者在許多情況下會有製程複雜的情形。

【0023】 因此，本發明實施例係提供一種可用於觸控螢幕面板之導電結構體，其有別於一般習知使用 ITO 系透明導電薄膜層之觸控螢幕面板，且具有改良暗化特性之金屬精細圖案電極，以及改良對外源光線之反射及繞射。

【0024】 根據本發明之一實施例，此導電結構體可包括含有 AlO_xNy ($0 \leq x \leq 1.5$, $0 \leq y \leq 1$) 之一暗化圖案層， x 及 y 係彼此彼此獨立。具體來說， x 及 y 可為 $x+y > 0$ 。較佳情況下， $x > 0$ 且 $y > 0$ 。而更佳情況下，在 AlO_xNy ($0 \leq x \leq 0.6$, $0.3 \leq y \leq 0.8$) 條件時，更能有效地形成該暗化圖案層。

【0025】 於 AlO_xNy 中， x 及 y 代表 O 及 N 原子個別對 Al 原子之數量比。

【0026】 上述之暗化圖案層可包含具有下式 1 所示原子數比值之 AlO_xNy ($x > 0$, $y > 0$)。

【0027】 [式 1]

$$1 < \frac{(Al)at \times 3}{(O)at \times 2 + (N)at \times 3} < 2$$

【0028】 x 及 y 代表在 AlO_xN_y 中，O 及 N 原子分別對 Al 原子之數量比。

【0029】 在式 1 中，以 AlO_xN_y 代表之所有原子含量為 100% 計，(Al)at 代表 Al 之原子含量(at%)，(O)at 代表 O 之原子含量(at%)，(N)at 代表 N 之原子含量(at%)。

【0030】 式 1 係以 X-射線光電子光譜儀(XPS)以及一化學價(chemical valence)測量原子含量(at%)之等式。Al 之化學價為 3，O 之化學價為 2，且 N 之化學價為 3。若式 1 的值大於 1，則代表 Al 在 Al、O 及 N 中，係為多量的原子；而若式 1 的值為 1 或小於 1，則代表 Al 在 Al、O 及 N 中，係為少量的原子。例如，以化學計量學來說，於 Al_2O_3 或 AlN 情況中，其係相對的透明且式 1 的值為 1。而若式 1 的值大於 1，則會因金屬原子 Al 含量高於 Al_2O_3 或 AlN 而使得吸光係數增加並形成一暗化層。若式 1 的值大於 2，則 Al 的含量會因大量增加而形成金屬層。

【0031】 根據本發明之實施例，上述之導電結構體的消光係數 k 可大於等於 0.2 且小於等於 2.5，較佳為大於等於 0.2 且小於等於 1.5，更佳為大於等於 0.2 且小於等於 0.8。若消光係數 k 係大於等於 0.2 時，則會容易發生暗化的現象。在此，消光係數 k 可稱為一種吸光係數，其係為一種在特定波長下測量導電結構體吸光強度而定義之指標，以及為

一種能判斷導電結構體之透明度的因素。舉例來說，於 Al_2O_3 或 AlN 透明導電結構體中， k 低於 0.2 且 k 值非常低，若當金屬 Al 原子數增加時，則 k 值會上升，然而，若當 Al 原子數過量的增加而形成含有大量金屬之導電結構體時，則此導電結構體將會因形成金屬而難以透光而主要以反射的型式發生，且消光係數 k 會不佳地大於 2.5。

【0032】 根據本發明實施例之導電結構體結構，其可更包含一基板以及一導電圖案層。在此，上述之暗化圖案層可形成於導電圖案層之任一表面，或形成於導電圖案層之兩表面。

【0033】 根據本發明實施例之導電結構體，其可包含一基板；一導電圖案層形成於此基板上；以及一暗化圖案層包含有 AlO_xNy ($0 \leq x \leq 1.5$, $0 \leq y \leq 1$) 並形成於上述導電圖案層上。

【0034】 根據本發明實施例之導電結構體，其可包含一基板；一暗化圖案層包含有 AlO_xNy ($0 \leq x \leq 1.5$, $0 \leq y \leq 1$) 並形成於上述基板上；以及一導電圖案層形成於上述暗化圖案層上。

【0035】 根據本發明實施例之導電結構體，其可包含一基板；一暗化圖案層包含有 AlO_xNy ($0 \leq x \leq 1.5$, $0 \leq y \leq 1$) 並形成於上述基板上；一導電圖案層形成於上述暗化圖案層上；以及一暗化圖案層包含 AlO_xNy ($0 \leq x \leq 1.5$, $0 \leq y \leq 1$) 並形成於上述導電圖案層上。

【0036】 根據本發明實施例之導電結構體，其可包含一基板；一導電圖案層形成於上述基板上；以及一暗化圖案

層包含式 1 所示之 AlO_xNy ($x > 0, y > 0$) 並形成於上述導電圖案層上。

【0037】 根據本發明實施例之導電結構體，其可包含一基板；一暗化圖案層包含式 1 所示之 AlO_xNy ($x > 0, y > 0$) 並形成於上述基板上之；以及一導電圖案層形成於上述暗化圖案層上。

【0038】 根據本發明實施例之導電結構體，其可包含一基板；一暗化圖案層包含式 1 所示之 AlO_xNy ($x > 0, y > 0$) 並形成於上述基板上；一導電圖案層形成於上述暗化圖案層上；以及一暗化圖案層包含式 1 所示之 AlO_xNy ($x > 0, y > 0$) 並形成於上述導電圖案層上。

【0039】 本發明人發現，由圖案層所產生的光反射及繞射特性會顯著地影響在觸控螢幕面板中之導電金屬精細圖案的能見度，其中該觸控螢幕面板包括形成於有效螢幕位置中的導電金屬精細圖案，並且發明人在此致力改善此問題。具體而言，在習知 ITO 系的觸控螢幕面板中，由於 ITO 的高透明導電度特性，因此無須考量到導電圖案層會發生反射的問題；但是，對於包括形成於有效螢幕位置中的導電金屬精細圖案之觸控螢幕面板來說，卻須考量到導電金屬精細圖案之反射率及暗化特性。

【0040】 於本發明實施例之觸控螢幕面板中，暗化圖案層的設置係爲了要降低導電金屬精細圖案的反射率並改善其光吸收特性。此暗化圖案層可設置於觸控螢幕面板之導電圖案層之至少一表面，以大大地避免因應導電圖案層高

反射特性而降低能見度。

【0041】 詳細來說，由於此暗化圖案層具有光吸收特性，因此可藉由降低入射至導電圖案層並由導電圖案層反射之光量來降低導電圖案層的反射率。此外，此暗化圖案層相較於導電圖案層可具有較低的反射特性，因此，由於當相較於使用者直接觀察導電圖案層，暗化圖案層的設置可降低反射光，可大幅改善導電圖案層之能見度。

【0042】 於本發明說明書中，上述之暗化圖案意指一光吸收層，用以降低由導電圖案層入射並由導電圖案層反射的光線之光量。並且，除了暗化圖案層之外，係可以一光吸收圖案層、一黑色圖案層以及一黑化圖案層之專業名詞來表示。

【0043】 於本發明實施例中，上述之暗化圖案層的反射率可為 20%以下，較佳為 15%以下，再佳為 10%以下，甚至更佳為 5%以下、3%以下，且其效果係隨著反射率的降低而增加。

【0044】 上述之反射率可於與上述暗化圖案層接觸之導電圖案層表面之反面的方向進行測量，當反射率以此方向進行測量時，則反射率可為 20%以下，較佳為 15%以下，再佳為 10%以下，更佳為 5%以下、3%以下，且此效應會因反射率降低而增加。

【0045】 再者，暗化圖案層可設置於導電圖案層及基板之間，並於基板一側進行反射率的測量。當在基板側測量反射率時，則反射率可為 20%以下，較佳為 15%以下，再佳

為 10%以下，更佳為 5%以下、3%以下，且此效應會因反射率降低而增加。

【0046】 於本發明實施例中，反射率係代表在待測面之相反表面經一理想之暗層處理後，於基板上以 90 度角入射之 550 nm 光的反射率。

【0047】 於本發明實施例中，此導電結構體之反射率可為 20%以下，較佳為 15%以下，再佳為 10%以下，更佳為 6%以下，且此效應會因反射率降低而增加。

【0048】 於本發明說明書中，當入射光為 100%時，反射率可為由目標圖案層或導電層疊所反射之反射光中以及在 550 nm 波長的值為基準的測量值，以 550 nm 波長測量之原因係由於 550 nm 波長之反射率與整體反射率並不會有太大的差異。

【0049】 根據本發明實施例之導電結構體，其暗化圖案層可包含與導電圖案層接觸之一第一表面，以及面向於此第一表面之一第二表面。當於暗化圖案層之第二表面測量導電結構體之反射率時，導電結構體的反射率(R_t)可由下式 2 計算。

【0050】 [式 2]

【0051】 反射率(R_t)=基板之反射率+封閉率(closing ratio) \times 暗化圖案層之反射率。

【0052】 此外，上述之導電結構體可具有將兩種導電結構體層疊之結構，而其反射率可由以下式 3 計算。

【0053】 [式 3]

【0054】 反射率(R_t)=基板之反射率+封閉率(closing ratio) \times 暗化圖案層之反射率 $\times 2$ 。

【0055】 於式 2 及 3 中，基板之反射率可為觸控強化玻璃之反射率，且當基板為一薄膜時，基板的反射率可為薄膜之反射率。

【0056】 另外，以導電結構體之平面為基準，上述之封閉率 (closing ratio)可表示為由導電圖案覆蓋之區域的面積比，也就是(1-開放率 (opening ratio))。

【0057】 因此，具有暗化圖案層以及不具有暗化圖案層之差別取決於暗化圖案層的反射率。就此而言，相較於不具有暗化圖案層之相同導電結構體的反射率(R_0)，根據本發明實施例之導電結構體，其反射率(R_t)可降低 10 至 20%，20 至 30%，30 至 40%，40 至 50%或 50 至 70%。也就是說，於式 2 及 3 中，封閉率 (closing ratio)範圍可由 1 變化為 10%，且反射率範圍可由 1 變為 30%，另外，可呈現 70%之最大反射率降低效應以及 10%之最小反射率降低效應。

【0058】 根據本發明實施例之導電結構體，上述之暗化圖案層係包含與導電圖案接觸之一第一表面，以及面向於此第一表面之一第二表面，且當於暗化圖案之第二表面一側測量導電結構體之反射率時，導電結構體反射率(R_t)以及基板反射率(R_0)間之差異可為 40%以下，30%以下，20%以下，以及 10%以下。

【0059】 於本發明一實施例中，導電結構體的反射指數可為大於等於 1 且小於等於 3。

【0060】 於本發明實施例中，以 L*a*b 色彩值(color value)為基準，導電結構體的亮度值 L*可為 50 以下，且較佳為 30 以下。當亮度值降低，反射值亦會降低，以提供較佳之效能。

【0061】 於本發明實施例中，導電結構體的表面電阻可為 $1\ \Omega$ /平方以上且為 $300\ \Omega$ /平方以下，較佳為 $1\ \Omega$ /平方以上且 $100\ \Omega$ /平方以下，更佳為 $1\ \Omega$ /平方以上且 $50\ \Omega$ /平方以下，再更佳為 $1\ \Omega$ /平方以上且 $20\ \Omega$ /平方以下。

【0062】 若導電結構體之表面電阻為 $1\ \Omega$ /平方以上且 $300\ \Omega$ /平方以下，則其具有能取代習知 ITO 透明電極的效能。由於本發明導電結構體之表面電阻明顯低於習知 ITO 透明電極，因此當此導電結構體之表面電阻為 $1\ \Omega$ /平方以上且 $100\ \Omega$ /平方以下，或者為 $1\ \Omega$ /平方以上且 $50\ \Omega$ /平方以下，甚至較佳之表面電阻為 $1\ \Omega$ /平方以上且 $20\ \Omega$ /平方以下時，當為了大幅改善觸控辨識速度而提供一訊號時，會產生 RC 延遲降低的優點，且因此將易於應用具有 10 吋以上之大面積的觸控螢幕。

【0063】 於導電結構體中，圖案化前的導電層或暗化層的表面電阻可大於 $0\ \Omega$ /平方且小於等於 $2\ \Omega$ /平方，較佳為大於 $0\ \Omega$ /平方且小於等於 $0.7\ \Omega$ /平方。若表面電阻為小於等於 $2\ \Omega$ /平方，尤其小於等於 $0.7\ \Omega$ /平方時，則在圖案化之前的導電層或暗化層之表面電阻降低時，易於精細圖案化之設計及製程的進行，並且可因圖案化後降低表面電阻之導電結構體而增加電極的反應速度(response speed)。

【0064】 於本發明實施例中，導電結構體可不存在有針孔(pin hole)，且甚至若存在有針孔，則此針孔之半徑可為 3 μm 以下，較佳為 1 μm 以下。如上所述，於導電結構體中不存在有針孔，或針孔直徑為 3 μm 以下時，可避免短路的發生。

【0065】 於本發明實施例中，暗化圖案層可形成於導電圖案的任一表面或兩個表面上。

【0066】 於本發明實施例中，暗化圖案層以及導電圖案層可同時或分別圖案化。

【0067】 於本發明實施例中，暗化圖案層以及導電圖案層可同時或分別透過圖案化製程而形成層疊結構。就此來說，此層疊結構的不同在於可為至少一部分的光吸收材料係併入或分散於導電圖案中之結構，或者訊號層之導電圖案的表面側部分係藉由額外表面處理而進行物理或化學的修飾之結構。

【0068】 再則，根據本發明實施例之導電結構體，當一接觸層或黏著層未形成於暗化圖案層與基板或導電圖案層之間時，則此暗化圖案層可直接形成於基板或導電圖案層上。上述之接觸層或黏著層可影響耐受性或光學特性。另外，本發明實施例提供之導電結構體製造方法與使用接觸層及黏著層之製造方法明顯不同。再則，於本發明實施例中，基板或導電圖案層以及暗化層之間，相較於使用接觸層或黏著層，其具有較佳之介面特性。

【0069】 於本發明實施例中，暗化圖案層厚度可為 10

nm 以上且 400 nm 以下，較佳為 30 nm 以上且 300 nm 以下，更佳為 50 nm 以上且 100 nm 以下。較佳之厚度可依據材料以及製程之使用而加以改變，但在考量蝕刻特性下，若厚度小於 10 nm，則無法輕易控制製程，然而若厚度大於 400 nm，則可能會劣化生產速度。具體來說，當厚度為 30 nm 以上且 300 nm 以下情況時，則製程容易控制且能提升生產速度，以對製造過程有所助益。假若上述之暗化圖案層的厚度係為 50 nm 以上且 100 nm 以下時，則會使反射率降低，促進暗化層之形成之功效。

【0070】 於本發明實施例中，暗化圖案層可形成一單層或兩層以上的複數層。

【0071】 於本發明實施例中，較佳之暗化圖案層可為無彩顏色(achromatic color)。在此，無彩顏色代表：當光入射至結構體表面時，該顏色對各組成元件之波長係無法被選擇性的吸收，但會均一的被反射或吸收，並呈現顏色。

【0072】 於本發明實施例中，此暗化圖案層可更包含至少一介電材料、金屬及其混合物。上述介電材料之範例可包含 SiO、SiO₂、MgF₂、SiN_z(z 係 1 或以上之整數)及其類似者，但不限於此。上述金屬可包含 Fe、Co、Ti、V、Cu、Al、Au、Ag 及其類似者，但不限於此。根據本發明之實施例，此暗化圖案層可更包含一種或多種介電材料，以及一種或多種金屬材料。

【0073】 於本發明實施例中，較佳情況下，介電材料的分布量隨著逐漸遠離外源光之入射方向而逐漸減少，而金

屬分布方式則反之。於此情況下，介電材料之含量可為 20 至 50 wt%，而金屬含量可為 50 至 80 wt%。

【0074】 於本發明實施例中，暗化圖案層可形成於導電圖案層之任一表面或兩表面上。在此，暗化圖案層可具有與導電圖案層相同的圖案，然而，此暗化圖案層的圖案大小無須與導電圖案層完全相同，且此暗化圖案層之線寬相較於導電圖案層來的窄或寬之情況亦為本發明所屬之範疇。

【0075】 於本發明實施例中，相較於導電圖案層線寬，此暗化導電圖案層可具有相同或更寬的線寬，例如暗化圖案層的區域可佔導電圖案層所佔區域的 80 至 120%。

【0076】 當暗化圖案層的圖案形狀具有比導電圖案層大之線寬時，由於使用者可大幅增加觀察到暗化圖案層覆蓋導電圖案層之效果，因此可具有有效遮蔽導電圖案層之光澤及折射之效果。然而，即使暗化圖案層的線寬與導電圖案層的線寬相同，仍能達成本發明所欲達成的效果。

【0077】 於本發明實施例之導電結構體中，基板可使用透明板，但並無特別限制。舉例來說，基板可使用玻璃、塑膠板、塑膠膜及其類似者。

【0078】 於本發明實施例中，較佳之導電圖案層材料可為金屬、金屬合金、金屬氧化物、金屬氮化物及其混合物之至少一者。較佳之導電圖案層材料可為具有良好導電特性以及容易被蝕刻的金屬材料。基本上，具有良好導電特性的材料具有高反射率之缺點，然而，於本發明示範之實施例中，可藉由使用暗化圖案層，使高反射率之金屬形成

導電圖案層，在使用具有 70 至 80% 以上之反射率的材料的情況下，可加入暗化圖案層以降低其反射率、改善導電圖案層暗化效果、以及維持或改善對比特性。

【0079】 於本發明實施例中，導電圖案層之材料之具體例子可包含一單一薄膜或多層薄膜，其包含銀、鋁、銅、鈹、鉬、鎳、其合金、其氧化物、其氮化物及上述之混合物、以及其類似者之至少一者，且其更具體的例子可包含鋁，但此具體例子並不限於此。

【0080】 於本發明實施例中，導電圖案層之厚度並無特別限制，但當厚度係為 $0.01\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下時，導電圖案層可有較佳之導電效果，且圖案形成之製程可符合經濟效益。

【0081】 於本發明實施例中，導電圖案層之線寬可大於 $0\mu\text{m}$ 且為 $10\mu\text{m}$ 以下，較佳係 $0.1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下，更佳為 $0.2\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下，甚至更佳為 $0.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。

【0082】 於本發明實施例中，導電圖案層之開放率 (opening ratio) 即未被圖案覆蓋之面積比，可為 70% 以上，85% 以上，以及 95% 以上，此外，導電圖案層之開放率 (opening ratio) 可為 99 至 99.9%，但不限於此。

【0083】 於本發實施例中，導電圖案層之圖案可為規則或不規則之圖案。

【0084】 此習知技術中的圖案形狀，例如網狀圖案可做為一種規律之圖案。而不規則圖案並無特別限制，但可為

一構成凡諾氏圖(Voronoi diagram)之圖形的邊界線形狀。於本發明實施例中，在一併使用不規則圖案及暗化圖案層時，藉由具有方向性的光照射所形成的反射光之繞射圖案可透過此不規則圖案而消除，且藉由暗化圖案層可將散射光效應最小化，以減少能見度的問題。

【0085】 於本發明實施例中，當拉一條橫跨導電圖案之一直線時，則此直線以及導電圖案間相鄰之交叉點之距離平均值標準差比率(距離分布率)可為 2%以上。

【0086】 於本發明實施例中，可藉由在導電圖案拉一條橫跨其之一直線時，此直線以及導電圖案間相鄰之交叉點之距離平均值標準差比率(距離分布率)為 2%以上之導電圖案，而提供之導電結構體具有能避免 Moir' e 及反射性繞射之現象，並且具有較佳導電及光學特性。

【0087】 較佳之橫跨導電圖案之直線可為一直線，且於此直線中，直線及導電圖案之鄰近交叉點之距離標準差具有最小值。或者，此跨過導電圖案之直線可為在垂直於導電圖案任一點之切線(tangent line)的方向延伸之直線。

【0088】 直線橫跨導電圖案及導電圖案間之相鄰交叉點間之距離平均值之標準差比率(距離分布比率)可為 2%以上、10%以上、或 20%以上。上述直線橫跨導電圖案及導電圖案間之相鄰交叉點平均距離之標準差比率(距離分布率)係與導電圖案之不規則度相關，且當標準差比率為 2%以上時，導電圖案可具有一不規則圖案。

【0089】 較佳情況為，滿足直線橫跨導電圖案及導電圖

案間之相鄰交叉點之平均距離值之平均差比率(距離分布比率)為 2%以上之圖案，其相對於基板整體面積係佔 30%以上。另一種型態之導電圖案可形成於基板(如前述形成有導電圖案)表面之至少一部份上。

【0090】 於本發明一態樣中，至少具有 80 個橫跨導電圖案及導電圖案之直線的相鄰交叉點。

【0091】 於本發明實施例中，導電圖案為具有連續分布之封閉圖案，且封閉圖案之面積平均值之標準差比率(面積分布比率)可為 2%以上。

【0092】 於本發明實施例中，可具有至少 100 個封閉圖案。

【0093】 於本發明實施例中，封閉圖案之面積平均值之標準差比率(面積分布比率)可為 2%以上，10%以上，或 20%以上。此封閉圖案之面積平均值之標準差比率(面積分布比率)與導電圖案之不規則性質有關，且當標準差為 2%以上時，導電圖案可具有不規則圖案形狀。

【0094】 較佳情況為滿足封閉圖案面積平均值之標準差比率(面積分布比率)為 2%以上之圖案，其相對於基板整個面積係佔 30%或以上。另一種型態之導電圖案係可形成於前述基板(形成有導電圖案)表面之至少一部份。

【0095】 於本發明實施例中，導電圖案層係包含彼此交叉之金屬圖案，以及於上述導電圖案層中，彼此交叉之金屬圖案之每單位面積(cm^2)間，可具有 5 至 10,000 個交叉點。

【0096】 於本發明實施例中，導電圖案的節距(pitch)可

為 600 μm 或以下，或 250 μm 或以下，且所屬技術領域之通常知識者可依據透明度以及導電性而加以調整。

【0097】 於本發明實施例中，上述之導電圖案層可為具有大約 $1 \times 10^6 \Omega \cdot \text{cm}$ 以上， $30 \times 10^6 \Omega \cdot \text{cm}$ 以下，或 $1 \times 10^6 \Omega \cdot \text{cm}$ 以上且 $7 \times 10^6 \Omega \cdot \text{cm}$ 以下之特定電阻之材料。

【0098】 於本發明實施例中，導電圖案層之圖案可具有形成凡諾氏圖之圖案之邊界線圖形。於本發明實施例中，Moir' e 現象以及由反射光所產生之第二繞射現象，可藉由具有形成凡諾氏圖之圖形的邊界線形狀之導電圖案層的圖案，而加以避免。上述凡諾氏圖係表示一種圖案，若將凡諾氏圖產生器的點(dot)設置於所欲之區域以進行填充，該圖案係藉由填充相較於各點至另一點的距離最靠近對應點的區域所形成。舉例來說，當全城鎮中的大型折扣商店以點(dots)表示時，消費者會嘗試尋找最近的大型折扣商店。也就是說，若此空間以規律之六角形填充，且每一規則之六角形點係由凡諾氏圖產生器所設定，則一蜂槽結構係可為導電圖案。於本發明實施例中，當導電圖案係藉由利用 Voronoi 產生器而形成時，具有可輕易決定能避免 Moir' e 現象之複雜圖案形式的優點，其中藉由另一個規則圖案的干擾可產生該 Moir' e 現象。於本發明實施例中，此圖案係可藉由使用規則或不規則定位凡諾氏圖產生器而形成。當以形成凡諾氏圖之圖形的邊界線形狀形成導電圖案時，為了解決上述辨識問題，在凡諾氏圖產生器產生時，規則及不規則情況將可被適當的協調。舉例來說，在所形成之圖

案中，在將具有預設大小之區域設定為區域中之基本單元後，會產生點(dots)於基本單元中之點的分布呈現不規則狀態，藉此以製造凡諾氏圖。若在使用以下方法情況下，則能見度可藉由避免在任一個點上的線分布定位而被加以補償。

【0099】 如上所述，為了一致的導電性以及導電體能見度，當圖案之開放率(opening ratio)於單位面積為恆定時，可控制凡諾氏圖產生器於每單位面積數量。在此情況下，當凡諾氏圖產生器之每單位面積數量受到一致的控制時，其單位面積可為 5 cm^2 以下，或 1 cm^2 以下，且凡諾氏圖產生器之每單位面積可落於 5 至 5,000 產生器/ cm^2 ，或 100 至 2,500 產生器/ cm^2 範圍內。

【0100】 每單位面積中，在形成圖案的圖形中，至少一圖形可具有與其他具有圖形不同之形狀。

【0101】 於本發明實施例中，暗化圖案層以及導電圖案層可於其之一側具有一正錐角(positive taper angel)，而設置於導電圖案層之基板一側的反面之暗化圖案層、或導電圖案層可具有一負錐角(negative taper angle)。

【0102】 圖 1 至 3 係表示根據本發明實施例之導電結構體。圖 1 至 3 係表示基板、導電圖案層及暗化圖案層之層疊順序，且導電圖案層以及暗化圖案層可不具有一前表面(front surface)層形式，但是當實際被應用於做為一精細透明電極時，例如應用於觸控螢幕面板，則須具有圖案形狀。

【0103】 根據圖 1，此示範情況中，一暗化圖案層 200

係插設於一基板 100 以及一導電圖案層 300 間，在此，當使用者由基板側觀察此觸控螢幕面板時，由導電圖案所產生的反射將會大幅降低。根據圖 2，此示範說明，暗化圖案層 200 係設置於導電圖案層 300 上，在此，當使用者由基板側的反面觀察此觸控螢幕面板時，由導電圖案層所產生的反射將可大幅降低。根據圖 3，此示範說明暗化圖案層 200 以及 220 係設置於基板 100 以及導電圖案層 300 之間，以及設置於導電圖案層上 300。於使用者由基板側觀察之觸控螢幕面板，以及由其反面觀察觸控螢幕面板的所有情況中，由導電圖案層產生的反射將可大幅降低。

【0104】 於本發明實施例之導電結構體中，其可具有一結構，其中暗化圖案層形成於導電圖案層之至少一表面上。

【0105】 於本發明實施例之導電結構體之結構中，其結構可為依序層疊之基板、暗化圖案層、導電圖案層以及暗化圖案層。此外，導電圖案層可於其最外部之暗化圖案上包括額外的導電圖案以及的暗化圖案。

【0106】 在此，根據本發明實施例之導電圖案結構體，其可為基板/暗化圖案層/導電圖案層之結構，基板/導電圖案層/暗化圖案層之結構，基板/暗化圖案層/導電圖案層/暗化圖案層之結構，基板/導電圖案層/暗化圖案層/導電圖案層之結構，基板/暗化圖案層/導電圖案層/暗化圖案層/導電圖案層之結構，或為基板/暗化圖案層/導電圖案層/暗化圖案層/導電圖案層/暗化圖案層之結構。

【0107】 根據本發明實施例之導電結構體的製造方法，其可包含形成一導電圖案層於一基板上；以及在形成導電圖案層之前、之後或之前及之後，形成包含有 AlO_xN_y ($0 \leq x \leq 1.5$, $0 \leq y \leq 1$) 之一暗化圖案層。

【0108】 根據本發明實施例之導電結構體製造方法，其包含形成一導電圖案層於一基板上；以及於形成導電圖案層之前、之後或之前及之後，形成包含有滿足式 1 所示之原子比例之包含有 AlO_xN_y ($x > 0$, $y > 0$) 之一暗化圖案層。

【0109】 x 及 y 代表在 AlO_xN_y 中，個別 O 及 N 原子對一 Al 原子之數量比。

【0110】 於本發明實施例中，導電結構體的製造方法可包含形成一暗化圖案層於一基板上，以及在形成暗化圖案層後，形成一導電圖案層。

【0111】 於本發明實施例中，導電結構體之製造方法可包含形成一導電圖案層於一基板上，以及在形成導電圖案層後，形成一暗化圖案層。

【0112】 於本發明實施例中，導電結構體的製造方法可更包含形成一暗化圖案層於一基板上；在形成上述暗化圖案層後，形成一導電圖案層；以及在形成上述導電圖案層後，形成一暗化圖案層。

【0113】 此外，根據本發明實施例之導電結構體製方法，係包含形成一導電層於一基板上；在形成上述導電層之前、之後或之前及之後，形成包含有 AlO_xN_y ($0 \leq x \leq 1.5$, $0 \leq y \leq 1$) 之一暗化層；以及分別或同時圖案化上述之導電層以及暗化

層。

【0114】 再則，於本發明實施例之導電結構體製造方法中，其包含形成一導電層於一基板上；在形成上述導電層之前、之後或之前及之後，形成包含具有滿足式 1 所示之原子比例的 AlO_xN_y ($x > 0$, $y > 0$) 之一暗化層；以及分別或同時圖案化上述之導電圖案層以及暗化層。

【0115】 x 及 y 代表在 AlO_xN_y 中，個別 O 及 N 原子對一 Al 原子之數量比。

【0116】 於本發明實施例中，導電結構體之製造方法可包含形成一暗化層於一基板上；在形成上述暗化層後，形成一導電層；以及個別或同時圖案化上述之暗化層以及導電層。

【0117】 於本發明實施例中，導電結構體之製造方法可包含形成一導電層於一基板上；於形成上述導電層後，形成一暗化層；以及分別或同時圖案化上述之暗化層以及導電層。

【0118】 於本發明實施例中，導電結構體之製造方法可包含形成一暗化層於一基板上；在形成上述暗化層後，形成一導電層；在形成上述導電層後形成一暗化層；以及分別或同時圖案化上述之暗化層以及導電層。

【0119】 於本發明實施例中，暗化圖案層或暗化層可在形成暗化圖案層或暗化層步驟中，藉由使用習知方式而形成，尤其為反應濺鍍法，但方法不限於此。

【0120】 當使用反應濺鍍法時，則反應條件可藉由滿足

下式 4 所示之反應條件。

【0121】 [式 4]

$$7(\%) \leq \frac{\text{con.}(N_2)}{\text{con.}(Ar) + \text{con.}(N_2)} \times 100(\%) \leq 15(\%)$$

【0122】 於式 4 中，con.(Ar)以及 con.(N₂)代表一反應室內的 Ar 及 N₂的個別含量。

【0123】 於式 4 中，Ar 及 N₂各代表一反應室中的含量。

【0124】 上述含量代表一體積。

【0125】 具體來說，式 4 表示每分鐘一標準立方公分 (sccm)，意指 N₂的比例，也就是所有加入反應室之漿氣體中的反應氣體。

【0126】 於本發明實施例中，反應條件滿足式 4 情況時，則可形成上述之暗化圖案層。當反應條件不滿足式 4 時，也就是當氮氣含量於濺鍍過程中相對增加，而使式 4 的值小於 7 時，則會形成一透明薄膜，且若當氮氣含量相對減少而使式 4 值大於 15 時，則會形成含有大量金屬之一薄膜。

【0127】 當使用上述反應濺鍍法時，根據取決於流率之金屬化合物的能帶間隙 (band gap)，藉由控制氧氣與氮氣的流率，可確定各種不同的色彩 (colors)，而不需要替換額外的目標，且可進行能夠改善導電圖案之暗化特性的暗化。此外，可使用單目標 Al，以使濺鍍過程簡單，並且甚至於用於精緻電極圖案化之蝕刻製程的過程中，可藉由一般鋁蝕刻溶液來進行批次蝕刻。

【0128】 於本發明實施例中，形成導電圖案層的方法並

無特別限制，且導電圖案層可直接透過印刷法而形成。或者在形成導電薄膜層後，可使用圖案化導電薄膜層的方法。

【0129】 於本發明實施例中，導電圖案層可藉由使用印刷法形成，除了上述導電材料，也可使用該導電材料之墨水或塗料，且上述塗料可更進而包含一黏著樹脂、一溶劑、一玻璃熔塊或其類似者。

【0130】 在導電層形成之後，於圖案化導電層情況下，可使用具有蝕刻抗性之材料。

【0131】 於本發明實施例中，導電層可藉由例如蒸氣法、濺鍍法、濕式塗佈、氣相法、電解電鍍或化學電鍍法等的方法，以及金屬鉑片層疊法而形成。將有機金屬、奈米金屬或其組成物溶液之塗佈至基板上，然後藉由燒成(firing)及/或乾燥方式而形成導體的方法，可用於形成導電層。有機銀可用來做為有機金屬，且奈米銀粒子可用來作為奈米金屬。

【0132】 於本發明實施例中，導電層的圖案可藉由使用一抗蝕刻圖案之方法而形成。上述抗蝕刻圖案可藉由印刷法、黃光微影法、攝影法(photography method)、罩遮使用的方法、或雷射轉印方式而形成，舉例來說，較佳為一熱傳導影像、以及印刷法或黃光微影法，但方法不限於此。藉由使用抗蝕刻圖案可蝕刻及圖案化導電薄膜層，且藉由剝離製程可輕易去除抗蝕刻圖案。

【0133】 本發明實施例係提供包含上述導電結構體之一觸控螢幕面板，舉例來說，根據本發明實施例之上述導

電結構體，其可用來作為電容式觸控螢幕面板中，一觸控感應型之電極板。

【0134】 本發明實施例係提供包含有上述觸控螢幕面板之顯示器。

【0135】 根據本發明實施例之上述觸控螢幕面板，除了前述包含有基板、導電圖案層、以及暗化圖案層之導電結構體之外，可更進一步包含一外加之結構體。於此情況下，兩種層疊結構可以相同方向設置，或者兩種結構體可以相互相反方向設置。根據本發明實施例，可包含於觸控螢幕面板中之兩種以上之結構體不需具有相同的結構，且較佳為僅任一與使用者最靠近之結構體係包含基板、導電圖案層以及暗化圖案層，且上述外加結構體並不包含暗化圖案層。再則，於兩個以上之結構體中的層疊結構可彼此不同。當包含有二或以上之結構體時，一絕緣層會插設於兩結構體之間，在此情況下，絕緣體可更具有一黏著層之功能。

【0136】 根據本發明實施例之觸控螢幕面板，其包含一下基板；一上基板；以及一電極層，其係形成於與上基板接觸之下基板表面以及與下基板接觸之上基板表面之任一表面上，或者形成於兩者表面上。上述電極層可具有 X 軸及 Y 軸位置偵測功能。

【0137】 在此情況下，形成於下基板，並且下基板之表面係與上基板接觸之一或兩層之電極層；以及形成於上基板，且上基板之表面係與下基板接觸之電極層，可作為本發明實施例之導電結構體。在此，僅任一電極層係本發明

實施例之導電結構體，其他電極層可具有習知之圖案。

【0138】 當電極層係形成於上基板及下基板兩表面之任一表面上，以形成兩層電極層時，一絕緣層或一隔離層可形成於下基板以及上基板之間，以維持電極層之間的間隔，避免其相互接觸。上述絕緣層可包含一黏著型或一 UV 或熱固樹脂。觸控螢幕面板可更包含與前述導電圖案接觸之一底部(ground portion)。舉例來說，上述之底部可形成於上述表面之一邊緣部，在此表面上形成有基板之導電圖案。一抗反射膜、一偏振膜以及一抗指紋膜中至少一者可形成於包含有導電結構體之層疊結構之至少一表面上。依據該設計說明，除了前述之功能型薄膜之外，可進一步包括其他種類的功能型薄膜。上述觸控螢幕面板可應用至顯示器，例如 OLED 顯示面板(PDP)、液晶顯示器(LEC)、陰極射線管(CRT)，以及 PDP。

【0139】 根據本發明實施例之觸控螢幕面板，其導電圖案層以及暗化圖案層可個別形成於基板之兩表面上。

【0140】 本發明實施例之觸控螢幕面板可於導電結構體上更包含一電極部或一襯墊部。於此情況下，有效的螢幕部，電極部以及襯墊部可由相同的導體形成。

【0141】 於本發明實施例之觸控螢幕面板中，暗化圖案層可形成於使用者觀察之一側。

【0142】 本發明實施例係提供包含有上述導電結構體之一太陽能電池。上述太陽能電池可包含一陽極、一電洞傳輸層及/或一電子傳輸層，且根據本發明之實施例，上述

導電結構體可用來作為陽極及/或陰極。

【0143】 在顯示器或太陽能電池中，可使用上述之導電結構體來取代習知的 ITO，以提供可撓特性。此外，上述之導電結構體可作為與 CNT、導電聚合物、石墨烯及其類似者連接之下一代透明電極。

【0144】 接下來，本發明將藉由實施例、比較例以及實驗例佳以詳述，然而以下實施例、比較例以及實驗例係用於描述本發明，但並不限制本發明之範疇。

【0145】 <實施例及比較例>

【0146】 藉由利用在聚對苯二甲二乙酯(polyethylene therphthalate, PET)基板上的 Al 單目標之反應濺鍍法，形成厚度為 60 至 100 nm 之 Al 層作為一導電薄膜，且包含有 AlO_xNy 之暗化層係藉由單目標 Al 使用反應濺鍍法而形成，而其厚度之改變，可製造出實施例 1 至 4 以及比較例 1 至 8 之導電結構體。

【0147】 當式 4 的值為 4.3%時，比較例 1 至 4 之導電結構體係會依據暗化層厚度而製造。在此情況下，當暗化層厚度大於 0 且小於 32 nm 時，由#11 表示為比較例 1。當暗化層厚度大於 32 nm 且小於 65 nm 時，由#12 表示為比較例 2。當暗化層厚度大於 65 nm 且小於 130 nm 時，由#4 表示為比較例 3。當暗化層厚度大於 130 nm 且小於 290 nm 時，由#10 表示為比較例 4。

【0148】 當式 4 的值為 10.8%時，實施例 1 至 4 的導電結構體將依據暗化層厚度而製造。於此情況下，當暗化層

厚度大於 0 且小於 32 nm 時，由#2 表示為實施例 1。當暗化層厚度大於 32 nm 且小於 65 nm 時，由#1 表示為實施例 2。當暗化層厚度大於 65 nm 且小於 130 nm 時，由#6 表示為實施例 3。當暗化層厚度大於 130 nm 且小於 290 nm 時，由#5 表示為實施例 4。

【0149】 當式 4 的值為 17.5% 時，比較例 5 至 8 之導電結構體可依據暗化層厚度而製造。在此情況下，當暗化層厚度大於 0 且小於 32 nm 時，由#9 表示為比較例 5。當暗化層厚度大於 32 nm 且小於 65 nm 時，由#8 表示為比較例 6。當暗化層厚度大於 65 nm 且小於 130 nm 時，由#7 表示為比較例 7。當暗化層厚度大於 130 nm 且小於 290 nm 時，由#13 表示為比較例 8。

【0150】 下表 1 表示當暗化層厚度改變以及式 4 條件改變情況下之實施例 1 至 4 以及比較例 1 至 8。

【0151】 [表 1]

AlO _x N _y 厚度 (nm)	金屬層	暗化層	透明層
	$\frac{\text{con.}(N_2)}{\text{con.}(Ar)+\text{con.}(N_2)} \times 100(\%)$ = 4.3(%)	$\frac{\text{con.}(N_2)}{\text{con.}(Ar)+\text{con.}(N_2)} \times 100(\%)$ = 10.8(%)	$\frac{\text{con.}(N_2)}{\text{con.}(Ar)+\text{con.}(N_2)} \times 100(\%)$ = 17.5(%)
~32nm	比較例 1 (#11)	實施例 1 (#2)	比較例 5 (#9)
~65nm	比較例 2 (#12)	實施例 2 (#1)	比較例 6 (#8)
~130nm	比較例 3 (#4)	實施例 3 (#6)	比較例 7 (#7)
~290nm	比較例 4 (#10)	實施例 4 (#5)	比較例 8 (#13)

【0152】 根據實施例 1 至 4 以及比較例 1 至 8 之波長，

其總反射率係由圖 5 所示，於圖 5 中， $\frac{N_2}{Ar+N_2}(\%)$ 代表

$$\frac{\text{con.}(N_2)}{\text{con.}(Ar)+\text{con.}(N_2)} \times 100(\%)$$

【0153】 比較例 1 至 4 之光常數折射係數 n 以及消光係數(extinction coefficient) k 係藉由橢圓偏光計進行測量，如圖 6 所示。

【0154】 此外，實施例 1 至 4 之光常數折射係數 n 以及消光係數 k ，其係藉由橢圓偏光計進行測量，如圖 7 所示。

【0155】 再則，比較例 5 至 8 之光常數折射係數 n 以及消光係數 k ，其係藉由橢圓偏光計進行測量，如圖 8 所示。

【0156】 以下表 2 至 4 係顯示暗化圖案層之原子百分比，其係根據蝕刻時間，藉由 X-ray 光電子顯微鏡(XPS)測量之暗化層組成比例概況(深度概況)。表 2 顯示比較例 2(#12)，表 3 顯示實施例 2(#1)，且表 4 顯示比較例 6(#8)。

【0157】 [表 2]

蝕刻時間(s)	O	N	Al
0	54.9	7.0	38.2
50	33.9	12.4	53.7
100	27.2	15.0	57.8
200	20.4	17.9	61.7
300	15.5	17.7	66.8

蝕刻速率=30 nm/300 sec

【0158】 [表 3]

蝕刻時間(s)	O	N	Al
0	52.4	12.7	34.9
50	24.0	27.9	48.1
100	19.2	31.8	49.0
200	16.7	34.1	49.2

300	16.6	34.8	48.7
-----	------	------	------

蝕刻速率=30 nm/300 sec

【0159】 [表 4]

蝕刻時間(s)	O	N	Al
0	44.8	18.5	36.7
50	26.5	28.3	45.2
100	23.5	30.5	46.0
200	22.9	31.0	46.1
300	23.1	30.9	46.0

蝕刻速率=30 nm/300 sec

【0160】 表 5 係比較例 2(#12)、實施例 2(#1)以及比較例 6(#8)之依據等式 1 之組成物 5 之原子比例。

【0161】 [表 5]

組成物	比較例 2 (#12)	實施例 2 (#1)	比較例 6 (#8)
$\frac{(Al)at \times 3}{(O)at \times 2 + (N)at \times 3}$	2.38	1.06	0.99

【0162】 於表 5 組成物中，以 AlO_xN_y 所有原子含量為 100%為計，(Al)at 代表 Al 之原子含量(at%)，(O)at 代表 O 之原子含量(at%)，而(N)at 代表 N 之原子含量(at%)。

【0163】 表 5 之組成物代表當暗化層厚度為 65 nm 時，離表面 30 nm 深度處之中間層的組成。

【0164】 根據本發明實施例之導電結構體以及包含其之觸控螢幕面板，其可在不影響導電圖案之導電特性下，避免由導電圖案產生的反射，且可藉由改善形成在導電圖

案之至少一表面上之包含有 AlO_xNy 之暗化圖案的吸收度，而改善導電圖案的暗化特性。

【0165】 此外，觸控螢幕面板之對比特性可藉由上述暗化圖案之設置而獲得改善。且由於在進行包含有 AlO_xNy 之暗化圖案製造過程中使用反應濺鍍法，因此可使用單目標 Al。據此，可具有的優點包括簡單的濺鍍過程，且在蝕刻形成精細電極圖案時，可藉由習知鋁蝕刻溶液進行批次蝕刻。

【0166】 對所屬技術領域之通常知識者而言，在不悖離本發明範疇及精神下，可進行各種改良及變化。

【0167】 因此，須了解上述實施例並不具有任何限制作用，僅為所有觀點之示範例。本發明之範疇係由申請專利範圍所定義，並非由先前之敘述而定義，由此，在申請專利範圍以內或與申請專利範圍等同之所有的變化及改良者，將包括於申請專利範圍中。

【0168】 上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【符號說明】

【0169】

- 100 基板
- 200 暗化圖案層
- 220 暗化圖案層
- 300 導電圖案層

申請專利範圍

1. 一種導電結構體，包括：

一基板；

一導電圖案層；以及

一AlO_xN_y暗化圖案層(x > 0, y > 0)，其滿足下式1，

[式1]

$$1 < \frac{(Al)_{at} \times 3}{(O)_{at} \times 2 + (N)_{at} \times 3} < 2$$

其中，x及y係代表在AlO_xN_y中，O及N之原子個別對Al原子之數量比，且以式1中AlO_xN_y所有原子含量為100%為計，(Al)_{at}係代表Al之原子含量(at%)，(O)_{at}係代表O之原子含量(at%)，而(N)_{at}係代表N之原子含量(at%)；

其中，該導電結構體的消光係數k係大於0.2且小於1.5。

2. 如申請專利範圍第1項所述之導電結構體，其中該導電結構體之消光係數(extinction coefficient)k係大於0.2且小於0.8。

3. 如申請專利範圍第1項所述之導電結構體，其中該導電結構體之折射係數係大於0且小於3。

4. 如申請專利範圍第1項所述之導電結構體，其中該暗化圖案層更包括至少一種選自由：介電材料、金屬及其混合物所組成之群組。

5. 如申請專利範圍第4項所述之導電結構體，其中該介電材料係選自由：氧化矽(SiO)、二氧化矽(SiO₂)、氟化鎂(MgF₂)、及氮化矽(SiN_z，z係1以上之整數)所組成之群組。

6. 如申請專利範圍第4項所述之導電結構體，其中該金屬係選自由：鐵(Fe)、鈷(Co)、鈦(Ti)、釩(V)、銅(Cu)、鋁(Al)、金(Au)、及銀(Ag)所組成之群組。

7. 如申請專利範圍第1項所述之導電結構體，其中該暗化圖案層的區域係為該導電圖案層所佔區域的80%至120%。

8. 如申請專利範圍第1項所述之導電結構體，其中該暗化圖案層的線寬係與該導電圖案層的線寬相同或更寬。

9. 如申請專利範圍第1項所述之導電結構體，其中該導電圖案層的厚度係 $0.01\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。

10. 如申請專利範圍第1項所述之導電結構體，其中該導電圖案層的線寬係 $10\mu\text{m}$ 以下。

11. 如申請專利範圍第1項所述之導電結構體，其中該導電圖案層包括一規則圖案。

12. 如申請專利範圍第1項所述之導電結構體，其中該導電圖案層包括一不規則圖案。

13. 如申請專利範圍第1項所述之導電結構體，其中該導電結構體之結構為：一基板/暗化圖案層/導電圖案層之結構、一基板/導電圖案層/暗化圖案層之結構、一基板/暗化圖案層/導電圖案層/暗化圖案層之結構、一基板/導電圖案層/暗化圖案層/導電圖案層之結構、一基板/暗化圖案層/導電圖案層/暗化圖案層/導電圖案層之結構、或一基板/暗化圖案層/導電圖案層/暗化圖案層/導電圖案層/暗化圖案層之結構。

14. 一種觸控螢幕面板，包括：

一如申請專利範圍第1項至第13項之任一項所述之導電結構體。

15. 一種顯示器，包括：

一如申請專利範圍第1項至第13項之任一項所述之導電結構體。

16. 一種太陽能電池，包括：

一如申請專利範圍第1項至第13項之任一項所述之導電結構體。

17. 一種導電結構體之製造方法，包括：

形成一導電圖案層於一基板上；以及

於形成該導電圖案層之前、之後、或之前及之後，形成一暗化圖案層，其包含具有如下式1所示之一原子比例之 AlO_xNy ($x > 0$ ， $y > 0$)，

[式1]

$$1 < \frac{(Al)_{at} \times 3}{(O)_{at} \times 2 + (N)_{at} \times 3} < 2$$

其中， x 及 y 係代表在 AlO_xNy 中， O 及 N 之原子個別對 Al 原子之數量比，且以式1中 AlO_xNy 所有原子含量為100%為計， $(Al)_{at}$ 係代表 Al 之原子含量(at%)， $(O)_{at}$ 係代表 O 之原子含量(at%)，而 $(N)_{at}$ 係代表 N 之原子含量(at%)；以及

其中，藉由使用一反應濺鍍法形成該暗化圖案層。