

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月30日(30.08.2018)



(10) 国際公開番号

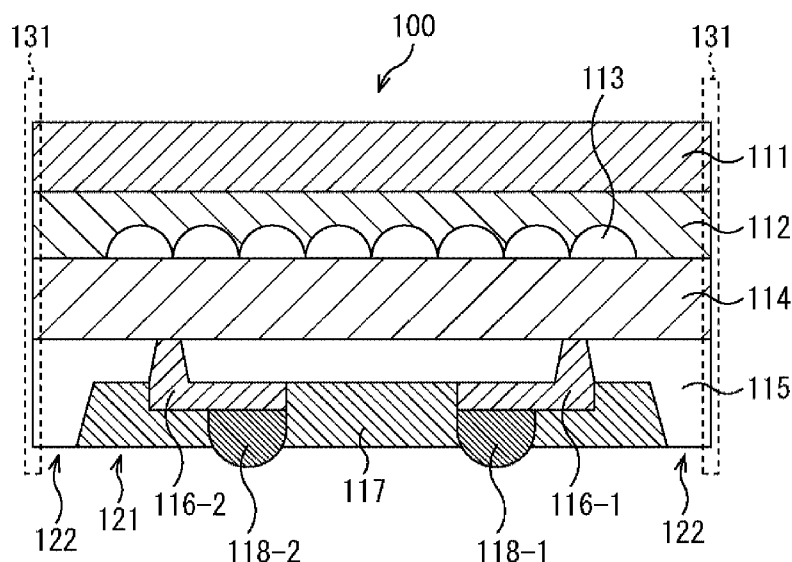
WO 2018/155195 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 23/12* (2006.01)
A61B 1/04 (2006.01) *H04N 5/369* (2011.01)
- (21) 国際出願番号: PCT/JP2018/004287
- (22) 国際出願日: 2018年2月8日(08.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-030741 2017年2月22日(22.02.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 齋藤 卓(SAITO Suguru); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 藤井 宣年(FUJII Nobutoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: IMAGE CAPTURE DEVICE, ELECTRONIC APPARATUS, AND METHOD FOR MANUFACTURING IMAGE CAPTURE DEVICE

(54) 発明の名称: 撮像装置、電子機器、及び、撮像装置の製造方法

FIG. 2



(57) Abstract: The present technology relates to an image capture device, an electronic apparatus, and a method for manufacturing an image capture device for making it possible to reduce the thickness of a semiconductor in a terminal extraction surface while maintaining the strength of a semiconductor chip. Provided is an image capture device in which a first substrate formed with a pixel area in which pixels for photoelectric conversion of light are two-dimensionally arrayed and a second substrate formed with a through-silicon via are laminated. The second substrate is formed with a recess on a back surface on the opposite side from a light entry side. In the recess, a redistribution layer (RDL) connected to a back surface of the first substrate is formed. The present technology may be applied in a semiconductor package including a semiconductor chip.



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: 本技術は、半導体チップの強度を保ちつつ、端子取り出し面の半導体の薄化を可能にすることができるようにする撮像装置、電子機器、及び、撮像装置の製造方法に関する。光の光電変換を行う画素を2次元配列した画素領域が形成される第1の基板と、貫通電極が形成される第2の基板とが積層され、第2の基板には、光の入射側と反対側の裏面に、掘り込み部が形成され、掘り込み部には、第1の基板の裏面と接続される再配線層(RDL: Re Distribution Layer)が形成される撮像装置が提供される。本技術は、例えば、半導体チップを含む半導体パッケージに適用することができる。

明 細 書

発明の名称：撮像装置、電子機器、及び、撮像装置の製造方法 技術分野

[0001] 本技術は、撮像装置、電子機器、及び、撮像装置の製造方法に関し、特に、半導体チップの強度を保ちつつ、端子取り出し面の半導体の薄化を可能にすることができるようにした撮像装置、電子機器、及び、撮像装置の製造方法に関する。

背景技術

[0002] 半導体装置（半導体パッケージ）をチップサイズまで小型化したウェハレベルCSP（WCSP：Wafer level Chip Size Package）が知られている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-21451号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、裏面RDL電極構造を有するウェハレベルCSP（WCSP）により構成される半導体パッケージにおいて、裏面側の端子取り出し面のシリコン（Si）の膜厚を薄膜化して、当該半導体パッケージの厚さを低減したいという要求がある。

[0005] しかしながら、端子取り出し面のシリコン（Si）の膜厚を薄膜化すると、半導体チップの強度が落ちる懸念がある。そのため、半導体チップの強度を保ちつつ、端子取り出し面のシリコン（Si）の膜厚を薄膜化するための技術が求められていた。

[0006] 本技術はこのような状況に鑑みてなされたものであり、半導体チップの強度を保ちつつ、端子取り出し面の半導体の薄化を可能にすることができるようにするものである。

課題を解決するための手段

- [0007] 本技術の一側面の撮像装置は、光の光電変換を行う画素を２次元配列した画素領域が形成される第１の基板と、貫通電極が形成される第２の基板とが積層され、前記第２の基板には、光の入射側と反対側の裏面に、掘り込み部が形成され、前記掘り込み部には、前記第１の基板の裏面と接続される再配線層（RDL：Re Distribution Layer）が形成される撮像装置である。
- [0008] 本技術の一側面の電子機器は、光の光電変換を行う画素を２次元配列した画素領域が形成される第１の基板と、貫通電極が形成される第２の基板とが積層され、前記第２の基板には、光の入射側と反対側の裏面に、掘り込み部が形成され、前記掘り込み部には、前記第１の基板の裏面と接続される再配線層（RDL）が形成される撮像装置を搭載した電子機器である。
- [0009] 本技術の一側面の撮像装置及び電子機器においては、光の光電変換を行う画素を２次元配列した画素領域が形成される第１の基板と、貫通電極が形成される第２の基板とが積層される。そして、前記第２の基板には、光の入射側と反対側の裏面に、掘り込み部が形成され、前記掘り込み部には、前記第１の基板の裏面と接続される再配線層（RDL）が形成される。
- [0010] 本技術の一側面の撮像装置の製造方法は、光の光電変換を行う画素を２次元配列した画素領域が形成される第１の基板と積層される第２の基板であって、貫通電極が形成される前記第２の基板における光の入射側と反対側の裏面に、掘り込み部を形成する第１の工程と、前記掘り込み部に、前記第１の基板の裏面と接続される再配線層（RDL）を形成する第２の工程とを含む撮像装置の製造方法である。
- [0011] 本技術の一側面の撮像装置の製造方法においては、光の光電変換を行う画素を２次元配列した画素領域が形成される第１の基板と積層される第２の基板であって、貫通電極が形成される前記第２の基板における光の入射側と反対側の裏面に、掘り込み部が形成され、前記掘り込み部に、前記第１の基板の裏面と接続される再配線層（RDL）が形成される。

発明の効果

[0012] 本技術の一側面によれば、半導体チップの強度を保ちつつ、端子取り出し面の半導体の薄化を可能にすることができる。

[0013] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0014] [図1]一般的な撮像装置の構造を示す断面図である。

[図2]第1の実施の形態の撮像装置の構造の例を示す断面図である。

[図3]第1の実施の形態の撮像装置の製造工程の流れを説明する図である。

[図4]第1の実施の形態の撮像装置の製造工程の流れを説明する図である。

[図5]第2の実施の形態の撮像装置の構造の例を示す断面図である。

[図6]第2の実施の形態の撮像装置の製造工程の流れを説明する図である。

[図7]第2の実施の形態の撮像装置の製造工程の流れを説明する図である。

[図8]第3の実施の形態の撮像装置の構造の例を示す断面図である。

[図9]第4の実施の形態の撮像装置の構造の例を示す断面図である。

[図10]第5の実施の形態の撮像装置の構造の例を示す図（断面図、下面図）である。

[図11]第6の実施の形態の撮像装置の構造の例を示す断面図である。

[図12]第7の実施の形態の撮像装置の構造の例を示す断面図である。

[図13]第8の実施の形態の撮像装置の構造の例を示す断面図である。

[図14]本技術を適用した撮像装置を有する電子機器の構成例を示すブロック図である。

[図15]本技術を適用した撮像装置の使用例を示す図である。

[図16]体内情報取得システムの概略的な構成の一例を示すブロック図である。

[図17]車両制御システムの概略的な構成の一例を示すブロック図である。

[図18]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0015] 以下、図面を参照しながら本技術の実施の形態について説明する。なお、

説明は以下の順序で行うものとする。

[0016] 1. 本技術の概要

2. 第1の実施の形態：基本構造

3. 第2の実施の形態：半田ボール搭載後に平坦化を行う場合の構造

4. 第3の実施の形態：ソルダマスクと半田ボールの面が面一となる構造

5. 第4の実施の形態：額縁とソルダマスクと半田ボールの面が面一となる構造

6. 第5の実施の形態：半導体チップの中央部を掘り込まない構造

7. 第6の実施の形態：Cu-LGAを形成した構造

8. 第7の実施の形態：多層RDL配線構造

9. 第8の実施の形態：透明部材がない構造

10. 電子機器の構成

11. 撮像装置の使用例

12. 体内情報取得システムへの応用例

13. 移動体への応用例

[0017] <1. 本技術の概要>

[0018] 図1は、一般的な撮像装置の構造を示す図である。

[0019] 一般的な撮像装置1は、裏面RDL電極構造を有するウェハレベルCSP（WCSP）として構成される半導体パッケージである。撮像装置1は、透明部材11と、接着剤12と、第1基板14と、第2基板15とが積層されて構成される。

[0020] また、一般的な撮像装置1において、イメージセンサとしての第1基板14の上面（表面）には、オンチップレンズ13が形成され、ロジック回路としての第2基板15を含んで、半導体チップを構成している。

[0021] 一般的な撮像装置1は、裏面RDL電極構造を有することから、第2基板15のシリコン（Si）を垂直方向に貫通したシリコン貫通電極（TSV：Through Silicon Via）と、その水平方向の再配線層（RDL：Redistribution Layer）からなるTSV/RDL配線16-1，16-2が形成され、第1基板14の下面（裏

面)と接続される。また、TSV/RDL配線16-1, 16-2には、半田ボール18-1, 18-2が搭載され、第2基板15の下面上に形成されたTSV/RDL配線16-1, 16-2と、半田ボール18-1, 18-2の一部は、ソルダマスク17により覆われている。

[0022] このような構成からなる一般的な撮像装置1においては、半導体パッケージに対する薄化の要求から、端子取り出し面のシリコン(Si)の膜厚を薄膜化することが求められるが、当該シリコン(Si)の膜厚を薄膜化すると、半導体チップの強度が落ちる懸念がある。そのため、半導体チップの強度を保ちつつ、端子取り出し面の半導体(シリコン(Si))の膜厚を薄膜化するための技術が求められていた。

[0023] そこで、本技術では、半導体チップの強度を保ちつつ、端子取り出し面の半導体(シリコン(Si))の膜厚を薄膜化するための解決手段を提案する。以下、この解決手段を、第1の実施の形態ないし第8の実施の形態によって説明する。

[0024] <2. 第1の実施の形態>

[0025] (第1の構造)

図2は、第1の実施の形態の撮像装置の構造の例を示す断面図である。

[0026] 第1の実施の形態の撮像装置100は、裏面RDL電極構造を有するウェハレベルCSP(WCSP)として構成される半導体パッケージの一例である。

[0027] なお、以下の説明では、撮像装置100において、光の入射側の面を、上面(表面)と称し、光の入射側と反対側の面を、下面(裏面)と称する。

[0028] 図2において、撮像装置100は、透明部材111と、接着剤112と、第1基板114と、第2基板115とが積層されて構成される。すなわち、撮像装置100においては、透明部材111と第1基板114とを接着剤112で接合して構成されるデバイスの端子の取り出しを、第1基板114の下面側(裏面側)から行う、裏面RDL電極構造が採用されている。

[0029] 第1基板114は、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサや、CCD(Charge Coupled Device)イメージセンサ等のイメージセ

ンサとして構成される。第1基板114内には、PN接合により形成されるフォトダイオードが、画素ごとに形成されている。また、図示は省略されているが、第1基板114には、転送トランジスタや増幅トランジスタ等の画素トランジスタなども形成されている。

[0030] 第1基板114の上面（表面）には、オンチップレンズ113が形成されている。なお、図示は省略されているが、R（赤）、G（緑）、又はB（青）等の色成分に応じたカラーフィルタが形成されるようにしてもよい。第1基板114は、ガラス等の透明部材111と、接着剤112によって固定されている。

[0031] 第2基板115は、シリコン（Si）からなるシリコン基板であって、例えば、ロジック回路として構成される。例えば、イメージセンサとしての第1基板114と、ロジック回路としての第2基板115を含むようにして、半導体チップが構成される。

[0032] 第2基板115には、下面側（裏面側）に、順テーパー形状からなる側壁を有する掘り込み部121が形成されている。掘り込み部121には、第2基板115のシリコン（Si）を垂直方向に貫通したシリコン貫通電極（TSV）と、その水平方向の再配線層（RDL）からなるTSV/RDL配線116-1、116-2が形成され、第1基板114の下面（裏面）と接続される。

[0033] TSV/RDL配線116-1、116-2は、例えば、銅（Cu）、タングステン（W）、又はポリシリコン等により形成される。TSV/RDL配線116-1には、半田ボール118-1が搭載される。また、TSV/RDL配線116-2には、半田ボール118-2が搭載される。半田ボール118-1、118-2は、端子取り出し面側に、撮像装置100が、電子機器等に搭載される際の外部端子として設けられている。

[0034] また、第2基板115において、掘り込み部121には、TSV/RDL配線116-1、116-2と、そこに搭載された半田ボール118-1、118-2が形成されている領域を除いて、TSV/RDL配線116-1、116-2と、半田ボール118-1、118-2の一部を覆うように、ソルダマスク11

7が形成されている。

[0035] 具体的には、第2基板115のシリコン(Si)を加工して、順テーパー形状からなる側壁を有する掘り込み部121を形成することで、TSV/RDL配線116-1, 116-2や、半田ボール118-1, 118-2が形成される領域が掘り込まれる。そして、第2基板115を、下面側(裏面側)から見れば、第2基板115のシリコン(Si)の面(端子取り出し面)は、額縁状(の形状)の領域を有する。

[0036] このとき、この額縁状の領域を構成する額縁部122とスクライブ部131の面(シリコン(Si)の面)と、掘り込み部121に埋め込まれたソルダマスク117の面とが、面一になるように平坦化されている。

[0037] なお、スクライブ部131の領域は、額縁状の領域における一部の領域であって、ウェハ上のパターンとパターンの間に設けられる「しろ」である。すなわち、第2基板115を、下面側(裏面側)から見た場合、そのシリコン(Si)の周囲が、スクライブ部131の領域となる。換言すれば、額縁状の領域において、スクライブ領域よりも内側の領域が、額縁部122の領域(可変の領域)とされる。

[0038] このように、半導体チップを構成する第2基板115においては、シリコン(Si)を掘り込んで、順テーパー形状からなる側壁を有する掘り込み部121を形成し、額縁状の領域(額縁部122とスクライブ部131の領域)におけるシリコン(Si)の膜厚を、薄膜化しないような構造を形成している。

[0039] これにより、額縁状の領域、すなわち、額縁部122とスクライブ部131の領域では、シリコン(Si)が、十分な膜厚を有しているため、第1基板114(イメージセンサ)と第2基板115(ロジック回路)を含む半導体チップでは、十分なチップ硬度を確保することができる。また、TSV/RDL配線116-1, 116-2や、半田ボール118-1, 118-2の一部は、第2基板115のシリコン(Si)に形成された掘り込み部121に形成されるため、一般的な撮像装置1(図1)の構造と比べて、半導体パッケージと

しての撮像装置１００を低背化することができる。

[0040] 以上のように、第１の実施の形態の撮像装置１００においては、裏面RDL電極構造を有する場合に、第２基板１１５のシリコン（Si）に、掘り込み部１２１を形成して、その掘り込み部１２１に、TSV/RDL配線１１６－１，１１６－２と、半田ボール１１８－１，１１８－２の一部を形成し、さらに、ソルダマスク１１７を埋め込んだ構造からなる。第１の実施の形態の撮像装置１００においては、このような構造を有することから、半導体パッケージの低背化と、半導体チップのチップ強度の確保の両立が可能となる。

[0041] すなわち、第１の実施の形態の撮像装置１００では、一般的な撮像装置１（図１）の構造と比べて、TSV/RDL配線１１６－１，１１６－２と、半田ボール１１８－１，１１８－２の一部が、掘り込み部１２１に形成される分だけ、低背化することができるとともに、額縁部１２２やスクライプ部１３１の領域でのシリコン（Si）の厚みは、十分に確保されているため、半導体チップのチップ強度を保つことができる。

[0042] （第１の製造方法）

次に、図３及び図４の模式図を参照して、第１の実施の形態の撮像装置１００の製造工程の流れを説明する。

[0043] なお、図示は省略しているが、図３及び図４に示した工程の前段で、透明部材１１１と、接着剤１１２と、オンチップレンズ１１３が形成される第１基板１１４と、第２基板１１５とが積層されて構成され、撮像装置１００が構成されている。

[0044] その後、第１の実施の形態の撮像装置１００の製造工程においては、まず、薄肉化工程が行われる。この薄肉化工程では、図３のＡに示すように、第２基板１１５のシリコン（Si）の膜厚が、薄肉化され、撮像装置１００の厚みが低減される。

[0045] このとき、単に、第２基板１１５のシリコン（Si）の厚みを薄くすれば、半導体パッケージとしての撮像装置１００全体の厚みを低減することができるが、その分、半導体チップの強度が落ちてしまうという問題が出てくる。

そのため、本技術では、薄肉化工程で、第2基板115のシリコン（Si）の厚みが、半導体チップの強度を保てる程度に、確保されるようにする。

[0046] 次に、掘り込み工程が行われる。この掘り込み工程では、図3のBに示すように、第2基板115の薄肉化後のシリコン（Si）が掘り込まれ、掘り込み部121が形成される。

[0047] ここで、この掘り込み工程を行う際には、その後の工程であるリソグラフィ工程でのレジストの塗布ムラや、めっきの段切れなどを考慮すると、第2基板115のシリコン（Si）に形成される、掘り込み部121の側壁は、垂直形状よりも、順テーパ形状であることが望ましい。

[0048] 掘り込み部121が順テーパ形状で形成されるようにコントロールする手法としては、例えば、ハードマスクを用いたアルカリ異方性エッチングが挙げられる。このアルカリ異方性エッチングを用いることで、第2基板115のシリコン（Si）の面方位依存によって、シリコン（Si）面に沿ったテーパ形状が得られる。また、シリコン（Si）の掘り込みの際に、アルカリ異方性エッチング処理を行うことで、塗布ムラやめっきの段切れに対し、十分に対処することができる。

[0049] 次に、TSV/RDL形成工程が行われる。このTSV/RDL形成工程では、図3のCに示すように、順テーパ形状の側壁からなる掘り込み部121が形成された第2基板115のシリコン（Si）を加工することで、垂直方向に貫通したビア（TSV）が形成され、そこに、TSV/RDL配線116-1，116-2が形成される。

[0050] 次に、ソルダマスク塗布工程が行われる。このソルダマスク塗布工程では、図4のDに示すように、第2基板115のシリコン（Si）に形成されたTSV/RDL配線116-1，116-2を覆うように、順テーパ形状の側壁からなる掘り込み部121が、ソルダマスク117により埋め込まれる。なお、ここでは、額縁状の領域（額縁部122とスクライブ部131の領域）に対しても、ソルダマスク117が塗布されている。

[0051] 次に、ソルダマスク平坦化工程が行われる。このソルダマスク平坦化工程

では、図4のEに示すように、掘り込み部121を埋め込むようにして塗布されたソルダマスク117の平坦化が、例えば、グラインダ（研削盤）やサーフェスプレーナ、化学機械研磨（CMP：Chemical Mechanical Polishing）などを用いて行われる。

[0052] なお、ソルダマスク平坦化工程においては、上述したソルダマスク塗布工程で、額縁状の領域（額縁部122とスクライブ部131の領域）に塗布されたソルダマスク117の面を、シリコン（Si）面と面一になるように平坦化してもよいし、あるいは、額縁状の領域（額縁部122とスクライブ部131の領域）のソルダマスク117を残すようにしてもよい。図4のEの例では、額縁状の領域に塗布されたソルダマスク117の面が、シリコン（Si）面と面一になるように平坦化されている。

[0053] 次に、パターニング工程が行われる。このパターニング工程では、図4のEに示すように、第2基板115のシリコン（Si）に形成された掘り込み部121に塗布されたソルダマスク117に対し、半田ボール118-1，118-2の搭載位置を規定するためのパターニングが行われる。このパターニング工程によって、TSV/RDL配線116-1，116-2において、半田ボール118-1，118-2が搭載される部分が露出される。

[0054] 最後に、半田ボール搭載・リフロー工程が行われる。この半田ボール搭載・リフロー工程では、図4のFに示すように、上述したパターニング工程で規定された搭載位置に、半田ボール118-1，118-2が搭載される。また、半田ボール118-1，118-2が搭載された後に、リフロー方式での半田付けが行われ、TSV/RDL配線116-1と半田ボール118-1が接合され、TSV/RDL配線116-2と半田ボール118-2が接合される。

[0055] 第1の実施の形態の撮像装置100の製造工程は、以上のように行われる。

[0056] <3. 第2の実施の形態>

[0057] （第2の構造）

図5は、第2の実施の形態の撮像装置の構造の例を示す断面図である。

- [0058] 図5の撮像装置100Aにおいては、図2の撮像装置100と同一又は対応する部分には、同一又は対応する符号が付してある。すなわち、図5の撮像装置100Aは、図2の撮像装置100と比べて、第2基板115Aの構造の一部が異なっている。
- [0059] 具体的には、図5の撮像装置100Aにおいては、第2基板115Aのシリコン(Si)に、順テーパ形状からなる側壁を有する掘り込み部121が形成され、その掘り込み部121に、TSV/RDL配線116A-1, 116A-2と、半田ボール118A-1, 118A-2が形成される。また、掘り込み部121には、TSV/RDL配線116A-1, 116A-2と、半田ボール118A-1, 118A-2の一部を覆うように、ソルダマスク117Aが形成されている。
- [0060] ここで、図5の撮像装置100Aでは、図2の撮像装置100と比べて、額縁状の領域(額縁部122とスクライブ部131の領域)に対しても、ソルダマスク117Aが塗布され、さらに、半田ボール118A-1, 118A-2が、額縁状の領域と、掘り込み部121の側壁の領域に塗布されたソルダマスク117Aの面と面一になるように平坦化されている。
- [0061] すなわち、平坦化された半田ボール118A-1, 118A-2の面は、額縁状の領域(額縁部122とスクライブ部131の領域)と、掘り込み部121の側壁の領域に塗布されたソルダマスク117Aの面と面一になっている。なお、掘り込み部121においては、その側壁の領域のソルダマスク117Aの面と、それ以外の領域のソルダマスク117Aの面では、面一とはならず、二つの面の間には、段差がある。
- [0062] このように、図5の撮像装置100Aでは、図2の撮像装置100と比べて、半田ボール118A-1, 118A-2と、ソルダマスク117Aの構造が異なっているが、第2基板115Aにおいて、シリコン(Si)を掘り込んで、順テーパ形状からなる側壁を有する掘り込み部121を形成して、額縁状の領域(額縁部122とスクライブ部131の領域)におけるシリコン(Si)の膜厚を、薄膜化しないような構造としている点は共通している。

[0063] これにより、額縁状の領域（額縁部 1 2 2 とスクライプ部 1 3 1 の領域）では、シリコン（Si）が、十分な膜厚を有しているため、第 1 基板 1 1 4（イメージセンサ）と第 2 基板 1 1 5 A（ロジック回路）を含む半導体チップでは、十分なチップ硬度を確保することができる。また、TSV/RDL配線 1 1 6 A-1, 1 1 6 A-2 や、半田ボール 1 1 8 A-1, 1 1 8 A-2 の一部は、第 2 基板 1 1 5 A のシリコン（Si）に形成された掘り込み部 1 2 1 に形成されるため、一般的な撮像装置 1（図 1）の構造と比べて、半導体パッケージとしての撮像装置 1 0 0 A を低背化することができる。

[0064] 以上のように、第 2 の実施の形態の撮像装置 1 0 0 A においては、裏面 RDL 電極構造を有する場合に、第 2 基板 1 1 5 A のシリコン（Si）に、掘り込み部 1 2 1 を形成して、その掘り込み部 1 2 1 に、TSV/RDL配線 1 1 6 A-1, 1 1 6 A-2 と、半田ボール 1 1 8 A-1, 1 1 8 A-2 の一部を形成し、さらに、ソルダマスク 1 1 7 A を埋め込んだ構造からなる。第 2 の実施の形態の撮像装置 1 0 0 A においては、このような構造を有することから、半導体パッケージの低背化と、半導体チップのチップ強度の確保の両立が可能となる。

[0065] なお、図 5 の撮像装置 1 0 0 A においては、スクライプ部 1 3 1 の領域の図示を省略しているが、図 2 の撮像装置 1 0 0 と同様に、第 2 基板 1 1 5 A のシリコン（Si）の周囲には、額縁状の領域の一部の領域であるスクライプ部 1 3 1 の領域が設けられている。また、このスクライプ部 1 3 1 の領域の図示を省略している点は、後述する他の実施の形態でも同様である。

[0066] （第 2 の製造方法）

次に、図 6 及び図 7 の模式図を参照して、第 2 の実施の形態の撮像装置 1 0 0 A の製造工程の流れを説明する。

[0067] なお、この第 2 の製造方法において、薄肉化工程、掘り込み工程、TSV/RDL 形成工程、及びソルダマスク塗布工程は、上述した第 1 の製造方法（図 3 及び図 4）に示した工程と同様である。

[0068] すなわち、薄肉化工程で、第 2 基板 1 1 5 A のシリコン（Si）の膜厚が薄

肉化され（図6のA）、掘り込み工程で、第2基板115Aのシリコン（Si）に、例えば順テーパ形状の側壁からなる掘り込み部121が形成される（図6のB）。

[0069] また、TSV/RDL形成工程で、第2基板115Aのシリコン（Si）に、ビア（TSV）が形成されて、そこに、TSV/RDL配線116A-1，116A-2が形成され（図6のC）、ソルダマスク塗布工程で、掘り込み部121が、ソルダマスク117Aにより埋め込まれる（図7のD）。なお、ここでは、額縁状の領域（額縁部122とスクライブ部131の領域）に対しても、ソルダマスク117Aが塗布されている。

[0070] ソルダマスク塗布工程に続いて、パターニング工程が行われる。このパターニング工程では、図7のDに示すように、第2基板115Aのシリコン（Si）に形成された掘り込み部121に塗布されたソルダマスク117Aに対し、半田ボール118A-1，118A-2の搭載位置を規定するためのパターニングが行われる。このパターニング工程によって、TSV/RDL配線116A-1，116A-2において、半田ボール118A-1，118A-2が搭載される部分が露出される。

[0071] 次に、半田ボール搭載・リフロー工程が行われる。この半田ボール搭載・リフロー工程では、図7のEに示すように、上述したパターニング工程で規定された搭載位置に、半田ボール118A-1，118A-2が搭載される。また、半田ボール118A-1，118A-2が搭載された後に、リフロー方式での半田付けが行われ、TSV/RDL配線116A-1と半田ボール118A-1、及びTSV/RDL配線116A-2と半田ボール118A-2がそれぞれ接合される。

[0072] 最後に、平坦化工程が行われる。この平坦化工程では、図7のFに示すように、掘り込み部121を埋め込むようにして塗布されたソルダマスク117Aの平坦化が行われるが、ここでは、半田ボール118A-1，118A-2を含めて平坦化を行い、ソルダマスク117Aの面と、半田ボール118A-1，118A-2の面が、面一になるようにすることができる。

[0073] なお、この平坦化工程では、例えば、グラインダ（研削盤）やサーフェスプレーナ、化学機械研磨（CMP）などを用いて、ソルダマスク 117A と半田ボール 118A-1, 118A-2 の平坦化が行われる。

[0074] また、平坦化工程においては、上述したソルダマスク塗布工程で、額縁状の領域（額縁部 122 とスクライブ部 131 の領域）に塗布されたソルダマスク 117A を残すようにしてもよいし、あるいは、額縁状の領域（額縁部 122 とスクライブ部 131 の領域）のソルダマスク 117A を、シリコン（Si）面と面一になるように平坦化してもよい。図 7 の F の例では、額縁状の領域に塗布されたソルダマスク 117A を残している。

[0075] 第 2 の実施の形態の撮像装置 100A の製造工程は、以上のように行われる。

[0076] <4. 第 3 の実施の形態>

[0077] （第 3 の構造）

図 8 は、第 3 の実施の形態の撮像装置の構造の例を示す断面図である。

[0078] 図 8 の撮像装置 100B においては、図 5 の撮像装置 100A と同一又は対応する部分には、同一又は対応する符号が付してある。図 8 の撮像装置 100B は、図 5 の撮像装置 100A と比べて、第 2 基板 115B の構造の一部が異なっている。

[0079] 具体的には、図 8 の撮像装置 100B においては、第 2 基板 115B のシリコン（Si）に、順テーパ形状からなる側壁を有する掘り込み部 121 が形成され、その掘り込み部 121 に、TSV/RDL 配線 116B-1, 116B-2 と、半田ボール 118B-1, 118B-2 の一部が形成される。また、掘り込み部 121 には、TSV/RDL 配線 116B-1, 116B-2 と、半田ボール 118B-1, 118B-2 を覆うように、ソルダマスク 117B が形成されている。

[0080] ここで、図 8 の撮像装置 100B では、額縁状の領域（額縁部 122 とスクライブ部 131 の領域）に対しても、ソルダマスク 117B が塗布され、さらに、半田ボール 118B-1, 118B-2 が、額縁状の領域に塗布さ

れたソルダマスク 117B の面と面一になるように平坦化されている。すなわち、端子取り出し面において、ソルダマスク 117B の面と、半田ボール 118B-1, 118B-2 の面とが面一になっている。

[0081] このように、図 8 の撮像装置 100B では、図 5 の撮像装置 100A と比べて、半田ボール 118B-1, 118B-2 と、ソルダマスク 117B の構造が異なっているが、第 2 基板 115B において、シリコン (Si) を掘り込んで、順テーパー形状からなる側壁を有する掘り込み部 121 を形成して、額縁状の領域 (額縁部 122 とスクライブ部 131 の領域) におけるシリコン (Si) の膜厚を、薄膜化しないような構造としている点は共通している。

[0082] これにより、額縁状の領域 (額縁部 122 とスクライブ部 131 の領域) では、シリコン (Si) が、十分な膜厚を有しているため、第 1 基板 114 (イメージセンサ) と第 2 基板 115B (ロジック回路) を含む半導体チップでは、十分なチップ硬度を確保することができる。また、TSV/RDL 配線 116B-1, 116B-2 や、半田ボール 118B-1, 118B-2 の一部は、第 2 基板 115B のシリコン (Si) に形成された掘り込み部 121 に形成されるため、一般的な撮像装置 1 (図 1) の構造と比べて、半導体パッケージとしての撮像装置 100B を低背化することができる。

[0083] 以上のように、第 3 の実施の形態の撮像装置 100B においては、裏面 RDL 電極構造を有する場合に、第 2 基板 115B のシリコン (Si) に、掘り込み部 121 を形成して、その掘り込み部 121 に、TSV/RDL 配線 116B-1, 116B-2 と、半田ボール 118B-1, 118B-2 の一部を形成し、さらに、ソルダマスク 117B を埋め込んだ構造からなる。第 3 の実施の形態の撮像装置 100B においては、このような構造を有することから、半導体パッケージの低背化と、半導体チップのチップ強度の確保の両立が可能となる。

[0084] また、第 3 の実施の形態の撮像装置 100B では、ソルダマスク 117B の面と、半田ボール 118B-1, 118B-2 の面とが、面一となって、

額縁部 122 の面（シリコン（Si）面）が、ソルダマスク 117B により覆われているため、第 2 基板 115B のシリコン（Si）面がむきだしにならずに、保護することができる。

[0085] なお、第 3 の実施の形態の撮像装置 100B の製造工程は、第 2 の実施の形態の撮像装置 100A の製造工程（図 6 及び図 7）とほぼ同様であるため、その詳細な説明は省略するが、平坦化工程（図 7 の F）で、ソルダマスク 117B の面と、半田ボール 118B-1, 118B-2 の面とが、面一になるように平坦化されることになる。

[0086] <5. 第 4 の実施の形態>

[0087] （第 4 の構造）

図 9 は、第 4 の実施の形態の撮像装置の構造の例を示す断面図である。

[0088] 図 9 の撮像装置 100C においては、図 5 の撮像装置 100A と同一又は対応する部分には、同一又は対応する符号が付してある。図 9 の撮像装置 100C は、図 5 の撮像装置 100A と比べて、第 2 基板 115C の構造の一部が異なっている。

[0089] 具体的には、図 9 の撮像装置 100C においては、第 2 基板 115C のシリコン（Si）に、順テーパー形状からなる側壁を有する掘り込み部 121 が形成され、その掘り込み部 121 に、TSV/RDL 配線 116C-1, 116C-2 と、半田ボール 118C-1, 118C-2 が形成される。また、掘り込み部 121 には、TSV/RDL 配線 116C-1, 116C-2 と、半田ボール 118C-1, 118C-2 を覆うように、ソルダマスク 117C が形成されている。

[0090] ここで、図 9 の撮像装置 100C（の端子取り出し面）では、額縁状の領域（額縁部 122 とスクライブ部 131 の領域）の面（シリコン（Si）面）と、ソルダマスク 117C の面と、半田ボール 118C-1, 118C-2 の面とが、面一となるように平坦化されている。

[0091] このように、図 9 の撮像装置 100C では、図 5 の撮像装置 100A と比べて、半田ボール 118C-1, 118C-2 と、ソルダマスク 117C の

構造が異なっているが、第2基板115Cにおいて、シリコン(Si)を掘り込んで、順テーパー形状からなる側壁を有する掘り込み部121を形成して、額縁状の領域(額縁部122とスクライブ部131の領域)におけるシリコン(Si)の膜厚を、薄膜化しないような構造としている点は共通している。

[0092] これにより、額縁状の領域(額縁部122とスクライブ部131の領域)では、シリコン(Si)が、十分な膜厚を有しているため、第1基板114(イメージセンサ)と第2基板115C(ロジック回路)を含む半導体チップでは、十分なチップ硬度を確保することができる。また、TSV/RDL配線116C-1, 116C-2や、半田ボール118C-1, 118C-2は、第2基板115Cのシリコン(Si)に形成された掘り込み部121に形成されるため、一般的な撮像装置1(図1)の構造と比べて、半導体パッケージとしての撮像装置100Cを低背化することができる。

[0093] 以上のように、第4の実施の形態の撮像装置100Cにおいては、裏面RDL電極構造を有する場合に、第2基板115Cのシリコン(Si)に、掘り込み部121を形成して、その掘り込み部121に、TSV/RDL配線116C-1, 116C-2と、半田ボール118C-1, 118C-2を形成し、さらに、ソルダマスク117Cを埋め込んだ構造からなる。第4の実施の形態の撮像装置100Cにおいては、このような構造を有することから、半導体パッケージの低背化と、半導体チップのチップ強度の確保の両立が可能となる。

[0094] また、第4の実施の形態の撮像装置100Cでは、ソルダマスク117Cの面と、半田ボール118C-1, 118C-2の面が、額縁状の領域の面(シリコン(Si)面)と面一となっているため、他の実施の形態と比べて、半導体パッケージとしての撮像装置100Cの厚みを最も薄くすることができる。また、第2基板115Cの下面(端子取り出し面)が平坦となることから、例えば有機基板と貼り合わせる際に貼り合わせ易いなど、その取り扱いが容易になる。

[0095] なお、第4の実施の形態の撮像装置100Cの製造工程は、第2の実施の

形態の撮像装置 100A の製造工程（図 6 及び図 7）とほぼ同様であるため、その詳細な説明は省略するが、平坦化工程（図 7 の F）で、額縁部 122 の面（シリコン（Si）面）と、ソルダマスク 117C の面と、半田ボール 118C-1, 118C-2 の面とが、面一になるように平坦化されることになる。

[0096] <6. 第 5 の実施の形態>

[0097] （第 5 の構造）

図 10 は、第 5 の実施の形態の撮像装置の構造の例を示す図である。図 10 においては、図中の上側に、撮像装置 100D の断面図を示し、図中の下側に、撮像装置 100D の下面図を示している。

[0098] 図 10 の撮像装置 100D は、一般的な半導体チップと比べて、大型の半導体チップ（大型のイメージセンサ）を搭載した半導体パッケージである。なお、図 10 の撮像装置 100D においては、図 2 の撮像装置 100 又は図 5 の撮像装置 100A と同一又は対応する部分には、同一又は対応する符号が付してある。図 10 の撮像装置 100D は、図 2 の撮像装置 100 等と比べて、第 2 基板 115D の構造の一部が異なっている。

[0099] 具体的には、図 10 の撮像装置 100D においては、図 2 の撮像装置 100 等と同様に、第 2 基板 115D のシリコン（Si）が掘り込まれ、掘り込み部 121 が形成されているが、半導体チップの中央部には、シリコン（Si）を掘り込まない領域が設けられている点が異なっている。

[0100] すなわち、図 10 の撮像装置 100D においては、第 2 基板 115D のシリコン（Si）における、TSV/RDL 配線 116D と半田ボール 118D が形成される領域に応じて、4 つの掘り込み部 121-1 ないし 121-4 が別個に形成されるようにして、大型の半導体チップの中央部に、シリコン（Si）を掘り込まない領域を形成している。

[0101] より具体的には、第 2 基板 115D のシリコン（Si）に形成される、順テーパー形状からなる側壁を有する掘り込み部 121-1 ないし 121-4 のうち、掘り込み部 121-1 には、TSV/RDL 配線 116D-1 と半田ボール 1

1 8 D - 1 が形成され、それらを覆うようにソルダマスク 1 1 7 D - 1 が形成される。

[0102] 同様に、掘り込み部 1 2 1 - 2 には、TSV/RDL配線 1 1 6 D - 2 と半田ボール 1 1 8 D - 2 が形成され、それらを覆うようにソルダマスク 1 1 7 D - 2 が形成される。さらに、掘り込み部 1 2 1 - 3 には、TSV/RDL配線 1 1 6 D - 3 と半田ボール 1 1 8 D - 3 が形成され、それらを覆うようにソルダマスク 1 1 7 D - 3 が形成され、掘り込み部 1 2 1 - 4 には、TSV/RDL配線 1 1 6 D - 4 と半田ボール 1 1 8 D - 4 が形成され、それらを覆うようにソルダマスク 1 1 7 D - 4 が形成される。

[0103] このように、半導体チップが大きくなると、その周辺部等で、たわみが大きくなることが懸念されるが、図 1 0 の撮像装置 1 0 0 D においては、大型の半導体チップの中央部に、第 2 基板 1 1 5 D のシリコン (Si) を掘り込まない領域が形成されるようにして、当該中央部にはりを設けることで、半導体チップの反りなどを抑制するようにしている。

[0104] なお、図 1 0 においては、第 2 基板 1 1 5 D のシリコン (Si) を掘り込まない領域が、田の字型の形状となっているが、シリコン (Si) を掘り込まない領域の形状は、任意である。例えば、より強度を上げて、反りを抑制するためには、縦方向と横方向に、シリコン (Si) を掘り込まない領域を増やせばよいが、その領域を増やした分だけ、端子取り出し面から取り出せる端子の数が減少するため、必要な端子の数に応じて、シリコン (Si) を掘り込まない領域を決定することができる。

[0105] また、図 1 0 の撮像装置 1 0 0 D では、図 2 の撮像装置 1 0 0 等と同様に、第 2 基板 1 1 5 D において、シリコン (Si) を掘り込んで、順テーパー形状からなる側壁を有する掘り込み部 1 2 1 - 1 ないし 1 2 1 - 4 を形成して、田の字型の領域におけるシリコン (Si) の膜厚を、薄膜化しないような構造としている。

[0106] これにより、田の字型の領域では、シリコン (Si) が、十分な膜厚を有しているため、第 1 基板 1 1 4 (大型のイメージセンサ) と第 2 基板 1 1 5 D

(ロジック回路)を含む半導体チップ(大型の半導体チップ)では、十分なチップ硬度を確保することができる。また、TSV/RDL配線116D-1ないし116D-4や、半田ボール118D-1ないし118D-4は、第2基板115Dのシリコン(Si)に形成された掘り込み部121に形成されるため、一般的な撮像装置1(図1)の構造と比べて、半導体パッケージとしての撮像装置100Dを低背化することができる。

[0107] 以上のように、第5の実施の形態の撮像装置100Dにおいては、裏面RDL電極構造を有する場合に、第2基板115Dのシリコン(Si)に、掘り込み部121-1ないし121-4を形成して、それらの掘り込み部121-1ないし121-4に対し、TSV/RDL配線116D-1ないし116D-4と、半田ボール118D-1ないし118D-4をそれぞれ形成し、さらに、ソルダマスク117D-1ないし117D-4をそれぞれ埋め込んだ構造からなる。第5の実施の形態の撮像装置100Dにおいては、このような構造を有することから、半導体パッケージの低背化と、半導体チップのチップ強度の確保の両立が可能となる。

[0108] なお、第5の実施の形態の撮像装置100Dの製造工程は、第1の実施の形態の撮像装置100の製造工程(図3及び図4)、又は第2の実施の形態の撮像装置100Aの製造工程(図6及び図7)とほぼ同様であるため、その詳細な説明は省略するが、第2基板115Dのシリコン(Si)に形成される掘り込み部121-1ないし121-4のそれぞれに対し、同様の製造工程が行われる。

[0109] <7. 第6の実施の形態>

[0110] (第6の構造)

図11は、第6の実施の形態の撮像装置の構造の例を示す断面図である。

[0111] 図11の撮像装置100Eにおいては、図5の撮像装置100Aと同一又は対応する部分には、同一又は対応する符号が付してある。図11の撮像装置100Eは、図5の撮像装置100Aと比べて、第2基板115Eの構造の一部が異なっている。

- [0112] 具体的には、図 11 の撮像装置 100E においては、第 2 基板 115E のシリコン (Si) に、順テーパ形状からなる側壁を有する掘り込み部 121 が形成され、その掘り込み部 121 に、TSV/RDL 配線 116E-1, 116E-2 が形成される。
- [0113] ただし、ここでは、図 5 に示した半田ボール 118A-1, 118A-2 の代わりに、TSV/RDL 配線 116E-1, 116E-2 に対し、Cu-LGA (Land Grid Array) が形成され、接続用の電極として用いられる。また、掘り込み部 121 には、TSV/RDL 配線 116E-1, 116E-2 を覆うように、ソルダマスク 117E が形成されているが、TSV/RDL 配線 116E-1, 116E-2 の面 (接続用の電極の面) が、ソルダマスク 117E の面と面一になるように平坦化されている。
- [0114] このように、図 11 の撮像装置 100E では、図 5 の撮像装置 100A と比べて、TSV/RDL 配線 116E-1, 116E-2 に対し、Cu-LGA を形成して、接続用の電極として用いている点が異なっているが、第 2 基板 115E において、シリコン (Si) を掘り込んで、順テーパ形状からなる側壁を有する掘り込み部 121 を形成して、額縁状の領域 (額縁部 122 とスクライブ部 131 の領域) におけるシリコン (Si) の膜厚を、薄膜化しないような構造としている点は共通している。
- [0115] これにより、額縁状の領域 (額縁部 122 とスクライブ部 131 の領域) では、シリコン (Si) が、十分な膜厚を有しているため、第 1 基板 114 (イメージセンサ) と第 2 基板 115E (ロジック回路) を含む半導体チップでは、十分なチップ硬度を確保することができる。また、TSV/RDL 配線 116E-1, 116E-2 は、第 2 基板 115E のシリコン (Si) に形成された掘り込み部 121 に形成されるため、一般的な撮像装置 1 (図 1) の構造と比べて、半導体パッケージとしての撮像装置 100E を低背化することができる。
- [0116] 以上のように、第 6 の実施の形態の撮像装置 100E においては、裏面 RDL 電極構造を有する場合に、第 2 基板 115E のシリコン (Si) に、掘り込み

部 1 2 1 を形成して、その掘り込み部 1 2 1 に、TSV/RDL配線 1 1 6 E - 1, 1 1 6 E - 2 を形成し、さらに、ソルダマスク 1 1 7 E を埋め込んだ構造からなる。第 6 の実施の形態の撮像装置 1 0 0 E においては、このような構造を有することから、半導体パッケージの低背化と、半導体チップのチップ強度の確保の両立が可能となる。

[0117] また、第 6 の実施の形態の撮像装置 1 0 0 E では、TSV/RDL配線 1 1 6 E - 1, 1 1 6 E - 2 に対し、接続用の電極としてのCu-LGAを形成することで、半田ボール 1 1 8 を設ける必要がないため、半田ボール 1 1 8 を設けた他の実施の形態と比べて、半導体パッケージとしての撮像装置 1 0 0 E の厚みを薄くすることができる。

[0118] なお、第 6 の実施の形態の撮像装置 1 0 0 E の製造工程は、第 2 の実施の形態の撮像装置 1 0 0 A の製造工程（図 6 及び図 7）に対応しているため、その詳細な説明は省略するが、TSV/RDL形成工程（図 6 の C）で、掘り込み部 1 2 1 に、TSV/RDL配線 1 1 6 E - 1, 1 1 6 E - 2 や、接続用の電極である Cu-LGA が形成されるほか、半田ボール 1 1 8 A - 1, 1 1 8 A - 2 の搭載位置を規定するためのパターニング工程や、半田ボール搭載・リフロー工程が不要となる点などが異なっている。

[0119] < 8. 第 7 の実施の形態 >

[0120] （第 7 の構造）

図 1 2 は、第 7 の実施の形態の撮像装置の構造の例を示す断面図である。

[0121] 図 1 2 の撮像装置 1 0 0 F においては、図 5 の撮像装置 1 0 0 A と同一又は対応する部分には、同一又は対応する符号が付してある。図 1 2 の撮像装置 1 0 0 F は、図 5 の撮像装置 1 0 0 A と比べて、第 2 基板 1 1 5 F の構造の一部が異なっている。

[0122] 具体的には、図 1 2 の撮像装置 1 0 0 F は、図 1 1 の撮像装置 1 0 0 E と同様に、第 2 基板 1 1 5 F のシリコン (Si) に、順テーパー形状からなる側壁を有する掘り込み部 1 2 1 が形成され、その掘り込み部 1 2 1 に、多層 RDL 配線 1 1 6 F - 1, 1 1 6 F - 2 が形成される。

[0123] ここで、多層RDL配線 1 1 6 F-1, 1 1 6 F-2 は、複数の再配線層 (RD L) から構成される。例えば、多層RDL配線 1 1 6 F-1, 1 1 6 F-2 としては、第 1 基板 1 1 4 に最も近い最上層の配線層と、中間の配線層と、第 1 基板 1 1 4 から最も遠い最下層の配線層とから構成される。

[0124] このように、図 1 2 の撮像装置 1 0 0 F では、図 5 の撮像装置 1 0 0 A と比べて、掘り込み部 1 2 1 に、多層RDL配線 1 1 6 F-1, 1 1 6 F-2 を形成している点が異なっているが、第 2 基板 1 1 5 F において、シリコン (Si) を掘り込んで、順テーパ形状からなる側壁を有する掘り込み部 1 2 1 を形成して、額縁状の領域 (額縁部 1 2 2 とスクライブ部 1 3 1 の領域) におけるシリコン (Si) の膜厚を、薄膜化しないような構造としている点は共通している。

[0125] これにより、額縁状の領域 (額縁部 1 2 2 とスクライブ部 1 3 1 の領域) では、シリコン (Si) が、十分な膜厚を有しているため、第 1 基板 1 1 4 (イメージセンサ) と第 2 基板 1 1 5 F (ロジック回路) を含む半導体チップでは、十分なチップ硬度を確保することができる。また、多層RDL配線 1 1 6 F-1, 1 1 6 F-2 は、第 2 基板 1 1 5 F のシリコン (Si) に形成された掘り込み部 1 2 1 に形成されるため、一般的な撮像装置 1 (図 1) の構造と比べて、半導体パッケージとしての撮像装置 1 0 0 F を低背化することができる。

[0126] 以上のように、第 7 の実施の形態の撮像装置 1 0 0 F においては、裏面RDL電極構造を有する場合に、第 2 基板 1 1 5 F のシリコン (Si) に、掘り込み部 1 2 1 を形成して、その掘り込み部 1 2 1 に、多層RDL配線 1 1 6 F-1, 1 1 6 F-2 を形成し、さらに、ソルダマスク 1 1 7 F を埋め込んだ構造からなる。第 7 の実施の形態の撮像装置 1 0 0 F においては、このような構造を有することから、半導体パッケージの低背化と、半導体チップのチップ強度の確保の両立が可能となる。

[0127] なお、第 7 の実施の形態の撮像装置 1 0 0 F の製造工程は、第 2 の実施の形態の撮像装置 1 0 0 A の製造工程 (図 6 及び図 7) に対応しているため、

その詳細な説明は省略するが、TSV/RDL形成工程（図6のC）で、掘り込み部121に、多層RDL配線116F-1, 116F-2が形成されるほか、半田ボール118A-1, 118A-2の搭載位置を規定するためのパターニング工程や、半田ボール搭載・リフロー工程が不要となる点などが異なっている。

[0128] <9. 第8の実施の形態>

[0129] （第8の構造）

図13は、第8の実施の形態の撮像装置の構造の例を示す断面図である。

[0130] 図13の撮像装置100Gにおいては、図2の撮像装置100と同一又は対応する部分には、同一又は対応する符号が付してある。図13の撮像装置100Gは、図2の撮像装置100と比べて、オンチップレンズ113が形成される第1基板114に対し、ガラス等の透明部材111が接着剤112により固定されていない点異なる。

[0131] このように、図13の撮像装置100Gでは、第1基板114に対し、透明部材111を積層しない場合でも、第2基板115において、シリコン（Si）を掘り込んで、順テーパ形状からなる側壁を有する掘り込み部121を形成して、額縁状の領域（額縁部122とスクライブ部131の領域）におけるシリコン（Si）の膜厚を、薄膜化しないような構造としている点は共通している。

[0132] これにより、額縁状の領域（額縁部122とスクライブ部131の領域）では、シリコン（Si）が、十分な膜厚を有しているため、第1基板114（イメージセンサ）と第2基板115（ロジック回路）を含む半導体チップでは、十分なチップ硬度を確保することができる。また、TSV/RDL配線116-1, 116-2や、半田ボール118-1, 118-2の一部は、第2基板115のシリコン（Si）に形成された掘り込み部121に形成されるため、一般的な撮像装置1（図1）の構造と比べて、半導体パッケージとしての撮像装置100Gを低背化することができる。

[0133] 以上のように、第8の実施の形態の撮像装置100Gにおいては、裏面RDL

電極構造を有する場合に、第2基板115のシリコン(Si)に、掘り込み部121を形成して、その掘り込み部121に、TSV/RDL配線116-1, 116-2と、半田ボール118-1, 118-2の一部を形成し、さらに、ソルダマスク117を埋め込んだ構造からなる。第8の実施の形態の撮像装置100Gにおいては、このような構造を有することから、半導体パッケージの低背化と、半導体チップのチップ強度の確保の両立が可能となる。

[0134] なお、第8の実施の形態においては、第1の実施の形態に対応した構造を一例に説明したが、第2の実施の形態ないし第7の実施の形態についても同様に、第1基板114に対し、透明部材111を積層しない構造を採用することができる。

[0135] <10. 電子機器の構成>

[0136] 図14は、本技術を適用した撮像装置を有する電子機器1000の構成例を示すブロック図である。

[0137] 電子機器1000は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。

[0138] 電子機器1000は、半導体パッケージ1001、DSP回路1002、フレームメモリ1003、表示部1004、記録部1005、操作部1006、及び、電源部1007から構成される。また、電子機器1000において、DSP回路1002、フレームメモリ1003、表示部1004、記録部1005、操作部1006、及び電源部1007は、バスライン1008を介して相互に接続されている。

[0139] 半導体パッケージ1001は、上述した第1の実施の形態の撮像装置100等に対応しており、図2等にした構造を有している。

[0140] すなわち、半導体パッケージ1001においては、第1基板114（イメージセンサ）と第2基板115（ロジック回路）が積層される場合に、第1基板114の下面側から、端子の取り出しを行う裏面RDL電極構造からなるとき、第2基板115のシリコン(Si)に、掘り込み部121が形成され

るようにする。この掘り込み部121には、TSV/RDL配線116-1, 116-2と、半田ボール118-1, 118-2が形成され、さらに、ソルダマスク117が埋め込まれる。

[0141] DSP回路1002は、半導体パッケージ1001から供給される信号を処理するカメラ信号処理回路である。DSP回路1002は、半導体パッケージ1001からの信号を処理して得られる画像データを出力する。フレームメモリ1003は、DSP回路1002により処理された画像データを、フレーム単位で一時的に保持する。

[0142] 表示部1004は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、半導体パッケージ1001で撮像された動画又は静止画を表示する。記録部1005は、半導体パッケージ1001で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

[0143] 操作部1006は、ユーザによる操作に従い、電子機器1000が有する各種の機能についての操作指令を出力する。電源部1007は、DSP回路1002、フレームメモリ1003、表示部1004、記録部1005、及び、操作部1006の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0144] 電子機器1000は、以上のように構成される。本開示に係る技術は、以上説明したように、半導体パッケージ1001に適用される。

[0145] 具体的には、半導体パッケージ1001に本開示に係る技術を適用することにより、額縁状の領域（額縁部122とスクライプ部131の領域）では、シリコン(Si)が、十分な膜厚を有しているため、第1基板114（イメージセンサ）と第2基板115（ロジック回路）を含む半導体チップでは、十分なチップ硬度を確保することができる。

[0146] また、半導体パッケージ1001では、TSV/RDL配線116-1, 116-2や、半田ボール118-1, 118-2（の一部）は、第2基板115のシリコン(Si)に形成された掘り込み部121に形成されるため、一般的な

撮像装置 1（図 1）の構造と比べて、半導体パッケージ 1001 を低背化することができる。

[0147] < 1 1. 撮像装置の使用例 >

[0148] 図 1 5 は、本技術を適用した撮像装置の使用例を示す図である。

[0149] イメージセンサとしての第 1 基板 1 1 4 を有する撮像装置 1 0 0（半導体パッケージ）は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。すなわち、図 1 5 に示すように、鑑賞の用に供される画像を撮影する鑑賞の分野だけでなく、例えば、交通の分野、家電の分野、医療・ヘルスケアの分野、セキュリティの分野、美容の分野、スポーツの分野、又は、農業の分野などにおいて用いられる装置でも、撮像装置 1 0 0 等を使用することができる。

[0150] 具体的には、上述したように、鑑賞の分野において、例えば、デジタルカメラやスマートフォン、カメラ機能付きの携帯電話機等の、鑑賞の用に供される画像を撮影するための装置（例えば図 1 4 の電子機器 1 0 0 0）で、撮像装置 1 0 0 等を使用することができる。

[0151] 交通の分野において、例えば、自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置で、撮像装置 1 0 0 等を使用することができる。

[0152] 家電の分野において、例えば、ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビ受像機や冷蔵庫、エアコンディショナ等の家電に供される装置で、撮像装置 1 0 0 等を使用することができる。また、医療・ヘルスケアの分野において、例えば、内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置で、撮像装置 1 0 0 等を使用することができる。

[0153] セキュリティの分野において、例えば、防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置で、撮像装置 1 0 0

等を使用することができる。また、美容の分野において、例えば、肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置で、撮像装置１００等を使用することができる。

[0154] スポーツの分野において、例えば、スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置で、撮像装置１００等を使用することができる。また、農業の分野において、例えば、畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置で、撮像装置１００等を使用することができる。

[0155] ＜１２．体内情報取得システムへの応用例＞

[0156] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0157] 図１６は、本開示に係る技術（本技術）が適用され得る、カプセル型内視鏡を用いた患者の体内情報取得システムの概略的な構成の一例を示すブロック図である。

[0158] 体内情報取得システム１０００１は、カプセル型内視鏡１０１００と、外部制御装置１０２００とから構成される。

[0159] カプセル型内視鏡１０１００は、検査時に、患者によって飲み込まれる。カプセル型内視鏡１０１００は、撮像機能及び無線通信機能を有し、患者から自然排出されるまでの間、胃や腸等の臓器の内部を蠕動運動等によって移動しつつ、当該臓器の内部の画像（以下、体内画像ともいう）を所定の間隔で順次撮像し、その体内画像についての情報を体外の外部制御装置１０２００に順次無線送信する。

[0160] 外部制御装置１０２００は、体内情報取得システム１０００１の動作を統括的に制御する。また、外部制御装置１０２００は、カプセル型内視鏡１０１００から送信されてくる体内画像についての情報を受信し、受信した体内画像についての情報に基づいて、表示装置（図示せず）に当該体内画像を表示するための画像データを生成する。

[0161] 体内情報取得システム１０００１では、このようにして、カプセル型内視

鏡１０１００が飲み込まれてから排出されるまでの間、患者の体内の様子を撮像した体内画像を随時得ることができる。

[0162] カプセル型内視鏡１０１００と外部制御装置１０２００の構成及び機能についてより詳細に説明する。

[0163] カプセル型内視鏡１０１００は、カプセル型の筐体１０１０１を有し、その筐体１０１０１内には、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、給電部１０１１５、電源部１０１１６、及び制御部１０１１７が収納されている。

[0164] 光源部１０１１１は、例えばＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）等の光源から構成され、撮像部１０１１２の撮像視野に対して光を照射する。

[0165] 撮像部１０１１２は、撮像素子、及び当該撮像素子の前段に設けられる複数のレンズからなる光学系から構成される。観察対象である体組織に照射された光の反射光（以下、観察光という）は、当該光学系によって集光され、当該撮像素子に入射する。撮像部１０１１２では、撮像素子において、そこに入射した観察光が光電変換され、その観察光に対応する画像信号が生成される。撮像部１０１１２によって生成された画像信号は、画像処理部１０１１３に提供される。

[0166] 画像処理部１０１１３は、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）やＧＰＵ（Ｇｒａｐｈｉｃｓ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）等のプロセッサによって構成され、撮像部１０１１２によって生成された画像信号に対して各種の信号処理を行う。画像処理部１０１１３は、信号処理を施した画像信号を、ＲＡＷデータとして無線通信部１０１１４に提供する。

[0167] 無線通信部１０１１４は、画像処理部１０１１３によって信号処理が施された画像信号に対して変調処理等の所定の処理を行い、その画像信号を、アンテナ１０１１４Ａを介して外部制御装置１０２００に送信する。また、無線通信部１０１１４は、外部制御装置１０２００から、カプセル型内視鏡１

０１００の駆動制御に関する制御信号を、アンテナ１０１１４Ａを介して受信する。無線通信部１０１１４は、外部制御装置１０２００から受信した制御信号を制御部１０１１７に提供する。

[0168] 給電部１０１１５は、受電用のアンテナコイル、当該アンテナコイルに発生した電流から電力を再生する電力再生回路、及び昇圧回路等から構成される。給電部１０１１５では、いわゆる非接触充電の原理を用いて電力が生成される。

[0169] 電源部１０１１６は、二次電池によって構成され、給電部１０１１５によって生成された電力を蓄電する。図１６では、図面が煩雑になることを避けるために、電源部１０１１６からの電力の供給先を示す矢印等の図示を省略しているが、電源部１０１１６に蓄電された電力は、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、及び制御部１０１１７に供給され、これらの駆動に用いられ得る。

[0170] 制御部１０１１７は、ＣＰＵ等のプロセッサによって構成され、光源部１０１１１、撮像部１０１１２、画像処理部１０１１３、無線通信部１０１１４、及び、給電部１０１１５の駆動を、外部制御装置１０２００から送信される制御信号に従って適宜制御する。

[0171] 外部制御装置１０２００は、ＣＰＵ、ＧＰＵ等のプロセッサ、又はプロセッサとメモリ等の記憶素子が混載されたマイクロコンピュータ若しくは制御基板等で構成される。外部制御装置１０２００は、カプセル型内視鏡１０１００の制御部１０１１７に対して制御信号を、アンテナ１０２００Ａを介して送信することにより、カプセル型内視鏡１０１００の動作を制御する。カプセル型内視鏡１０１００では、例えば、外部制御装置１０２００からの制御信号により、光源部１０１１１における観察対象に対する光の照射条件が変更され得る。また、外部制御装置１０２００からの制御信号により、撮像条件（例えば、撮像部１０１１２におけるフレームレート、露出値等）が変更され得る。また、外部制御装置１０２００からの制御信号により、画像処理部１０１１３における処理の内容や、無線通信部１０１１４が画像信号を

送信する条件（例えば、送信間隔、送信画像数等）が変更されてもよい。

[0172] また、外部制御装置 10200 は、カプセル型内視鏡 10100 から送信される画像信号に対して、各種の画像処理を施し、撮像された体内画像を表示装置に表示するための画像データを生成する。当該画像処理としては、例えば現像処理（デモザイク処理）、高画質化処理（帯域強調処理、超解像処理、NR（Noise reduction）処理及び／若しくは手ブレ補正処理等）、並びに／又は拡大処理（電子ズーム処理）等、各種の信号処理を行うことができる。外部制御装置 10200 は、表示装置の駆動を制御して、生成した画像データに基づいて撮像された体内画像を表示させる。あるいは、外部制御装置 10200 は、生成した画像データを記録装置（図示せず）に記録させたり、印刷装置（図示せず）に印刷出力させてもよい。

[0173] 以上、本開示に係る技術が適用され得る体内情報取得システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 10112 に適用され得る。具体的には、図 2 の撮像装置 100 は、撮像部 10112 に適用することができる。撮像部 10112 に本開示に係る技術を適用することにより、半導体チップの強度を保ちつつ、半導体パッケージを低背化することができるため、カプセル型内視鏡 10100 をより小型化して、患者の負担をさらに軽減することができる。

[0174] <13. 移動体への応用例>

[0175] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0176] 図 17 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0177] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 17 に示した例では、車両制

御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（interface）１２０５３が図示されている。

[0178] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0179] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0180] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0181] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0182] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0183] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0184] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0185] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020

に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0186] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 17 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0187] 図 18 は、撮像部 12031 の設置位置の例を示す図である。

[0188] 図 18 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0189] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0190] なお、図 18 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それ

ぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0191] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0192] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0193] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには

、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0194] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0195] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、図２の撮像装置１００は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、半導体チップの強度を保ちつつ、半導体パッケージを低背化することができるため、撮像部１２０３１を小型化して、撮像部１２０３１の設置位置の自由度を高めることができる。

[0196] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。例えば、第１の実施の形態ないし第８の実施の形態のうち、少なくとも２以上の実施の形態を組み合わせることができる。

[0197] また、本技術は、以下のような構成をとることができる。

[0198] (1)

光の光電変換を行う画素を２次元配列した画素領域が形成される第１の基板と、

貫通電極が形成される第２の基板と

が積層され、

前記第２の基板には、光の入射側と反対側の裏面に、掘り込み部が形成され、

前記掘り込み部には、前記第１の基板の裏面と接続される再配線層（RDL : Re Distribution Layer）が形成される

撮像装置。

(2)

前記第２の基板は、前記掘り込み部が形成されることで、裏面側から見た場合に、額縁状の領域を有する

前記（１）に記載の撮像装置。

(3)

前記掘り込み部は、順テーパー形状からなる

前記（１）又は（２）に記載の撮像装置。

(4)

前記再配線層には、半田ボールが搭載され、

前記掘り込み部には、ソルダマスクが埋め込まれ、平坦化される

前記（１）ないし（３）のいずれかに記載の撮像装置。

(5)

前記半田ボールは、前記ソルダマスクの面に対し、突き出ている

前記（４）に記載の撮像装置。

(6)

前記半田ボールは、前記ソルダマスクの面と面一になるように、平坦化される

前記（４）に記載の撮像装置。

(7)

前記半田ボールの面と、前記ソルダマスクの面と、前記額縁状の領域の面とが、面一で平坦化されている

前記(4)に記載の撮像装置。

(8)

前記再配線層には、LGA(Land Grid Array)が形成される

前記(1)ないし(3)のいずれかに記載の撮像装置。

(9)

前記再配線層は、多層RDL(Re Distribution Layer)構造からなる

前記(1)ないし(3)のいずれかに記載の撮像装置。

(10)

前記第2の基板は、前記額縁状の領域のほかに、膜厚が厚い領域を有する

前記(2)に記載の撮像装置。

(11)

前記第1の基板は、イメージセンサであり、

前記第2の基板は、前記イメージセンサの中央部に対応する位置に、前記膜厚が厚い領域を有する

前記(10)に記載の撮像装置。

(12)

光が入射される透明部材と、

前記透明部材と前記第1の基板とを接合する接着剤と

がさらに積層され、

前記画素領域に2次元配列された画素は、前記透明部材を介して入射される光を光電変換する

前記(1)ないし(11)のいずれかに記載の撮像装置。

(13)

前記撮像装置は、ウェハレベルCSP(WCSP: Wafer level Chip Size Package)として構成される

前記（１２）に記載の撮像装置。

（１４）

前記第２の基板は、シリコン（Si）から形成される

前記（２）に記載の撮像装置。

（１５）

前記額縁状の領域は、スクライプ領域を含む

前記（１４）に記載の撮像装置。

（１６）

光の光電変換を行う画素を２次元配列した画素領域が形成される第１の基板と、

貫通電極が形成される第２の基板と

が積層され、

前記第２の基板には、光の入射側と反対側の裏面に、掘り込み部が形成され、

前記掘り込み部には、前記第１の基板の裏面と接続される再配線層（RDL）が形成される

撮像装置

を搭載した電子機器。

（１７）

光の光電変換を行う画素を２次元配列した画素領域が形成される第１の基板と積層される第２の基板であって、貫通電極が形成される前記第２の基板における光の入射側と反対側の裏面に、掘り込み部を形成する第１の工程と、

前記掘り込み部に、前記第１の基板の裏面と接続される再配線層（RDL）を形成する第２の工程と

を含む撮像装置の製造方法。

（１８）

前記掘り込み部に、ソルダマスクを埋め込む第３の工程と、

前記掘り込み部に埋め込まれた前記ソルダマスクに対し、パターニングを行い、半田ボールの搭載位置を規定する第４の工程と、

前記搭載位置に応じて、前記再配線層に、前記半田ボールを搭載する第５の工程と

をさらに含む前記（１７）に記載の撮像装置の製造方法。

（１９）

前記第３の工程の後であって、前記第４の工程の前に、前記ソルダマスクを平坦化する第６の工程をさらに含む

前記（１８）に記載の撮像装置の製造方法。

（２０）

前記第５の工程の後に、前記ソルダマスクと前記半田ボールを平坦化する第６の工程をさらに含む

前記（１８）に記載の撮像装置の製造方法。

符号の説明

[0199] １００，１００Ａないし１００Ｇ 撮像装置， １１１ 透明部材， １
１２ 接着剤， １１３ オンチップレンズ， １１４ 第１基板， １１
５， １１５Ａないし１１５Ｇ 第２基板， １１６， １１６Ａないし１１６
Ｇ TSV/RDL配線， １１７， １１７Ａないし１１７Ｇ ソルダマスク， １
１８， １１８Ａないし１１８Ｄ 半田ボール， １２１ 掘り込み部， １
２２ 額縁部， １３１ スクライブ部， １０００ 電子機器， １００
１ 半導体パッケージ， １０１１２ 撮像部， １２０３１ 撮像部

請求の範囲

- [請求項1] 光の光電変換を行う画素を2次元配列した画素領域が形成される第1の基板と、
貫通電極が形成される第2の基板と
が積層され、
前記第2の基板には、光の入射側と反対側の裏面に、掘り込み部が形成され、
前記掘り込み部には、前記第1の基板の裏面と接続される再配線層(RDL: Re Distribution Layer)が形成される
撮像装置。
- [請求項2] 前記第2の基板は、前記掘り込み部が形成されることで、裏面側から見た場合に、額縁状の領域を有する
請求項1に記載の撮像装置。
- [請求項3] 前記掘り込み部は、順テーパ形状からなる
請求項2に記載の撮像装置。
- [請求項4] 前記再配線層には、半田ボールが搭載され、
前記掘り込み部には、ソルダマスクが埋め込まれ、平坦化される
請求項3に記載の撮像装置。
- [請求項5] 前記半田ボールは、前記ソルダマスクの面に対し、突き出ている
請求項4に記載の撮像装置。
- [請求項6] 前記半田ボールは、前記ソルダマスクの面と面一になるように、平坦化される
請求項4に記載の撮像装置。
- [請求項7] 前記半田ボールの面と、前記ソルダマスクの面と、前記額縁状の領域の面とが、面一で平坦化されている
請求項4に記載の撮像装置。
- [請求項8] 前記再配線層には、LGA(Land Grid Array)が形成される
請求項3に記載の撮像装置。

- [請求項9] 前記再配線層は、多層RDL(Re Distribution Layer)構造からなる請求項3に記載の撮像装置。
- [請求項10] 前記第2の基板は、前記額縁状の領域のほかに、膜厚が厚い領域を有する
請求項2に記載の撮像装置。
- [請求項11] 前記第1の基板は、イメージセンサであり、
前記第2の基板は、前記イメージセンサの中央部に対応する位置に、前記膜厚が厚い領域を有する
請求項10に記載の撮像装置。
- [請求項12] 光が入射される透明部材と、
前記透明部材と前記第1の基板とを接合する接着剤と
がさらに積層され、
前記画素領域に2次元配列された画素は、前記透明部材を介して入射される光を光電変換する
請求項1に記載の撮像装置。
- [請求項13] 前記撮像装置は、ウェハレベルCSP(WCSP: Wafer level Chip Size Package)として構成される
請求項12に記載の撮像装置。
- [請求項14] 前記第2の基板は、シリコン(Si)から形成される
請求項2に記載の撮像装置。
- [請求項15] 前記額縁状の領域は、スクライプ領域を含む
請求項14に記載の撮像装置。
- [請求項16] 光の光電変換を行う画素を2次元配列した画素領域が形成される第1の基板と、
貫通電極が形成される第2の基板と
が積層され、
前記第2の基板には、光の入射側と反対側の裏面に、掘り込み部が形成され、

前記掘り込み部には、前記第 1 の基板の裏面と接続される再配線層 (RDL) が形成される

撮像装置

を搭載した電子機器。

[請求項17] 光の光電変換を行う画素を 2 次元配列した画素領域が形成される第 1 の基板と積層される第 2 の基板であって、貫通電極が形成される前記第 2 の基板における光の入射側と反対側の裏面に、掘り込み部を形成する第 1 の工程と、

前記掘り込み部に、前記第 1 の基板の裏面と接続される再配線層 (RDL) を形成する第 2 の工程と

を含む撮像装置の製造方法。

[請求項18] 前記掘り込み部に、ソルダマスクを埋め込む第 3 の工程と、
前記掘り込み部に埋め込まれた前記ソルダマスクに対し、パターンニングを行い、半田ボールの搭載位置を規定する第 4 の工程と、
前記搭載位置に応じて、前記再配線層に、前記半田ボールを搭載する第 5 の工程と

をさらに含む請求項 17 に記載の撮像装置の製造方法。

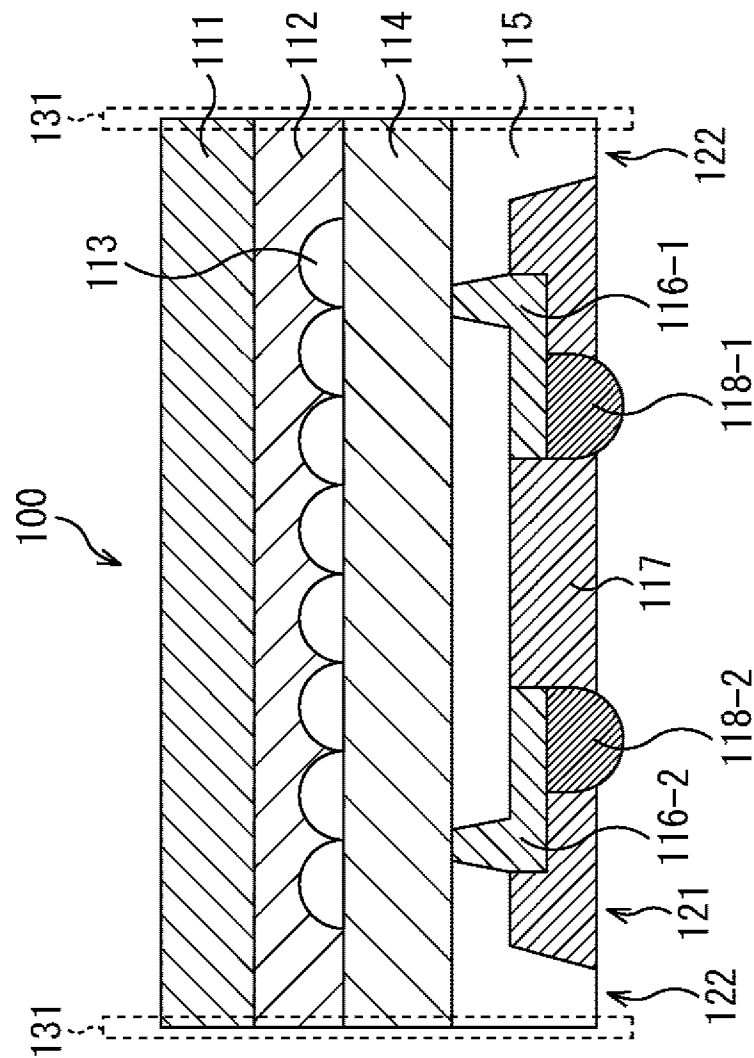
[請求項19] 前記第 3 の工程の後であって、前記第 4 の工程の前に、前記ソルダマスクを平坦化する第 6 の工程をさらに含む

請求項 18 に記載の撮像装置の製造方法。

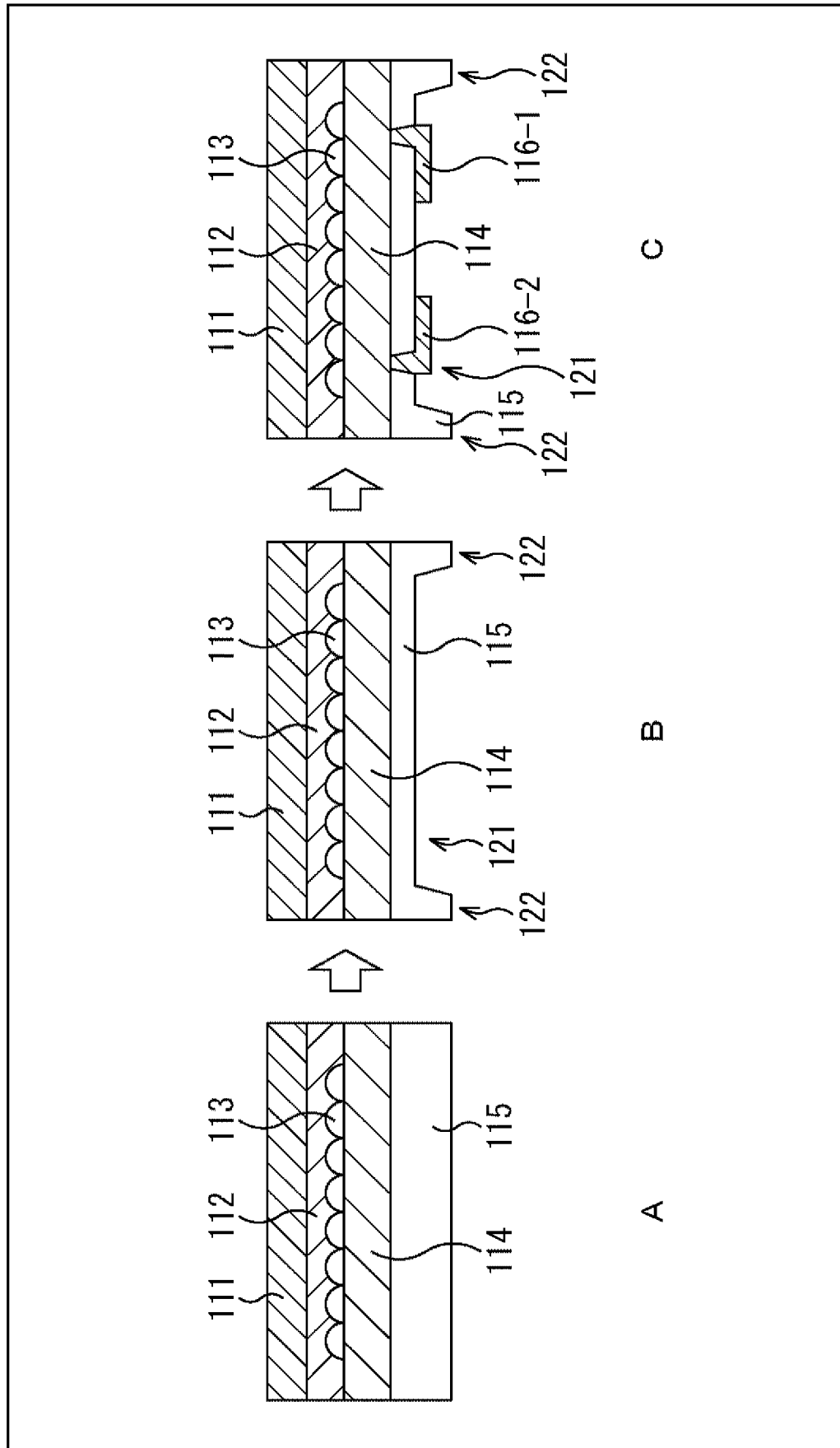
[請求項20] 前記第 5 の工程の後に、前記ソルダマスクと前記半田ボールを平坦化する第 6 の工程をさらに含む

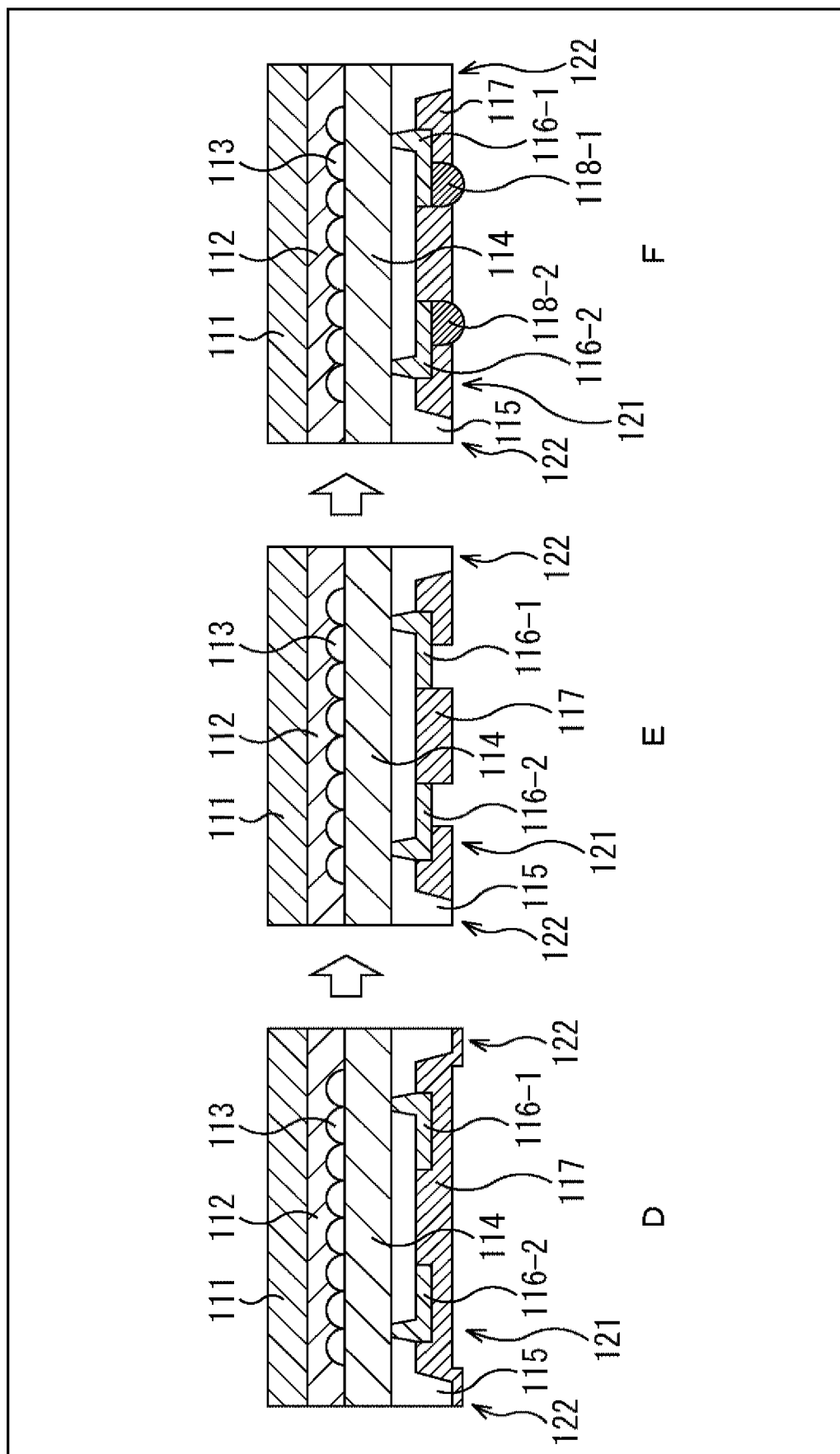
請求項 18 に記載の撮像装置の製造方法。

[図2]
FIG. 2

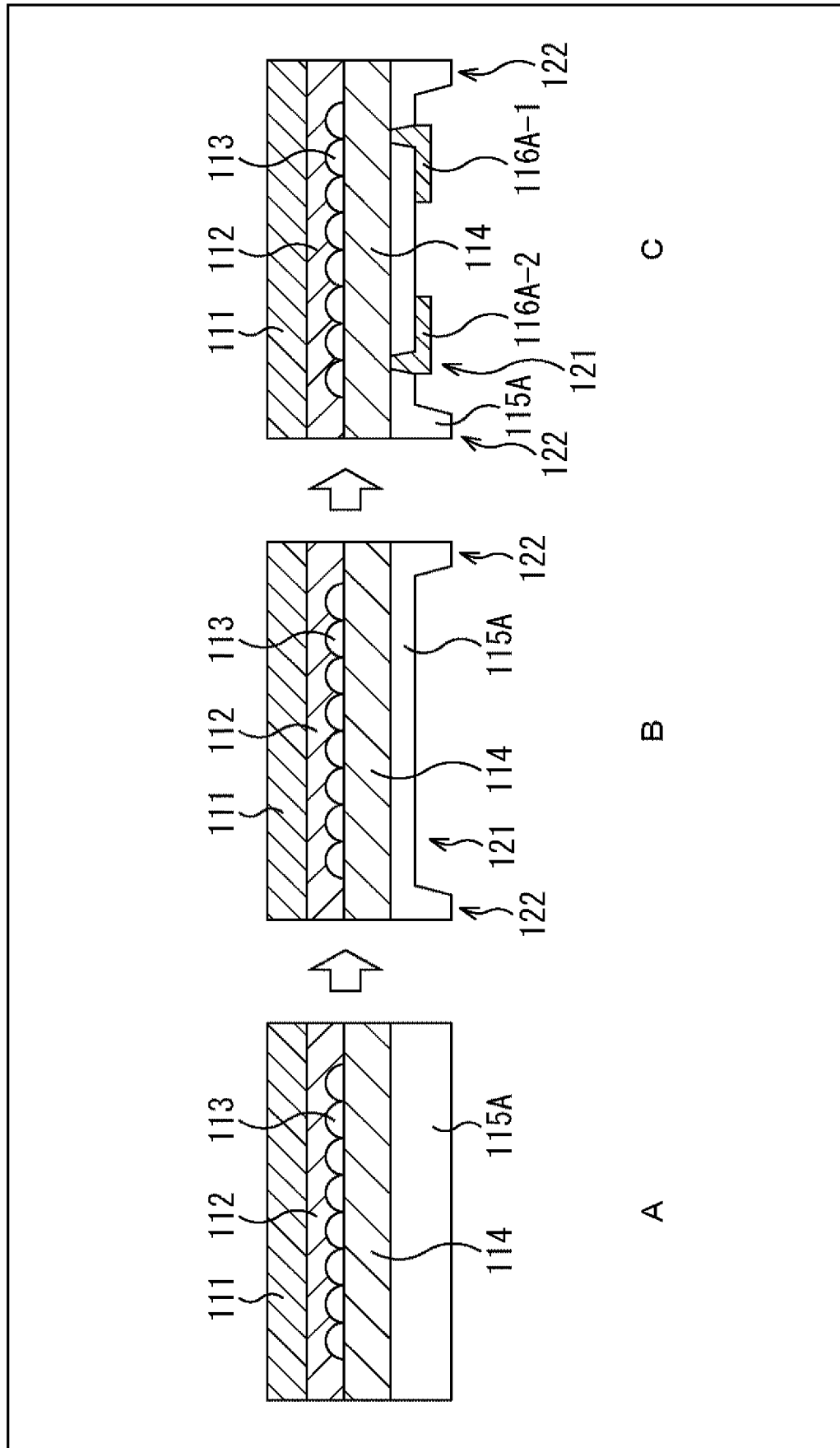


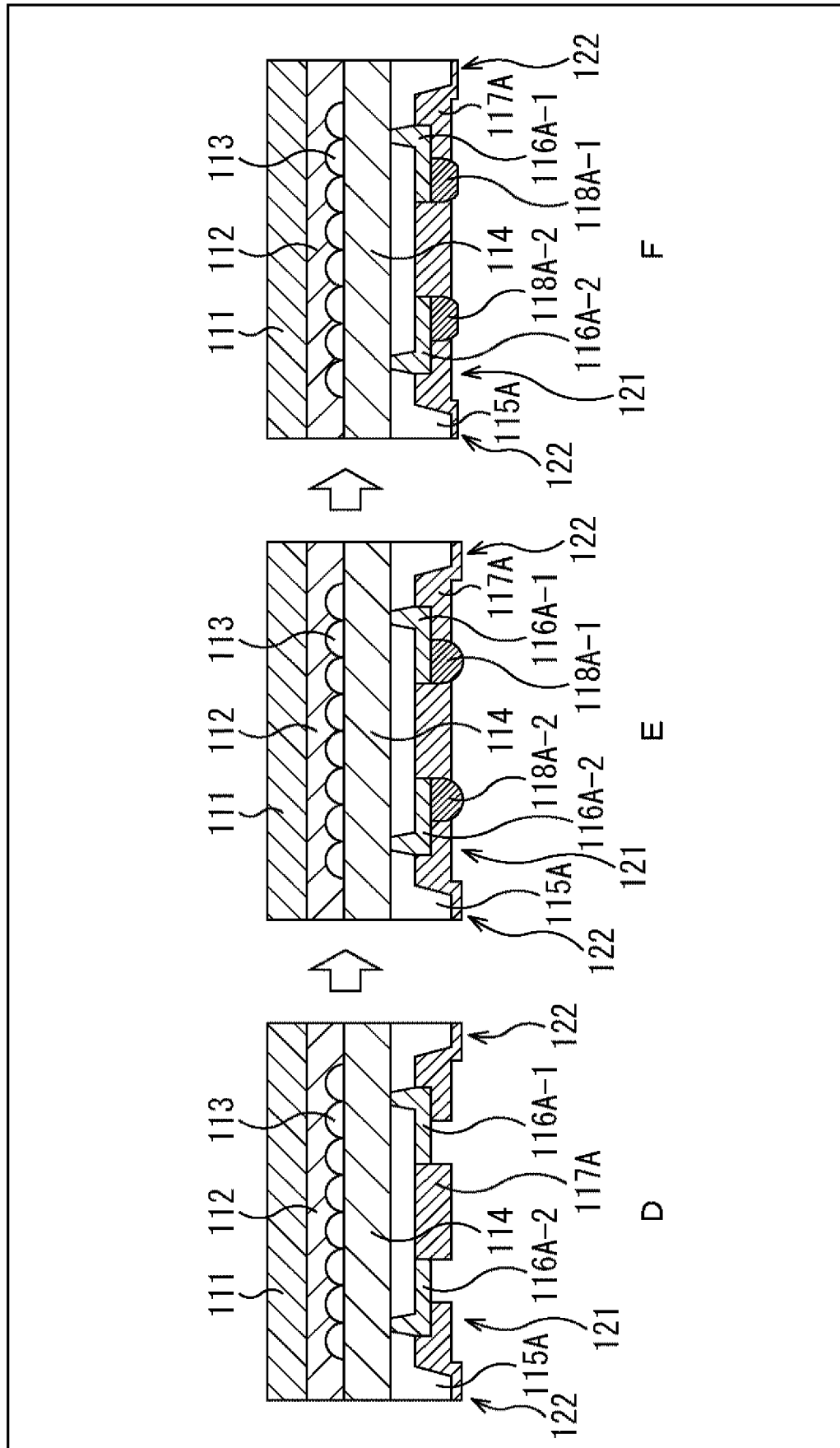
[図3]
FIG. 3



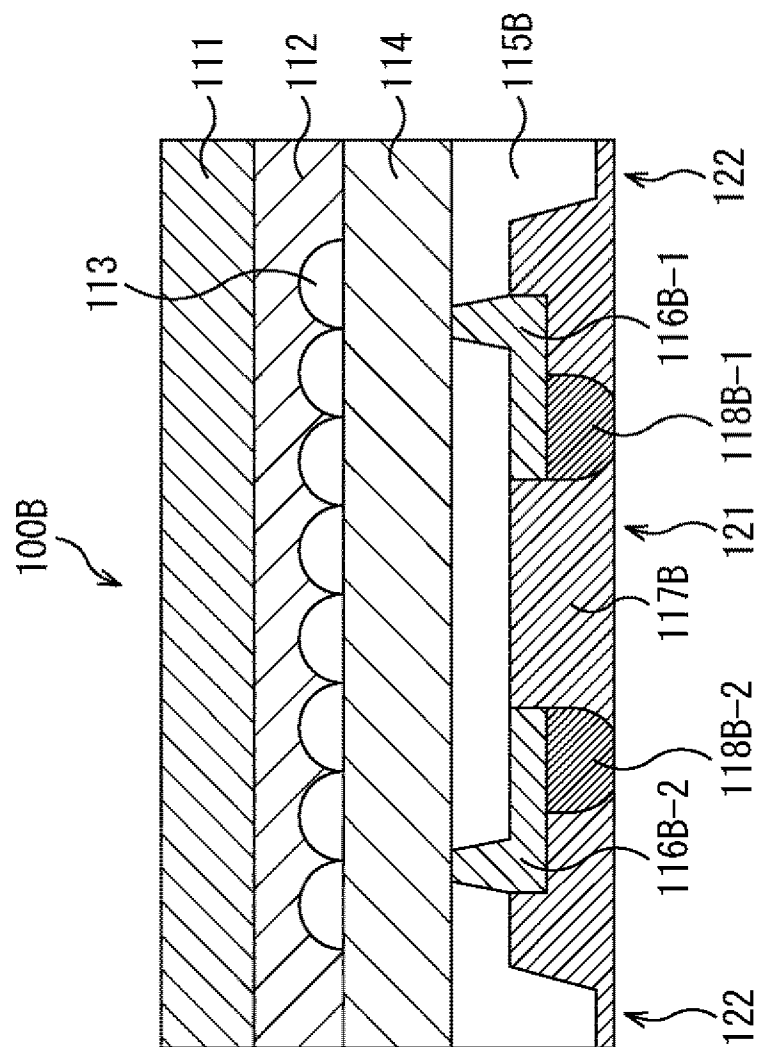
[図4]
FIG. 4

[図6]
FIG. 6

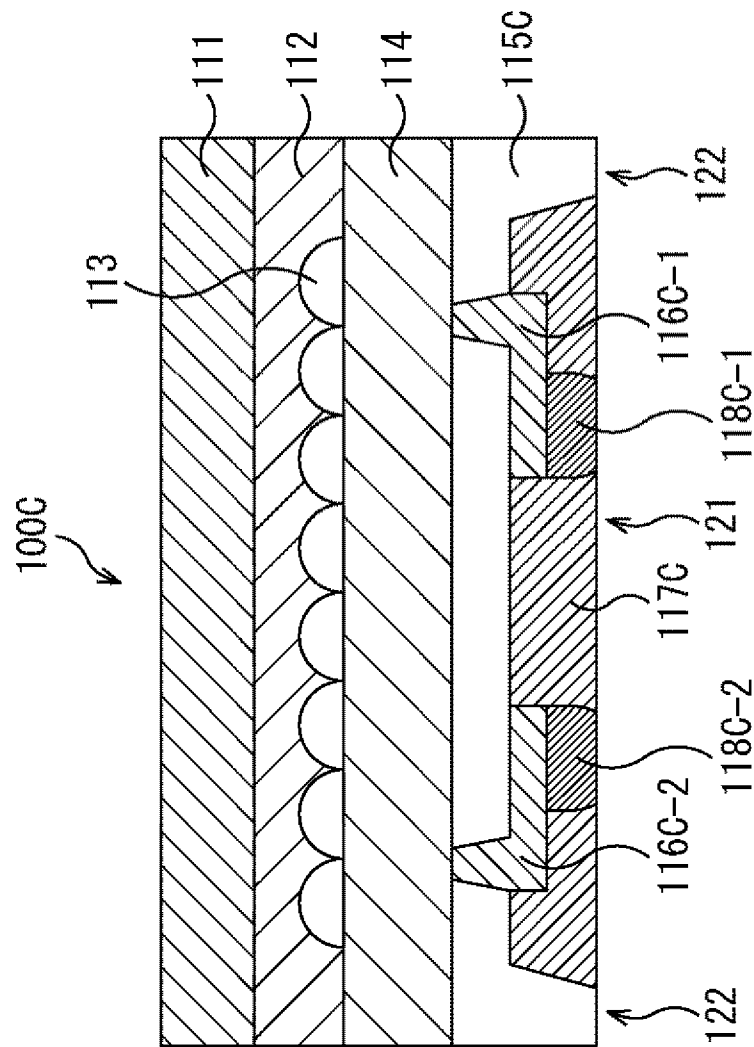


[図7]
FIG. 7

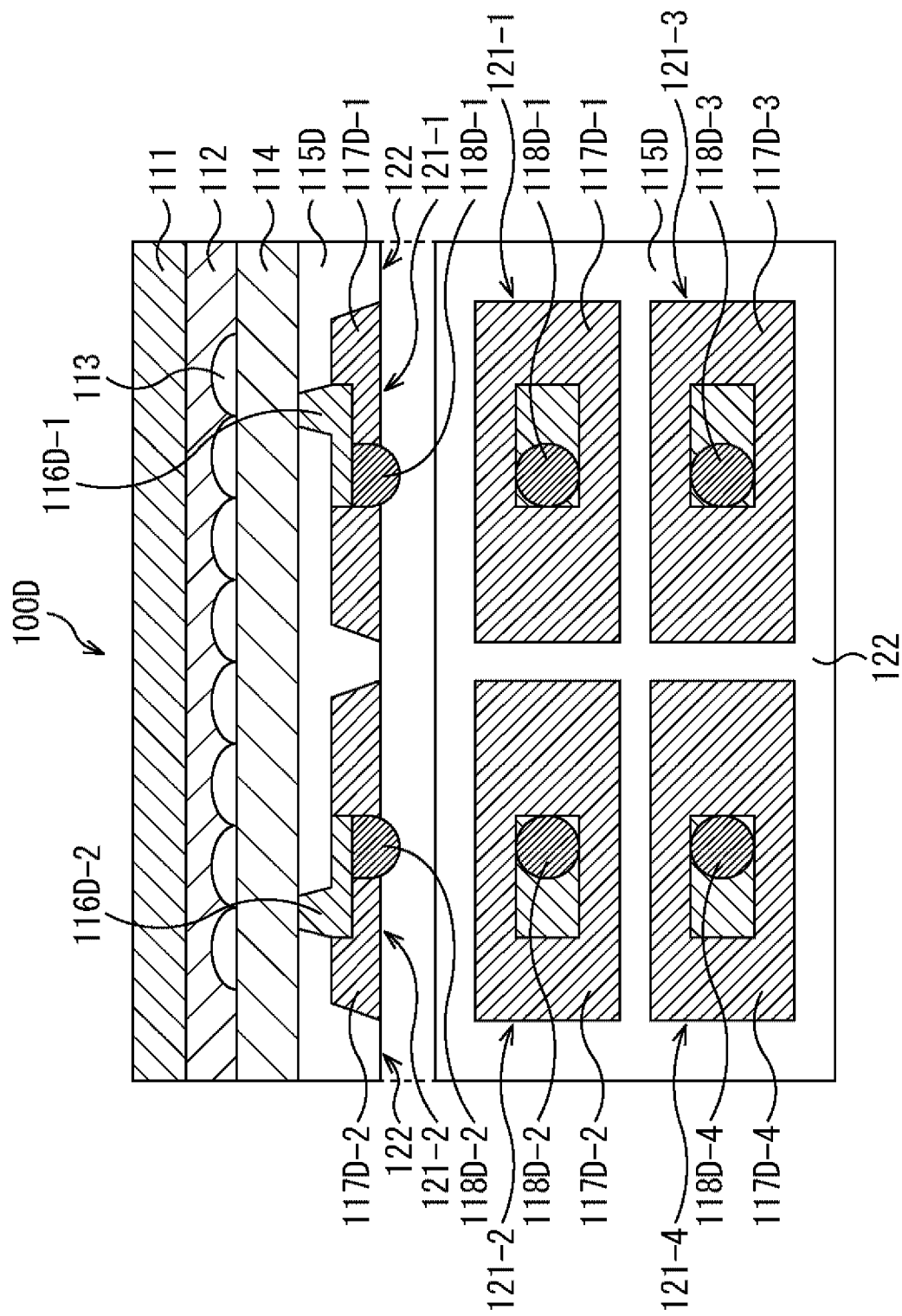
[図8]
FIG. 8



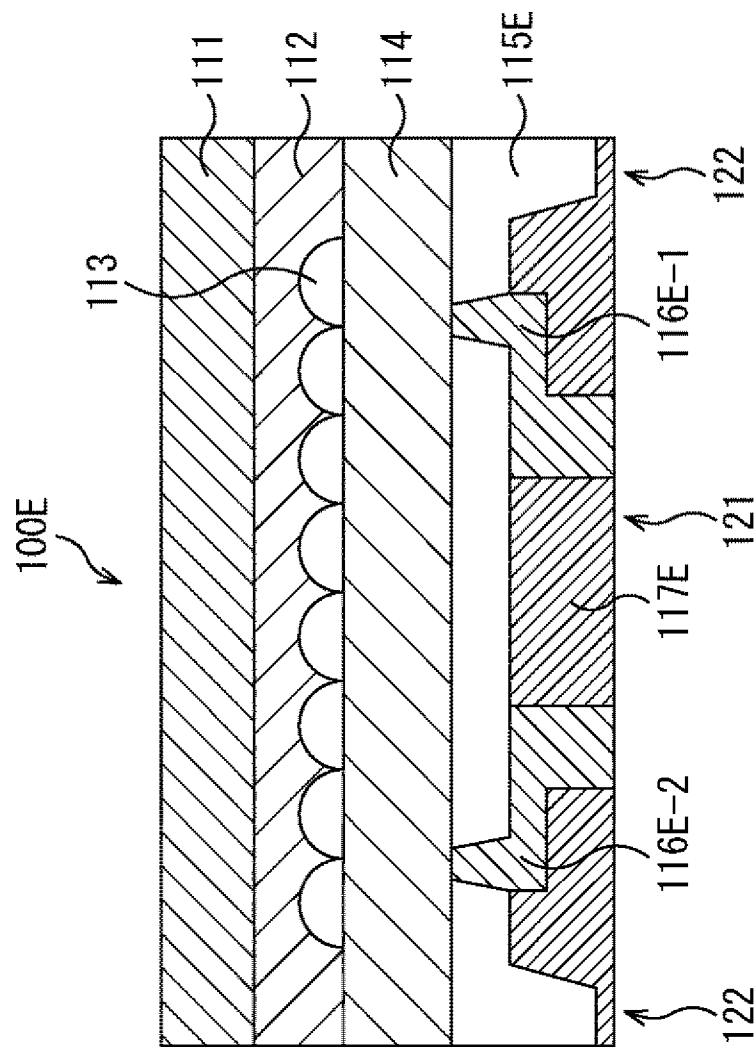
[図9]
FIG. 9



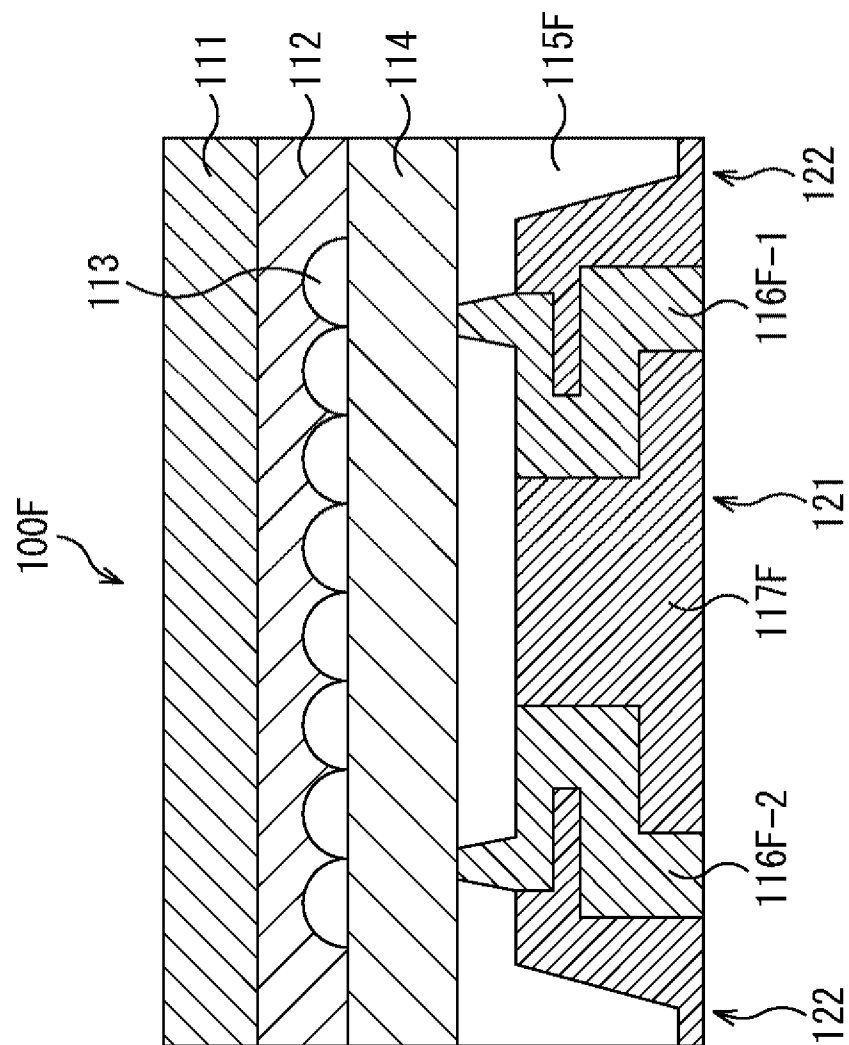
[図10]
FIG. 10



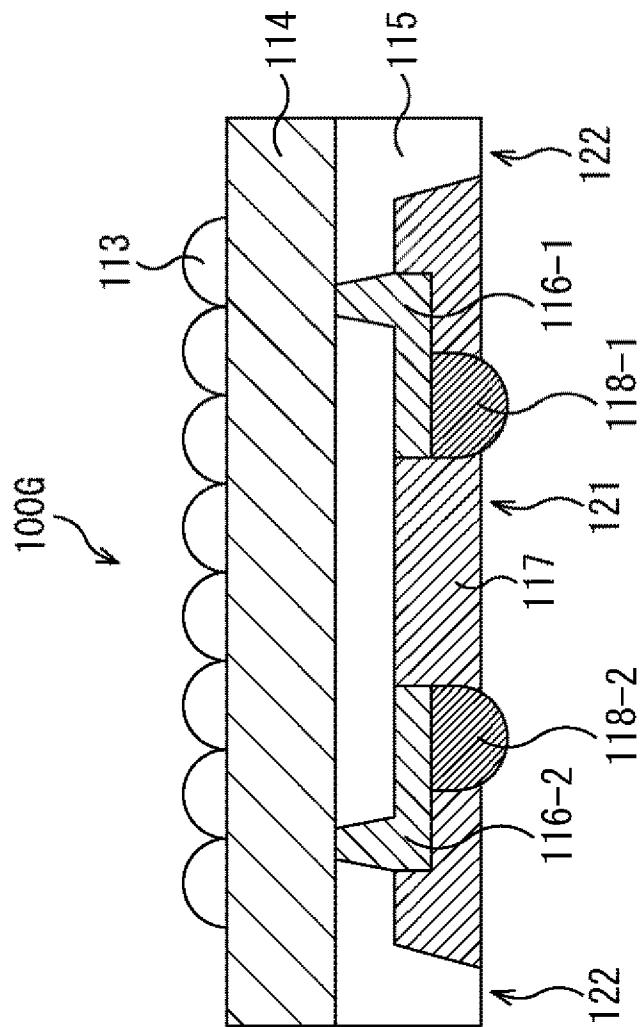
[図11]
FIG. 11



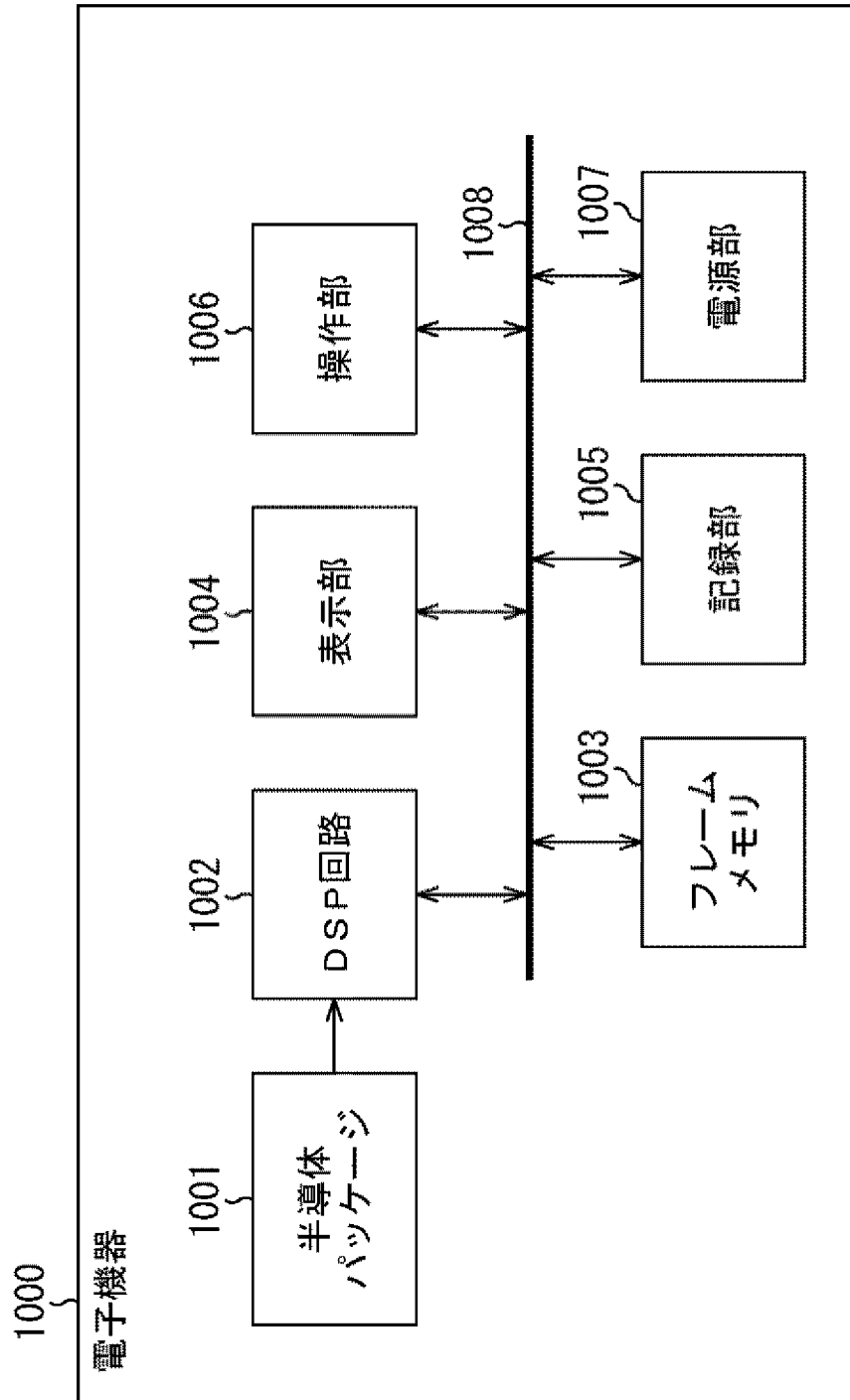
[図12]
FIG. 12



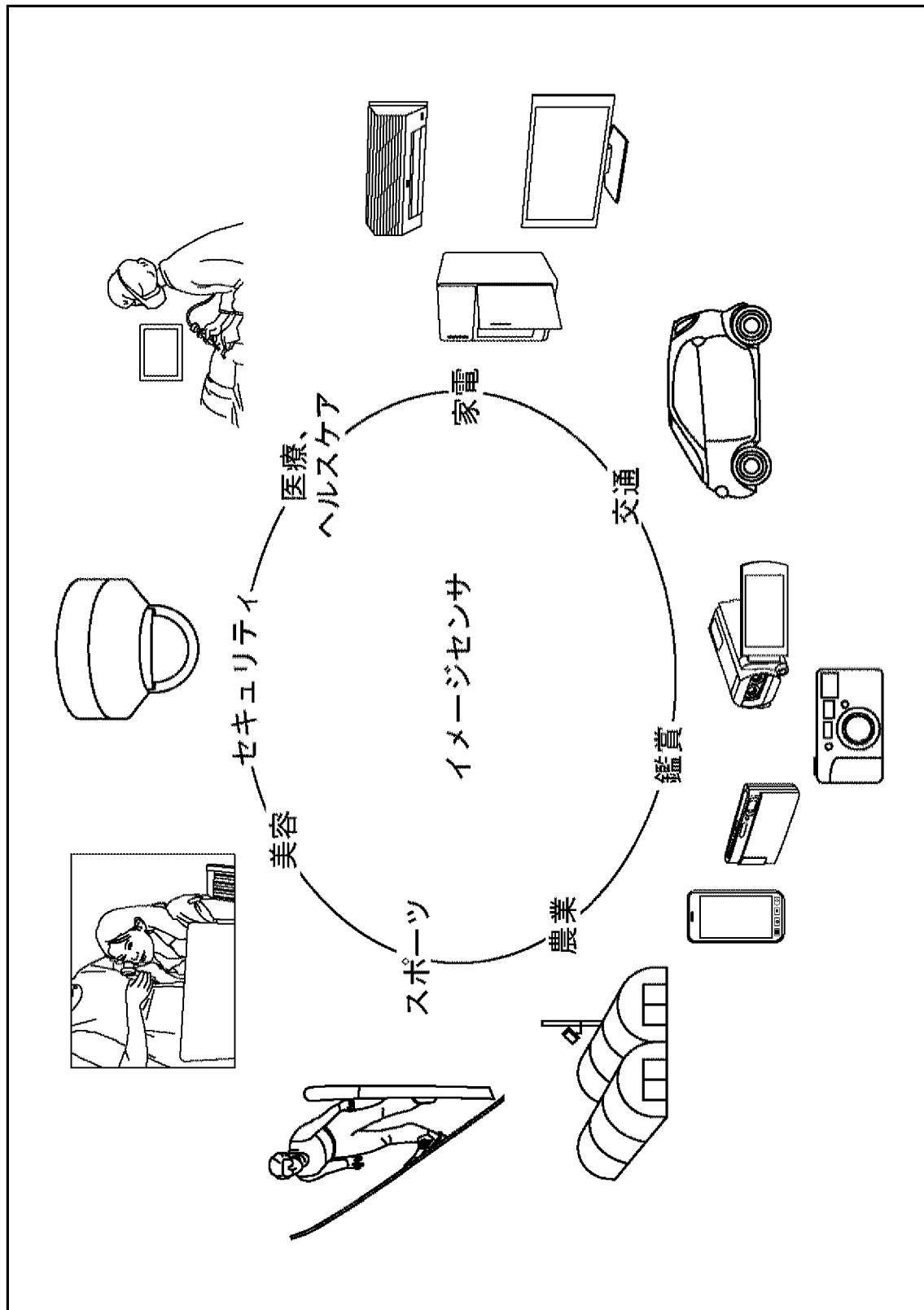
[図13]
FIG. 13



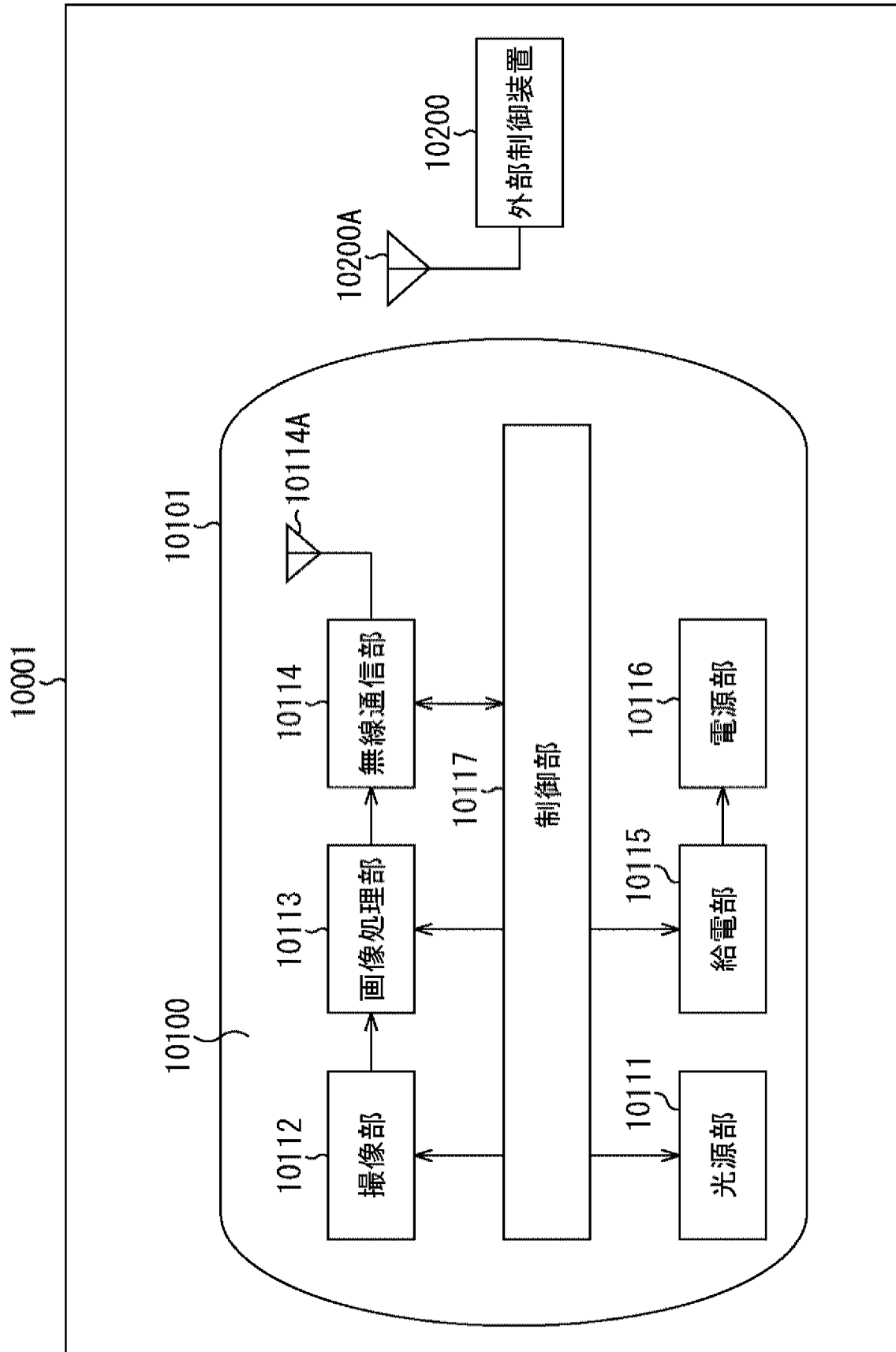
[図14]
FIG. 14



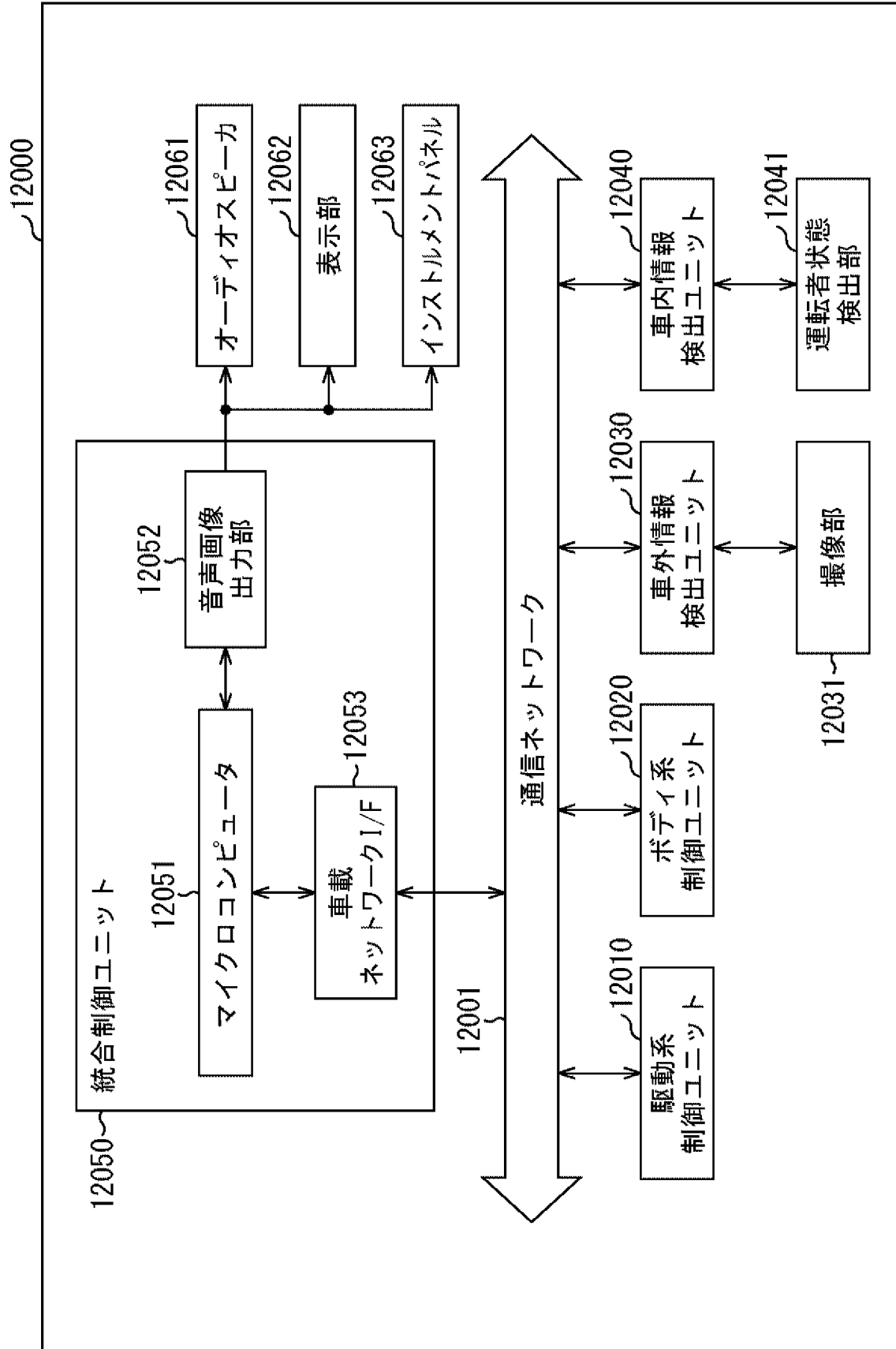
[図15]
FIG. 15



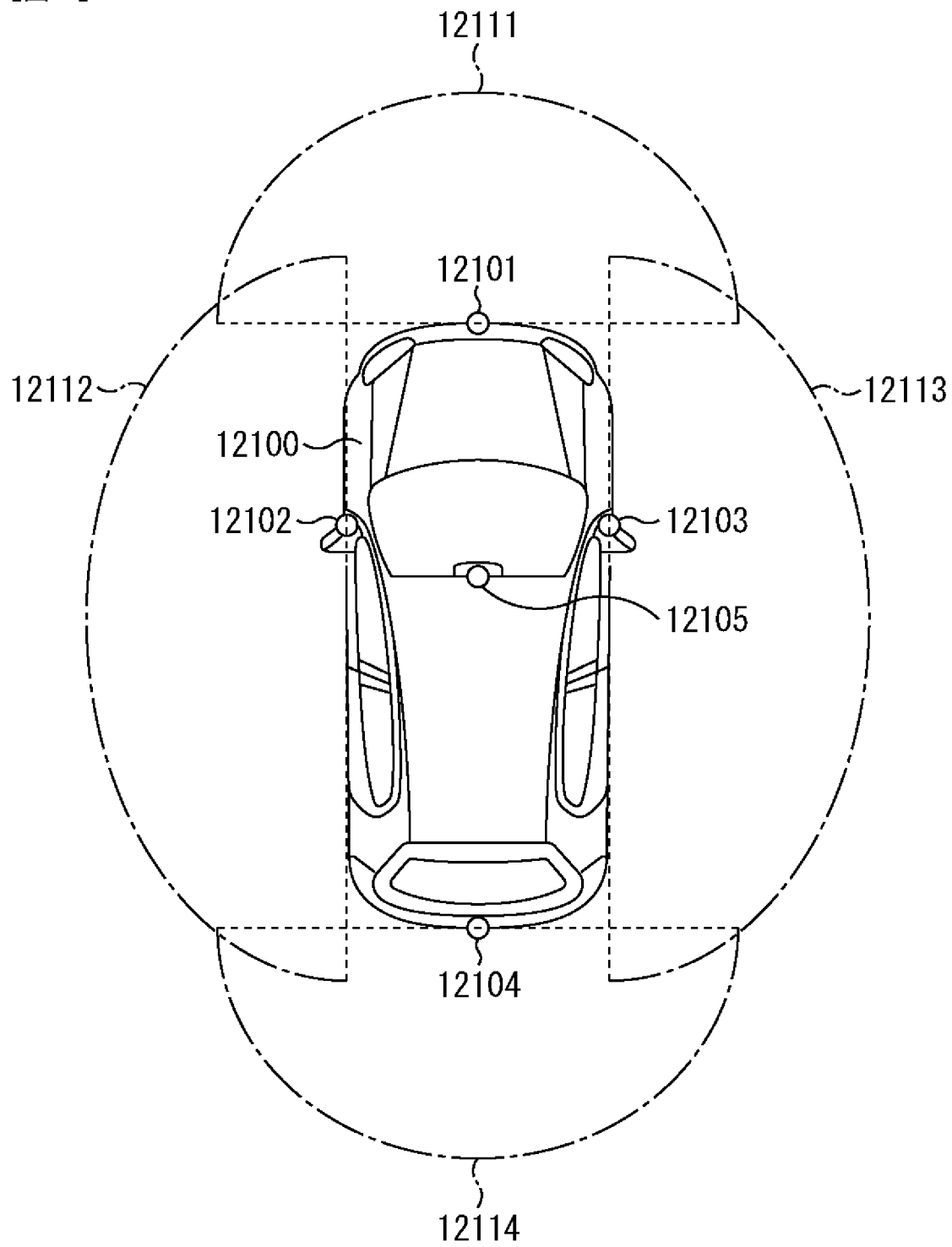
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/004287

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/146 (2006.01) i, A61B1/04 (2006.01) i, H01L23/12 (2006.01) i,
H04N5/369 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/146, A61B1/04, H01L23/12, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-22253 A (SONY CORP.) 26 January 2017, paragraphs [0022]-[0051], [0069]-[0073], fig. 1-5, 10 & WO 2017/010263 A1	1, 12-13, 16-18
A		2-11, 14-15, 19-20
A	JP 2012-15470 A (OLYMPUS CORP.) 19 January 2012, paragraphs [0012]-[0020], fig. 1-4 & US 2013/0119501 A1, paragraphs [0019]-[0027], fig. 1-4 & WO 2012/005075 A1 & EP 2592654 A1	1-20
A	JP 2016-111285 A (TOSHIBA CORP.) 20 June 2016, paragraphs [0010]-[0022], [0029]-[0033], fig. 1-2, 4-6 & US 2016/0172406 A1, paragraphs [0018]-[0030], [0040]-[0046], fig. 1-2, 4-6 & CN 105702692 A & KR 10-2016-0070684 A & TW 201622123 A	1-20
A	JP 2008-130768 A (SANYOELECTRIC CO., LTD.) 05 June 2008, paragraphs [0019]-[0037], [0044]-[0045], fig. 1-9 & US 2008/0135967 A1, paragraphs [0022]-[0040], [0047]-[0048], fig. 1-9	1-20

☐	Further documents are listed in the continuation of Box C.	☐	See patent family annex.
*	Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A"	document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E"	earlier application or patent but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O"	document referring to an oral disclosure, use, exhibition or other means		
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 12 April 2018 (12.04.2018)	Date of mailing of the international search report 24 April 2018 (24.04.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, A61B1/04(2006.01)i, H01L23/12(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, A61B1/04, H01L23/12, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-22253 A（ソニー株式会社）2017.01.26, 段落[0022]-[0051], [0069]-[0073], 図1-5, 10	1, 12-13, 16-18
A	& WO 2017/010263 A1	2-11, 14-15, 19-20
A	JP 2012-15470 A（オリンパス株式会社）2012.01.19, 段落[0012]-[0020], 図1-4 & US 2013/0119501 A1, 段落[0019]-[0027], 図1-4 & WO 2012/005075 A1 & EP 2592654 A1	1-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.04.2018

国際調査報告の発送日

24.04.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小池 英敏

5 F

8396

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-111285 A (株式会社東芝) 2016. 06. 20, 段落[0010]-[0022], [0029]-[0033], 図 1-2, 4-6 & US 2016/0172406 A1, 段落[0018]-[0030], [0040]-[0046], 図 1-2, 4-6 & CN 105702692 A & KR 10-2016-0070684 A & TW 201622123 A	1-20
A	JP 2008-130768 A (三洋電機株式会社) 2008. 06. 05, 段落[0019]-[0037], [0044]-[0045], 図 1-9 & US 2008/0135967 A1, 段落[0022]-[0040], [0047]-[0048], 図 1-9	1-20