

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-72060

(P2004-72060A)

(43) 公開日 平成16年3月4日(2004.3.4)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/8247	H O 1 L 27/10 4 3 4	5 B O 2 5
G 1 1 C 16/02	H O 1 L 27/10 4 8 1	5 F O 8 3
G 1 1 C 16/04	H O 1 L 29/78 3 7 1	5 F 1 O 1
H O 1 L 27/10	G 1 1 C 17/00 6 4 1	
H O 1 L 27/115	G 1 1 C 17/00 6 2 1 Z	
審査請求 未請求 請求項の数 12 O L (全 51 頁) 最終頁に続く		

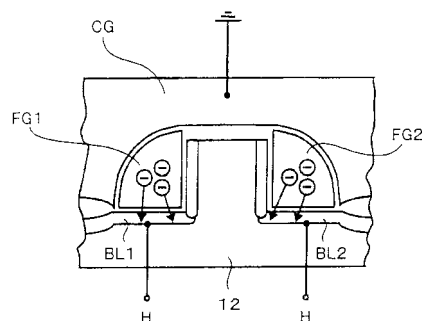
(21) 出願番号	特願2002-322905 (P2002-322905)	(71) 出願人	593102345
(22) 出願日	平成14年11月6日 (2002.11.6)		イノテック株式会社
(31) 優先権主張番号	特願2001-358308 (P2001-358308)		神奈川県横浜市港北区新横浜 3-17-6
(32) 優先日	平成13年11月22日 (2001.11.22)	(74) 代理人	100079991
(33) 優先権主張国	日本国 (JP)		弁理士 香取 孝雄
(31) 優先権主張番号	特願2002-169749 (P2002-169749)	(72) 発明者	三井田 ▲高▼
(32) 優先日	平成14年6月11日 (2002.6.11)		神奈川県横浜市港北区新横浜 3丁目17番
(33) 優先権主張国	日本国 (JP)		6号 イノテック株式会社内
		Fターム(参考)	5B025 AC04 AD08 AE05
			5F083 EP03 EP09 EP13 EP18 EP24
			EP25 EP26 EP75 ER02 ER14
			ER15 ER16 ER17 ER22 ER29
			ER30 GA01 GA05 GA21 JA35
			PR09 PR36 PR37 PR43 PR53
			ZA06 ZA07 ZA21
			最終頁に続く

(54) 【発明の名称】 トランジスタとそれを用いた半導体メモリ、およびトランジスタの駆動方法

(57) 【要約】

【課題】従来よりも書込電圧が低くかつ電流ウインドウが広い多値トランジスタにおいて、フローティングゲートに蓄積された電荷を消去可能とする。

【解決手段】対向する一対の側面(13b、13b)を有する凸部13aが設けられたp型半導体基板(12)と、ゲート絶縁膜(15c)と、一対のn型ソース・ドレイン領域(BL1、BL2)と、トンネル絶縁膜(15a)と、一対のフローティングゲート(FG1、FG2)と、インターポリ絶縁膜と、コントロールゲート(CG)とをトランジスタに設ける。ソース・ドレイン領域(BL1、BL2)を直線的に結ぶ凸部(13a)の基端部のp型不純物濃度は、基端部を除く凸部(13a)のp型不純物濃度よりも高濃度にする。コントロールゲート(CG)と、ソース・ドレイン領域(BL1、BL2)との間に、フローティングゲート(FG)中の蓄積電荷を消去するための消去電圧を印加して、コントロールゲート(CG)またはソース・ドレイン領域(BL1、BL2)に向けて消去電流を流して、蓄積電荷を消去する。



【特許請求の範囲】

【請求項 1】

対向する一対の側面を有する凸部が設けられた一導電型半導体基板と、
前記凸部の頂面上に形成された第 1 の絶縁膜と、
前記凸部を挟む前記半導体基板の表面に形成された一対の反対導電型ソース・ドレイン領域と、
前記凸部の側面と前記ソース・ドレイン領域とを覆う第 2 の絶縁膜と、
前記凸部の各側面側に設けられ、前記第 2 の絶縁膜を介して前記側面とソース・ドレイン領域とに対向する一対のフローティングゲートと、
前記各フローティングゲート上に形成された第 3 の絶縁膜と、
前記第 3 の絶縁膜を介して前記各フローティングゲートと対向し、かつ前記第 1 の絶縁膜を介して前記凸部の頂面と対向するコントロールゲートとを備え、
前記第 2 および第 3 の絶縁膜は前記第 1 の絶縁膜に比して静電容量が大きくなるように形成されており、
前記コントロールゲートと、前記ソース・ドレイン領域との間に、前記フローティングゲート中の蓄積電荷を消去するための消去電圧が印加されて、前記コントロールゲートまたは前記ソース・ドレイン領域に向けて消去電流が流れ、前記蓄積電荷が消去されることを特徴とするトランジスタ。

10

【請求項 2】

対向する一対の側面を有する凸部が設けられた一導電型半導体基板と、
前記凸部の頂面上に形成された第 1 の絶縁膜と、
前記凸部を挟む前記半導体基板の表面に形成された一対の反対導電型ソース・ドレイン領域と、
前記凸部の側面と前記ソース・ドレイン領域とを覆う第 2 の絶縁膜と、
前記凸部の各側面側に設けられ、前記第 2 の絶縁膜を介して前記側面とソース・ドレイン領域とに対向する一対のフローティングゲートと、
前記各フローティングゲート上に形成された第 3 の絶縁膜と、
前記第 3 の絶縁膜を介して前記各フローティングゲートと対向し、かつ前記第 1 の絶縁膜を介して前記凸部の頂面と対向するコントロールゲートとを備え、
該凸部の頂面と対向するコントロールゲートにより、該コントロールゲートに対向するチャンネル領域のオン・オフ状態は制御され、
前記コントロールゲートと、前記ソース・ドレイン領域との間に、前記フローティングゲート中の蓄積電荷を過消去するための消去電圧が印加されて、該フローティングゲートに蓄積された電荷が実質的に 0 以下の状態となるように、フローティングゲート中の蓄積電荷が過消去されることを特徴とするトランジスタ。

20

30

【請求項 3】

一導電型半導体基体の表層に形成された一対の反対導電型ソース・ドレイン領域と、フローティングゲートと、コントロールゲートとを含み、該フローティングゲートに電荷を蓄積することによりデータを記憶することが可能であり、該フローティングゲートは、前記ソース・ドレイン領域の間にあるチャンネル領域の一部にのみ対向するように設けられているトランジスタにおいて、
前記コントロールゲートと、前記ソース・ドレイン領域との間に、前記フローティングゲート中の蓄積電荷を過消去するための消去電圧が印加されて、前記フローティングゲートに蓄積された電荷が実質的に 0 以下の状態となるように、過消去されることを特徴とするトランジスタ。

40

【請求項 4】

請求項 2 または 3 に記載のトランジスタにおいて、過消去後に、前記フローティングゲートへの書込みまたは該フローティングゲートの読出しを行うことを特徴とするトランジスタ。

【請求項 5】

50

請求項 2 から 4 までのいずれかに記載のトランジスタにおいて、前記コントロールゲートに消去用電圧を印加する期間を所定の時間維持することにより過消去を行うことを特徴とするトランジスタ。

【請求項 6】

請求項 2 から 4 までのいずれかに記載のトランジスタにおいて、前記フローティングゲートに蓄積された電荷は、ファウラーノルドハイム電流を用いて消去され、該ファウラーノルドハイム電流の値が所定値より少なくなるまで前記フローティングゲートに蓄積された電荷を過消去することの特徴とするトランジスタ。

【請求項 7】

請求項 2 から 6 までのいずれかに記載のトランジスタにおいて、消去の対象となる前記フローティングゲートのうち少なくとも、データの書込みが行われていないフローティングゲートに対して電荷を注入する電荷注入動作を行うことを特徴とするトランジスタ。

【請求項 8】

請求項 2 から 7 までのいずれかに記載のトランジスタにおいて、前記フローティングゲートへのデータの書込みを、書込可能な書込電圧値のうち、最小の電圧値の近傍にある第 2 の書込電圧を用いて行うことを特徴とするトランジスタ。

【請求項 9】

請求項 1 から 8 までのいずれかに記載の前記トランジスタをコラム方向およびロウ方向に複数配列して成る半導体メモリ。

【請求項 10】

請求項 9 に記載のトランジスタにおいて、前記コラム方向に隣接するセルトランジスタの前記ソース・ドレイン領域が共通であり、
ロウ方向に隣接する前記セルトランジスタ同士が、前記コントロールゲートを共有し、かつ、前記セルトランジスタ間の前記ソース・ドレイン領域を共有することの特徴とする半導体メモリ。

【請求項 11】

対向する一対の側面を有する凸部が設けられた一導電型半導体基板と、
前記凸部の頂面上に形成された第 1 の絶縁膜と、
前記凸部を挟む前記半導体基板の表面に形成された一対の反対導電型ソース・ドレイン領域と、
前記凸部の側面と前記ソース・ドレイン領域とを覆う第 2 の絶縁膜と、
前記凸部の各側面側に設けられ、前記第 2 の絶縁膜を介して、前記側面とソース・ドレイン領域とに対向する一対のフローティングゲートと、
前記各フローティングゲート上に形成された第 3 の絶縁膜と、
前記第 3 の絶縁膜を介して前記各フローティングゲートと対向し、かつ前記第 1 の絶縁膜を介して前記凸部の頂面と対向するコントロールゲートとを備え、前記第 2 および第 3 の絶縁膜は前記第 1 の絶縁膜に比して静電容量が大きくなるように形成されているトランジスタの駆動方法であって、
前記コントロールゲートと、前記ソース・ドレイン領域との間に、前記フローティングゲート中の蓄積電荷を消去するための消去電圧を印加し、前記コントロールゲートまたは前記ソース・ドレイン領域に向けて消去電流を流し、前記蓄積電荷を消去する消去ステップを含むことを特徴とするトランジスタの駆動方法。

【請求項 12】

対向する一対の側面を有する凸部が設けられた一導電型半導体基板と、
前記凸部の頂面上に形成された第 1 の絶縁膜と、
前記凸部を挟む前記半導体基板の表面に形成された一対の反対導電型ソース・ドレイン領域と、
前記凸部の側面と前記ソース・ドレイン領域とを覆う第 2 の絶縁膜と、
前記凸部の各側面側に設けられ、前記第 2 の絶縁膜を介して前記側面とソース・ドレイン領域とに対向する一対のフローティングゲートと、

10

20

30

40

50

前記各フローティングゲート上に形成された第3の絶縁膜と、
前記第3の絶縁膜を介して前記各フローティングゲートと対向し、かつ前記第1の絶縁膜を介して前記凸部の頂面と対向するコントロールゲートとを備えたトランジスタの駆動方法であって、

該凸部の頂面と対向するコントロールゲートにより、該コントロールゲートに対向するチャネル領域のオン・オフ状態を制御するステップと、

前記コントロールゲートと、前記ソース・ドレイン領域との間に、前記フローティングゲート中の蓄積電荷を過剰除去するための除去電圧を印加して、該フローティングゲートに蓄積された電荷が実質的に0以下の状態となるように、フローティングゲート中の蓄積電荷を過剰除去するステップとを含むことを特徴とするトランジスタの駆動方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多値トランジスタとそれを用いた半導体メモリ、および多値トランジスタの駆動方法に関する。より詳細には、本発明は、半導体メモリの多値化に有用な技術に関する。

【0002】

【従来の技術】

EEPROM (Electrically Erasable Programmable Read Only Memory) 等の不揮発性メモリは、携帯電話機等に搭載されて、現在広く普及している。通常、EEPROMは、1つのセルトランジスタに1ビットの情報しか書き込めない。しかし、デバイスの小型化を図るためには、セルトランジスタの多値化を図り、1つのセルトランジスタに2ビット以上書き込めることが好ましい。

20

【0003】

この多値技術の一例を図26に示す。図26は、従来例に係る多値セルトランジスタの断面図である(この多値技術については、たとえば特許文献1参照。)

【0004】

図26において、セルトランジスタ1は、所謂MONOS (Metal Oxide Nitride Oxide Semiconductor) 構造を有している。このMONOS構造を構成するのは、コントロールゲート7 (Metal)、シリコン酸化膜6 (Oxide)、シリコン窒化膜5 (Nitride)、シリコン酸化膜4 (Oxide)、そしてp型シリコン基板2 (Semiconductor) である。

30

【0005】

この種のセルトランジスタにおいては、n型のソース・ドレイン領域3、8は、書き込みシーケンスや読出シーケンスにおける種々のステージで、今までソースであったものがドレインになったりする。すなわち、ソース・ドレイン領域3、8のどちらがソースでどちらがドレインであるとは確定できない。よって、ソースと言う場合には、ソース・ドレイン領域3、8のうちキャリア(この例では電子)が放出される方を指し、ドレインはもう一方を指すことにする。

40

【0006】

このセルトランジスタ1にデータを書き込むには、図27(a)のような方法を採用。この方法では、ソース8を接地し、ドレイン3とコントロールゲート7とに適当な正電位 V_{D1} 、 V_{G1} を与える。

【0007】

これによって、ソース・ドレイン領域8、3間の電界で電子が加速されて、ドレイン3の近傍でホットエレクトロンが発生する。ホットエレクトロンは、フォノン等との衝突や、コントロールゲート7の正電位により、シリコン酸化膜4のエネルギー障壁を越えてシリコン窒化膜5に注入される。シリコン窒化膜5には導電性がないから、注入されたホットエレクトロンは、シリコン窒化膜5においてドレイン3に近い部位(右側ビットと言う)

50

に局在する。この状態が“(1, 0)”状態である。

【0008】

同じことをソース・ドレイン電圧を入れ替えて行えば、図27(b)に示すように、シリコン窒化膜5においてドレイン8に近い部位(左側ビットと言う)に電子が局在し、“(0, 1)”状態が得られる。

【0009】

図28(a)~(d)は、このセルトランジスタ1で達成し得る4値状態を示す。“(1, 1)”状態(図28(a)参照)は、左右のいずれのビットにも電子が蓄積されない。そして、“(0, 0)”状態(図28(d)参照)は、左右の両ビットに電子が蓄積される。こうして、セルトランジスタ1では、4ビットのデータを書き込むことができる。ただし、この書き込み方法は、ホットエレクトロンをシリコン窒化膜5に注入するために、コントロールゲート7に高電位 V_{G1} を印加する必要がある点で好ましくない。 10

【0010】

ホットエレクトロンがシリコン窒化膜5に注入されるには、ホットエレクトロンは、シリコン基板2の導電帯からシリコン酸化膜4の導電帯にトンネリングしないといけない。これらの導電帯間のエネルギー差は約3.2 eVである。

【0011】

しかし、ホットエレクトロンは、シリコン基板2中のフォノンとの衝突の際にエネルギーを失うので、3.2 Vの電圧をコントロールゲート7に印加しても、上記の導電帯間をトンネリングできない。よって、実際には、12~13 Vの高電圧 V_{G1} をコントロールゲート7に印加する必要がある。 20

【0012】

この高電圧を供給するのはデコーダ回路(不図示)中の高耐圧トランジスタであるが、高耐圧トランジスタは微細化できない。これは、微細化すると、高耐圧トランジスタのソース・ドレインがパンチスルーしてしまうという不都合が生じるからである。よって、この書き込み方法では、デコーダ回路を含むEEPROM全体のチップサイズを縮小できない。

【0013】

一方、読出しは、ソース・ドレイン領域3, 8の各々への印加電圧を入れ替えることにより2種類のドレイン電流を計測し、各々のドレイン電流値と基準電流値との大小を比較して行われる。 30

【0014】

“(0, 0)”状態(図28(d)参照)は、両ビットに電子が局在するから、シリコン窒化膜5の電位が4値の中で最も低くなる。よって、セルトランジスタ1の閾値電圧が最も高くなり、ドレイン電流は殆ど流れない。このドレイン電流値は、ソース・ドレイン領域3, 8の印加電圧を入れ替えても同じで、ほとんど零である。よって、2種類のドレイン電流値は、ともに基準電流よりも小であると計測される。

【0015】

“(1, 1)”状態(図28(a)参照)は両ビットに電子が無いから、シリコン窒化膜5の電位が4値の中で最も高い。よって、閾値電圧が4値の中で最も低くなり、ドレイン電流が最も多く流れる。このドレイン電流値は、ソース・ドレイン領域3, 8を入れ替えても同じで、4値の中で最も大きい。すなわち、2種類のドレイン電流値は、ともに基準電流よりも大であると計測される。 40

【0016】

一方、“(1, 0)”と“(0, 1)”の各状態(図28(b)、(c)参照)は、電子が一方のビットにのみ局在するから、セルトランジスタ1が左右非対称になり、ソース・ドレイン領域3, 8の印加電圧を入れ替えるとドレイン電流値が異なる。

【0017】

よって、“(1, 0)”と“(0, 1)”との分別は、2種類のドレイン電流のうち、どちらが基準電流より大であるか(または小であるか)を判定することにより行える。 50

【 0 0 1 8 】

ただし、この読出方法では、“(1, 0)”や“(0, 1)”を読み出す際、ドレイン電流の電流ウインドウが小さい点で好ましくない。電流ウインドウとは、“(1, 0)”や“(0, 1)”を読む際に、ソース・ドレイン領域3, 8の印加電圧を入れ替えて計測した2種類のドレイン電流値の差を言う。

【 0 0 1 9 】

電流ウインドウは、シリコン窒化膜5の右端(または左端)に電子がしっかりと局在し、従ってセルトランジスタ1が明確な非対称性を有する場合に所望に大きくなる。

【 0 0 2 0 】

ところが、セルトランジスタ1では、電子がシリコン窒化膜5にある程度の広がりをもって分布するから、非対称性が現れ難い。特に、セル縮小を図るべくゲート長L(図27(a)参照)を短くすると、左右どちらのビットに電子が局在するのかはっきりしなくなるから、セルトランジスタ1の非対称性が小さくなり、よって電流ウインドウも小さくなる。このように電流ウインドウが小さいと、ドレイン電流と基準電流値とのマージンが小さくなるから、書き込みデータを誤認する危険性が高くなる。

【 0 0 2 1 】

また、セルトランジスタ1は、バンド間トンネル耐性に乏しい点でも好ましくない。これについて図29を参照して説明する。図29は、セルトランジスタ1が非選択状態の場合を示す。非選択状態にすべく、コントロールゲート7には、読出し時よりも低電位の接地電位が与えられる。一方、選択された他のセルトランジスタのドレインには正電位 V_{D1} が印加され、正電位 V_{D1} はコラム方向のセルに共通であるから、ドレイン3には正電位 V_{D1} が印加される。

【 0 0 2 2 】

この状態では、シリコン窒化膜5とドレイン3との電位差 V は、コントロールゲート7の電位が低電位となったので、読出し時よりも大きくなる。特に、シリコン窒化膜5に電子が局在する場合は、電子によってシリコン窒化膜5の電位が下げられるから、電位差 V は一層大きくなる。しかしながら、電位差 V がこのように大きいと、ドレイン3とシリコン窒化膜5との間にトンネル電流が流れ、トンネル電流によりシリコン酸化膜4が劣化するという問題が生じる。

【 0 0 2 3 】

また、電位差 V が大きいことから、ドレイン3の端縁が高電界に曝されて、ドレイン3と基板2とのpn接合で降伏が起き易くなる。この降伏によって、円内に示す如く、ホットホールと電子とが対生成する。このうち、ホットホールは、低電位側(シリコン窒化膜5側)に引き付けられて、シリコン酸化膜4を通過する。よって、シリコン酸化膜4は、ホットホールによっても劣化してしまう。これを、セルトランジスタ1は「バンド間トンネル耐性が悪い」と言う。

【 0 0 2 4 】

【 特許文献1 】

米国特許第6, 011, 725号明細書。

【 0 0 2 5 】

【 発明が解決しようとする課題 】

本発明は、係る従来例の問題点に鑑みて創作されたものであり、従来よりも書込電圧が低くかつ電流ウインドウが広い多値トランジスタとそれを用いた半導体メモリにおいて、フローティングゲートに蓄積された電荷を消去可能とするとともに、多値トランジスタの駆動方法を提供することを目的とする。

【 0 0 2 6 】

ところで、EEPROM等の不揮発性メモリに関しては、次のような問題もある。EEPROMは、携帯電話機等に搭載されて広く普及している。メモリは、一般に1ビット当たりの単価が低いことがもっとも重要であり、そのために単純な構造でメモリセルが構成されることが必要である。

10

20

30

40

50

【0027】

一方、これらのメモリにおいて、書込速度を上げることが大きな関心事となっている。例えば、コンビニエンスストアなどの小売店等に設置した端末から音楽データをダウンロードするようなことが考えられている。その場合、1枚のコンパクトディスク(CD)分に相当する音楽データを数秒程度でダウンロードできることが望まれている。

【0028】

書込速度を上げるために、書込電流を小さくすることが1つの解決策と考えられている。書込電流が小さくなると、複数ビットの記憶セルに並列に書込みが可能となり、書込速度の向上が図れるからである。

【0029】

書込電流を小さくする従来技術として、たとえば、T. Kobayashi 他、「A Giga-Scale Assist-Gate (AG) - AND-Type Flash Memory Cell with 20-MB/s Programming Throughput for Content-Downloading Applications」, International ELECTRON DEVICES Meeting (IEDM) 2001, Washington, DC, December 2 - 5, 2001, .2.2.1頁～.2.2.4頁に開示されたものがある。この技術は、MOS半導体のチャネル領域の上部にフローティングゲートを設け、さらにその上部にコントロールゲートを設け、チャネル領域の上部のうち一部にフローティングゲートを設けずに、補助ゲートを設ける。補助ゲートは、フローティングゲートへの電荷の蓄積(書込み)を制御して、少ない書込電流を可能にする。

10

20

【0030】

上述した従来技術は、補助ゲートを設ける必要があり、メモリセルの構造が複雑化するという点で問題がある。

【0031】

本発明はこのような従来技術の欠点を解消し、単純な構造を有しつつ書込速度を向上させたトランジスタを提供することを別の目的とする。

【0032】

【課題を解決するための手段】

上記した課題は、第1の発明である、対向する一対の側面を有する凸部が設けられた一導電型半導体基板と、凸部の頂面上に形成された第1の絶縁膜と、凸部を挟む半導体基板の表面に形成された一対の反対導電型ソース・ドレイン領域と、凸部の側面と前記ソース・ドレイン領域とを覆う第2の絶縁膜と、凸部の各側面側に設けられ、第2の絶縁膜を介して側面とソース・ドレイン領域とに対向する一対のフローティングゲートと、各フローティングゲート上に形成された第3の絶縁膜と、第3の絶縁膜を介して各フローティングゲートと対向し、かつ第1の絶縁膜を介して凸部の頂面と対向するコントロールゲートとを備え、第2および第3の絶縁膜は第1の絶縁膜に比して静電容量が大きくなるように形成されており、コントロールゲートと、ソース・ドレイン領域との間に、フローティングゲート中の蓄積電荷を消去するための消去電圧が印加されて、コントロールゲートまたはソース・ドレイン領域に向けて消去電流が流れ、蓄積電荷が消去されることを特徴とするトランジスタによって解決する。

30

40

【0033】

または、第2の発明である、対向する一対の側面を有する凸部が設けられた一導電型半導体基板と、凸部の頂面上に形成された第1の絶縁膜と、凸部を挟む半導体基板の表面に形成された一対の反対導電型ソース・ドレイン領域と、凸部の側面とソース・ドレイン領域とを覆う第2の絶縁膜と、凸部の各側面側に設けられ、第2の絶縁膜を介して側面とソース・ドレイン領域とに対向する一対のフローティングゲートと、各フローティングゲート上に形成された第3の絶縁膜と、第3の絶縁膜を介して各フローティングゲートと対向し、かつ第1の絶縁膜を介して凸部の頂面と対向するコントロールゲートとを備え、凸部の頂面と対向するコントロールゲートにより、コントロールゲートに対向するチャネル領域

50

のオン・オフ状態は制御され、コントロールゲートと、ソース・ドレイン領域との間に、前記フローティングゲート中の蓄積電荷を過消去するための消去電圧が印加されて、フローティングゲートに蓄積された電荷が実質的に0以下の状態となるように、フローティングゲート中の蓄積電荷が過消去されることを特徴とするトランジスタによって解決する。

【0034】

または、第3の発明である、一導電型半導体基体の表層に形成された一对の反対導電型ソース・ドレイン領域と、フローティングゲートと、コントロールゲートとを含み、フローティングゲートに電荷を蓄積することによりデータを記憶することが可能であり、フローティングゲートは、ソース・ドレイン領域の間にあるチャンネル領域の一部にのみ対向するように設けられているトランジスタにおいて、コントロールゲートと、ソース・ドレイン領域との間に、フローティングゲート中の蓄積電荷を過消去するための消去電圧が印加されて、フローティングゲートに蓄積された電荷が実質的に0以下の状態となるように、過消去されることを特徴とするトランジスタによって解決する。

10

【0035】

または、第4の発明である、第2の発明または第3の発明に記載のトランジスタにおいて、過消去後に、前記フローティングゲートへの書込みまたは該フローティングゲートの読出しを行うことを特徴とするトランジスタによって解決する。

【0036】

または、第5の発明である、第2の発明から第4の発明までのいずれかに記載のトランジスタにおいて、コントロールゲートに消去用電圧を印加する期間を所定の時間維持することにより過消去を行うことを特徴とするトランジスタによって解決する。

20

【0037】

または、第6の発明である、第2の発明から第4の発明までのいずれかに記載のトランジスタにおいて、フローティングゲートに蓄積された電荷は、ファウラーノルドハイム電流を用いて消去され、ファウラーノルドハイム電流の値が所定値より少なくなるまでフローティングゲートに蓄積された電荷を過消去することを特徴とするトランジスタによって解決する。

【0038】

または、第7の発明である、第2の発明から第6の発明までのいずれかに記載のトランジスタにおいて、消去の対象となるフローティングゲートのうち少なくとも、データの書込みが行われていないフローティングゲートに対して電荷を注入する電荷注入動作を行うことを特徴とするトランジスタによって解決する。

30

【0039】

または、第8の発明である、第2の発明から第7の発明までのいずれかに記載のトランジスタにおいて、フローティングゲートへのデータの書込みを、書込可能な書込電圧値のうち、最小の電圧値の近傍にある第2の書込電圧を用いて行うことを特徴とするトランジスタによって解決する。

【0040】

または、第9の発明である、第1の発明から第8の発明までのいずれかに記載のトランジスタをコラム方向およびロウ方向に複数配列して成る半導体メモリによって解決する。

40

【0041】

または、第10の発明である、第9の発明に記載のトランジスタにおいて、コラム方向に隣接するセルトランジスタのソース・ドレイン領域が共通であり、ロウ方向に隣接するセルトランジスタ同士が、コントロールゲートを共有し、かつ、セルトランジスタ間のソース・ドレイン領域を共有することを特徴とする半導体メモリによって解決する。

【0042】

または、第11の発明である、対向する一对の側面を有する凸部が設けられた一導電型半導体基板と、凸部の頂面上に形成された第1の絶縁膜と、凸部を挟む半導体基板の表面に形成された一对の反対導電型ソース・ドレイン領域と、凸部の側面とソース・ドレイン領域とを覆う第2の絶縁膜と、凸部の各側面側に設けられ、第2の絶縁膜を介して、側面と

50

ソース・ドレイン領域とに対向する一対のフローティングゲートと、各フローティングゲート上に形成された第3の絶縁膜と、第3の絶縁膜を介して各フローティングゲートと対向し、かつ第1の絶縁膜を介して凸部の頂面と対向するコントロールゲートとを備え、第2および第3の絶縁膜は第1の絶縁膜に比して静電容量が大きくなるように形成されているトランジスタの駆動方法であって、コントロールゲートと、ソース・ドレイン領域との間に、フローティングゲート中の蓄積電荷を消去するための消去電圧を印加し、コントロールゲートまたはソース・ドレイン領域に向けて消去電流を流し、前記蓄積電荷を消去する消去ステップを含むことを特徴とするトランジスタの駆動方法によって解決する。

【0043】

または、第12の発明である、対向する一対の側面を有する凸部が設けられた一導電型半導体基板と、凸部の頂面上に形成された第1の絶縁膜と、凸部を挟む半導体基板の表面に形成された一対の反対導電型ソース・ドレイン領域と、凸部の側面とソース・ドレイン領域とを覆う第2の絶縁膜と、凸部の各側面側に設けられ、第2の絶縁膜を介して側面とソース・ドレイン領域とに対向する一対のフローティングゲートと、各フローティングゲート上に形成された第3の絶縁膜と、第3の絶縁膜を介して各フローティングゲートと対向し、かつ第1の絶縁膜を介して凸部の頂面と対向するコントロールゲートとを備えたトランジスタの駆動方法であって、凸部の頂面と対向するコントロールゲートにより、コントロールゲートに対向するチャンネル領域のオン・オフ状態を制御するステップと、コントロールゲートと、ソース・ドレイン領域との間に、フローティングゲート中の蓄積電荷を過消去するための消去電圧を印加して、フローティングゲートに蓄積された電荷が実質的に0以下の状態となるように、フローティングゲート中の蓄積電荷を過消去するステップとを含むことを特徴とするトランジスタの駆動方法によって解決する。

【0044】

次に、本発明の作用について説明する。第1および第11の発明によれば、チャンネルは、ソース・ドレイン領域を直線的に結ぶ領域以外の領域、すなわち、凸部の一方の側面 頂面 他方の側面に形成される。これにより、少ない占有面積でチャンネル長を稼ぐことができ、トランジスタの小型化を図ることができる。

【0045】

また、これにより各側面は、フローティングゲートと対向するから、頂面を流れているキャリアの進行方向にフローティングゲートが位置することになる。よって、書き込みの際、キャリアがフローティングゲートに注入されるためには、従来のように当該キャリアの進行方向を変える必要が無いから、キャリアを加速するための加速電圧を低減することができる。従って、本発明では、従来よりも書込電圧を低くすることができる。

【0046】

さらに、上記の構成によれば、ソース・ドレイン領域のパンチスルーを防止することができる。その結果、読出電圧を比較的高くしても、パンチスルーを発生させることがなく、大きな読出信号を得ることができる。さらには、パンチスルーを防止することができる結果、セルトランジスタのソース・ドレイン間の間隙をさらに小さくすることが可能となり、更なる微細化が可能となる。

【0047】

これに加え、本発明ではフローティングゲートが2つ設けられ、各フローティングゲートに電子が独立に存在するから、トランジスタを微細化する場合でも、どちらのフローティングゲートに電子が存在するかが明確であり、従来例の如くどちらのビットに電子が局在するか不明瞭になることが無い。

【0048】

さらにまた、トランジスタが非選択状態の場合、このトランジスタに繋がる他のトランジスタを選択するために、ソース・ドレイン領域に種々の電位を与えても、フローティングゲートは、当該ソース・ドレイン領域との対向容量により、このソース・ドレイン領域の電位側に引き付けられる。

【0049】

10

20

30

40

50

よって、フローティングゲートとソース・ドレイン領域との間の電位差が小さくなるから、それらの間の第2の絶縁膜に高電界が印加されることが無い。従って、第2の絶縁膜にトンネル電流が流れ難くなり、第2の絶縁膜が劣化することが防がれる。

【0050】

その上、上記のように電位差が小さくなることから、ソース・ドレイン領域と基板とのpn接合で高電界によりホットホールが発生することが抑えられるので、ホットホールにより第2の絶縁膜が劣化するのも防がれる。換言するなら、本発明ではバンド間トンネル耐性が向上する。

【0051】

本発明の読出しについて述べる。読出しでは、まず、ソース・ドレイン領域間に読出し用の電位差を与えるとともに、コントロールゲートに読出電圧を印加し、第1のドレイン電流 I_{d1} を流す。

【0052】

このとき、フローティングゲートの電位は、それへの注入電荷による電位低下分に加え、ソース・ドレイン領域やコントロールゲートとの容量結合によっても定まる。

【0053】

例えば、コントロールゲートに読出電圧として正電位を与えると、フローティングゲートは、容量結合によって正電位側に引き付けられる。特に、このフローティングゲートが、一对のソース・ドレイン領域のうち高電位側にあると、このソース・ドレイン領域との容量結合によってもその電位が正電位側に引き付けられる。よって、フローティングゲートに電子（電荷）が注入されている場合でも、当該電子によるフローティングゲートの低電位化が抑えられ、このフローティングゲート近傍のチャネルは比較的大きくなる。よって、このフローティングゲートに電子が注入されていても、第1のドレイン電流 I_{d1} は所望に大となる。

【0054】

次いで、上記読出し用の電位差を反転させるとともに、コントロールゲートに上記読出電圧を印加することにより第2のドレイン電流 I_{d2} を流す。

【0055】

読出し用の電位差が反転されるから、電子が注入されたフローティングゲートは、低電位側のソース・ドレイン領域と対向することになる。従って、フローティングゲートの電位は、注入電子による電位降下に加え、ソース・ドレイン領域との対向容量によっても引き下げられる。よって、フローティングゲート近傍のチャネル抵抗が大となるから、第2のドレイン電流 I_{d2} は所望に小となる。

【0056】

このように、本発明では、各ドレイン電流 I_{d1} 、 I_{d2} を所望に大にしたり小にしたりできるので、それらの差（電流ウインドウ）が所望に広げられる。

【0057】

以上のように、従来よりも書込電圧が低くかつ電流ウインドウが広い多値トランジスタが実現できるとともに、コントロールゲートと、ソース・ドレイン領域との間に、フローティングゲート中の蓄積電荷を消去するための消去電圧を印加することにより、コントロールゲートまたはソース・ドレイン領域に蓄積電荷を引き抜いて、フローティングゲートに蓄積された電荷を消去できる。

【0058】

第2の発明、第3の発明および第12の発明は、トランジスタにおいて、フローティングゲートが、2つの反対導電型領域の間にあるチャネル領域の一部にのみ設けられている場合、過消去が可能であり、過消去により、書込効率が向上することに着目したものである。消去手段は、少なくともコントロールゲートに消去用電圧を印加して、フローティングゲートに蓄積された電荷を過消去する。この後、通常の手続きを行った場合、書込効率が向上しているため、少ない書込電流で書込みを行うことができる。

【0059】

10

20

30

40

50

ここで、過消去とは、フローティングゲートに蓄積されていた電子が、フローティングゲートから引抜かれて、フローティングゲートに蓄積されている電子数が、実質的に「0」個以下である状態をいう。この状態のとき、メモリセルのしきい値電圧は、約0V、もしくは0V以下である。ここで、電子数が「0」個より少ないとは、フローティングゲートに正の電荷（ホール（hole））が蓄積されていることをいう。

【0060】

過消去により書込効率が向上する理由は、過消去によりフローティングゲートの電圧が高くなり、チャネル領域との電位差が大きくなるためである。

【0061】

第4の発明によれば、過消去後に書込みまたは読出しを行うため、書込効率が向上するとともに、電流ウインドウが広がる。書込効率が向上する理由は、過消去されているために、過消去されたフローティングゲートの電位が高くなっており（蓄積電荷が電子の場合）、キャリアの注入が容易になっているからである。 10

【0062】

電流ウインドウが広がる理由は、過消去されているために、過消去されたフローティングゲートの電位が高くなっており（蓄積電荷が電子の場合）、電荷が蓄積されたフローティングゲートの電位との差が拡大しているからである。

【0063】

第5の発明によれば、コントロールゲートに消去用電圧を印加する期間を所定の時間維持することにより過消去を行うことができる。所定の時間としては、たとえば、フローティングゲート内の電子が確実に過消去される時間に設定することができる。 20

【0064】

第6の発明によれば、フローティングゲートに蓄積された電荷は、ファウラーノルドハイム（Fowler-Nordheim）電流（以下ではFN電流と呼ぶ）を用いて消去され、FN電流の値が所定値より少なくなるまでフローティングゲートに蓄積された電荷を過消去する。

【0065】

消去は、フローティングゲートからFN電流により電子が引き抜かれることにより行われ、FN電流は消去開始後、過消去がある程度進むと、一定値となり、フローティングゲート内の電荷量も一定となる。すなわち消去がそれ以上行われない状態となる。そこで、FN電流の所定値として、たとえば、この一定値を採用することができる。 30

【0066】

第7の発明によれば、消去の対象となるセルのフローティングゲートのうち、データの書込みが行われていないフローティングゲートに対して電荷を注入する電荷注入動作を行なった後に過消去を行う。

【0067】

電荷注入動作を行なう理由は次の通りである。データの書込みが行われていない“0”論理状態にあるフローティングゲート（以下では「未書込フローティングゲート」と呼ぶ。）に対して、繰返し多数回の過消去を、電荷注入を行なうことなく行くと、未書込フローティングゲートは強制的に、電荷（たとえば電子）を抜き取る操作が繰返し行われることとなる。その結果、過消去状態すなわち飽和状態で安定していた未書込フローティングゲートが、飽和状態を越えた電子欠乏状態（以下では「過剰消去状態」と呼ぶ）になり、しきい値電圧等が変化する可能性がある。 40

【0068】

過消去動作前に電荷注入動作を行なうと、多数回の過消去を行なう場合、電荷注入動作を行わないときに比べて、データの書込みが行われていない状態が続いている未書込フローティングゲートに対して電荷の除去操作のみが繰返し行なわれることがなくなる。

【0069】

上記の電荷注入動作は、コントロールゲートに消去用電圧を印加する前に、消去の対象となるセルのフローティングゲートのうち、未書込フローティングゲートに対して電荷を注 50

入するプリセット注入動作として行うことが好ましい。

【0070】

また、本願発明のトランジスタにおいては、コントロールゲートに電荷注入用電圧を印加して電荷注入動作を行うこととしてもよい。

【0071】

この際に、フローティングゲートに対してデータの書込みが行われているかどうかを問わずに、すなわち、未書込フローティングゲートであるかどうかを考慮せずに、消去の対象となるセルに対して電荷注入用電圧を印加することができる。たとえば、未書込フローティングゲートには電荷が注入されるが、書込済であるフローティングゲートに対しては、電荷が注入されないように、電荷注入用電圧の大きさおよび印加時間を選択することができる。この方法を採用すると、未書込フローティングゲートであるかどうかを判別する必要がないため、消去操作が簡単になる。

10

【0072】

第8の発明によれば、消去後のフローティングゲートへのデータの書込みを、書込可能な書込電圧値のうち、最小の電圧値の近傍にある第2の書込電圧を用いて行う。本発明においては、過消去により書込効率が従来技術と比較して向上しており、この書込効率は、書込可能な書込電圧値のうち、最小の電圧値のときに最大となっている。したがって、書込可能な書込電圧値のうち、最小の電圧値で書込みを行うことにより、書込み電流を最小化することができ、多くのメモリセルへの同時書込みが可能となり、実効的な書込速度が高速化する。

20

【0073】

第9の発明および第10の発明によれば、トランジスタをコラム方向およびロウ方向に複数配列してなる半導体メモリ、およびコラム方向に隣接するセルトランジスタのソース・ドレイン領域が共通であり、ロウ方向に隣接するセルトランジスタ同士がコントロールゲートを共有し、かつセルトランジスタ間のソース・ドレイン領域を共有する半導体メモリとしたため、上記のトランジスタを集積化した半導体メモリを構成することができる。

【0074】

【発明の実施の形態】

次に、本発明の実施例について、添付図面を参照しながら詳細に説明する。

【0075】

30

(1) デバイス構造

図1は、本実施例に係る半導体メモリの切り欠き斜視図である。この半導体メモリ10は、一導電型半導体基板であるp型シリコン基板12上に形成されている。p型シリコン基板12は、p⁺基板12bと、その上のp型エピタキシャル層12aとから成る。p型エピタキシャル層12aには、pウエル13が形成される。

【0076】

また、本発明の特徴を成す凸部13aは、p型シリコン基板12に複数設けられている。ビット線BL1~BL4は、凸部13a、13a、...を挟むpウエル13の表面に形成されている。ビット線BL1~BL4は、pウエル13の表面の所要部位に、反対導電型であるn型不純物をイオン注入して形成される。同図では他の構成部材に隠れているが、各ビット線BL1~BL4は、コラム方向に一体化しており、ロウ方向に複数形成される。

40

【0077】

フローティングゲートFG1、FG2と、コントロールゲートCGはいずれもポリシリコンから成る。コントロールゲートCGは、ロウ方向に一体化しており、コラム方向に複数形成されて、その各々はワード線WL1、WL2、...として機能する。

【0078】

コントロールゲートCG、CG、...の抵抗を下げるべくWSi膜36が設けられており、コントロールゲートCG、CG、...を保護すべくキャップ膜38が設けられており、これは、シリコン酸化膜から成る。

50

【0079】

本発明の一特徴を成すセルトランジスタTCの拡大断面図を図2に示す。凸部13aの頂面13cには第1の絶縁膜であるゲート絶縁膜15cが形成されている。また、凸部13aは対向する一对の側面13b、13bを有し、各側面13b、13bの表層には、反対導電型領域であるn型領域17、17が形成されている。このn型領域17、17の不純物濃度は、上記ビット線BL1、BL2の不純物濃度に比して1/100から1/10000、好ましくは1/1000程度の不純物濃度を選択される。

【0080】

第2の絶縁膜であるトンネル絶縁膜15aは、各側面13b、13bとビット線BL1、BL2とを覆っている。後述するが、ビット線BL1、BL2はソース・ドレイン領域としても機能するので、以下ではビット線BL1、BL2のことをソース・ドレイン領域とも称す。

【0081】

フローティングゲートFG1、FG2は、凸部13aの各側面側に設けられ、各々トンネル絶縁膜15aを介して、ソース・ドレイン領域BL1、BL2および側面13b、13bと対向する。第3の絶縁膜であるインターポリ絶縁膜15bは、フローティングゲートFG、FGの各表面に形成される。

【0082】

なお、トンネル絶縁膜15a、インターポリ絶縁膜15b、およびゲート絶縁膜15cは、いずれもシリコン酸化膜から成る。そして、コントロールゲートCGは、上記インターポリ絶縁膜15bを介してフローティングゲートFG1、FG2と対向し、またゲート絶縁膜15cを介して頂面13cと対向する。このコントロールゲートCGは、上記インターポリ絶縁膜15bを介してフローティングゲートFG1、FG2と対向する部分と、ゲート絶縁膜15cを介して頂面13cと対向する部分とを各々電氣的に独立して形成し、これらを独立に電気制御するようにしてもよい。

【0083】

上記の構造では、チャンネルは、凸部13aの両側面13b、13bと頂面13cの各表層に三次元的に形成され、従来のように一平面内に形成されていないので、少ない占有面積でチャンネル長を稼ぐことができ、デバイスの小型化を図ることができる。

【0084】

凸部13aのp型不純物濃度は、セルトランジスタTCがノーマリーオフとなるように調整される。すなわち、一方のソース・ドレイン領域BL1(BL2)に所定電圧がバイアスされた状態で、このバイアスされたソース・ドレイン領域BL1(BL2)とコントロールゲートCGとの電位差が閾値電圧以下のとき、ゲート絶縁膜15cを介してコントロールゲートCGによって制御される凸部の頂面近傍のチャンネル領域がオフ状態となり、その結果、セルトランジスタTCがオフ状態となり、上記電位差が閾値電圧以上のとき、トランジスタTCがオン状態となるように、上記p型不純物濃度は調整される。なお、ソース・ドレイン領域BL1(BL2)にバイアスされる所定電圧とは、書込み、読出し等の各種の動作時に印加される後述の電圧 V_{DD} を言う。

【0085】

図3は、セルトランジスタTCの等価回路を模式的に表した図であり、様々な容量を示している。各容量の意味は次の通りである。

- ・ C_{CG} …… コントロールゲートCGと凸部13aの頂面13cとの対向容量である。
- ・ C_{CF1} (C_{CF2}) …… コントロールゲートCGとフローティングゲートFG1(FG2)との対向容量である。
- ・ C_{FG1} (C_{FG2}) …… フローティングゲートFG1(FG2)と、凸部13aの側面13bとの対向容量である。
- ・ C_{FS} (C_{FD}) …… フローティングゲートFG1(FG2)と、ソース・ドレイン領域BL1(BL2)との対向容量である。

10

20

30

40

50

【0086】

再び図1を参照されたい。セルトランジスタTC、TC、・・・は、コラム方向およびロウ方向に複数配列される。コラム方向に隣接するセルトランジスタ（例えばTC_aとTC_b）同士は、ソース・ドレイン領域BL3、BL4が共通であり、素子分離領域40により電氣的に分離される。ロウ方向に隣接するセルトランジスタ（例えばTC_cとTC_a）は、コントロールゲートCGを共有し、かつ、それらの間のソース・ドレイン領域BL3を共有する。

【0087】

(2) 駆動方法

次に、上述のセルトランジスタTCの駆動方法について説明する。

【0088】

I) 書込動作

書込動作について、図4を参照して説明する。図4は、セルトランジスタTCへの書込動作について示す断面図である。上述の如く、凸部13aの両側方には一対のフローティングゲートFG1、FG2が設けられており、本実施例によれば、各フローティングゲートFG1、FG2に独立に電子を注入することができる。

【0089】

例えば、右側のフローティングゲートFG2に電子を注入するには、図4に示すように、コントロールゲートCGに書込電圧V_G（たとえば2.2V）を印加する。そして、電子が注入される側のソース・ドレイン領域BL2に電圧V_{DD}（たとえば6V）を印加する。基板12と、電子が注入されない側のソース・ドレイン領域BL1とは接地する。これにより、ソース・ドレイン領域BL1～BL2間には、書込み用の電位差（本実施例では6V）が与えられる。

【0090】

これによれば、コントロールゲートCGに正電位が印加されるから、頂面13cの表層に反転層13dが形成され、n型領域17、17同士がこの反転層13dにより電氣的に接続される。またn型領域17、17は、それと同じ導電型（すなわちn型）のソース・ドレイン領域BL1、BL2に接しているから、結局、ソース・ドレイン領域BL1、BL2が電氣的に接続される。

【0091】

従って、キャリア（本実施例では電子）は、同図の矢印の経路を流れることになる。特に、頂面13cを流れる電子に注目されたい。この電子から見れば、その運動方向に右側のフローティングゲートFG2が位置する。よって、電子がこのフローティングゲートFG2に注入されるためには、従来のように電子の運動方向を変える必要が無いから、電子をフローティングゲートFG2に引き付けるためのゲート電圧（書込電圧）V_Gを従来よりも下げることができる。さらにフローティングゲートFG2は、静電容量の大きなゲート絶縁膜15aを介してドレイン電圧によって電位が引き上げられているから、電子をフローティングゲートFG2に引き付けるためのゲート電圧（書込電圧）V_Gをさらに下げることができる。

【0092】

しかも、側面13bにn型領域17、17を設けたことで、側面13bが低抵抗となり、そこでの電圧降下が抑えられる。よって、頂面13cの両端に、ソース・ドレイン領域BL1～BL2間電圧（たとえば6V）より若干低下した高い電圧が印加されるから、この電圧により電子が頂面13cで勢いよく加速され、フローティングゲートFG2に電子が効率良く注入される。このように、n型領域17、17も、書込電圧V_Gを低減するのに寄与する。

【0093】

上述の利点は、頂面13cでのチャネル抵抗を大きくしても得ることができる。チャネル抵抗を大きくするには、ゲート絶縁膜15cを厚膜に形成して、コントロールゲートCGとチャネル領域との間の静電容量を小さくすれば良い。本実施例では、図4に示すように

10

20

30

40

50

、ゲート絶縁膜 15 c をトンネル絶縁膜 15 a よりも厚くすることで静電容量を小さくし、チャネル抵抗を大きくしている。

【0094】

チャネル抵抗を大きくする構造は上記に限定されず、図 5 の構造を採用しても良い。この構造では、凸部 13 a の頂面 13 c に高抵抗領域（一導電型不純物領域）13 e を設ける。係る高抵抗領域 13 e は、頂面 13 c に、凸部 13 a よりも高濃度の p 型不純物をイオン注入して形成される。

【0095】

図 4 または図 5 のように、頂面 13 c でのチャネル抵抗を大きくすると、頂面 13 c での電圧降下が大きくなるから、頂面 13 c の両端にソース・ドレイン領域 B L 1 ~ B L 2 間電圧より若干低下した高い電圧が印加される。よって、上述したのと同じ理由により、書込電圧 V_G を低減することができる。

【0096】

上記を約言すれば、書込電圧 V_G を低減するには、i i) トンネル絶縁膜の静電容量を大きくして、フローティングゲートをドレイン電圧によって引き上げるか、i i i) ゲート絶縁膜 15 c を厚膜にするか、または i v) 頂面 13 c に高抵抗領域 13 e を設ければ良い。これら i) ~ i v) を任意に組み合わせることで、上述の利点を得ることもできる。i) ~ i v) のいずれの場合であっても、書込電圧 V_G は約 2 . 2 V 程度で良く、従来例（約 12 ~ 13 V）よりも格段に低くすることができる。

【0097】

図 4 では、右側のフローティングゲート F G 2 にのみ電子が注入されたが、左側のフローティングゲート F G 1 に電子を注入するには、ソース・ドレイン領域 B L 1、B L 2 の電圧を入れ替えれば良い。よって、本発明では、図 6 (a) ~ (d) に示す 4 状態が得られる。

【0098】

図 6 (a) は、両フローティングゲート F G 1、F G 2 に電子が注入されていない“(1、1)”状態を示す。図 6 (b)、(c) は、フローティングゲート F G 1、F G 2 の一方にのみ電子が注入された“(1、0)”、“(0、1)”状態を示す。図 6 (d) は、両フローティングゲート F G 1、F G 2 に電子が注入された“(0、0)”状態を示す。この状態を得るには、例えば、右側のフローティングゲート F G 2 に電子を注入した後、左側のフローティングゲート F G 1 に電子を注入すれば良い。かくして、本実施例では、1 つのセルトランジスタ T C に 2 ビットのデータ“(0、0)”~“(1、1)”を書き込むことができる。

【0099】

本実施例ではフローティングゲート F G 1、F G 2 が 2 つ設けられ、各フローティングゲート F G 1、F G 2 に電子が独立に存在するから、セル縮小を図る場合でも、どちらのフローティングゲート F G 1、F G 2 に電子が存在するのかが明確であり、従来例の如くどちらのビットに電子が局在するか不明瞭になることが無い。

【0100】

I I) 読出動作

次に、読出動作について、図 7 (a) ~ (b) を参照して説明する。データを読み出すには、まず、図 7 (a) に示すように、コントロールゲート C G に読出電圧 V_G （たとえば 2 . 2 V）を印加する。そして、一方のソース・ドレイン領域 B L 2 に電圧 V_{DD} （たとえば 1 . 6 V）を印加し、他方のソース・ドレイン領域 B L 1 と基板 12 とを接地する。これにより、ソース・ドレイン領域 B L 1 ~ B L 2 間には、読出し用の電位差（本実施例では 1 . 6 V）が印加される。

【0101】

係る電位配分だと、コントロールゲート C G が正電位となるから、凸部 13 a の頂面に反転層 13 d が形成される。よって、同図の矢印の向きに第 1 のドレイン電流 I_{d1} が流れる。

10

20

30

40

50

【0102】

次いで、図7(b)に示すように、読出電圧 V_G （すなわち2.2V）はそのまま、ソース・ドレイン領域BL1、BL2の電圧を入れ替える。このようにすると、ソース・ドレイン領域BL1～BL2間の電位差が反転するから、同図の矢印の向きに第2のドレイン電流 I_{d2} が流れる。

【0103】

本実施例では、上記のようにソース・ドレイン領域BL1、BL2の電圧を入れ替えることにより、2種類のドレイン電流 I_{d1} 、 I_{d2} を計測する。係るドレイン電流 I_{d1} 、 I_{d2} の大きさは、4値状態の各状態によって後述の如く異なる。よって、2種類のドレイン電流値のセット（ I_{d1} 、 I_{d2} ）と、各状態とを一对一に対応させることにより、
10 どの状態が記憶されているかを読み出すことができる。次に、各状態“(1,1)”～“(0,0)”におけるドレイン電流値について説明する。

【0104】

(i)“(1,0)”状態

図8(a)～(b)は、“(1,0)”状態を読み出す場合の断面図である。図8(a)において、それぞれの部材に印加する電圧は上述の図7(a)の通りであって、係る電圧によりドレイン電流 I_{d1} が流れる。図8(a)の状態では、右側のフローティングゲートFG2は、電子が注入されたことにより電位が下がる。しかし、係るフローティングゲートFG2の電位は、対向容量 C_{CF2} 、 C_{FD} によって、コントロールゲートCG(2.2V)やソース・ドレインBL2(1.6V)の正電位側に引き上げられる。
20

【0105】

結局、フローティングゲートFG2の電位下降が抑えられるから、フローティングゲートFG2近傍でのチャンネル抵抗はそれ程大きくない。従って、ドレイン電流 I_{d1} の電流値は比較的大きくなる。

【0106】

特に、図のようにn型領域17を設けた場合は、n型領域17はソース・ドレイン領域BL2に接するから、n型領域17の電位がソース・ドレイン領域BL2のそれとほぼ同じとなる。従って、フローティングゲートFG2の電位は、対向容量 C_{FG2} によってもソース・ドレインBL2側に引き上げられる。よって、右側のフローティングゲートFG2近傍のチャンネル抵抗がさらに小さくなるから、ドレイン電流 I_{d1} の電流値はより一層大きくなる。
30

【0107】

一方、図8(b)は、ソース・ドレインBL1、BL2の電圧を入れ替えて、ドレイン電流 I_{d2} を流した場合である。この場合、注入電子によって、右側のフローティングゲートFG2の電位が下がる。しかも、右側のソース・ドレイン領域BL2が接地されるから、フローティングゲートFG2の電位は、ソース・ドレイン領域BL2との対向容量 C_{FD} により接地側に引き下げられる。よって、フローティングゲートFG2の電位が図8(a)の場合よりも低くなるから、フローティングゲートFG2近傍のチャンネル抵抗が大きくなり、ドレイン電流 I_{d2} が先の I_{d1} よりも小さくなる。

【0108】

特に、n型領域17を設けると、右側のフローティングゲートFG2の電位は対向容量 C_{FG2} によっても接地側に引き下げられ、ドレイン電流 I_{d2} がより一層小さくなる。このように、“(1,0)”状態は、
40

・(I_{d1} 、 I_{d2})=(大、小)

で識別することができる。このドレイン電流 I_{d1} 、 I_{d2} の大小の判定は、不図示のセンスアンプが基準電流と比較して行う。

【0109】

本実施例では、各ドレイン電流 I_{d1} 、 I_{d2} の電流量は、対向容量 C_{CF2} 、 C_{FD} 、 C_{FG2} によって、上述の如く所望に大にしたり小にしたりすることができる。よって、その差($I_{d1} - I_{d2}$)を所望に大きくすることができる。差($I_{d1} - I_{d2}$)
50

とは電流ウインドウであるから、本実施例では電流ウインドウを所望に広げることができる。電流ウインドウが広いので、ドレイン電流 I_{d1} 、 I_{d2} と基準電流とのマージンが広くなり、書込データを誤認する危険性が低減できる。

【0110】

(ii) “(0, 1)” 状態

“(0, 1)” 状態は、上記とは反対に左側のフローティングゲート FG1 に電子が注入される。よって、各ドレイン電流 I_{d1} 、 I_{d2} の電流値は、上記の議論と同様にして評価され、

・ $(I_{d1}, I_{d2}) = (\text{小}, \text{大})$

となる。

10

【0111】

(iii) “(1, 1)” 状態

“(1, 1)” 状態は、いずれのフローティングゲート FG1、FG2 にも電子が注入されない。従って、各フローティングゲート FG1、FG2 の電位は電子によって引き下げられないから、 I_{d1} 、 I_{d2} の双方とも大となる。また、この状態は左右対称であるから、 I_{d1} と I_{d2} とに差は生じず、

・ $(I_{d1}, I_{d2}) = (\text{大}, \text{大})$

となる。

【0112】

(iv) “(0, 0)” 状態

“(0, 0)” 状態は、両方のフローティングゲート FG1、FG2 に電子が注入されるから、左右対称となる。従って、 I_{d1} と I_{d2} とに差は生じず、

・ $(I_{d1}, I_{d2}) = (\text{小}, \text{小})$

となる。

20

【0113】

本発明の半導体メモリの読出動作にあつては、上記のごとき “(0, 0)” ~ “(1, 1)” 論理状態を判定した後、これに基づく読出しを行なってもよいが、以下のようにして読出動作を行なうこともできる。すなわち、本発明の半導体メモリの読出動作にあつては、結局のところ、読出電圧の印加されない側（接地側）のソース・ドレインに対向するフローティングゲートで電荷が蓄積されているか否かに応じてドレイン電流値 I_d が変化することになる。したがって、一方のソース・ドレインにドレイン電圧を付与した際に、それによって得られるドレイン電流値を検出するのみで、電圧の印加されない側のフローティングゲートの電荷蓄積状況を単独に検出することが可能であり、このようにして読出しを行なうことも可能である。

30

【0114】

III) 消去動作

次に、フローティングゲート FG1、FG2 に注入された電子の消去方法について説明する。蓄積電子を引き抜くには、図9に示すように、電子をソース・ドレイン領域 BL1、BL2 に引き抜く方法が考えられる。この方法では、コントロールゲート CG を接地して、ソース・ドレイン領域 BL1、BL2 に高電位 “H”（たとえば 12V）を与える。ここで、コントロールゲート CG と、ソース・ドレイン領域 BL1、BL2 との電位差は相対的に設定することができ、たとえば、コントロールゲート CG に -6V を、ソース・ドレイン領域 BL1、BL2 に 6V を印加するようにしてもよい。

40

【0115】

他の方法としては、図10に示すように、コントロールゲート CG に高電位 V_G （たとえば 12V）を印加し、基板 12 とソース・ドレイン領域 BL1、BL2 とを接地する。この電位配分によれば、フローティングゲート FG1（FG2）から見ると、コントロールゲート CG 側の電位が高いので、蓄積電子はインターポリ絶縁膜 15b を介してコントロールゲート CG に引き抜かれる。ここでも同様に、コントロールゲート CG に 6V を、ソース・ドレイン領域 BL1、BL2 に -6V を印加し、両者間に相対的に 12V の電位差

50

を生じるようにしてもよい。

【0116】

また、図10の電位配分では、コントロールゲートCGが凸部13aよりも高電位だから、図示のように電子層が形成される。この電子層によって、対向容量 C_{FG1} (C_{FG2})の静電容量値が大きくなる。よって、当該対向容量 C_{FG1} (C_{FG2})によって、フローティングゲートFG1 (FG2)の電位が、凸部の側面13bの電位に引き付けられる。

【0117】

従って、フローティングゲートFG1 (FG2)の電位がより一層下がるから、フローティングFG1 (FG2)と側面13bとの電位差が僅かとなり、両者の間のトンネル絶縁膜15aがトンネル電流により破壊されることが無い。

【0118】

その上、フローティングゲートFG1 (FG2)の電位がソース・ドレイン領域BL1 (BL2)や側面13b側の電位に引き付けられることで、フローティングゲートFG1 (FG2)とコントロールゲートCGとの電位差が相対的に増大するから、これらの間に強い電界が生じ、この強電界により蓄積電子がコントロールゲートCGに効率良く引き抜かれる。

【0119】

i v) 非選択時

上記i) ~ i i i)は、いずれもセルトランジスタ1が選択されている場合であった。実際の動作では、セルトランジスタ1が常に選択されているということではなく、非選択状態の場合もある。

【0120】

非選択状態でも、ビット線BL1 (図3参照)には、他のセルトランジスタTCを選択すべく、各動作の電圧 V_{DD} が印加される。この場合、非選択セルトランジスタTCのフローティングゲートFG1は、ビット線BL1との大きい対向容量 C_{FS} により、ビット線BL1の電位に引き付けられる。よって、フローティングゲートFG1とソース・ドレイン領域BL1との間の電位差が小さくなるから、それらの間のトンネル絶縁膜15aが高電界に曝されることが無い。従って、トンネル絶縁膜15aにトンネル電流が流れ難くなり、該トンネル絶縁膜15aが劣化することが防がれる。

【0121】

その上、上記のように電位差が小さくなることから、ソース・ドレイン領域BL1と基板12とのpn接合で高電界によりホットホールが発生することが抑えられるので、当該ホットホールによりトンネル絶縁膜15aが劣化することも防がれる。このように、本実施例ではバンド間トンネル耐性が向上する。

【0122】

ここで、上記駆動時i) ~ i v)の各利点を得るために、フローティングゲートFG1 (FG2)とソース・ドレイン領域BL1 (BL2)との対向容量 C_{FS} (C_{FD})が重要な役割を果たしているのに注意されたい。本実施例では、フローティングゲートFG1 (FG2)をソース・ドレイン領域BL1 (BL2)上に覆設することにより、フローティングゲートFG1 ~ FG2の間隔を狭めてデバイスを小型化するとともに、上記対向容量 C_{FD} 、 C_{FS} を大きく稼いで上述の利点を得やすくしている。

【0123】

フローティングゲートFG1 (FG2)とソース・ドレイン領域BL1 (BL2)との対向面積は限定されない。対向面積が大きいほど上述の利点を得やすいが、小さくても得ることは可能である。従って、図25に示すように、ソース・ドレイン領域BL1 (BL2)を凸部13aから後退させ、該ソース・ドレイン領域BL1 (BL2)の一部をフローティングゲートFG1 (FG2)と対向させても上述の利点を得られる。

【0124】

(3) パンチスルー対策と閾値電圧 V_{th} の安定化

10

20

30

40

50

ところで、上記の書き込みや読み出し動作の際に、ソース・ドレイン $BL1 \sim BL2$ 間のパンチスルーが問題になるなら、図 30 に示す構造を採用することが良い。図 30 中のグラフは、凸部 13a の深さと、その深さでのボロン (p 型不純物) 濃度との関係を示すものである。この構造では、凸部 13a のボロン濃度を深さ方向に漸増させて、凸部 13a の基端部でのボロン濃度を高くする。このようにすると、ソース・ドレイン領域 $BL1$ 、 $BL2$ に近い部位の側面 13b、13b において、ボロン濃度が高くなる。

【0125】

上記の構造により、n 型のソース・ドレイン $BL1$ 、 $BL2$ に近い部位のチャンネルにおいて p 型不純物の濃度が高くなるから、チャンネルは、n 型のソース・ドレイン $BL1$ 、 $BL2$ を直線的に結んだ領域 (n 型のソース・ドレイン $BL1$ 、 $BL2$ に近い部位) から離間した領域、すなわち凸部の側面 13b、13b と頂面 13c の各表層に形成されることとなる。このことは、上記の構造により、n 型のソース・ドレイン $BL1$ 、 $BL2$ に近い部位のチャンネルにおいて p 型不純物の濃度が高くなるから、ソース・ドレイン $BL1$ 、 $BL2$ がパンチスルーしにくくなることも意味しており、このセルトランジスタを集積化して半導体メモリを形成する場合に、高い集積度を実現することが可能となる。

10

【0126】

ところで、セルトランジスタ TC の閾値電圧 V_{th} は、基端部の側面 13b、13b での不純物濃度に大きく影響される。従って、上述のように基端部でボロン濃度を高くすると、セルトランジスタ TC の閾値電圧 V_{th} は高くなる。

【0127】

しかし、側面 13b に n 型領域 17 を設けると、この n 型領域 17 中の n 型不純物と側面 13b の p 型不純物とが補償するから、側面 13b での実質的なアクセプタ濃度を下げることができる。よって、たとえ凸部 13a の基端部でのボロン濃度を高くしても、n 型領域 17 を設けることで、トランジスタの閾値電圧 V_{th} の増加を抑えることができる。

20

【0128】

また、上述の如く、閾値電圧 V_{th} は基端部の不純物濃度にデリケートであるから、 V_{th} を安定させるためには基端部で不純物濃度が余り変動しないようにすることが好ましい。従って、凸部 13a におけるボロン濃度は、単に漸増するだけでなく、太線で示すピークをなるべくフラット (平坦) に形成し、フラットな部位を凸部 13a の基端部に位置させることが好ましい。フラットな部位では、ボロン濃度が余り変動しないから、ボロン濃度と n 型領域 17 中のヒ素濃度との濃度関係がほぼ一定となり、閾値電圧 V_{th} を安定させることができる。

30

【0129】

(4) コントロールゲート - ビット線間のリーク電流対策

本実施例では、図 11 に示すように、ロウ方向に隣接するセルトランジスタ TC、TC 間の A 部において、コントロールゲート CG とビット線 $BL2$ とが対向する。よって、A 部において、各種の動作時に、コントロールゲート CG とビット線 $BL2$ との間にリーク電流が流れることが考えられる。

【0130】

この点が懸念される場合は、図示のように、選択酸化膜 34 をトンネル絶縁膜 15a に繋げて設け、さらに、その厚みをトンネル絶縁膜 15a よりも厚膜にすると良い。このようにすると、選択酸化膜 34 の厚みによって、上記のリーク電流を防ぐことができる。図 36 の例においては、コントロールゲート CG とビット線 $BL1$ 、 $BL2$ との間のリーク電流を防ぐために、第 4 の絶縁膜を選択酸化により形成しているが、これに限られるものではなく、隣接するフローティングゲート間に開口を形成して、これに酸化物を充填し、その上に、コントロールゲート CG を形成するようにしてもよい。

40

【0131】

このようにコントロールゲート CG とビット線 $BL1$ 、 $BL2$ との間に絶縁物が埋められると、フローティングゲート FG1、FG2 はコントロールゲート CG と、インターポリ絶縁膜 15b を介する部分のみが対向することになる。

50

【 0 1 3 2 】

(5) 全体の回路構成

図 1 2 に、本実施例全体の回路構成を示す。図 1 2 に示す如く、メモリセルアレイ 4 4 は、上述のセルトランジスタ T C、T C、・・・をコラム方向およびロウ方向に複数配列したものである。各セルトランジスタ T C、T C、・・・のコントロールゲート（ワード線）W L 1 ~ W L 4 は、ロウデコーダ 4 3 の出力と接続される。係るロウデコーダ 4 3 は、所定ビットのロウデコード信号 R D C をデコードして、該信号 R D C に対応するワード線 W L 1 ~ W L 4 を選択する。

【 0 1 3 3 】

選択されたワード線 W L 1 ~ W L 4 には、ゲート電圧 V_G が供給される。ゲート電圧 V_G は、書き込み / 読出し / 消去の各動作時に所望に切り替えられ、各々の動作の電圧が印加される。上述したように、ゲート電圧 V_G は、書き込み時、2 . 2 V、読出し時、2 . 2 V、消去時、1 2 V である。一方、ワード線 W L 1 ~ W L 4 は非選択時にはフローティング状態となることがある。

【 0 1 3 4 】

一方、各セルトランジスタ T C、T C、・・・のビット線 B L 1 ~ B L 3 は、コラムデコーダ 4 2 の出力に接続される。コラムデコーダ 4 2 は、所定ビットのコラムデコード信号 C D C をデコードして、信号 C D C に対応するビット線 B L 1 ~ B L 3 を選択する。

【 0 1 3 5 】

選択されたビット線 B L 1 ~ B L 3 には電圧 V_{DD} が供給される。電圧 V_{DD} は、書き込み / 読出し / 消去の各動作時に所望に切り替えられ、各々の動作の電圧が印加される。上述したように、電圧 V_{DD} は、書き込み時、接地または 6 V、読出し時、接地または 1 . 6 V、消去時、接地である。一方、ビット線 B L 1 ~ B L 3 は非選択時にはフローティング状態となることがある。任意のセルトランジスタ T C は、選択ビット線 B L i と選択ワード線 W L j とによって選択されて、書き込み / 読出し / 消去の各動作が行われる。

【 0 1 3 6 】

(7) 製造プロセス

次に、本実施例に係る半導体メモリの製造方法について、図 1 3 ~ 図 2 4 を参照して説明する。最初に、図 1 3 (a) に示すように、一導電型半導体基板である p 型シリコン基板 1 2 を準備する。p 型シリコン基板 1 2 は、 p^+ 基板（ボロン濃度 $4 . 0 \times 10^{18} \text{ cm}^{-2}$ ）1 2 b 上に p 型のエピタキシャル層（ボロン濃度 $1 . 0 \times 10^{15} \text{ cm}^{-2}$ ）1 2 a を形成したものである。その表面に、シリコン熱酸化膜 1 8 を予め形成しておく。

【 0 1 3 7 】

次いで、図 1 3 (b) に示すように、シリコン窒化膜 1 9 をシリコン熱酸化膜 1 8 上に形成する。その後、このシリコン窒化膜 1 9 をパターニングして、開口部 1 9 a を形成する。

【 0 1 3 8 】

本実施例では、セルトランジスタの製造工程を、C M O S トランジスタの製造工程と両立して行うことができる。以下では、セルトランジスタだけでなく、C M O S トランジスタの製造工程も併記する。図中、C M O S トランジスタ部とは、後で C M O S トランジスタが形成される部位を指す。セルトランジスタ部が、セルトランジスタが形成される部位を指す。上述の開口 1 9 a は、C M O S トランジスタ部の所要部位に形成する。

【 0 1 3 9 】

続いて、図 1 4 (a) に示すように、フィールド酸化膜 1 8 a を成長させる。係るフィールド酸化膜 1 8 a は、シリコン窒化膜 1 9（図 1 3 (b) 参照）を酸化時のマスクにして成長させる。フィールド酸化膜 1 8 a を成長後、このシリコン窒化膜 1 9 はエッチングして除去される。

【 0 1 4 0 】

次いで、図 1 4 (b) に示すように、全体にフォトレジスト 2 0 を塗布する。このフォトレジスト 2 0 を露光・現像することにより、開口 2 0 a を形成する。その後、フォトレジ

スト 20 をマスクにし、ヒ素をイオン注入して、開口 20 a の下に n ウエル 21 を形成する。n ウエル 21 を形成後、フォトレジスト 20 は除去される。

【0141】

次に、図 15 (a) に示すように、新たなフォトレジスト 22 を全体に塗布する。このフォトレジスト 22 を露光・現像して、開口 22 a を形成する。その後、フォトレジスト 22 をマスクにし、ボロンをイオン注入して、開口 22 a の下に p ウエル 23 を形成する。p ウエル 23 を形成後、フォトレジスト 22 を除去する。

【0142】

次いで、図 15 (b) に示すように、全体にフォトレジスト 24 を塗布する。フォトレジスト 24 には、露光・現像により、開口 24 a を形成する。開口 24 a は、セルトランジスタ部の上方に形成される。このフォトレジスト 24 をマスクにしてイオン注入を行い、p ウエル 13 を形成する。このイオン注入は 4 回行われ、各回の条件は次の通りである。

【0143】

・ 1 回目・・・イオン種：B F₂
 加速エネルギー：15 (KeV)
 ドーズ量：5.0 × 10¹¹ (cm⁻²)
 ・ 2 回目・・・イオン種：B F₂
 加速エネルギー：45 (KeV)
 ドーズ量：5.0 × 10¹¹ (cm⁻²)
 ・ 3 回目・・・イオン種：B (ボロン)
 加速エネルギー：20 (KeV)
 ドーズ量：6.0 × 10¹² (cm⁻²)
 ・ 4 回目・・・イオン種：B (ボロン)
 加速エネルギー：40 (KeV)
 ドーズ量：5.0 × 10¹² (cm⁻²)
 ドーズ量：5.0 × 10¹² (cm⁻²)

上記 4 回のイオン注入により、p ウエル 13 は、図 31 のようなボロン濃度分布を示す。図 31 は、p ウエル 13 の表面からの深さと、その深さでのボロン濃度との関係を示すグラフである。

【0144】

図において、正味のボロン濃度は、各回のボロン濃度 (点線) の包絡線 (実線) で表される。これより明らかなように、ボロンの濃度分布にピーク (太線部分) が形成される。ピークを、イオン注入条件を適宜調節してフラットに形成し、フラットな部位を深さ方向にできるだけ広範に存在させることが好ましい。この理由は、後述の図 16 (b) で明らかになる。

【0145】

次に、図 16 (a) に示すように、先のフィールド酸化膜 18 a は残しつつ、シリコン熱酸化膜 18 (図 15 (b) 参照) をエッチングして除去する。その後、基板 12 の表面を再び熱酸化し、ゲート絶縁膜 15 c を形成する。ゲート絶縁膜 15 c の膜厚は、約 10 nm 程度である。

【0146】

このゲート絶縁膜 15 c 上に、順に、シリコン窒化膜 25 (たとえば膜厚約 10 nm)、シリコン酸化膜 26 (たとえば膜厚 4 nm)、およびシリコン窒化膜 27 (たとえば膜厚 50 nm) を形成する。各膜の機能は、後の工程で明らかになる。これらの膜は、公知の CVD 法 (化学的気相成長法) により形成される。

【0147】

次いで、図 16 (b) に示すように、最上層のシリコン窒化膜 27 上にフォトレジスト 45 を塗布する。塗布後、フォトレジスト 45 を露光・現像することにより、帯状の開口 45 a、45 a、・・・を形成する。フォトレジスト 45 をエッチングマスクとして用い、エッチングを行う。エッチングにより、シリコン窒化膜 25、27、シリコン酸化膜 26

、およびゲート絶縁膜 15c が開口される。これらの膜の開口を通じて p 型シリコン基板 12 がエッチングされ、トレンチ 28、28、・・・が形成される。

【0148】

トレンチ 28、28、・・・は、その底部がボロン濃度のピーク（図 31 参照）に位置するように形成する。ピークは、図 15（b）の工程においてフラットに形成され、しかもこのフラットな部位を深さ方向に広範に存在させたから、プロセス上でトレンチ 28 の深さにばらつきが生じて、トレンチ 28 の底部をボロン濃度のピークに確実に位置させることができる。

【0149】

これにより、基端部でのボロン濃度が高い凸部 13a（図 30 参照）が形成される。基端部での不純物濃度は、閾値電圧 V_{th} に大きく影響するが、上述のようにトレンチ 28 の底部をボロンの濃度のピークに確実に位置させることができるから、閾値電圧 V_{th} が変動するのを防ぐことができる。

【0150】

再び、図 16（b）に戻ると、トレンチ 28、28、・・・のサイズは限定されないが、本実施例ではその深さは約 380 nm 程度である。また、隣接するトレンチ 28、28、・・・の間隔（即ち凸部 13a の幅）は、約 160 nm 程度である。トレンチ 28、28、・・・を形成後、フォトリソスト 45 は除去される。

【0151】

続いて、図 17（a）に示すように、露出面全体にシリコン酸化膜 29（膜厚は約 20 nm）を形成する。シリコン酸化膜 29 は、CVD 法により成膜される。次に、17（b）に示すように、シリコン酸化膜 29 を厚み方向に異方的にエッチングする。このエッチングは、RIE（Reactive Ion Etching）により行われる。これにより、シリコン酸化膜 29 は、凸部 13a の側面 13b に形成されたものを残して、除去される。

【0152】

その後、ヒ素をイオン注入することにより、トレンチ 28、28、・・・の底部にビット線 BL1、BL2、・・・を形成する。イオン注入の際、側面 13b にはシリコン酸化膜 29 が形成されているから、側面 13b にヒ素が注入されることが防がれる。また、凸部 13a がマスクとして機能するので、各ビット線 BL1、BL2、・・・をトレンチ 28 の底にセルフアライン的に形成することができる。このイオン注入の条件は次の通りである。

【0153】

イオン種：As（ヒ素）

加速エネルギー：15（KeV）

ドーズ量： 2.0×10^{14} （ cm^{-2} ）

イオン注入を終了後、側面 13b に残存するシリコン酸化膜 29 を約 10 nm 程度エッチングして薄くする。薄いため、以下では、残存するシリコン酸化膜 29 の図示を省略する。

【0154】

次いで、図 18（a）に示すように、凸部 13a の両側面 13b、13b にヒ素をイオン注入して、反対導電型領域である n 型領域 17、17、・・・を形成する。側面 13b にイオン注入するには、基板 12 をイオンの入射方向に対して傾ければ良い。本実施例では、p 型シリコン基板 12 の法線 n_1 を、イオンの入射方向 n_0 に対して約 $\pm 20^\circ$ 傾ける。このイオン注入の条件は次の通りである。

【0155】

イオン種：As（ヒ素）

加速エネルギー：10（KeV）

ドーズ量： 5.0×10^{11} （ cm^{-2} ）

イオン注入の際、側面 13b には薄いシリコン酸化膜 29（図 17（b）参照）が残存す

るから、側面 13b に過剰にヒ素が注入することを防ぐことができる。

【0156】

ところで、トレンチ 28、28、・・・の表層は、デバイスのチャネルとなる部位であり、その性質はデバイスの特性に大きく影響する。よって、後の種々の工程において、トレンチ 28、28、・・・の表面が汚染されないようにする必要がある。

【0157】

この点に鑑み、本実施例では、図 18 (b) に示すように、犠牲シリコン酸化膜 31 をトレンチ 28、28、・・・の側面と底面とに形成する。犠牲シリコン酸化膜 31 の膜厚は約 4 nm 程度であって、それは熱酸化により形成される。

【0158】

トレンチ 28、28、・・・の表面は、犠牲シリコン酸化膜 31 によって覆われて保護されるから、後の工程で汚染されることが防がれる。しかも、このシリコン酸化膜 31 は、トレンチ 28、28、・・・の表層の格子欠陥を取り除くようにも機能するので、格子欠陥によりデバイスの特性が劣化するのも防がれる。その後、シリコン窒化膜 (すなわちマスク膜) 30 を、トレンチ 28、28、・・・内を含む露出面全体に形成する。シリコン窒化膜 30 の膜厚は約 60 nm 程度であって、それは CVD 法により形成される。

【0159】

続いて、図 19 (a) に示すように、上記のシリコン窒化膜 30 を厚み方向に異方的にエッチングして、開口である長穴 30a を形成する。長穴 30a を形成後、シリコン窒化膜 30 をエッチングマスクにし、先の犠牲シリコン酸化膜 31 と、各ビット線 BL1、BL2、・・・の一部とを選択的にエッチングする。エッチングにより、各ビット線 BL1、BL2、・・・には、リセス (窪み) 32 (深さ約 10 nm) が形成される。

【0160】

その後、ビット線 BL1、BL2、・・・の抵抗を下げるべく、長穴 30a を通じて、ヒ素をビット線 BL1、BL2、・・・にイオン注入する。図に、イオン注入によりヒ素が注入された部位 (n^+ 領域) 33 を示す。イオン注入の条件は次の通りである。

【0161】

イオン種: As (ヒ素)

加速エネルギー: 30 (KeV)

ドーズ量: 3.0×10^{15} (cm^{-2})

次いで、図 19 (b) に示すように、シリコン窒化膜 30 をマスクにし、リセス 32、32、・・・を選択的に酸化して選択酸化膜 34、34、・・・を形成する。選択酸化膜 34、34、・・・を形成した後は、シリコン窒化膜 27、30 をエッチングして除去する。エッチングでは、シリコン酸化膜 26 と犠牲シリコン酸化膜 31 とがエッチングストップとして機能する。次いで、シリコン酸化膜 26 をエッチングして除去する。今度は、シリコン窒化膜 25 がエッチングストップとして機能する。エッチングは、シリコン酸化膜 26 が完全に除去され、かつ、選択酸化膜 34、34、・・・が残存する程度に行う。

【0162】

その後、図 20 (a) に示すように、トレンチ 28、28、・・・の底面と側面とを再び酸化して、膜厚が約 5 nm 程度のトンネル絶縁膜 15a を形成する。トンネル絶縁膜 15a は、その膜質がデバイス動作に大きく影響するから、良好な膜質になるように形成することが好ましい。

【0163】

本実施例では、良質なトンネル絶縁膜 15a を形成すべく、プラズマ酸化法を用いる。プラズマ酸化法においては、ラジアルラインスロットアンテナを使用したマイクロ波励起高密度プラズマ装置が用いられる。そして、該装置内に、クリプトン (Kr) と酸素 (O_2) との混合ガスを導入する。

【0164】

マイクロ波により励起されたクリプトンは、酸素 (O_2) と衝突して大量の原子状酸素 O^* を生成せしめる。原子状酸素 O^* は、トレンチ 28、28、・・・の表層部に容易に浸

10

20

30

40

50

入する。よって、面方位に依存することなく、全ての面方位が概略同じ酸化速度で均一に酸化される。そのため、同図の円内に示す如く、トレンチ 28、28、・・・のコーナ部に均一な膜厚でトンネル絶縁膜 15 a が形成できる。なお、上記のプラズマ酸化法については、「第 48 回応用物理学関係連合講演会 講演予稿集 29 p - Y C - 4」や、特開 2001 - 160555 号公報に詳しい。

【0165】

上記のようにトンネル絶縁膜 15 a を形成した後は、図 20 (b) の工程が行われる。この工程では、ポリシリコン膜 34 を、上記トンネル絶縁膜 15 a 上とシリコン窒化膜 25 上に形成する。ポリシリコン膜 34 は、in-situ でリン (P) が予めドーブされている。また、このポリシリコン膜 34 の膜厚は、約 50 nm 程度である。

10

【0166】

次に、図 21 (a) に示すように、ポリシリコン膜 34 を厚み方向に異方的にエッチングする。これにより、シリコン窒化膜 25 上のポリシリコン膜 34 を除去しつつ、トレンチ 28、28、・・・の側面上のトンネル絶縁膜 15 a 上にポリシリコン膜 34 を残存させる。残存したポリシリコン膜 34 は、フローティングゲート FG1、FG2 となる。フローティングゲート FG1、FG2 を形成後、シリコン窒化膜 25 をエッチングして除去する。

【0167】

続いて、図 21 (b) に示すように、全体にフォトレジスト 35 を塗布する。塗布後、フォトレジスト 35 を露光・現像することにより、開口 35 a を形成する。この開口 35 a は、CMOS トランジスタ部上に形成する。このフォトレジスト 35 をエッチングマスクとして使用し、CMOS トランジスタ部上のゲート絶縁膜 15 c をエッチングする。これにより、CMOS トランジスタ部の n ウエル 21 と p ウエル 23 の表面が露出する。

20

【0168】

次いで、図 22 (a) に示すように、フォトレジスト 35 を除去後、露出面全体を既述のプラズマ酸化法により酸化する。これにより、ゲート絶縁膜 15 c 下のシリコンが酸化されるから、ゲート絶縁膜 15 c が厚膜となる。同時に、フローティングゲート FG1、FG2 の表面も酸化され、インターポリ絶縁膜 15 b が形成される。インターポリ絶縁膜 15 b の膜厚は、約 8 nm 程度である。

【0169】

フローティングゲート FG1、FG2 は、ポリシリコンから成るので、その表面には様々な面方位の結晶粒が多数形成されている。このように面方位がまちまちでも、上述のプラズマ酸化法によれば、面方位に依存すること無しに、均一にシリコン酸化膜が形成できる。よって、インターポリ絶縁膜 15 b の膜厚が局所的に薄くなることが防がれ、薄い部位での絶縁特性が劣化するという不都合が生じない。この利点は、ポリシリコンにリン (P) がドーブされていても得ることができる。

30

【0170】

続いて、図 22 (b) に示す構造を作製する。この構造を得るには、まず、露出面全体にポリシリコン膜を形成する。このポリシリコン膜は後でコントロールゲート CG となる。ポリシリコン膜は、in-situ プロセスでリン (P) が予めドーブされている。次いで、ポリシリコン膜上に、WSi 膜 36 を形成する。さらに、WSi 膜 36 上に、シリコン酸化膜からなるキャップ膜 38 を形成する。そして、これらの積層膜をパターンニングすることで、図示の構造が得られる。

40

【0171】

この工程により、ロウ方向に一体化して成るコントロールゲート CG、CG、・・・が複数形成される。同時に、CMOS トランジスタ部上の p ウエル 23、n ウエル 21 上に、ゲート電極 41 が形成される。ゲート電極 41 は、ポリシリコン膜 37 を主体に構成され、WSi 膜 36 により、その抵抗が下げられている。WSi 膜 36 は、コントロールゲート CG 上にも形成されるから、コントロールゲート CG の抵抗も下がる。

【0172】

50

次いで、図 2 3 (a) に示すように、全体にフォトレジスト 3 9 を塗布する。塗布後、フォトレジスト 3 9 を露光・現像することにより、開口 3 9 a を形成する。開口 3 9 a を形成する部位は、隣接するコントロールゲート C G、C G、・・・の間である。

【 0 1 7 3 】

続いて、図 2 3 (b) に示すように、フォトレジスト 3 9 をエッチングマスクとして使用し、コントロールゲート C G、C G、・・・で覆われていない部位のインターポリ絶縁膜 1 5 b をエッチングして除去する。エッチングの際、コントロールゲート C G、C G、・・・間のゲート絶縁膜 1 5 c も僅かにエッチングされる。さらに、エッチャントを変えて、コントロールゲート C G、C G、・・・で覆われていない部位のフローティングゲート F G 1、F G 2 をエッチングして除去する。この工程により、隣接するコントロールゲート C G、C G、・・・の間に、トンネル絶縁膜 1 5 a が露出する。 10

【 0 1 7 4 】

最後に、図 2 4 に示すように、素子分離領域 4 0 を形成する。この素子分離領域 4 0 を形成すべき部位は、コントロールゲート C G、C G、・・・で覆われていない凸部 1 3 a の、側面 1 3 b および頂面 1 3 c である。側面 1 3 b および頂面 1 3 c は、コントロールゲート C G 下でチャンネルとなるが、素子分離領域 4 0 によって、隣接するコントロールゲート C G 下のチャンネルが電氣的に分離される。

【 0 1 7 5 】

素子分離領域 4 0 を形成するには、フォトレジスト 3 9 をマスクにして、ボロンをイオン注入する。イオン注入に際しては、素子分離領域 4 0 を凸部 1 3 a の側面 1 3 b に形成すべく、基板 1 2 をイオンの入射方向に対して傾ける。本実施例では、p 型シリコン基板 1 2 の法線 n_1 を、イオンの入射方向 n に対して約 $+/- 20^\circ$ 傾ける。イオン注入の条件は次の通りである。 20

・イオン種：B F₂

・加速エネルギー：20 (K e V)

・ドーズ量： 1.0×10^{13} (c m⁻²)

その後、フォトレジスト 3 9 を除去することで、図 1 に示される半導体メモリ 1 0 が完成する。なお、C M O S トランジスタ部については、所要部位にソース・ドレイン領域を形成して完成させる。

【 0 1 7 6 】

次に本発明の他の実施例について説明する。本実施例では、メモリセルを過消去することにより 1 つの特徴がある。本実施例は、フローティングゲートに蓄積された電荷を実質的に 0 以下の状態となるように過消去させることにより、書込効率が改善され、書込速度が向上することに着目したものである。 30

【 0 1 7 7 】

なお、本実施例においては、フローティングゲートが、2 つの反対導電型領域の間にあるチャンネル領域の一部にのみ設けられている半導体メモリを対象としているため、コントロールゲートを接地することにより、フローティングゲートが設けられていないチャンネル領域において電流を遮断することができ、読出し時等において選択されていないメモリセルに電流が流れることを防ぐことができる。すなわち、読出し時等において選択されていないメモリセルのコントロールゲートを接地しているときに、電流が流れることはないからである。さらに、過消去により、電流ウィンドウマージン（すなわちフローティングゲートに電荷が蓄積されているときと、いないときの電流差）が大きくなるという利点もある。 40

【 0 1 7 8 】

本実施例では、過消去は、消去したいメモリセルに対して前述の消去動作を、当該メモリセルに過消去が生じる時間、たとえば 5 m s e c の間、実行することにより行う。この程度の時間が経過すると、フローティングゲートの過消去状態で消去動作は飽和状態となり安定した電荷喪失状態（電子欠乏状態、正孔蓄積状態）となり、F N 電流値は、ほぼ 0 となって、フローティングゲートに、これ以上の正の電荷が蓄積されることはない。 50

【0179】

次に、本実施例に係る半導体メモリについて具体的に説明する。以下の説明では、既述の実施例の構成要素と同一の機能を有するものについては同一の参照符号を用いることとし、その説明も一部省略する。

【0180】

本実施例に係る半導体メモリの回路構成について説明する。図32は、本実施例に係る半導体メモリアレイ126の回路構成図である。同図において、参照符号 $TC_{i,m,p}$ は i ロウ m コラム目($i = 0, 1, 2, \dots, m = 0, 1, 2, \dots$)のバンク $BNK_{i,m}$ 内の p 番目($p = 0, 1, 2, \dots$)のセルトランジスタを表し、その構造と動作は、上述の図2に示すトランジスタと同一である。

10

【0181】

セルトランジスタ $TC_{i,m,p}$ の各々は、バンク $BNK_{i,m}$ にバンク分けされ、図1を参照して前述した TC に相当する。各バンク $BNK_{i,m}$ は、 $(1 \text{ コラム}) \times (n \text{ ロウ})$ に配列された n 個のセルトランジスタ $TC_{i,m,p}$ からなる。なお、 n は所定の自然数を表し、その値はとくに限定されない。また、バンク $BNK_{i,m}$ における i および m は、そのバンクに属するセルトランジスタ $TC_{i,m,p}$ の共通のロウ番号およびコラム番号をそれぞれ表す。

【0182】

この回路では、通常のフラッシュメモリがワード線とビット線との組み合わせでセルトランジスタを選択するのに対して、まず、 i ロウにある偶数バンク群 $BNK_{i,m}$ ($m = 0, 2, 4, \dots$)と奇数バンク群 $BNK_{i,m}$ ($m = 1, 3, 5, \dots$)のいずれか一方の群を選択線 SE_i 、 SO_i を用いて選択し、当該バンク群からビット線 BL_m ($m = 0, 1, 2, \dots$)を用いて(より正確には、ビット線 BL_m に接続された仮想接地線 VT_k を用いて)、1つのバンクを選択し、次いでそのバンク $BNK_{i,m}$ 内の一つのセルトランジスタ $TC_{i,m,p}$ をワード線 WL_p を用いて選択する。以下、これを具体的に説明する。

20

【0183】

各バンク $BNK_{i,m}$ には、それを選択するための選択トランジスタ $STE_{i,m}$ 、 $STO_{i,m}$ が1個ずつ接続されている。このうち、選択トランジスタ $STE_{i,m}$ は、 i ロウにあるバンク $BNK_{i,m}$ のうち、コラム番号が偶数であるバンク $BNK_{i,m}$ ($m = 0, 2, 4, \dots$)を選択するためのものであって、以下では偶数バンク選択トランジスタとも言う。選択トランジスタ $STE_{i,m}$ を指定するために、選択線 SE_i を用いる。1本の選択線 SE_i には、 i ロウに配列されたすべての選択トランジスタ $STE_{i,m}$ ($m = 0, 1, 2, \dots$)が接続されている。選択線 SE_i により、選択線 SE_i に接続されたすべての選択トランジスタ $STE_{i,m}$ ($m = 0, 1, 2, \dots$)が選択される。

30

【0184】

また、選択トランジスタ $STO_{i,m}$ は i ロウにあるバンク $BNK_{i,m}$ のうち、コラム番号が奇数であるバンク $BNK_{i,m}$ ($m = 1, 3, 5, \dots$)を選択するためのものであって、以下では奇数バンク選択トランジスタとも言う。選択トランジスタ $STO_{i,m}$ を指定するために、選択線 SO_i を用いる。1本の選択線 SO_i には、 i ロウに配列されたすべての選択トランジスタ $STO_{i,m}$ ($m = 0, 1, 2, \dots$)が接続されている。選択線 SO_i により、選択線 SO_i に接続されたすべての選択トランジスタ $STO_{i,m}$ ($m = 0, 1, 2, \dots$)が選択される。

40

【0185】

同図に示されるように、偶数バンク選択トランジスタ $STE_{i,m}$ の各々は、それらの一方のソース・ドレインが1コラムおきに共通接続され、その共通接続ノード A 、 D 、 E に仮想接地線 VT_k ($k = 0, 1, 2, \dots$)が接続されている。

【0186】

奇数バンク選択トランジスタ $STO_{i,m}$ も同様であるが、その共通接続点は、偶数バン

50

ク選択トランジスタ $STE_{i,m}$ のそれよりも 1 コラムだけずれている。

【0187】

なお、図中、符号 $STE_{i-1,m}$ ($m=0, 2, \dots$) は、コラム方向に数えて $i-1$ 番目のバンク中、偶数バンクを選択するための偶数バンク選択トランジスタである。これに対して、符号 $STO_{i+1,m}$ ($m=1, \dots$) は、コラム方向に数えて $i+1$ 番目のバンク中、奇数バンクを選択するための奇数バンク選択トランジスタである。

【0188】

また、仮想接地線 VT_k ($k=0, 1, 2, \dots$) は、その電気抵抗を減らすべく、アルミニウム等の金属からなる。一方、ビット線 BL_m ($m=0, 1, 2, \dots$) は拡散層からなり、その電気抵抗は仮想接地線 VT_k のそれよりもずっと高い。

10

【0189】

回路動作は次の通りである。例えば、読出し時に同図中のセルトランジスタ $TC_{i,m,0}$ を選択する場合を考える（ここでは、 m は偶数と仮定する）。セルトランジスタ $TC_{i,m,0}$ は偶数バンク $BNK_{i,m}$ に属する。よって、まず偶数バンク群 $BNK_{i,m}$ ($m=0, 2, 4, \dots$) を選択すべく、偶数バンク選択線 SE_i をハイレベルにし、各偶数バンク選択トランジスタ $STE_{i,m}$ ($m=0, 1, 2, \dots$) をオン状態にする。その他の選択線 (SE_r ($r=0, 1, 2, \dots, i-1, i+1, \dots$))、 SO_r ($r=0, 1, 2, \dots$) はすべてローレベルにし、その選択線がゲートに接続されるトランジスタをすべてオフ状態にする。

【0190】

上述の電圧配分によれば、オン状態の偶数バンク選択トランジスタ $STE_{i,m}$ 、 $STE_{i,m+1}$ によって、ビット線 BL_m 、 BL_{m+1} が仮想接地線 VT_k 、 VT_{k+1} に電氣的に接続状態となる。他の偶数バンク $BNK_{i,m-2}$ 、 $BNK_{i,m+4}$ 等に繋がるビット線も同様にして仮想接地線と電氣的に接続状態となる。

20

【0191】

次いで、目的のセルトランジスタ $TC_{i,m,0}$ を選択するため、それにビット線 BL_m を介して繋がる仮想接地線 VT_k を接地レベルにし、かつビット線 BL_{m+1} を介して繋がる仮想接地線 VT_{k+1} に低い電圧 VDD ($=1.6V$) を印加する。それ以外の仮想接地線 VT はオープン状態にする。このようにして、まず偶数バンク群 i,m ($m=0, 2, 4, \dots$) が選択される。具体的に、このように仮想接地線 VT を設定することは、仮想接地線 VT に接続されたビット線ゲート 122 が行う。ビット線ゲート 122 の詳細は後述する。そして、ワード線 WL_0 に読出し電圧 VG ($=2.2V$) を印加する。さらに、仮想接地線 VT に接続されたビット線ゲート 122 により、仮想接地線 VT_{k+1} のみをセンスアンプ 128 に接続し、仮想接地線 VT_{k+1} に流れる電流をセンスアンプ 128 により検知する。

30

【0192】

ソース・ドレインに印加されたこれらの電圧値により、図 8 (a) で説明したように、セルトランジスタ $TC_{i,m,0}$ に第 1 のドレイン電流 I_{d1} が流れる。この第 1 のドレイン電流 I_{d1} は、センスアンプ 128 からビット線ゲート 122、仮想接地線 VG_{k+1} 、ノード D、ノード C、偶数バンク選択トランジスタ $STE_{i,m+1}$ 、ビット線 BL_{m+1} 、セルトランジスタ $TC_{i,m,0}$ 、ビット線 BL_m 、偶数バンク選択トランジスタ $STE_{i,m}$ 、ノード B、ノード A、仮想接地線 VG_k 、ビット線ゲート 122 の順に流れる。

40

【0193】

次いで、ビット線ゲート 122 により、ビット線 BL_m と BL_{m+1} との間の電位差を反転させ、それ以外の電圧値を上記と同様のままにしておく。このようにすると、図 8 (b) で説明したように、セルトランジスタ $TC_{i,m,0}$ に第 2 のドレイン電流 I_{d2} が流れる。この第 2 のドレイン電流 I_{d2} の電流経路は、第 1 のドレイン電流 I_{d1} のその逆である。

【0194】

50

このようにしてセルトランジスタ $TC_{i,m,0}$ の第1のドレイン電流 I_{d1} および第2のドレイン電流 I_{d2} がセンスアンプにより計測され、セルトランジスタ $TC_{i,m,0}$ に4値状態“(0, 0)”~“(1, 1)”のいずれが記憶されているかが識別される。

【0195】

この回路構成によれば、第1のドレイン電流 I_{d1} は、拡散層からなる高抵抗のビット線 BL_m 、 BL_{m+1} 内を常に流れるという訳ではなく、目的のバンク $BNK_{i,m}$ に到達するまでは低抵抗の仮想接地線 VG_{k+1} 内を流れ、目的のバンク $BNK_{i,m}$ に到達してからビット線 BL_{m+1} を流れるようになる。そして、セルトランジスタ $TC_{i,m,0}$ を流れた後、第1のドレイン電流 I_{d1} はビット線 BL_m を経由して仮想接地線 VG_k を流れる。 10

【0196】

このように、常にビット線 BL_m 、 BL_{m+1} 内を流れる場合よりも低抵抗なので、本実施例では第1のドレイン電流 I_{d1} を高速で読み出すことが可能となる。第2のドレイン電流 I_{d2} についても同様の利点を得られる。

【0197】

上述の例では、偶数バンク $BNK_{i,m}$ 内のセルトランジスタ $TC_{i,m,0}$ が選択された。一方、奇数バンク群 $BNK_{i,m}$ ($m=1, 3, 5, \dots$) 内のセルトランジスタを $TC_{i,m,p}$ を選択するには、奇数バンク選択線 SO_i をハイレベルにし、各奇数バンク選択トランジスタ $STO_{i,m}$ ($m=0, 1, 2, \dots$) をオン状態にする。そして、その他の選択線 (SE_r ($r=0, 1, 2, \dots$)、 SO_r ($r=0, 1, 2, \dots, i-1, i+1, \dots$)) はすべてローレベルにし、これらの選択線がゲートに接続されるトランジスタをすべてオフ状態にする。これ以外は偶数バンクを選択する場合と同様なので、奇数バンクについてはこれ以上説明しない。上述したセルトランジスタの選択方法は仮想接地方式とも称される。 20

【0198】

図33は、本発明に係わる半導体メモリの一実施例の構成を示す機能ブロック図である。本実施例の半導体メモリはフラッシュメモリ120である。

【0199】

図33のフラッシュメモリ120は、アドレス信号線124を介してアドレス信号124を受け取る。また、データ線146を介して、書込データ146を入力され、また読出データ146を出力する。アドレス信号124は、メモリアレイ126内のメモリセルのうちのいずれに対してデータ読出またはデータ書込みを行うかを指示する信号である。 30

【0200】

なお、消去は、通常たとえば64Kバイト単位で一括して行う。その際に、64Kバイトのセルのうち、1つの口ウに繋がったセルのすべてについて一度に消去を行ない、順次各口ウに対して消去を行なって、64Kバイトのセルの一括消去を行なう。

【0201】

書込データ146および読出データ146は、たとえば8ビットのデータである。ただし、以下では、説明を簡単にするために、書込データ146および読出データ146は、2ビット(1メモリセル分)であり、消去は、全メモリセルに対して一括して一度に行われるとする。 40

【0202】

制御部130は、入力されたアドレス信号124を蓄積して、アドレス信号124から、バンクデータ132と、ワードデータ134と、ビット線データ136とを生成し、それぞれ、バンクデコーダ138、ワードデコーダ140、ビット線ゲート122に出力する。また、制御部130は、バンクデコーダ138、ワードデコーダ140、ビット線ゲート122に対して、書込動作、読出動作、消去動作のいずれを行うかを指示する情報(以下ではモード情報と呼ぶ)を信号線150を介して出力する。制御部130自体は、モード情報を外部から、図示しない信号線を介して受け取り、バンクデコーダ138、ワードデコ 50

ーダ 140、ビット線ゲート 122 に対して、モード情報として出力する。

【0203】

制御部 130 は、書込動作時に書込データ 146 を、信号線 148 を介して書込データ 148 としてビット線ゲート 122 に送る。ビット線ゲート 122 は、ビット線データ 136 で指定された仮想接地線 VT に対して、書込データ 148 に応じて、仮想接地線 VT に 6.0V を印加するか（ドレイン側）、もしくは仮想接地線 VT を接地する（ソース側）。ただし書込み時、書込データが（1, 1）である場合は、書込みを行う必要がないため、制御部 130 は書込動作を、各部に対して指示しない。

【0204】

読出データ 146 に関しては、制御部 130 は読出動作時に、センスアンプ 128 から信号線 142 を介して送られてくるデータ 142 に基づいて生成する。すなわち、1つのメモリセルに対してビット線ゲート 122 は、ドレインとソースを入れ替えて2回の読出しを行う。制御部 130 は、センスアンプ 128 から信号線 142 を介して送られてくる2つの信号 142（これは既述の I_{d1} , I_{d2} から生成された信号である）から、（ I_{d1} , I_{d2} ）が、（大、大）、（大、小）、（小、大）、（小、小）のいずれであるかを判定して、読出しデータ 146 を生成する。

【0205】

本発明の半導体メモリの読出動作にあつては、上記のごとき“（0, 0）”～“（1, 1）”論理状態を判定した後、これに基づく読出しを行なってもよいが、以下のようにして読出動作を行なうこともできる。すなわち、本発明の半導体メモリの読出動作にあつては、結局のところ、読出電圧の印加されない側（接地側）のソース・ドレインに対向するフローティングゲートで電荷が蓄積されているか否かに応じてドレイン電流値 I_d が変化することになる。したがって、一方のソース・ドレインにドレイン電圧を付与した際に、それによって得られるドレイン電流値を検出するのみで、電圧の印加されない側のフローティングゲートの電荷蓄積状況を単独に検出することが可能であり、このようにして読出しを行なうことも可能である。

【0206】

バンクデコーダ 138 は、制御部 130 からバンクデータ 132 を入力されて、メモリアレイ 126 内の選択線 SE, SO のうちのいずれか1本（読出動作時および書込動作時）、もしくはすべて（消去動作時）を選択することにより、当該選択線に接続されたバンク選択トランジスタを選択する。選択は、選択された選択線 SE, SO に、選択トランジスタ STE, STO のゲートしきい値電圧以上の電圧を印加することにより行う。選択されなかった選択線 SE, SO には、選択トランジスタ STE, STO のゲートしきい値電圧より小さい電圧を印加して、ビット線 BL と仮想接地線 VT とを非接続にする。

【0207】

ワードデコーダ 140 は、制御部 130 からワードデータ 134 を入力されて、メモリアレイ 126 内のワード線 WL のうちのいずれか1本（読出動作時および書込動作時）、もしくはすべて（消去動作時）を選択する。そして、選択したワード線 WL に、電源部 144 から入力される電圧 VE, VW, VR を供給する。ここで電圧 VE は、消去時にセルトランジスタ TC のコントロールゲートに印加される電圧（たとえば 12V）、電圧 VW は、書込み時にセルトランジスタ TC のコントロールゲートに印加される電圧（たとえば 2.2V）、電圧 VR は、読出し時にセルトランジスタ TC のコントロールゲートに印加される電圧（たとえば 2.2V）である。消去時には、ワードデコーダ 140 は、過消去を行なうために、ワード線 WL に電圧 VE を 5 msec の間、印加する。

【0208】

なお、フローティングゲートへのデータの書込みは、書込可能な書込電圧値のうち、最小の電圧値の近傍にある書込電圧 VW を用いて行うことが好ましい。このとき書込効率が最大となるためである。ここで書込効率とは、フローティングゲートに注入される電流 I_{fg} とソース電流 I_s との比、 I_{fg} / I_s をいう。

【0209】

選択されなかったワード線WLには、セルトランジスタTCのゲートしきい値電圧より小さい電圧を印加して、選択されなかったセルトランジスタTCに電流が流れることを防ぐ。小さい電圧を印加するために、通常は、ワード線を接地する。

【0210】

ビット線ゲート122は、読出動作時および書込動作時に、制御部130からビット線データ136を入力されて、メモリアレイ126内の1コラム内のバンク $B N K_{i, m}$ ($i = 0, 1, 2, \dots$)に含まれるセルトランジスタ $T C_{i, m, p}$ ($i = 0, 1, 2, \dots$)を選択するように、仮想接地線VTに所定の電圧を印加する。消去動作時はすべてのバンク、すなわちすべてのセルトランジスタを選択して、そのドレインとソースを接地する。選択されなかったバンクに接続された仮想接地線VTはオープン状態にする。以下、これについて図34を参照して詳述する。 10

【0211】

図34は、ビット線ゲート122の構成例を示すブロック図である。ビット線ゲート122のビット線制御部152は制御部130から、ビット線データ136、書込データ148（書込動作時のみ）、モード情報150を入力される。ビット線データ136は、具体的にはたとえば書込みまたは読出し対象のバンク $B N K_{i, m}$ のコラム番号mである。

【0212】

ビット線制御部152は、ビット線データ136を入力されると、対象となるバンク $B N K_{i, m}$ 内のドレイン側のビット線BLに接続された仮想接地線VTと、ソース側のビット線BLに接続された仮想接地線VTに所定の電圧を、スイッチ 54_k ($k = 0, 1, 2, \dots$)を介して印加する。これ以外の仮想接地線VTは、スイッチ 54_k によってオープン状態にする。このために、ビット線制御部152は、各スイッチ 54_k に対して、電圧指示信号 56_k ($k = 0, 1, 2, \dots$)を出力する。 20

【0213】

スイッチ 54_k は、仮想接地線 $V T_k$ ごとに設けられており、電圧指示信号 56_k を入力されて、仮想接地線 $V T_k$ に所定の電圧を印加すること、もしくは仮想接地線 $V T_k$ とセンスアンプ128とを接続することを行う。

【0214】

スイッチ 54_k は、いずれも同一の構成を有しており、端子 58_a , 58_b , 58_c を含む。端子 58_a には、電源部144から電圧VDWが供給され、端子 58_b は、信号線60を介してセンスアンプ128と接続され、端子 58_c は接地されている。書込動作時は、ドレイン側の仮想接地線VTを端子 58_a に接続して、電圧VDWを印加し、ソース側の仮想接地線VTを端子 58_c に接続して接地し、他の仮想接地線VTは、端子 58_a , 58_b , 58_c のいずれにも接続しないオープン状態にする。 30

【0215】

書込データが(0, 0)の場合は、上記の操作によりドレインに電荷を蓄積した後、ドレイン側とソース側を入れ替えて、すなわち端子 58_a に接続した仮想接地線VTを端子 58_c に接続し、端子 58_c に接続した仮想接地線VTを端子 58_a に接続して、入れ替え後のドレインにも電荷を蓄積する。 40

【0216】

読出動作時は、ドレイン側の仮想接地線VTを端子 58_b に接続して、センスアンプ128に接続し、ソース側の仮想接地線VTを端子 58_c に接続して接地し、他の仮想接地線VTは、端子 58_a , 58_b , 58_c のいずれにも接続しないオープン状態にする。こうして、セルトランジスタTCに流れる電流をセンスアンプ128で検知する。読出動作時はドレイン側に低い電圧1.6Vを印加する必要があるが、これは、センスアンプ128を介して行なう。

【0217】

次に、ドレイン側とソース側を入れ替えて、すなわち端子 58_b に接続した仮想接地線VTを端子 58_c に接続し、端子 58_c に接続した仮想接地線VTを端子 58_b に接続し、 50

他の仮想接地線 $V T$ の接続は変更しないで、再度、セルトランジスタ $T C$ に流れる電流をセンスアンプ 128 により検知する。

【0218】

図 34 に示す仮想接地線 $V T$ の接続状態は、読出動作時のものであり、仮想接地線 $V T_{k+1}$ がドレイン側（端子 58b）、仮想接地線 $V T_k$ がソース側（端子 58c）の場合であり、仮想接地線 $V T_{k+2}$ はオープン状態にある。この場合、図 32 の m 番目のコラムを構成するバンク $B N K_{i,m}$ ($i = 0, 1, 2, \dots$) のみが読出しの対象として選択されている。読出動作時は、ドレインとソースを入れ替えて 2 回の読出しを行なうため、図 34 の接続状態で読出しを行なった後、仮想接地線 $V T_{k+1}$ をソース側（端子 58c）に、仮想接地線 $V T_k$ をドレイン側（端子 58b）に接続する。仮想接地線 $V T_{k+2}$ はオープン状態のままである。これで、1 つのセルトランジスタに対する読出動作が終了する。

10

【0219】

消去動作時は、すべての仮想接地線 $V T$ を本実施例では 5 msec の間、端子 58c に接続して、仮想接地線 $V T$ を接地する。5 msec という時間は、次のような考え方に基いて設定されている。フローティングゲートに蓄積された電荷（この場合は電子）は、FN 電流を用いて消去される。消去時に、時間の経過とともに、フローティングゲートに蓄積された電子の数が減っていく様子の一例を図 35 に示す。

【0220】

本図は、1 個のフローティングゲートに蓄積された電子の数を、消去開始時からの時間の関数として表示した曲線 66 を示す。縦軸は電子の数を示し、消去開始時の電子の数は 1000 個とした。時刻 t_1 において、電子の数が「0」個となり、その後は、正の電荷（ホール（hole））が蓄積されることを示す。5 msec 経過したときにフローティングゲートに蓄積された正の電荷の数は、500 個である。このときに、FN 電流値は、ほぼ「0」となっている。この後は、蓄積された正の電荷の数は、ほぼ変化しない。

20

【0221】

ところで、実際の消去における電子の数の減り方にはばらつきがある。これを示すために、平均的な減り方を示す実線の曲線 66 に対して、減り方が速い場合の曲線 64 と、遅い場合の曲線 62 を図中に点線で示す。曲線 66, 62, 64 からわかるように、電子の数の減り方の特徴は、減少している途中においては、減り方に幅、すなわちばらつきがあり、電子の数が「0」個になるときの時刻は変動する。一方、最終的に FN 電流が「0」になったときの電子数には変動がない。

30

【0222】

このため、従来のように電子数が「0」個の近傍（時刻 t_1 ）で消去を停止させようとする、ばらつきを考慮した対策が必要であった。たとえば、過消去されないように、少しずつ消去を行い、そのたびに過消去されていないことをベリファイすることが必要であった。本実施例のように、FN 電流の値が「0」になる近傍まで過消去させる場合、この電子が欠乏した状態にはばらつきがほとんどない。すなわち電荷数が飽和した状態となり、安定したゲートしきい値電圧が得られる。このため、ベリファイという操作が不要となる利点もある。

40

【0223】

なお、本発明は、FN 電流の値が「0」になるまで過消去を行う場合に限られるものではなく、FN 電流の値が所定値より少なくなるまで、フローティングゲートに蓄積された電荷を消去して、過消去を行うこととしてもよい。また、フローティングゲートに蓄積された正の電荷が所定数以上になるまで、たとえば、500 個以上になるまで、過消去を行なうこととしてもよい。

【0224】

以上の説明からわかるように、本実施例の場合、選択手段は、バンクデコーダ 138 とワードデコーダ 140 とビット線ゲート 122 とから構成され、過消去手段は、ワードデコーダ 140 とビット線ゲート 122 と電源部 144 とから構成されている。また書込手段

50

は、ワードデコーダ 1 4 0 とビット線ゲート 1 2 2 と電源部 1 4 4 から構成されている。

【 0 2 2 5 】

図 3 3 に戻って、センスアンプ 1 2 8 は、読出動作時にビット線ゲート 1 2 2 により、読出対象であるセルトランジスタ T C のドレイン側に接続され、セルトランジスタ T C に流れる電流の大小を検知する。検知結果は、信号線 1 4 2 を介して制御部 1 3 0 に送られる。読出データ 1 4 2 はたとえば、高い電圧と低い電圧であり、高い電圧が電流「大」に対応し、低い電圧が電流「小」に対応する。電源部 1 4 4 は、ワードデコーダ 1 4 0 に電圧 V E , V W , V R を供給し、ビット線ゲート 1 2 2 に電圧 V D W を供給する。

【 0 2 2 6 】

次に、上述のように構成されたフラッシュメモリ 1 2 0 の動作について述べる。書込動作時、制御部 1 3 0 は、外部から書込み指示と、書込み対象であるアドレス信号 1 2 4 と、書込データ 1 4 6 とを受け取る。制御部 1 3 0 は、アドレス信号 1 2 4 から、バンクデータ 1 3 2 と、ワードデータ 1 3 4 と、ビット線データ 1 3 6 とを生成し、それぞれ、バンクデコーダ 1 3 8、ワードデコーダ 1 4 0、ビット線ゲート 1 2 2 に出力する。また、バンクデコーダ 1 3 8、ワードデコーダ 1 4 0、ビット線ゲート 1 2 2 に対して、書込みであることを示すモード情報を出力する。さらに、書込データ 1 4 6 を、信号線 1 4 8 を介して書込データ 1 4 8 としてビット線ゲート 1 2 2 に送る。

【 0 2 2 7 】

バンクデコーダ 1 3 8 は、制御部 1 3 0 から入力されたモード情報により、書込動作を行う。すなわちバンクデータ 1 3 2 に従って、メモリアレイ 1 2 6 内の選択線 S E , S O のうちのいずれか 1 本にのみ、バンク選択トランジスタ S T O , S T E のゲートしきい値電圧以上の電圧を印加し、他の選択線 S E , S O は接地することにより、当該選択線に接続されたバンク選択トランジスタのみを選択する。

【 0 2 2 8 】

ワードデコーダ 1 4 0 は、制御部 1 3 0 から入力されたモード情報により、書込動作を行う。すなわちワードデータ 1 3 4 に従って、メモリアレイ 1 2 6 内のワード線 W L のうちのいずれか 1 本を選択して、選択したワード線 W L にのみ、電源部 1 4 4 から入力された電圧 V W を供給し、他のワード線 W L は接地する。

【 0 2 2 9 】

ビット線ゲート 1 2 2 は、制御部 1 3 0 から入力されたモード情報により、書込動作を行う。すなわちビット線データ 1 3 6 と、書込データ 1 4 8 に従って、指定されたビット線、すなわち仮想接地線のうち、ドレイン側ビット線に電圧 V D W を印加し、ソース側ビット線を接地する。書込データが (0 , 0) の場合は、この操作によりドレインに電荷を蓄積した後、ドレイン側とソース側を入れ替えて、入れ替え後のドレインにも電荷を蓄積する。

【 0 2 3 0 】

読出動作時、制御部 1 3 0 は、外部から読込み指示と、読込み対象であるアドレス信号 1 2 4 とを受け取る。制御部 1 3 0 は、アドレス信号 1 2 4 から、バンクデータ 1 3 2 と、ワードデータ 1 3 4 と、ビット線データ 1 3 6 とを生成し、それぞれ、バンクデコーダ 1 3 8、ワードデコーダ 1 4 0、ビット線ゲート 1 2 2 に出力する。また、バンクデコーダ 1 3 8、ワードデコーダ 1 4 0、ビット線ゲート 1 2 2 に対して、読込みであることを示すモード情報を出力する。

【 0 2 3 1 】

バンクデコーダ 1 3 8 は、制御部 1 3 0 から入力されたモード情報により、読出動作を行う。すなわちバンクデータ 1 3 2 に従って、メモリアレイ 1 2 6 内の選択線 S E , S O のうちのいずれか 1 本にのみ、バンク選択トランジスタ S T O , S T E のゲートしきい値電圧以上の電圧を印加し、他の選択線 S E , S O は接地することにより、当該選択線に接続されたバンク選択トランジスタのみを選択する。

【 0 2 3 2 】

ワードデコーダ 1 4 0 は、制御部 1 3 0 から入力されたモード情報により、読出動作を行

う。すなわちワードデータ134に従って、メモリアレイ126内のワード線WLのうちのいずれか1本を選択して、選択したワード線WLにのみ、電源部144から入力された電圧VRを供給し、他のワード線WLは接地する。

【0233】

ビット線ゲート122は、制御部130から入力されたモード情報により、読出動作を行う。すなわちビット線データ136に従って、指定された2本のビット線、すなわち仮想接地線のうち、ドレイン側ビット線をセンスアンプ128に接続し、ソース側ビット線を接地する。センスアンプ128でセルトランジスタTCに流れる電流を検知した後、ドレイン側とソース側を入れ替えて、再度、センスアンプ128でセルトランジスタTCに流れる電流を検知する。

10

【0234】

センスアンプ128は検知した結果を読出データ142として制御部130に、2回出力し、制御部130は、これらの読出データ142から2ビットの読出データ146を生成し、外部に出力する。

【0235】

消去動作時、制御部130は、外部から消去指示を受け取る。制御部130は、バンクデコーダ138、ワードデコーダ140、ビット線ゲート122に対して、消去動作であることを示すモード情報を出力する。

【0236】

バンクデコーダ138は、制御部130から入力されたモード情報により、消去動作を行う。すなわち、メモリアレイ126内のすべての選択線SE、SOに、バンク選択トランジスタSTO、STEのゲートしきい値電圧以上の電圧を印加し、すべてのバンク選択トランジスタを選択する。

20

【0237】

ワードデコーダ140は、制御部130から入力されたモード情報により、消去動作を行う。すなわち、メモリアレイ126内のすべてのワード線WLを選択して、すべてのワード線WLに、電源部144から入力された電圧VEを供給する。

【0238】

ビット線ゲート122は、制御部130から入力されたモード情報により、消去動作を行う。すなわち、すべての仮想接地線VTを5msecの間、接地する。

30

【0239】

このように本実施例によれば、フローティングゲートが過消去状態、すなわち電子欠乏状態まで消去される。このため、全セルについて電荷数が飽和した状態になり、全セルが均一に消去される。さらに、消去されたセルに書き込みを行う場合、ソース・ドレイン電流の流れを、フローティングゲートに蓄積された電荷が妨害することなく、むしろ蓄積された電荷は、当該電流に対して負の抵抗として働き、すなわち電流を増加させ、書込効率が向上し、書込速度を向上させる。

【0240】

この書込電流の増加は、図2に示すセル構造が可能とするBallistic(弾丸型)電流書込方式とともに、書込みのための電力消費量を極限まで小さくする。ここで、Ballistic電流書込方式とは、チャンネル電流の大部分が、フローティングゲートFGのゲート絶縁膜に垂直な方向に流れている書込方式をいう。

40

【0241】

電力消費量の低下により、比較的小さな電力量で複数のセルに並列して書き込みを行うことが可能となり、書込速度を実質的に高速化する。書込速度の高速化により、例えば、音楽媒体や映像媒体を短時間でダビングするサービスも可能になる。また、積極的に過消去させているため、従来のように、過消去がされていないことをベリファイする必要がなくなり、処理速度が上がり、また処理が簡単になる。さらに、過消去が行われることにより、読出し時の電流ウィンドウの改善の効果もある。すなわち、過消去が行われたセルの一方にのみ書き込みを行って電子を注入すると、電子が注入されなかった過消去状態のセルとの

50

間の電位差をさらに大きくすることができる。その結果、読出し時の電流ウィンドウをさらに改善することができる。

【0242】

次に、本発明のさらに別の実施例について説明する。この実施例では、コントロールゲートに消去用電圧を印加する前に、消去の対象となるセルのフローティングゲートのうち、未書込フローティングゲートに対して電荷を注入する電荷注入動作、特にプリセット注入動作を行う。なお、本実施例における半導体メモリのセルトランジスタの構造と動作は、上述の図2に示すトランジスタと同一である。

【0243】

ところで、電荷注入を行なうタイミングは、コントロールゲートに消去用電圧を印加する前に限られるものではなく、コントロールゲートに消去用電圧を印加している途中において、消去用電圧の印加を中断して電荷注入の期間を設けてもよい。

10

【0244】

またコントロールゲートに消去用電圧を印加した後に、電荷注入の期間を設けてもよい。この場合、消去動作を行なうたびに電荷注入動作を行なうのではなく、過消去が繰り返されたときにのみ電荷注入動作を行なうようにしてもよい。

【0245】

電荷注入を行なう頻度に関しては、本実施例では、消去動作を行なうたびに電荷注入動作を行なうこととしたが、これに限られるものではなく、複数回の消去動作のうちの1回の消去動作においてのみ電荷注入動作を行なうこととしてもよい。

20

【0246】

本実施例では、プリセット注入動作の実施方法として、コントロールゲートに消去用電圧を印加する前に、消去の対象となるセルに対しプリセット用電圧を印加してプリセット注入動作を行い、プリセット注入動作により、消去対象セルの2個のフローティングゲートのうち、未書込フローティングゲートに対してのみ電荷を注入する。

【0247】

この際に、未書込フローティングゲートに対してのみ電荷が注入され、データの書込みが行われているフローティングゲート（以下では「書込済フローティングゲート」と呼ぶ。）に対しては電荷が注入されないように、プリセット用電圧の電圧値および印加時間を設定する。

30

【0248】

プリセット注入動作中に、書込済フローティングゲートにさらに電荷が注入されるような電圧値および印加時間を選択してもよいが、その場合、消去に要する時間が延びるため、好ましくない。

【0249】

本実施例の方法ではプリセット注入動作時に、未書込フローティングゲートに対してのみ電荷の注入が行われるような電圧値を用いているため、消去対象であるセルに含まれるフローティングゲートが未書込フローティングゲートであるか、書込済フローティングゲートであるかを消去前に確認する必要はない。

【0250】

プリセット注入動作の実施方法としては、消去対象であるメモリセルのフローティングゲートのうち、未書込フローティングゲートのみを選択して電荷を注入する方法も可能である。

40

【0251】

たとえば、消去動作を行う前に、データの読出動作を行い、未書込フローティングゲートを判別し、当該フローティングゲートに対して、通常の手書き動作により所定の電荷を注入することとしてもよい。ただし、この方法の場合、未書込フローティングゲートであるかどうかを判別するために、消去動作を行う前に、データの読出動作を行うという追加のステップが必要になる。また未書込フローティングゲートであるかどうかの情報を一時的に保存するための記憶領域を設ける必要もある。

50

【0252】

次に、本実施例を具体的に説明する。以下の説明では、既述の実施例の構成要素と同一の機能を有するものについては同一の参照符号を用いることとし、その説明も一部省略する。また、書込動作および読出動作については、記述の実施例と同様であるため、以下では消去動作についてのみ説明する。

【0253】

本実施例では、所定の消去対象のメモリセル、たとえば64Kバイトのメモリセルを一括消去する際に、1本のワード線 WL_n に繋がったセル、すなわち1つの口のすべてのセルについて一度に消去を行ない、順次各口に対して消去を行なって、64Kバイトのセルの一括消去を行なう。

10

【0254】

図32の機能回路図の一部を示す図36において、1本のワード線 WL_n に接続されたセルトランジスタ $TC_{i,m-1,n}$ 、 $TC_{i,m,n}$ 、 $TC_{i,m+1,n}$ 等が消去対象であり、別のワード線 WL_{n+1} に接続されたセルトランジスタ $TC_{i,m-1,n+1}$ 、 $TC_{i,m,n+1}$ 、 $TC_{i,m+1,n+1}$ 等は消去対象でないとする。図32では、セルトランジスタ $TC_{i,m-1,n}$ のフローティングゲートFG1、セルトランジスタ $TC_{i,m,n}$ のフローティングゲートFG1、FG2が、書込済フローティングゲートであり、セルトランジスタ $TC_{i,m-1,n}$ のフローティングゲートFG2、セルトランジスタ $TC_{i,m+1,n}$ のフローティングゲートFG1、FG2が、未書込フローティングゲートである。

20

【0255】

消去動作時に、消去対象であるワード線 WL_n に、すなわちコントロールゲートCGに、図37の電圧カーブ74が印加される。図37の横軸は時間をms単位で示し、縦軸は電圧をV(ボルト)単位で示す。図37には、このとき同時に、ワード線 WL_{n+1} に印加される電圧カーブ76と、消去対象であるセルトランジスタ $TC_{i,m-1,n}$ 、 $TC_{i,m,n}$ 、 $TC_{i,m+1,n}$ のソースおよびドレインに印加される電圧カーブ78も合わせて示す。電圧カーブ76と、電圧カーブ78は、図に示すように、消去動作中、常に0Vである。電圧カーブ76を0Vとした理由は、消去が生じないようにするためにであり、電圧カーブ78を0Vとした理由は、コントロールゲートCGとフローティングゲートFGとの間に所定の電位差を生じさせるためである。

30

【0256】

本実施例では、電圧カーブ74が示すように、プリセット注入動作時にコントロールゲートCGにたとえば-13V(図37の矢印80)を、1ms(図37の矢印82)の間、印加して(この期間を以下では「プリセット期間」と呼ぶ。)、未書込フローティングゲートFGに電子を注入する。これにより、未書込フローティングゲートFG内の正電荷、すなわち正孔の数を減らす。

【0257】

その後、コントロールゲートCGに13V(図37の矢印84)を、1ms(図37の矢印86)の間印加し(この期間を以下では「第1の消去期間」と呼ぶ。)、続いて11.5V(図37の矢印88)を、3ms(図37の矢印90)の間印加する(この期間を以下では「第2の消去期間」と呼ぶ。)。第1の消去期間と第2の消去期間を合わせた4msの期間(矢印86, 90)が実質的な消去期間であり、この期間中に、プリセット期間に未書込フローティングゲートに注入された電子が消去されて、未書込フローティングゲートはプリセット注入動作開始時の状態に戻る。

40

【0258】

電圧カーブ74がコントロールゲートCGに印加されたときの、未書込フローティングゲートFG内の電荷数の変化を図38に示す。図38の縦軸は、フローティングゲートFG内に蓄積されている電子数を示し、「-」は、正孔が蓄積されていることを示す。横軸は時間をms単位で示す。

【0259】

50

図 3 8 の曲線 9 2 は、電荷数の変化を、コンピュータを用いてシミュレートしたものであり、プリセット期間 8 2 と、第 1、第 2 の消去期間 8 6 , 9 0 における電荷数の変化が曲線 9 2 a , 9 2 b , 9 2 c によりそれぞれ示されている。プリセット期間中に正孔の数が 1 2 0 0 個から 3 0 0 個程度まで減少し、第 1 の消去期間に 1 1 0 0 個程度まで増加し、第 2 の消去期間が終了するときには、正孔の数は 1 2 0 0 個に戻っている。

【 0 2 6 0 】

本発明においては、プリセット期間において未書込フローティングゲート F G 内に電荷が注入され、消去動作が終了したときには、消去動作開始時の電荷数に実質的に戻っていることが重要である。

【 0 2 6 1 】

電圧カーブ 7 4 がコントロールゲート C G に印加されたときの、書込済フローティングゲート F G 内の電荷数の変化を図 3 9 に示す。図 3 9 の縦軸は、フローティングゲート F G 内に蓄積されている電子数を示し、「 - 」は、正孔が蓄積されていることを示す。横軸は時間を m s e c 単位で示す。

【 0 2 6 2 】

図 3 9 の曲線 9 4 は、電荷数の変化を、コンピュータを用いてシミュレートしたものであり、プリセット期間 8 2 と、第 1、第 2 の消去期間 8 6 , 9 0 の電荷数の変化が曲線 9 4 a , 9 4 b , 9 4 c によりそれぞれ示されている。プリセット期間 8 2 中は、電子の数は、1 2 0 0 個で安定しており、第 1 の消去期間中に電子がなくなり正孔の数が 1 1 0 0 個程度まで増加し、第 2 の消去期間が終了するときには、正孔の数は 1 2 0 0 個程度になっている。

【 0 2 6 3 】

このように、“ 0 ” 論理状態にある書込済フローティングゲート F G は、プリセット注入によっても電荷の注入を受けず、一方、“ 1 ” 論理状態にある未書込フローティングゲート F G は、一旦、電荷の注入を受ける。その後、いずれのフローティングゲート F G も消去操作を受けることとなる。ここで特徴的なことは、書込済フローティングゲート F G も、未書込フローティングゲート F G も最終的には、約 - 1 2 0 0 個の電子、すなわち 1 2 0 0 個の正孔が充電された飽和状態で安定することである。

【 0 2 6 4 】

なお、プリセット期間中に注入される電子数の下限値は、未書込フローティングゲート F G において、飽和状態（すなわち 1 2 0 0 個の正孔がある状態）よりも正孔がいくらかでも減少した状態になるような数であればよい。

【 0 2 6 5 】

また注入される電子数の上限値に関しては、特に制限はなく、プリセット期間終了時に未書込フローティングゲート F G 内の電子数が、書込済フローティングゲート F G 内に当初あった電子数（ + 1 , 2 0 0 ）を越えるように、電子数を注入することも可能である。ただし、この電子数（ + 1 , 2 0 0 ）より少ないほうが、消去時間の短縮という点で望ましい。

【 0 2 6 6 】

次に参考として、本実施例とは異なって消去動作において、電荷注入期間を設けなかった場合、消去動作時に消去対象であるワード線 $W L_n$ に印加される電圧カーブ 9 6 を図 4 0 に示す。図 4 0 の横軸は時間を m s e c 単位で示し、縦軸は電圧を V（ボルト）単位で示す。

【 0 2 6 7 】

図 4 0 には、ワード線 $W L_{n+1}$ に印加される電圧カーブ 7 6 と、消去対象であるセルトランジスタ $T C_{i, m-1, n}$, $T C_{i, m, n}$, $T C_{i, m+1, n}$ のソースおよびドレインに印加される電圧カーブ 7 8 も合わせて示す。電圧カーブ 7 6 と、電圧カーブ 7 8 は、図に示すように、消去動作中、常に 0 V であり、図 3 7 と同じである。電圧カーブ 9 6 が示すように、消去動作時にコントロールゲート C G にたとえば + 1 3 V（図 4 0 の矢印 9 8）を、5 m s e c の間（図 4 0 の矢印 1 0 0）、印加して消去動作を行な

10

20

30

40

50

う。

【0268】

図37に於て、ワード線 WL_n へ電圧カーブ74の電圧を印加するには、図33の電源部144が出力する電圧カーブ74に従った電圧をワードデコーダ140に入力し、ワードデコーダ140はワード線 WL_n を選択して、選択されたワード線 WL_n に当該電圧を印加する。このとき同時にワード線 WL_{n+1} に電圧カーブ76を印加するには、ワードデコーダ140によってワード線 WL_{n+1} を選択し、選択されたワード線 WL_{n+1} を接地することを同時に行なえばよい。

【0269】

消去対象のセルのソースおよびドレインへの0Vの電圧印加は、図33のビット線ゲート122が、接地すべきビット線 BL_{m-1} 、 BL_m 、 BL_{m+1} 、 BL_{m+2} に接続した仮想接地線VTを選択して、選択した仮想接地線VTを接地することにより行なう。

【0270】

消去対象であるセルトランジスタ $TC_{i,m-1,n}$ 、 $TC_{i,m,n}$ 、 $TC_{i,m+1,n}$ と、消去対象ではないセルトランジスタ $TC_{i,m-1,n+1}$ 、 $TC_{i,m,n+1}$ 、 $TC_{i,m+1,n+1}$ は、いずれもバンク $BNK_{i,m-1}$ 、 $BNK_{i,m}$ 、 $BNK_{i,m+1}$ に属するが、バンク $BNK_{i,m-1}$ 、 $BNK_{i,m}$ 、 $BNK_{i,m+1}$ の選択は、既述のように行われる。

【0271】

以上述べたように、本実施例によれば、未書込フローティングゲートに対して過消去を繰り返すことができる。

【0272】

以上、本発明を詳細に説明したが、本発明は上記実施例に限定されない。本発明は、その主旨を逸脱しない範囲内で、適宜変形することができる。例えば、上記実施例では、一導電型としてp型を用い、反対導電型としてn型を用いたが、これに代えて、一導電型としてn型を用い、反対導電型としてp型を用いても良い。

【0273】

【発明の効果】

このように本発明によれば、書込みでは、ソース・ドレイン領域間に書き込み用の電位差を与えると共に、コントロールゲートに書き込み電圧を印加する。これにより、チャンネルが、凸部の両側面と頂面の各表層に形成される。そして、頂面を流れるキャリアは、その進行方向を変える必要なくフローティングゲートに注入されるから、従来よりも書き込み電圧を低くすることができる。

【0274】

そして、読出しでは、ソース・ドレイン領域間に読出し用の電位差を与えると同時に、コントロールゲートに読出電圧を印加し、第1のドレイン電流 I_{d1} を流す。そして、上記読出し用の電位差を反転させることにより、第2のドレイン電流 I_{d2} を流す。フローティングゲートの電位は、ソース・ドレイン領域やコントロールゲートとの対向容量により、これらの部材の電位に引き付けられる。よって、上記ドレイン電流 I_{d1} 、 I_{d2} を所望に大にしたり小にしたりすることができるから、電流ウインドウを所望に広げることができる。

【0275】

このように従来よりも書込電圧が低くかつ電流ウインドウが広い多値トランジスタが実現できるとともに、コントロールゲートと、ソース・ドレイン領域との間に、フローティングゲート中の蓄積電荷を消去するための消去電圧を印加することにより、コントロールゲートまたはソース・ドレイン領域に蓄積電荷を引き抜いて、フローティングゲートに蓄積された電荷を消去できる。

【0276】

また本発明によれば、過消去させることにより、単純な構造を有しつつ、書込効率を大き

くして書込速度を向上させた半導体装置を提供することができる。

【0277】

また、本発明によれば、消去の際、書込みがなされているメモリと書込みが行われていないメモリを確認してその消去条件を切り替えるための確認ステップが不要になり、このステップに要する時間が短縮できる。

【0278】

さらに、本発明によれば、すべてのメモリに蓄積された電荷に対して実質的に零レベル以下（反対電荷が充電される状態）にまで過消去し、さらにその反対電荷がほぼ飽和するレベルまで過消去を行なうことにより、消去後のメモリを安定した電荷喪失状態（電子欠乏状態、正孔蓄積状態）とすることができ、安定した書込み、読出しおよび消去動作を実現することができる。

10

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体メモリの切り欠き斜視図である。

【図2】本発明の実施例に係る半導体メモリが備えるセルトランジスタの拡大断面図である。

【図3】本発明の実施例に係る半導体メモリが備えるセルトランジスタの等価回路を模式的に表した図である。

【図4】本発明の実施例に係る半導体メモリが備えるセルトランジスタへの書込動作について示す断面図である。

【図5】本発明の実施例に係る半導体メモリが備えるセルトランジスタにおいて、凸部の頂面に高抵抗領域を設けた場合の断面図である。

20

【図6】本発明の実施例に係る半導体メモリが備えるセルトランジスタが達成し得る4値状態を示す断面図である。

【図7】本発明の実施例に係る半導体メモリが備えるセルトランジスタの読出動作について示す断面図である。

【図8】本発明の実施例に係る半導体メモリが備えるセルトランジスタにおいて、“（1、0）”状態を読み出す場合の断面図である。

【図9】フローティングゲートに注入された電子の消去方法の一例を示す断面図である。

【図10】本発明の実施例に係る半導体メモリが備えるセルトランジスタにおいて、フローティングゲートに注入された電子の消去方法を示す断面図である。

30

【図11】本発明の実施例に係る半導体メモリが備えるセルトランジスタにおいて、トンネル絶縁膜に繋がる厚膜の選択酸化膜を設けた場合の断面図である。

【図12】本発明の実施例に係る半導体メモリ全体の回路構成図である。

【図13】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（その1）である。

【図14】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（その2）である。

【図15】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（その3）である。

【図16】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（その4）である。

40

【図17】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（その5）である。

【図18】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（その6）である。

【図19】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（その7）である。

【図20】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（その8）である。

【図21】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図（

50

その 9) である。

【図 2 2】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図 (その 1 0) である。

【図 2 3】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図 (その 1 1) である。

【図 2 4】本発明の実施例に係る半導体メモリの製造方法について示す切り欠き斜視図 (その 1 2) である。

【図 2 5】本発明の実施例において、ソース・ドレイン領域を凸部から後退させた場合の断面図である。

【図 2 6】従来例に係る多値セルトランジスタの断面図である。

10

【図 2 7】従来例に係る多値セルトランジスタへの書込動作を示すための断面図である。

【図 2 8】従来例に係る多値セルトランジスタが達成し得る 4 値状態の断面図である。

【図 2 9】従来例に係る多値セルトランジスタがバンド間トンネル耐性に乏しいことを説明するための断面図である。

【図 3 0】本発明の実施例に係る半導体メモリが備えるセルトランジスタにおいて、凸部の基端部のボロン濃度を高くした場合の断面図である。

【図 3 1】本発明の実施例に係る半導体メモリの製造方法において、p ウエルの表面からの深さと、その深さでのボロン濃度との関係を示すグラフである。

【図 3 2】本発明の半導体メモリの別の実施例における回路構成のうち、セルトランジスタに関する部分の機能回路図である。

20

【図 3 3】本発明の半導体メモリの別の実施例の構成を示す機能ブロック図である。

【図 3 4】ビット線デコーダの一実施例を示す機能ブロック図である。

【図 3 5】消去動作時にフローティングゲート内の電荷が減少するようすを例示するグラフである。

【図 3 6】図 3 2 の一部を取り出して示す機能回路図である。

【図 3 7】本発明の半導体メモリのさらに別の実施例における過消去動作での電圧プロファイルを示す図である。

【図 3 8】図 3 7 に示す電圧を印加された未書込フローティングゲート内の電荷数の変化を示す図である。

【図 3 9】図 3 7 に示す電圧を印加された書込済フローティングゲート内の電荷数の変化を示す図である。

30

【図 4 0】電荷注入動作を行なわない場合の過消去動作での電圧プロファイルを参考として示す図である。

【符号の説明】

- 1、TC セルトランジスタ
- 2、12 p 型シリコン基板
- 3、8、BL1 ~ BL4 ソース・ドレイン領域
- 4、6、26、29 シリコン酸化膜
- 5、25、27、30 シリコン窒化膜
- 7、CG コントロールゲート
- 12a p 型エピタキシャル層
- 12b p⁺ 基板
- 13 p ウエル
- 13a 凸部
- 13b 凸部の側面
- 13c 凸部の頂面
- 13d 反転層
- 13e 高抵抗領域
- 15a トンネル絶縁膜
- 15b インターポリ絶縁膜

40

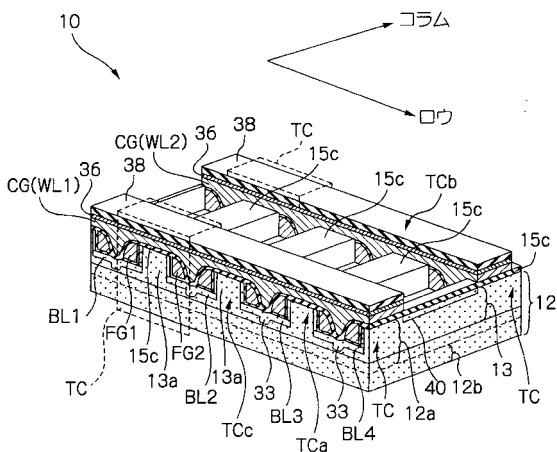
50

15c ゲート絶縁膜
 17 n型領域
 18 シリコン熱酸化膜
 20、24、35、39、45 フォトレジスト
 21 nウエル
 23 pウエル
 28 トレンチ
 30a 長穴
 31 犠牲シリコン酸化膜
 32 リセス
 33 n⁺領域
 34 選択酸化膜
 36 WSi膜
 37 ポリシリコン膜
 38 キャップ膜
 40 素子分離領域
 41 ゲート電極
 42 コラムデコーダ
 43 ロウデコーダ
 44 メモリセルアレイ
 FG1、FG2 フローティングゲート
 WL1～WL4 ワード線

10

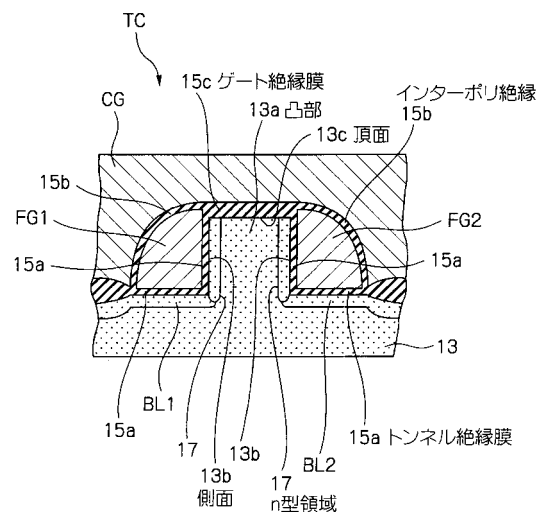
20

【図1】

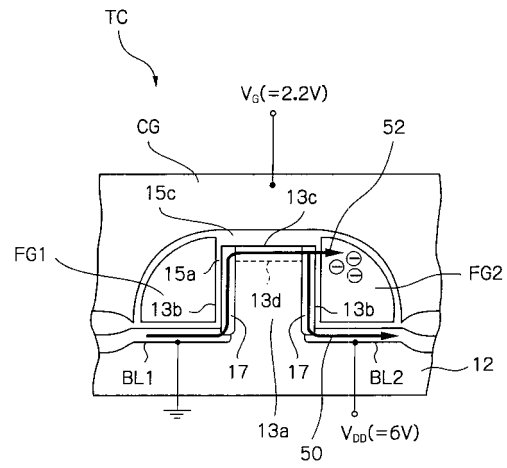


TC, TCa, TCb, TCc: セルトランジスタ
 BL1～BL4: ビット線(ソース・ドレイン領域)
 CG(WL1, 2): コントロールゲート(ワード線)
 FG1, FG2: フローティングゲート
 15c: ゲート絶縁膜
 12: P型シリコン基板
 12a: P型エピタキシャル層
 12b: P⁺基板
 13: Pウエル
 13a: 凸部
 33: n⁺領域
 38: キャップ膜
 40: 素子分離領域
 36: WSi膜

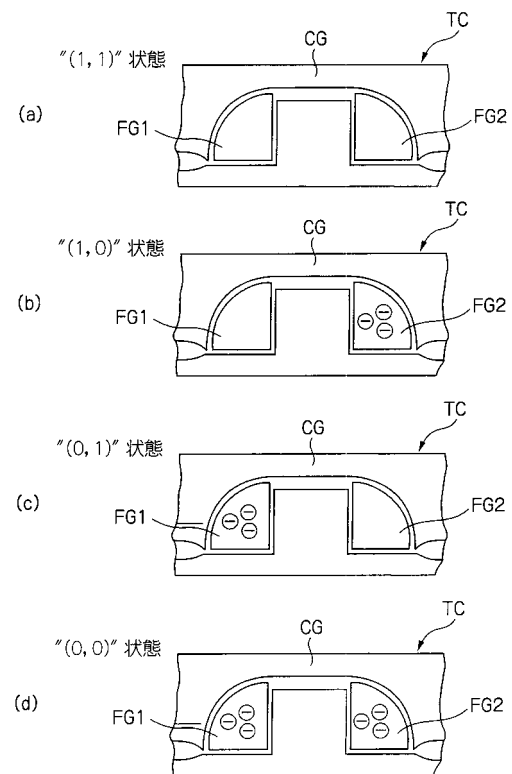
【図2】



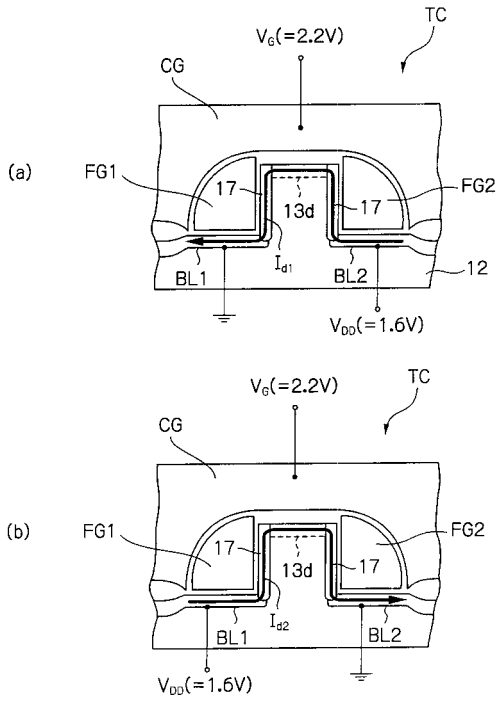
【 図 4 】



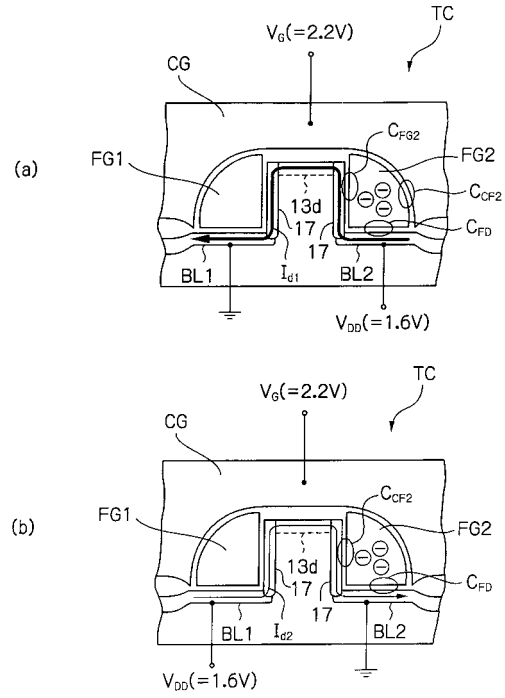
【 図 6 】



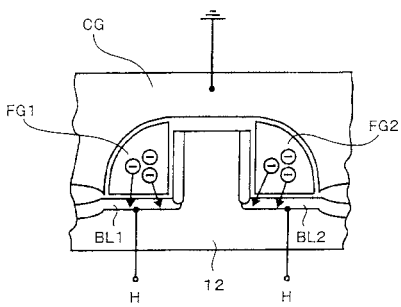
【図 7】



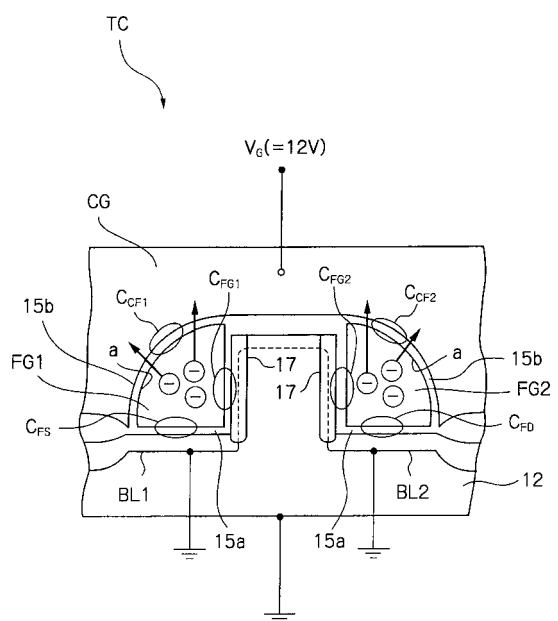
【図 8】



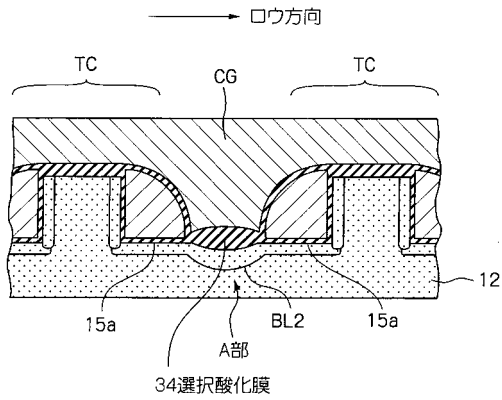
【図 9】



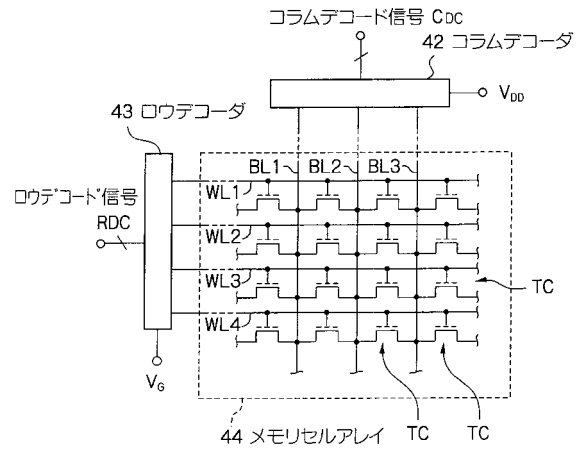
【図 10】



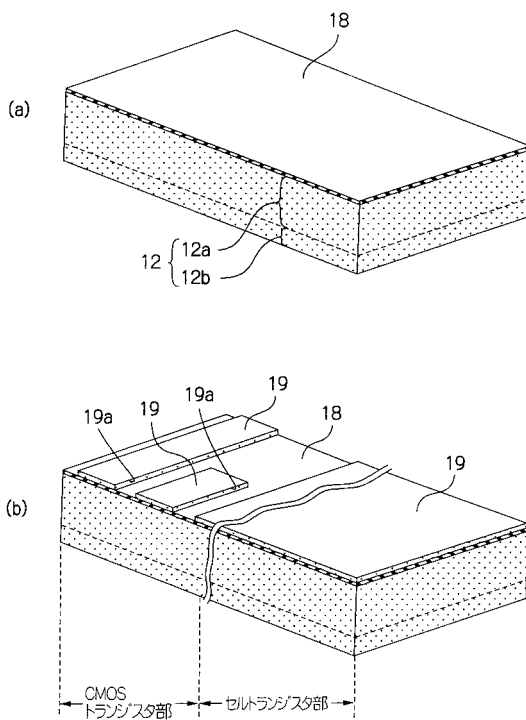
【図 1 1】



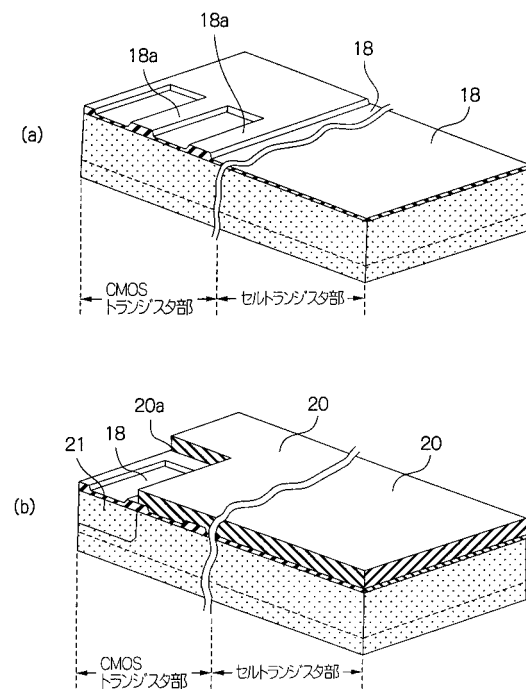
【図 1 2】



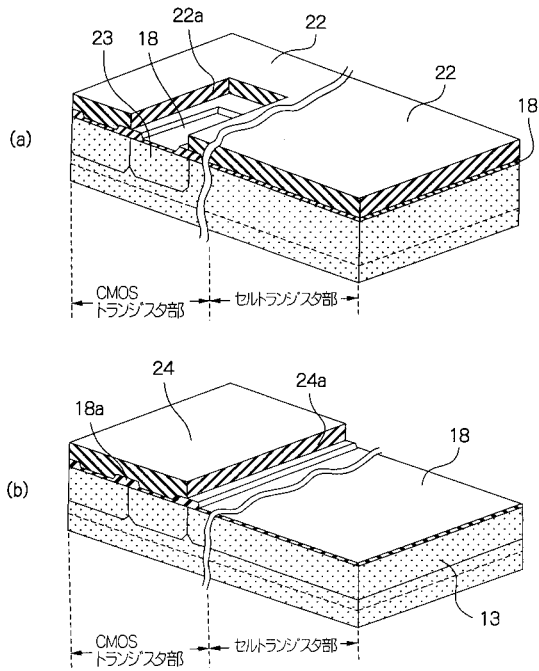
【図 1 3】



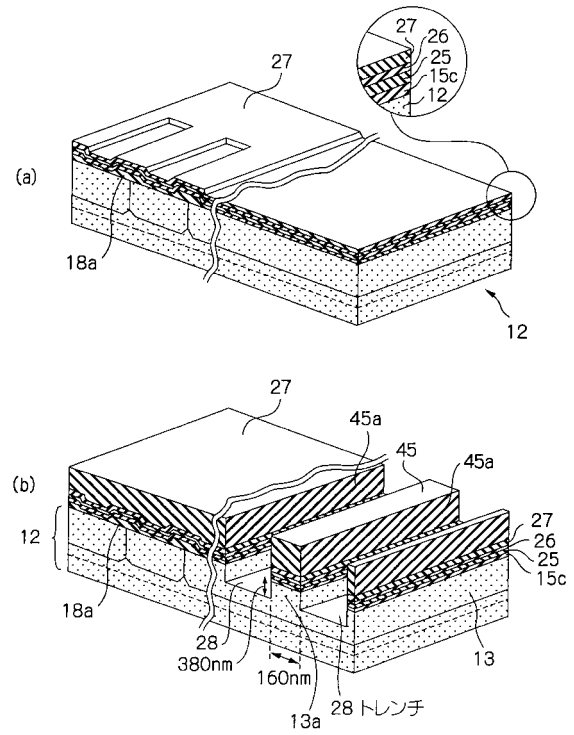
【図 1 4】



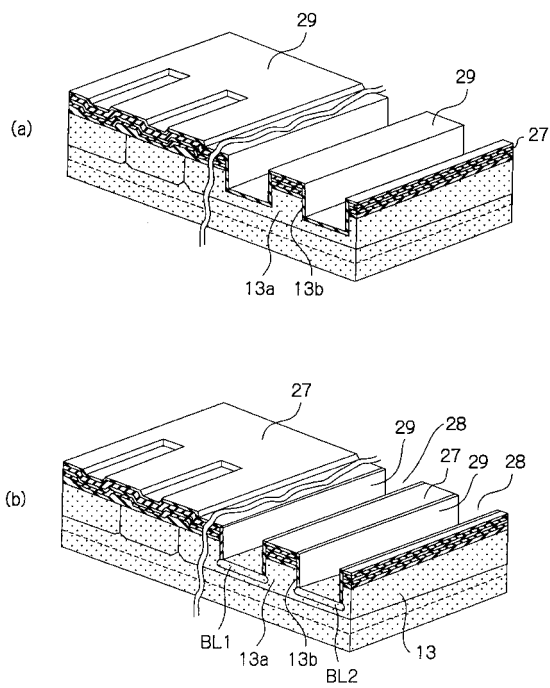
【図 15】



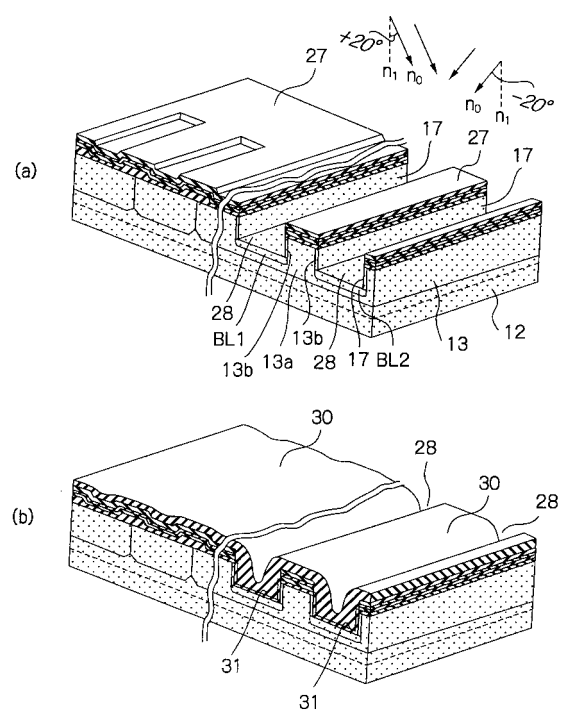
【図 16】



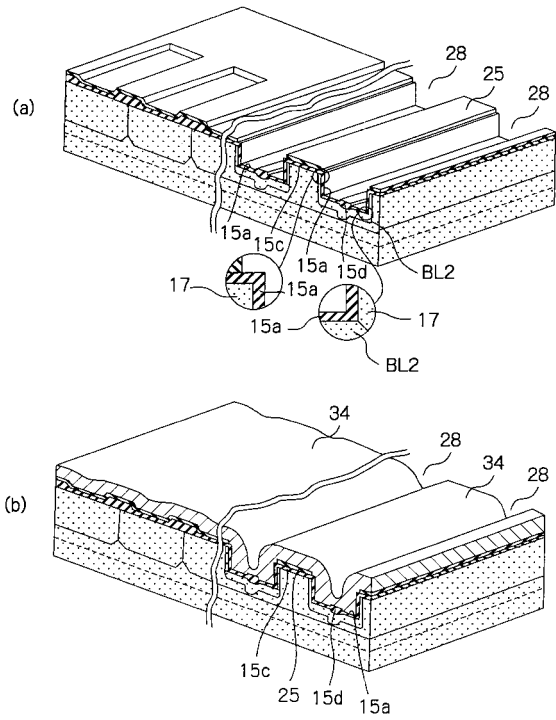
【図 17】



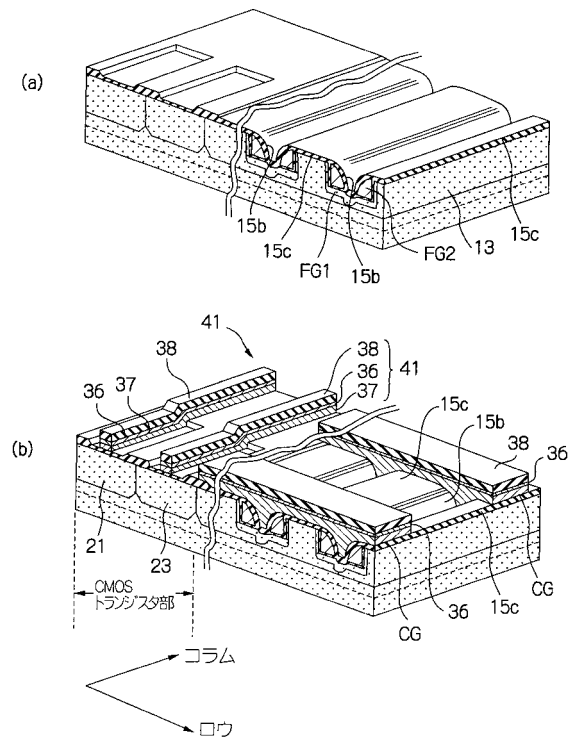
【図 18】



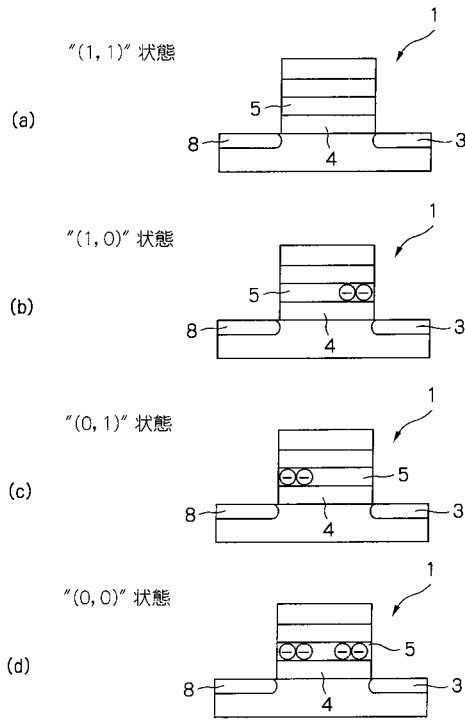
【 図 2 0 】



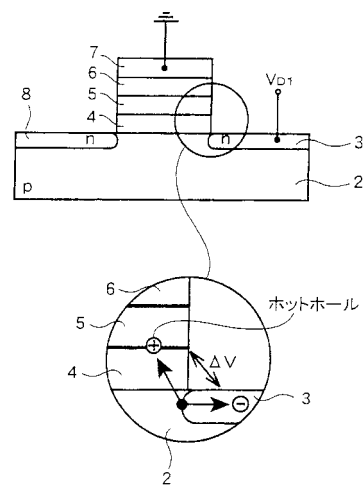
【 ㄨ 2 2 】



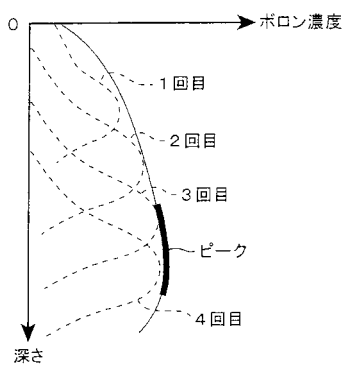
【図 28】



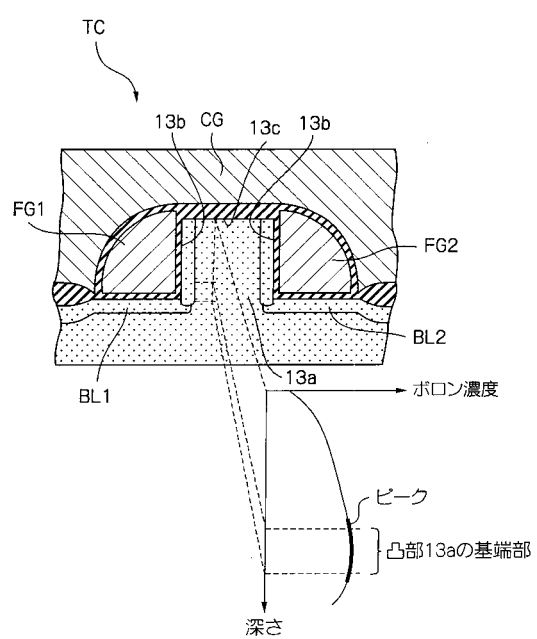
【図 29】



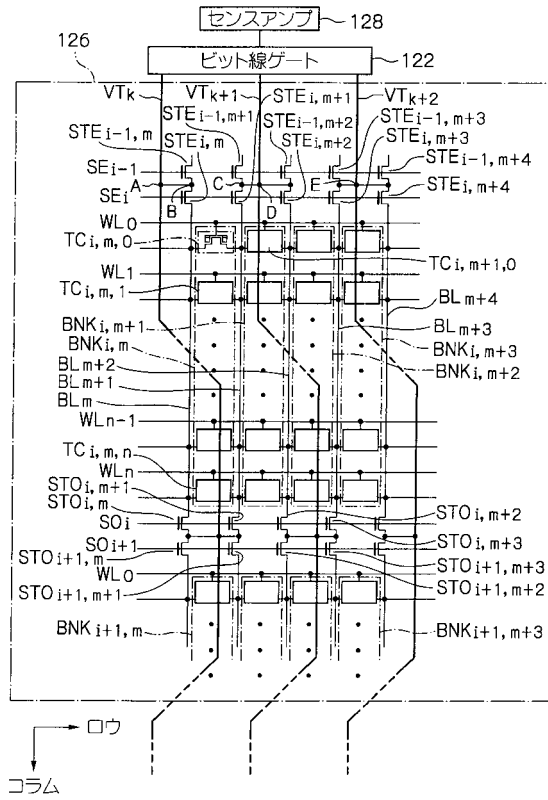
【図 30】



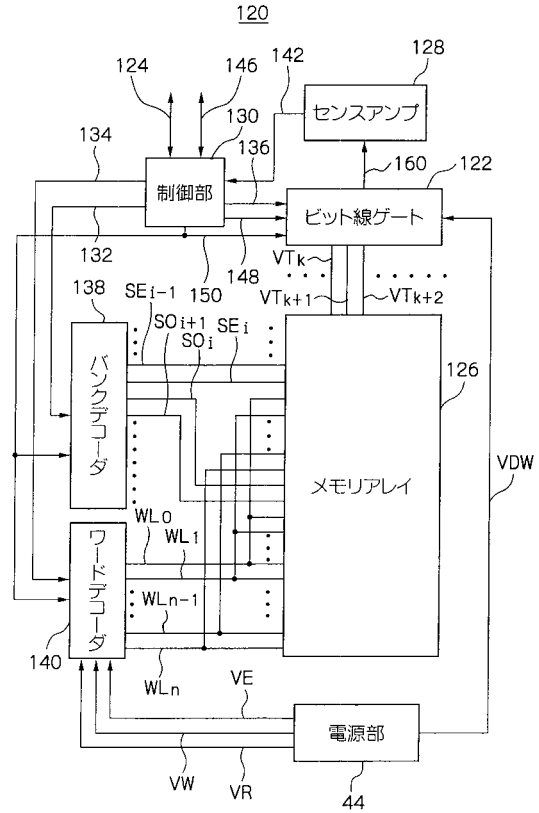
【図 31】



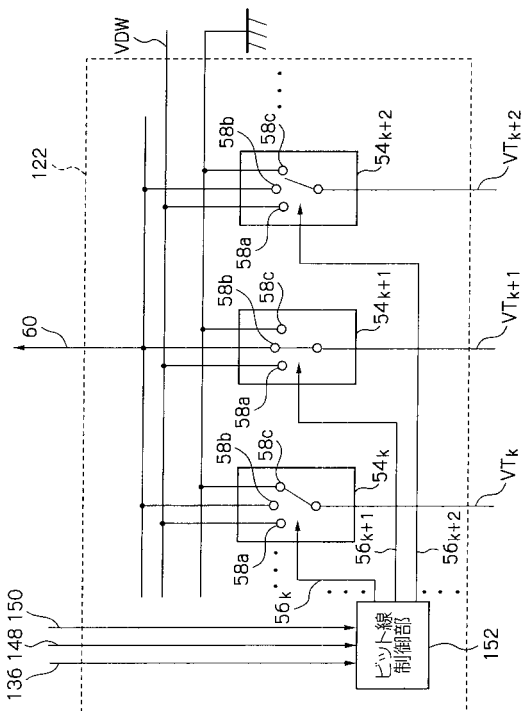
【図 3 2】



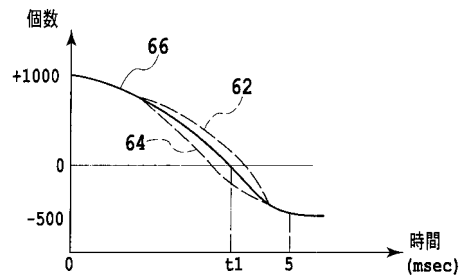
【図 3 3】



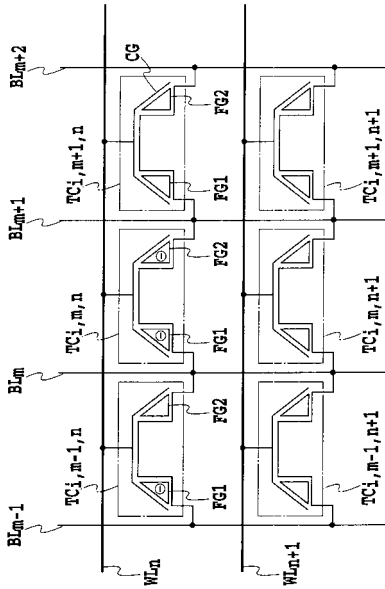
【図 3 4】



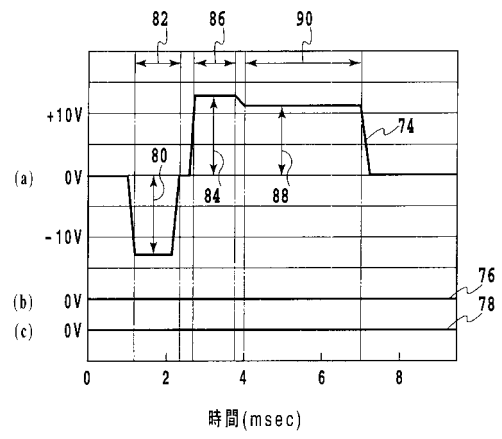
【図 3 5】



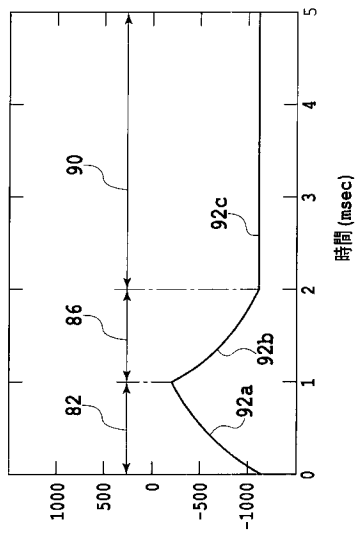
【図 3 6】



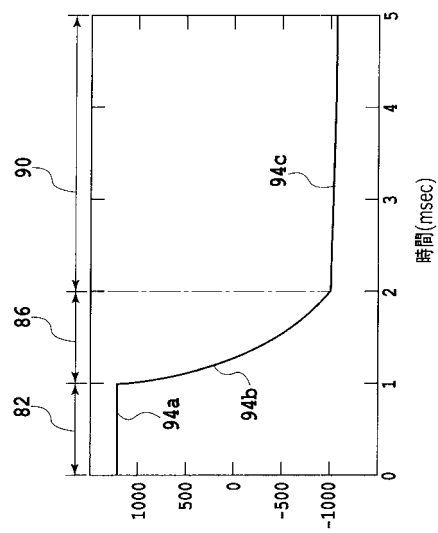
【図 3 7】



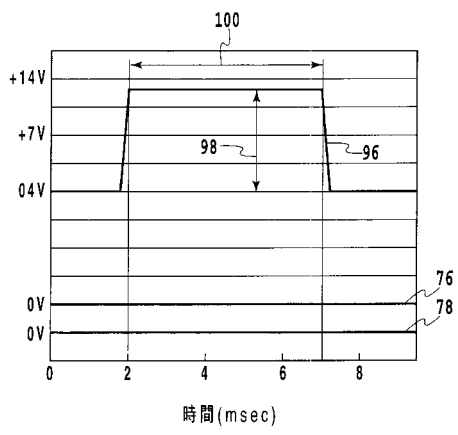
【図 3 8】



【図 3 9】



【図 40】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/788	G 1 1 C 17/00	6 1 2 Z
H 0 1 L 29/792	G 1 1 C 17/00	6 1 1 E

F ターム(参考) 5F101 BA03 BA04 BA16 BA45 BB04 BB17 BC11 BC13 BD10 BD32
BD38 BE02 BE05 BE07 BF05 BH09 BH21

【要約の続き】

【選択図】 図9