

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5419583号  
(P5419583)

(45) 発行日 平成26年2月19日(2014.2.19)

(24) 登録日 平成25年11月29日(2013.11.29)

(51) Int.Cl.	F 1
H05K 3/46	(2006.01)
H05K 1/11	(2006.01)
H05K 3/40	(2006.01)
	HO5K 3/46 N
	HO5K 1/11 N
	HO5K 3/40 K

請求項の数 7 (全 18 頁)

(21) 出願番号 特願2009-180388 (P2009-180388)  
 (22) 出願日 平成21年8月3日 (2009.8.3)  
 (65) 公開番号 特開2011-35182 (P2011-35182A)  
 (43) 公開日 平成23年2月17日 (2011.2.17)  
 審査請求日 平成24年6月22日 (2012.6.22)

(73) 特許権者 000190688  
 新光電気工業株式会社  
 長野県長野市小島田町80番地  
 (74) 代理人 100091672  
 弁理士 岡本 啓三  
 (72) 発明者 伊藤 仁志  
 長野県長野市小島田町80番地 新光電気  
 工業株式会社内

審査官 吉澤 秀明

最終頁に続く

(54) 【発明の名称】配線基板の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

仮基板の上に分離できる状態で樹脂層を形成する工程と、  
 前記樹脂層をレーザで貫通加工することにより、前記仮基板に到達するピアホールを形成する工程と、

前記樹脂層上及び前記ピアホールの内面にシード層を形成する工程と、  
 前記シード層と、前記シード層をめっき給電経路に利用する電解めっきで形成される金属めっき層とを利用することにより、前記ピアホールに充填される配線層を得る工程と、  
 前記仮基板と前記樹脂層とを分離することにより、前記樹脂層の露出面に前記ピアホールの底部の前記配線層上に残った樹脂スミアを露出させる工程と、

前記樹脂スミアを露出させる工程の後に、前記ピアホールの底部の前記配線層上の前記樹脂スミアを除去する工程とを有することを特徴とする配線基板の製造方法。

## 【請求項 2】

前記配線層を得る工程は、  
 前記シード層の上に、前記配線層が配置される部分に開口部が設けられためっきレジストを形成する工程と、  
 前記ピアホール内及び前記めっきレジストの開口部に前記金属めっき層を形成する工程と、  
 前記めっきレジストを除去する工程と、  
 前記金属めっき層をマスクにして前記シード層をエッチングする工程とを含むことを特

10

20

徴とする請求項 1 に記載の配線基板の製造方法。

**【請求項 3】**

前記樹脂層を形成する工程は、

前記樹脂層の上に、開口部が設けられた永久レジストを形成することを含み、

前記ビアホールを形成する工程において、

前記永久レジスト及び前記樹脂層を貫通する前記ビアホールを形成し、

前記シード層を形成する工程において、

前記シード層が前記永久レジストの上にさらに形成され、

前記配線層を得る工程は、

前記ビアホール内及び前記永久レジストの開口部を埋め込むように前記金属めっき層を形成する工程と、

前記金属めっき層及びシード層を前記永久レジストが露出するまで研磨することにより、前記ビアホール内及び前記永久レジストの開口部に前記配線層を得る工程とを含むことを特徴とする請求項 1 に記載の配線基板の製造方法。

**【請求項 4】**

前記配線層を得る工程の後であって、前記仮基板と前記樹脂層とを分離する工程の前に、

前記配線層の上にそれに電気接続される n 層 (n は 1 以上の整数) の上側配線層を形成する工程をさらに有することを特徴とする請求項 1 乃至 3 のいずれか一項に記載の配線基板の製造方法。

**【請求項 5】**

前記樹脂スミアを除去する工程で露出する前記ビアホールの底部の前記配線層が、半導体チップが接続されるチップ用接続部となることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の配線基板の製造方法。

**【請求項 6】**

前記上側配線層は、前記ビアホールに接続される前記配線層より配線ピッチが広く設定されることを特徴とする請求項 4 に記載の配線基板の製造方法。

**【請求項 7】**

前記仮基板の両面側に前記樹脂層及び前記配線層が形成され、両面側の前記樹脂層が前記仮基板から分離されて前記樹脂スミアがそれぞれ除去されることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の配線基板の製造方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は配線基板の製造方法に係り、さらに詳しくは、ビルドアップ工法で配線層を形成する方法に適用できる配線基板の製造方法に関する。

**【背景技術】**

**【0002】**

従来、ビルドアップ工法によって形成される多層配線を有する配線基板がある。ビルドアップ工法では、絶縁層の形成、ビアホールの形成、電解めっきを使用する配線形成などを繰り返すことによって多層配線を形成することができる。

**【0003】**

特許文献 1 には、半導体装置用多層基板において、半導体素子搭載層側から外部接続端子の方向に配線を順次積層することにより、半導体素子搭載層を平坦面とすることが記載されている。

**【0004】**

特許文献 2 には、多層プリント配線板の製造方法において、ビアホールの底部の導体層をエッティングし、ビアホールの周壁を除去した後に、ビアホール内にめっき層を形成する方法が記載されている。

**【先行技術文献】**

10

20

30

40

50

**【特許文献】****【0005】**

【特許文献1】特開2000-323613号公報

【特許文献2】特開2000-49459号公報

**【発明の概要】****【発明が解決しようとする課題】****【0006】**

後述する関連技術の欄で説明するように、セミアディティブ法を使用して多層配線を形成する際には、配線層上の樹脂層にレーザでビアホールを形成した後に、ビアホール内の樹脂スミアを除去するためにデスマニア処理を行う必要がある。

10

**【0007】**

このとき、デスマニア処理によってビアホールの下部の樹脂層が外側にエッティングされる傾向があり、ビアホールの下部にえぐれ部が形成されてしまう。近年では、配線層の微細化の要求から、スパッタ法でシード層を薄膜で形成することが求められている。

**【0008】**

無電解めっきでシード層を形成する場合は、ビアホールのえぐれ部にもシード層を形成できるが、スパッタ法でシード層を形成する場合は、ビアホールのえぐれ部にシード層を形成することは困難である。

**【0009】**

従って、ビアホールのえぐれ部にシード層が存在しない状態で、電解めっきに基づいて配線層を形成すると、ビアホールの底部のえぐれ部がボイド（空間）となってしまい、配線基板の信頼性が得られない問題がある。

20

**【0010】**

本発明は以上の課題を鑑みて創作されたものであり、ビアホール内にスパッタ法でシード層を形成し、その上に電解金属めっき層を形成することに基づいて配線層を形成する配線基板の製造方法において、信頼性よく配線層を形成できる方法を提供することを目的とする。

**【課題を解決するための手段】****【0011】**

上記課題を解決するため、本発明は、配線基板の製造方法に係り、仮基板の上に分離できる状態で樹脂層を形成する工程と、前記樹脂層をレーザで貫通加工することにより、前記仮基板に到達するビアホールを形成する工程と、前記樹脂層上及び前記ビアホールの内面にシード層を形成する工程と、前記シード層と、前記シード層をめっき給電経路に利用する電解めっきで形成される金属めっき層とを利用することにより、前記ビアホールに充填される配線層を得る工程と、前記仮基板と前記樹脂層とを分離することにより、前記樹脂層の露出面に前記ビアホールの底部の前記配線層上に残った樹脂スミアを露出させる工程と、前記樹脂スミアを露出させる工程の後に、前記ビアホールの底部の前記配線層上の前記樹脂スミアを除去する工程とを有することを特徴とする。

30

**【0012】**

本発明では、まず、仮基板上に分離できる状態で樹脂層が形成される。次いで、レーザによって樹脂層にビアホールが形成される。このとき、ビアホール内に樹脂スミアが発生するが、デスマニア処理や酸洗浄を省略してビアホール内に樹脂スミアを残した状態でスパッタ法によってシード層が形成される。

40

**【0013】**

デスマニア処理や酸洗浄を省略することによりビアホールにえぐれ部が発生しないので、スパッタ法によってビアホールの内面に薄膜のシード層を良好なステップカバレジ（被覆性）で形成することができる。

**【0014】**

続いて、シード層とそれをめっき給電経路に利用して形成される電解金属めっき層を利用することにより、ビアホールに充填される配線層が形成される。

50

**【0015】**

これにより、ビアホール内にボイドが発生することなく、信頼性の高い微細な配線層が形成される。

**【0016】**

その後に、仮基板と樹脂層とが分離された後に、樹脂層の露出面に露出する樹脂スミアが除去される。

**【0017】**

このようにして、ビアホールの底部に配線層が露出する。ビアホールの底部にはえぐれ部が発生していないので、ビアホールの底部の配線層を狭ピッチの接続部として利用することができる。好適には、配線層の接続部は半導体チップが接続されるチップ用接続部として利用される。10

**【0018】**

配線層を形成する工程の一態様では、セミアディティブ法が使用される。この態様では、まず、シード層の上に、配線層が配置される部分に開口部が設けられためっきレジストが形成される。次いで、電解めっきによってビアホール内及びめっきレジストの開口部に金属めっき層が形成される。さらに、めっきレジストが除去された後に、金属めっき層をマスクにしてシード層がエッティングされる。

**【0019】**

配線層を形成する工程の他の態様では、ダマシンプロセスが使用される。この態様では、まず、樹脂層の上に開口部が設けられた永久レジストが形成され、永久レジスト及び樹脂層を貫通するビアホールが形成される。20

**【0020】**

そして、シード層が永久レジストの上にさらに形成され、ビアホール内及び永久レジストの開口部を埋め込むように金属めっき層が形成される。さらに、金属めっき層及びシード層が永久レジストが露出するまで研磨されて、ビアホール内及び永久レジストの開口部に配線層が得られる。

**【発明の効果】****【0021】**

以上説明したように、本発明では、ビアホール内にスパッタ法で形成されるシード層と電解金属めっきとを利用することにより配線層を得る方法において、ボイドの発生がない信頼性の高い配線層を形成することができる。30

**【図面の簡単な説明】****【0022】**

【図1】図1(a)～(d)は本発明に関連する関連技術の配線基板の製造方法を示す断面図(その1)である。

【図2】図2(a)～(d)は本発明に関連する関連技術の配線基板の製造方法を示す断面図(その2)である。

【図3】図3(a)～(c)は本発明の第1実施形態の配線基板の製造方法を示す断面図(その1)である。

【図4】図4(a)及び(b)は本発明の第1実施形態の配線基板の製造方法を示す断面図(その2)である。40

【図5】図5(a)及び(b)は本発明の第1実施形態の配線基板の製造方法を示す断面図(その3)である。

【図6】図6(a)及び(b)は本発明の第1実施形態の配線基板の製造方法を示す断面図(その4)である。

【図7】図7(a)及び(b)は本発明の第1実施形態の配線基板の製造方法を示す断面図(その5)である。

【図8】図8は本発明の第1実施形態の配線基板の製造方法を示す断面図(その6)である。

【図9】図9(a)及び(b)は本発明の第1実施形態の配線基板の製造方法を示す断面50

図(その7)である。

【図10】図10は図9(b)の配線基板に半導体チップが実装された様子を示す断面図である。

【図11】図11(a)及び(b)は本発明の第2実施形態の配線基板の製造方法を示す断面図(その1)である。

【図12】図12(a)及び(b)は本発明の第2実施形態の配線基板の製造方法を示す断面図(その2)である。

【図13】図13(a)及び(b)は本発明の第2実施形態の配線基板の製造方法を示す断面図(その3)である。

【図14】図14(a)及び(b)は本発明の第2実施形態の配線基板の製造方法を示す断面図(その4)である。 10

【図15】図15(a)及び(b)は本発明の第2実施形態の配線基板の製造方法を示す断面図(その5)である。

【図16】図16は図15(b)の配線基板に半導体チップが実装された様子を示す断面図である。

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0024】

(関連技術)

本発明の実施形態を説明する前に、本発明に関連する関連技術の問題点について説明する。図1及び図2は関連技術の配線基板の製造方法を示す断面図である。 20

【0025】

関連技術の配線基板の製造方法では、図1(a)に示すように、第1配線層200を備えたコア基板100を用意する。第1配線層200の表面には密着増強処理層210が形成されている。密着増強処理層210は、第1配線層200の表面を黒化処理するなどして粗化することによって得られる。

【0026】

コア基板100にはその厚み方向に貫通する貫通電極120が設けられており、コア基板100の上面側の配線層200は貫通電極120を介して下面側の配線層(不図示)に接続されている。コア基板100の両面側に多層配線が形成されるが、以下の説明では上面側のみを参照して説明する。 30

【0027】

同じく図1(a)に示すように、コア基板100の上に第1配線層200を被覆する樹脂層300を形成する。第1配線層200の表面に密着増強処理層210が形成されているため、樹脂層300は第1配線層200の上に密着性がよい状態で形成される。

【0028】

次いで、図1(b)に示すように、レーザによって樹脂層300を加工することにより、第1配線層200に到達するピアホールVHを形成する。このとき、ピアホールVHの底部に樹脂スミアRSが発生する。 40

【0029】

次いで、図1(c)に示すように、過マンガン酸カリウム法などのデスマニア処理によってピアホールVH内の樹脂スミアRSを除去してクリーニングする。このとき、デスマニア処理によってピアホールの下部の樹脂層300が外側にエッチングされやすい傾向があり、下部にえぐれ部Aが形成されてしまう。

【0030】

さらに、図1(d)に示すように、ピアホールVH内を希硫酸などで酸洗浄することにより、ピアホールVH内に露出する密着増強処理層210を除去して第1配線層200を露出させる。酸洗浄を行うことによって、ピアホールVHの下部のえぐれ部Aがさらに広がった状態となる。 50

**【0031】**

続いて、図2(a)に示すように、スパッタ法により、前処理として逆スパッタを行つて第1配線層200の表面を活性化した後に、樹脂層300上及びビアホールVH内に膜厚が0.1μm程度のシード層420を形成する。スパッタ法は成膜のステップカバレジ(被覆性)が悪いため、シード層420はビアホールVHのえぐれ部Aにはほとんど形成されず、ビアホールVHの上部の側面及び底部のみに形成される。

**【0032】**

なお、無電解めっきによって膜厚が1μm程度のシード層を形成する場合は、ビアホールVHのえぐれ部Aの側面にもシード層が成膜される。

**【0033】**

本実施形態では、第2配線層の微細化を達成するため、スパッタ法によって薄膜のシード層420を形成するようにしている。シード層420の膜厚を薄くすることにより、後述する金属めっき層をマスクにしてシード層420をエッチングする際にエッチング量を減らすことができるので、第2配線層の微細化を達成できるからである。

**【0034】**

次いで、図2(b)に示すように、第2配線層が配置される部分に開口部320aが設けられためっきレジスト320をフォトリソグラフィによってシード層420の上に形成する。

**【0035】**

さらに、図2(c)に示すように、シード層420をめっき給電経路に利用する電解めっきにより、ビアホールVH内及びめっきレジスト320の開口部320aに銅などからなる金属めっき層440を形成する。

**【0036】**

このとき、ビアホールVHの下部のえぐれ部Aの側面にはシード層420が存在しないので、えぐれ部Aには電解めっきが施されない。その結果、ビアホールVHのストレート形状の領域は金属めっき層440で充填されるが、下部のえぐれ部AはボイドB(空間)となってしまう。

**【0037】**

次いで、図2(d)に示すように、めっきレジスト320を除去した後に、金属めっき層440をマスクにしてシード層420をエッチングする。これにより、シード層420及び金属めっき層440によって構成される第2配線層400が樹脂層300の上に形成される。第2配線層400はビアホールVH(ビア導体)を介して第1配線層200に接続される。

**【0038】**

前述したように、セミアディティブ法で使用されるシード層420をスパッタ法によって薄膜で形成することにより、シード層420のエッチング量を減らすことができるので、第2配線層400の微細化を達成できる。

**【0039】**

しかしながら、ビアホールVHを形成した後にデスマニア処理や酸洗浄を行うとビアホールVHの下部に金属めっき層440が充填されないボイドBが形成されてしまうので、配線基板の信頼性を確保できない問題がある。

**【0040】**

本願発明者は前述した問題を鑑み、デスマニア処理せずにビアホール内に樹脂スミアを残した状態で、スパッタ法でシード層を形成し、ビアホールを埋め込む配線層を得た後に、ビアホールの底部を露出させて樹脂スミアを除去する方法を考案した。

**【0041】**

(第1の実施の形態)

図3～図9は本発明の第1実施形態の配線基板の製造方法を示す断面図、図10は図9(b)の配線基板に半導体チップが実装された様子を示す断面図である。

**【0042】**

10

20

30

40

50

第1実施形態の配線基板の製造方法では、図3(a)に示すように、まず、仮基板10の両面側にエポキシ樹脂やポリイミド樹脂などの樹脂フィルムを貼付するなどして第1樹脂層20をそれぞれ形成する。仮基板10は、その上にビルドアップ配線を形成した後に、ビルドアップ配線から容易に分離できるようになっている。

#### 【0043】

例えば、仮基板10の両面側には離型処理(シリコーン処理など)が施されており、ビルドアップ配線との界面から仮基板10を分離することができる。

#### 【0044】

あるいは、仮基板10の上に銅箔(不図示)の周縁側のみを接着剤で接着し、銅箔の上にビルドアップ配線を形成してもよい。この場合は、仮基板10の接着剤の内側部分を切断することにより、銅箔及びビルドアップ配線を仮基板10から分離することができる。10

#### 【0045】

次いで、図3(b)に示すように、両面側の第1樹脂層20をレーザによって加工することにより、仮基板10に到達する第1ビアホールVH1をそれぞれ形成する。このとき、第1ビアホールVH1内に樹脂スミアRSが発生する。

#### 【0046】

本実施形態では、前述した関連技術と違って、第1ビアホールVH1にえぐれ部が形成されないように、デスマニア処理を省略する。デスマニア処理を省略することにより、第1ビアホールVH1はレーザで加工された直後の形状が維持される。20

#### 【0047】

つまり、第1ビアホールVH1は、ストレート形状又は上側から下側になるにつれて径が小さくなる順テーパ形状に維持される。また、第1樹脂層20の下には接続すべく配線層が存在しないことから、酸洗浄をさらに省略できるので、第1ビアホールVH1の上記形状が維持される。

#### 【0048】

次いで、図3(c)に示すように、仮基板10の両面側において、第1ビアホールVH1内に樹脂スミアRSを残した状態で、スパッタ法により、前処理として逆スパッタを行った後に、第1ビアホールVH1内及び第1樹脂層20の上にシード層32をそれぞれ形成する。シード層32としては、ニッケル(Ni)層、クロム(Cr)層又はチタン(Ti)層などが使用される。30

#### 【0049】

本実施形態では、第1ビアホールVH1にえぐれ部が形成されないので、スパッタ法により、第1ビアホールVH1の底部から側面全体にわたって薄膜(膜厚:0.1μm程度)のシード層32を成膜することができる。

#### 【0050】

このようにして、第1ビアホールVH1の底部の樹脂スミアRSは、仮基板10とシード層32とによって挟まれた状態となる。

#### 【0051】

本実施形態と違って、第1ビアホールVHを形成した後に、デスマニア処理や酸洗浄を行うと第1樹脂層20の表面がエッチングされてその中に含まれるフィラー(シリカ粒子)が露出する。フィラーは、第1樹脂層20の熱膨張率を調整するために添加される。スパッタ法で形成されるシード層32は、第1樹脂層20の表面にフィラーが露出して表面改質されていると密着性が悪くなる傾向がある。40

#### 【0052】

デスマニア処理や酸洗浄を省略することは、スパッタ法で形成されるシード層32と第1樹脂層20との密着性を向上させるという観点からも都合がよい。

#### 【0053】

次いで、図4(a)に示すように、コア基板10の両面側において、第1配線層が配置される部分に開口部12aが設けられためっきレジスト12をシード層32の上にそれぞれ形成する。めっきレジスト12の開口部12aは第1ビアホールVH1に連通して配置50

される。

**【0054】**

さらに、図4(b)に示すように、シード層32をめっき給電経路に利用する電解めっきにより、第1ビアホールVH1内及びめっきレジスト12の開口部12aに銅などからなる金属めっき層34を形成する。

**【0055】**

このとき、第1ビアホールVH1の内面全体がシード層32で被覆されているので、金属めっき層34はボイドが発生することなく、第1ビアホールVH1に安定して充填される。

**【0056】**

次いで、図5(a)に示すように、仮基板10の両面側において、めっきレジスト12を除去することによりその下のシード層32を露出させる。

**【0057】**

さらに、図5(b)に示すように、仮基板10の両面側において、金属めっき層34をマスクにしてシード層32をそれぞれエッティングする。これにより、両面側の第1樹脂層20の上に、シード層32及び金属めっき層34によって構成される第1配線層30がそれぞれ形成される。

**【0058】**

本実施形態では、第1配線層30を構成するシード層32はスパッタ法によって薄膜(0.1μm程度)で形成することができる。このため、無電解めっきで厚膜(1μm程度)のシード層を形成する場合より、シード層32をエッティングする際の第1配線層30の細りが低減されると共に、微細化する際のパターン飛びの発生が防止される。

**【0059】**

さらには、デスマニア処理を省略することにより第1樹脂層20の表面が粗化されないため、シード層32のエッティング残渣が発生しにくくなり、微細な第1配線層30を歩留りよく形成することができる。本実施形態では、第1配線層30の配線ピッチを30μm以下(ライン:スペース=15:15μm以下)に微細化して形成することができる。

**【0060】**

次いで、図6(a)に示すように、仮基板10の両面側において、第1樹脂層20及び第1配線層30の上に樹脂フィルムを貼付するなどして第2樹脂層40をそれぞれ形成する。さらに、両面側の第2樹脂層40をレーザで加工することにより、第1配線層30に到達する第2ビアホールVH2をそれぞれ形成する。第2ビアホールVH2を形成する際にも底部に樹脂スミアRSが発生する。

**【0061】**

第2ビアホールVH2は第1配線層30に接続する必要があるので、第2ビアホールVH2内の樹脂スミアRSを除去する必要がある。

**【0062】**

このため、図6(b)に示すように、第2ビアホールVH2内をデスマニア処理することにより樹脂スミアRSを除去してクリーニングする。さらに、第2ビアホールVH2内を酸洗浄する。これにより、第2ビアホールVH2の下部にえぐれ部Aが発生する。第2配線層は第1配線層30より配線ピッチ(ライン:スペース)が広く設定されるため、無電解めっきによる厚膜のシード層52を使用することができる。

**【0063】**

次いで、図7(a)に示すように、無電解めっきで形成されたシード層52及び金属めっき層54によって構成される第2配線層50を第2樹脂層40の上に形成する。第2配線層50は第2ビアホールVH2(ビア導体)を介して第1配線層30に電気接続される。

**【0064】**

形成過程を詳しく説明すると、第2ビアホールVH2内及び第2樹脂層40の上に無電解めっきによってシード層52を形成する。このとき、無電解めっきによって形成される

10

20

30

40

50

シード層 5 2 は第 2 ビアホール V H 2 のえぐれ部 A の側面を被覆して形成される。

**【 0 0 6 5 】**

その後に、第 1 配線層 3 0 の形成方法と同様に、第 2 配線層 5 0 が配置される部分に開口部が設けられためっきレジスト(不図示)を形成する。さらに、電解めっきによって第 2 ビアホール V H 2 内及びめっきレジストの開口部に金属めっき層 5 4 を形成する。

**【 0 0 6 6 】**

第 2 ビアホール V H 2 のえぐれ部 A はシード層 5 2 で被覆されているので、金属めっき層 5 4 はボイドが発生することなく第 2 ビアホール V H 2 内に充填される。その後に、めっきレジストを除去した後に、金属めっき層 5 4 をマスクにしてシード層 5 2 をエッティングする。

10

**【 0 0 6 7 】**

これにより、第 1 配線層 3 0 と第 2 配線層 5 0 との接続部に樹脂スミア R S が残ることなく、第 1 配線層 3 0 と第 2 配線層 5 0 とが信頼性よく電気接続される。

**【 0 0 6 8 】**

続いて、図 7 ( b ) に示すように、コア基板 1 0 の両面側において、第 2 配線層 5 0 のパッド部上に開口部 1 4 a が設けられたソルダレジスト 1 4 を第 2 樹脂層 4 0 の上にそれぞれ形成する。

**【 0 0 6 9 】**

これにより、仮基板 1 0 の両面側にビルドアップ配線 2 がそれぞれ形成される。

**【 0 0 7 0 】**

本実施形態では、第 1 配線層 3 0 の上に第 2 配線層 5 0 を積層する形態を例示するが、積層数は任意に設定することができ、第 1 配線層 3 0 に接続される n 層 ( n は 1 以上の整数 ) の上側配線層を積層してもよい。

20

**【 0 0 7 1 】**

また、第 2 配線層 5 0 を含む上側配線層の形成方法としては、前述したセミアディティブ法の他に、サブトラクティブ法などを使用してもよい。

**【 0 0 7 2 】**

次いで、図 8 に示すように、仮基板 1 0 とビルドアップ配線 2 の第 1 樹脂層 2 0 との界面から剥離することにより、仮基板 1 0 とビルドアップ配線 2 とを分離する。このとき、ビルドアップ配線 2 の第 1 樹脂層 2 0 の露出面に第 1 ビアホール V H 1 の底部に残った樹脂スミア R S が露出した状態となる。

30

**【 0 0 7 3 】**

あるいは、前述したように、仮基板 1 0 の上に銅箔の周縁側のみを接着剤で接着し、銅箔の上にビルドアップ配線 2 を形成する場合は、仮基板 1 0 の接着剤の内側部分を切断することにより、銅箔及びビルドアップ配線 2 が仮基板 1 0 から分離される。この場合は、銅箔がウェットエッティングによってビルドアップ配線 2 から除去されて、樹脂スミアが露出する。

**【 0 0 7 4 】**

あるいは、仮基板 1 0 を銅などの金属板や金属箔から形成し、横方向から仮基板 1 0 をウェットエッティングすることによりビルドアップ配線 2 を分離することも可能である。

40

**【 0 0 7 5 】**

次いで、図 9 ( a ) に示すように、図 8 のビルドアップ配線 2 の露出面の樹脂スミア R S をデスマニア処理によって除去する。これにより、第 1 ビアホール V H 1 の底部 ( 図 9 ( a ) では上部 ) のシード層 3 2 が露出する。デスマニア処理の他に、ドライエッティング又は C M P ( Chemical Mechanical Polishing ) などによって樹脂スミア R S を除去してもよい。

**【 0 0 7 6 】**

その後に、図 9 ( b ) に示すように、第 1 ビアホール V H 1 の底部 ( 図 9 ( b ) では上部 ) のシード層 3 2 をエッティングによって除去することにより、第 1 配線層 3 0 の金属めっき層 ( 銅 ) 3 4 を露出させる。

50

## 【0077】

さらに、露出した金属めっき層34の上にニッケル(Ni)/金(Au)めっき層を順次形成するなどして、半導体チップが接続されるチップ用接続部C1を得る。このとき同時に、ビルドアップ配線2の下面側のソルダレジスト14の開口部14内の第1配線層30にニッケル/金めっき層などからなる端子用接続部C2が形成される。

## 【0078】

なお、第1ビアホールVH1の底部(図9(b)では上部)にシード層32を残しても差し支えない場合は、シード層32の上にチップ用接続部Cが形成される。

## 【0079】

これにより、第1実施形態の配線基板1が得られる。

10

## 【0080】

以上説明したように、第1実施形態の配線基板の製造方法では、仮基板10上の第1樹脂層20にレーザによって第1ビアホールVH1が形成される。次いで、デスマニア処理や酸洗浄を省略して第1ビアホールVH1内に樹脂スミアを残した状態でスパッタ法によってシード層32が形成される。

## 【0081】

デスマニア処理や酸洗浄を省略することにより、第1ビアホールVHにはえぐれ部が発生しないので、スパッタ法によって第1ビアホールVH1の内面に薄膜のシード層32を良好なステップカバレジ(被覆性)で形成することができる。

## 【0082】

従って、第1ビアホールVH1内にボイドが発生することなく、信頼性の高い微細な第1配線層30をセミアディティブ法によって形成することができる。

20

## 【0083】

第1配線層30の上に配置される第2ビアホールVH2はデスマニア処理によって樹脂スミアが除去される。その後に、無電解めっきによるシード層及び電解金属めっき層から第2配線層50が形成されて、ビルドアップ配線2が得られる。第2配線層50は第1配線層30より配線ピッチ(ライン:スペース)が広く設定される。

## 【0084】

そして、仮基板10とビルドアップ配線2とが分離された後に、ビルドアップ配線2の露出面の樹脂スミアRSが除去される。

30

## 【0085】

このようにして、第1ビアホールVH1の底部に第1配線層30が露出し、チップ用接続部C1として利用される。第1ビアホールVH1の底部にえぐれ部が発生しないので、狭ピッチのチップ用接続部C1を歩留りよく形成することができる。

## 【0086】

これにより、狭ピッチの接続パッドを備えた高性能な半導体チップを実装するための配線基板として使用することができる。

## 【0087】

図10には図9(b)の配線基板1に半導体チップが実装された様子が示されている。図10に示すように、半導体チップ60がはんだなどのバンプ電極62によって配線基板1の第1配線層30のチップ用接続部C1にフリップチップ接続される。

40

## 【0088】

このとき、チップ用接続部C1は第1樹脂層20と同一面に形成されて平坦化されており、ソルダレジストの段差もないため、半導体チップ60をフリップチップ実装しやすいという利点がある。

## 【0089】

さらに、半導体チップ60の下側の隙間にアンダーフィル樹脂64が充填される。そして、配線基板1の下面側の第2配線層50の端子用接続部C2にはんだボールなどが搭載されて外部接続端子66が設けられる。

## 【0090】

50

(第2の実施の形態)

図11～図14は本発明の第2実施形態の配線基板の製造方法を示す断面図、図15は図14(b)の配線基板に半導体チップが実装される様子を示す断面図である。第2実施形態では、第1実施形態と同一工程についてはその詳しい説明を省略する。第2実施形態では、第1配線層がダマシンプロセスによって形成される。

【0091】

第2実施形態の配線基板の製造方法では、図11(a)に示すように、第1実施形態の図3(a)と同様に、仮基板10の両面側に第1樹脂層20をそれぞれ形成する。次いで、図11(b)に示すように、両面側の第1樹脂層20の上に、第1配線層が配置される部分に開口部22aが設けられた永久レジスト22をフォトリソグラフィによって形成する。

10

【0092】

永久レジスト22は、めっきレジストとして機能すると共に、それ以降は剥離せずに層間絶縁層として使用される。

【0093】

次いで、図12(a)に示すように、コア基板10の両面側において、永久レジスト22及び第1樹脂層20をレーザで加工することにより、仮基板10に到達する第1ピアホールVH1をそれぞれ形成する。このとき、第1ピアホールVH1の底部に樹脂スミアRSが発生する。

20

【0094】

ここで、第1実施形態と同様に、デスマニア処理及び酸洗浄が省略される。これにより、図12(a)の第1ピアホールVH1の形状と、永久レジスト22及びその開口部22aの形状が変形することなく維持される。

【0095】

本実施形態と違って、図12(a)において第1ピアホールVH1内の樹脂スミアRSをデスマニア処理で除去する場合について言及する。

【0096】

この場合は、第1ピアホールVH1の下部にえぐれ部が発生するばかりではなく、永久レジスト22が極端に細ったり、パターン飛びが発生したりするので、めっきレジストとして機能しなくなることが理解される。

30

【0097】

また、デスマニア処理による永久レジスト22のダメージを回避するために、第1樹脂層20に第1ピアホールVH1を形成し、デスマニア処理した後に、永久レジスト22をパターン化する方法が考えられる。

【0098】

しかしながら、第1ピアホールVH1の段差が発生した第1樹脂層20の上に永久レジスト22をパターン精度よく形成することは困難を極める。

【0099】

続いて、図12(b)に示すように、仮基板10の両面側において、第1ピアホールVH1内に樹脂スミアRSを残した状態で、スパッタ法により、前処理として逆スパッタを行った後に、第1ピアホールVH1内、第1樹脂層20及び永久レジスト22の上にシード層32を形成する。これにより、仮基板10とシード層32との間に樹脂スミアRSが挟まれた状態となる。

40

【0100】

続いて、図13(a)に示すように、仮基板10の両面側において、シード層32をめっき給電経路に利用する電解めっきにより、第1ピアホールVH1内及び永久レジスト22の開口部を埋め込む金属めっき層34をそれぞれ形成する。

【0101】

次いで、図13(b)に示すように、両面側の金属めっき層34及びシード層32を永久レジスト22が露出するまでCMPなどでそれぞれ研磨する。これにより、第1ピアホ

50

ールV H 1 内及び永久レジスト 2 2 の開口部にシード層 3 2 及び金属めっき層 3 4 から構成される第 1 配線層 3 0 が埋め込まれて形成される。

#### 【 0 1 0 2 】

第 2 実施形態では、第 1 ビアホール V H 1 及び永久レジスト 2 2 のパターン形状が変形しないので、設計スペック内の寸法精度のよい第 1 配線層 3 0 が形成される。

#### 【 0 1 0 3 】

続いて、図 1 4 ( a ) に示すように、第 1 実施形態の図 6 ( a ) ~ 図 7 ( b ) と同一の工程を遂行する。これにより、第 2 ビアホール V H 2 ( ビア導体 ) を介して第 1 配線層 3 0 に接続される第 2 配線層 5 0 が第 2 樹脂層 4 0 の上に形成される。第 2 配線層 5 0 はシード層 5 2 及び金属めっき層 5 4 によって構成される。

10

#### 【 0 1 0 4 】

第 1 実施形態と同様に、第 2 樹脂層 4 0 に形成された第 2 ビアホール V H 2 内に発生する樹脂スミアがデスマニア処理で除去されることにより、第 2 ビアホール V H 2 の下部にえぐれ部 A が形成される。そして、第 2 配線層 5 0 を構成するシード層 5 2 は無電解めっきによって形成される。

#### 【 0 1 0 5 】

さらに、仮基板 1 0 の両面側において、第 2 配線層 5 0 のパッド部上に開口部 1 4 a が設けられたソルダレジスト 1 4 がそれぞれ形成される。

#### 【 0 1 0 6 】

このようにして、仮基板 1 0 の両面側にビルドアップ配線 2 がそれぞれ形成される。

20

#### 【 0 1 0 7 】

第 1 実施形態と同様に、第 1 配線層 3 0 に接続される n 層 ( n は 1 以上の整数 ) の上側配線層を積層してもよい。また、第 2 配線層 5 0 を含む上側配線層の形成方法としては、前述したセミアディティブ法の他に、サブトラクティブ法などを使用してもよい。

#### 【 0 1 0 8 】

次いで、図 1 4 ( b ) に示すように、第 1 実施形態と同様に、仮基板 1 0 とビルドアップ配線 2 とを分離することにより、ビルドアップ配線 2 の第 1 樹脂層 2 0 の露出面に樹脂スミア R S を露出させる。

#### 【 0 1 0 9 】

さらに、図 1 5 ( a ) に示すように、ビルドアップ配線 2 の第 1 樹脂層 2 0 の露出面をデスマニア処理する。これにより、樹脂スミア R S が除去されて第 1 ビアホール V H 1 の底部 ( 図 1 5 ( a ) では上部 ) の第 1 配線層 3 0 のシード層 3 2 を露出させる。

30

#### 【 0 1 1 0 】

続いて、図 1 5 ( b ) に示すように、ビルドアップ配線 2 の第 1 樹脂層 2 0 の露出面に露出するシード層 3 2 をエッティングして金属めっき層 3 4 を露出させ、その上に N i / A u めっき層を形成するなどしてチップ用接続部 C 1 を得る。なお、第 1 ビアホール V H 1 の底部 ( 図 1 5 ( b ) では上部 ) にシード層 3 2 を残しても差し支えない場合は、シード層 3 2 の上にチップ用接続部 C が形成される。

#### 【 0 1 1 1 】

また同時に、ビルドアップ配線 2 のソルダレジスト 1 4 の開口部 1 4 内の第 2 配線層 5 0 に N i / A u めっき層などの端子用接続部 C 2 が形成される。これにより、第 2 実施形態の配線基板 1 a が得られる。

40

#### 【 0 1 1 2 】

第 2 実施形態の配線基板の製造方法は、第 1 実施形態と同様な効果を奏する。第 2 実施形態では、ダマシンプロセスを使用するので、第 1 ビアホール V H 1 及び永久レジスト 2 2 の開口部 2 2 a に対応して第 1 配線層 3 0 が形成される。第 1 実施形態で説明したセミアディティブ法と違って、シード層 3 2 のエッティング工程がないので、第 1 実施形態より第 1 配線層 3 0 の微細化を図ることができる。

#### 【 0 1 1 3 】

そして、図 1 6 に示すように、第 1 実施形態と同様に、配線基板 1 a のチップ用接続部

50

C に半導体チップ 60 がはんだなどのバンプ電極 62 によってフリップチップ接続される。また、半導体チップ 60 の下側の隙間にアンダーフィル樹脂 64 が充填される。

#### 【0114】

さらに、配線基板 1a の端子用接続部 C2 にはんだボールを搭載するなどして外部接続端子 66 が設けられる。

#### 【0115】

なお、前述した第1、第2実施形態では、仮基板 10 の両面側にビルドアップ配線 2 をそれぞれ形成しているが、仮基板 10 の片面上のみにビルドアップ配線 2 を形成することにより、配線基板 1, 1a を製造してもよい。

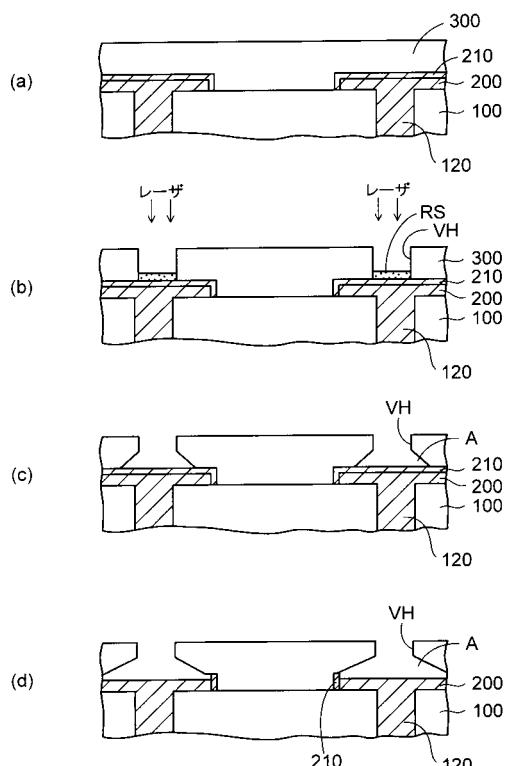
#### 【符号の説明】

10

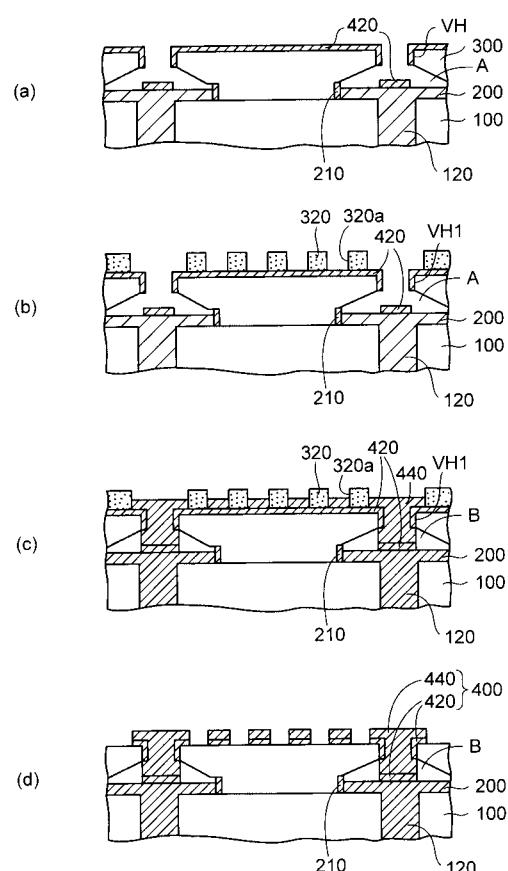
#### 【0116】

1, 1a … 配線基板、2 … ビルドアップ配線、10 … 仮基板、12 … めっきレジスト、12a, 14a, 22a … 開口部、14 … ソルダレジスト、20 … 第1樹脂層、22 … 永久レジスト、30 … 第1配線層、32, 52 … シード層、34, 54 … 金属めっき層、40 … 第2樹脂層、50 … 第2配線層、60 … 半導体チップ、62 … バンプ電極、64 … アンダーフィル樹脂、66 … 外部接続端子、A … えぐれ部、B … ボイド(空間)、RS … 樹脂スミア、VH1 … 第1ビアホール、VH2 … 第2ビアホール。

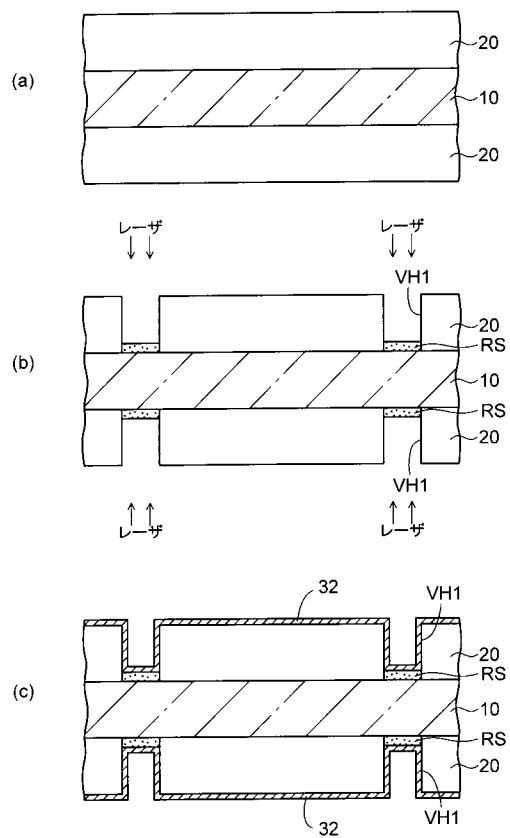
【図1】



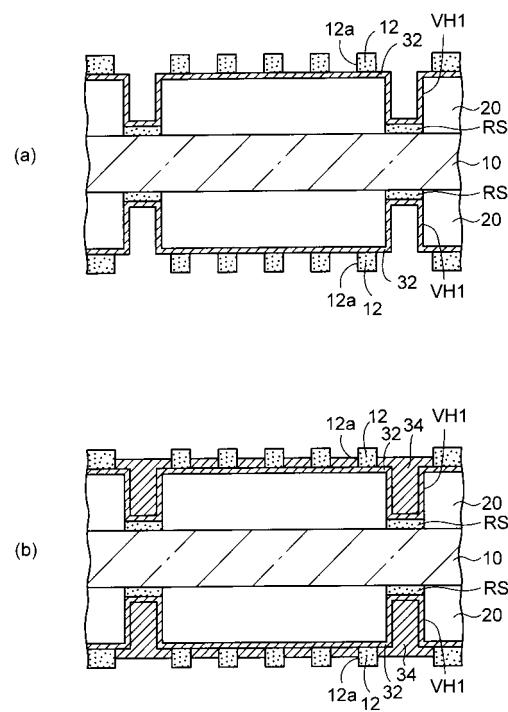
【図2】



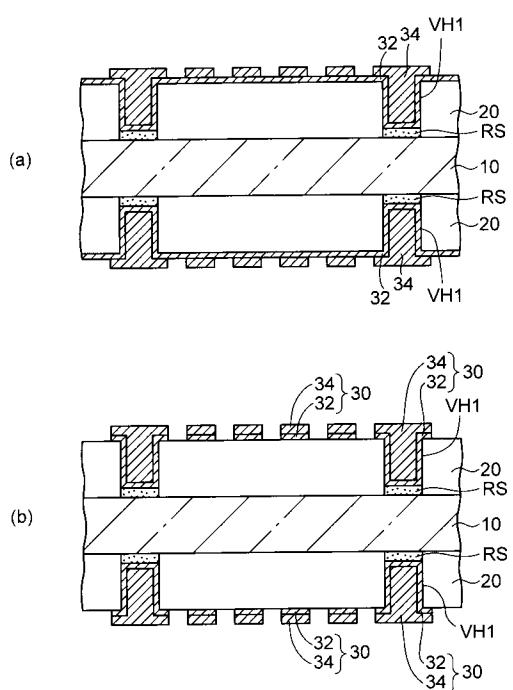
【図3】



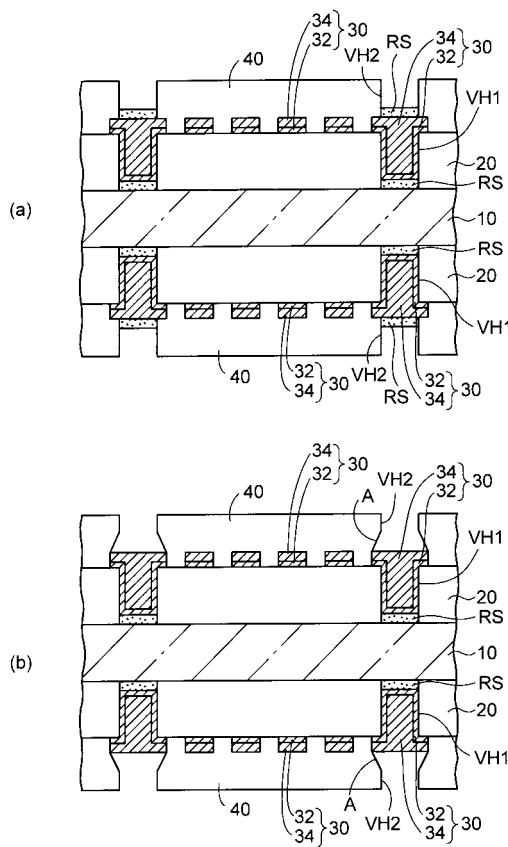
【図4】



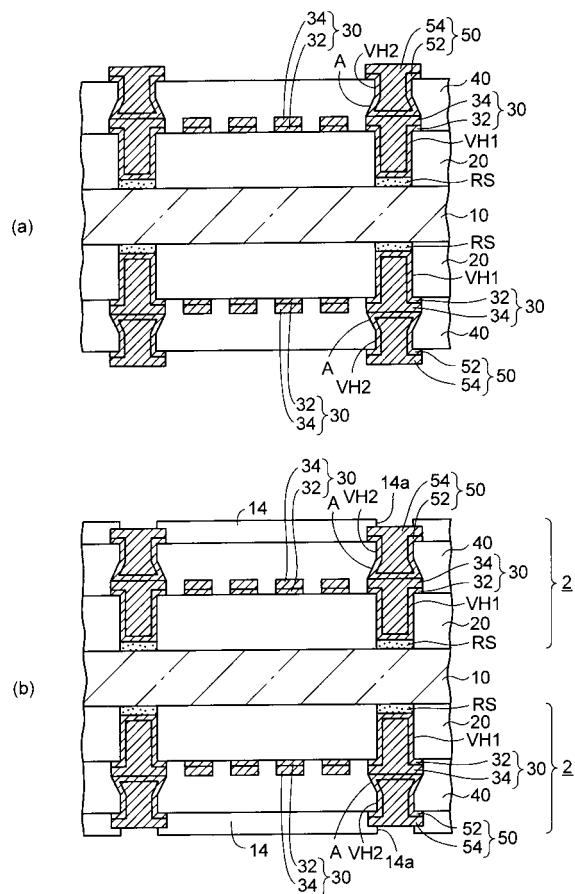
【図5】



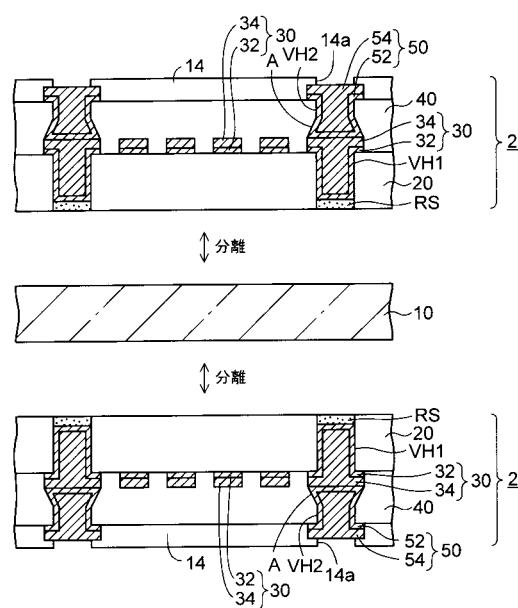
【図6】



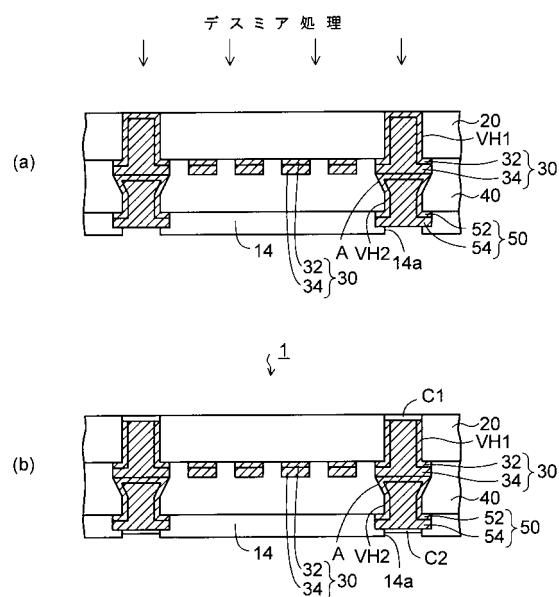
【図7】



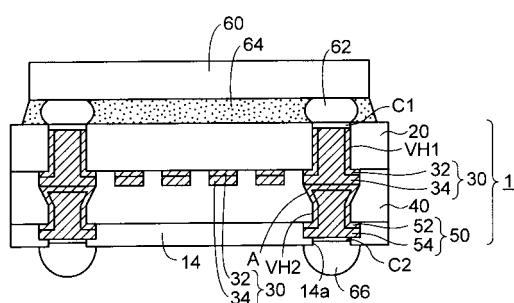
【図8】



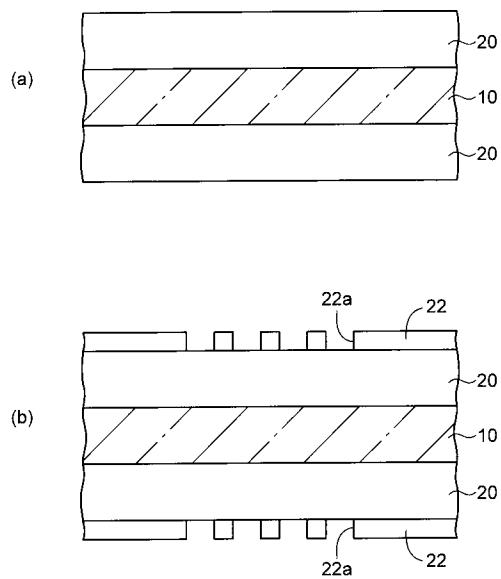
【図9】



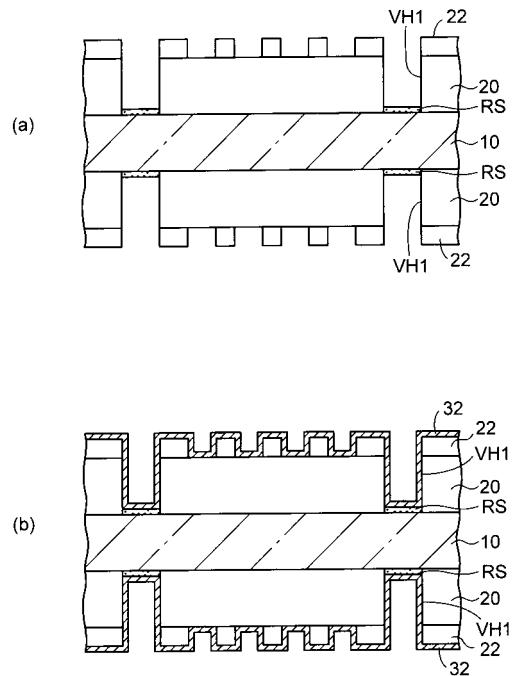
【図10】



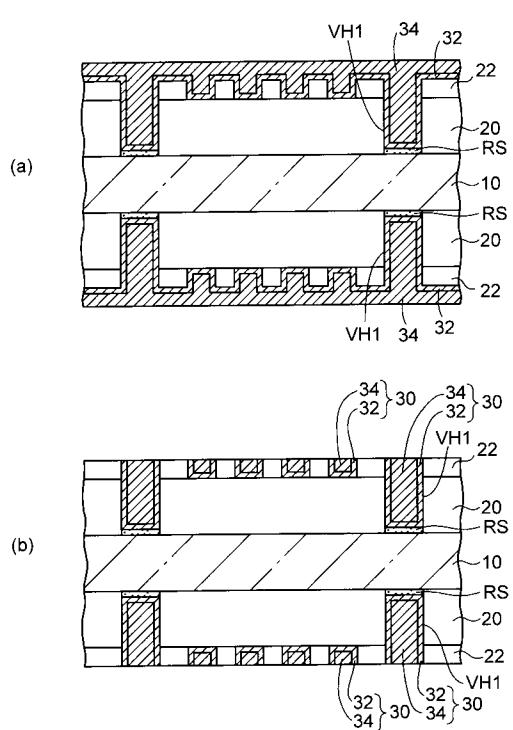
【図11】



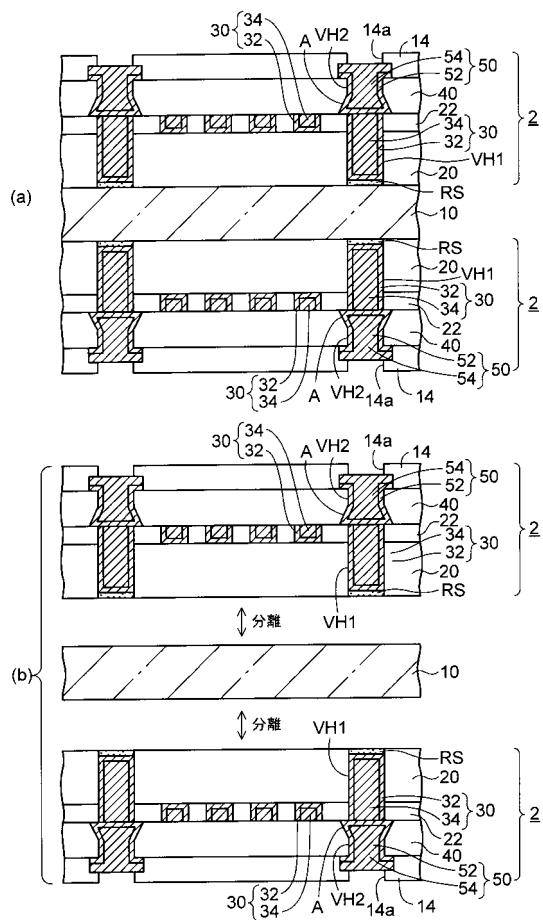
【図12】



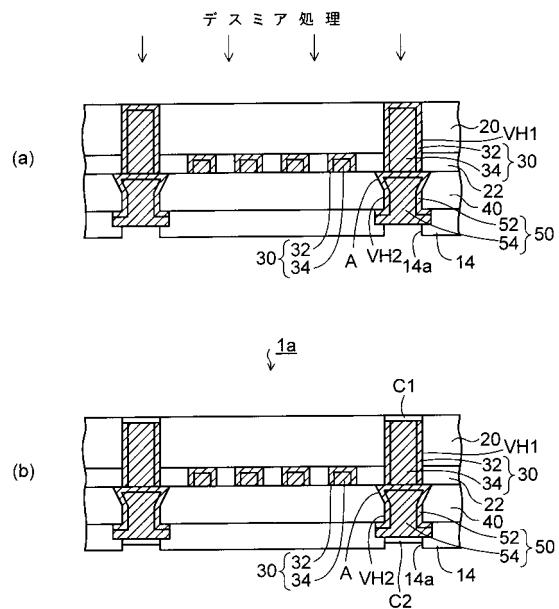
【図13】



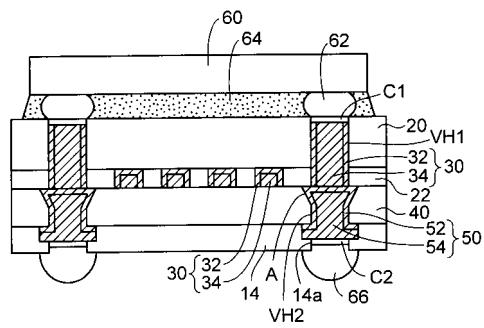
【図14】



【図15】



【図16】



---

フロントページの続き

(56)参考文献 特開2001-044589(JP,A)  
特開2004-193520(JP,A)  
特開2000-261141(JP,A)  
特開2006-049804(JP,A)  
特開2001-267747(JP,A)  
特開2002-124767(JP,A)  
特開2005-109108(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 05 K	3 / 4 6
H 05 K	1 / 1 1
H 05 K	3 / 4 0