

(12) 发明专利

(10) 授权公告号 CN 101366122 B

(45) 授权公告日 2011. 05. 04

(21) 申请号 200580032071. 9

(22) 申请日 2005. 09. 16

(30) 优先权数据

10/949, 994 2004. 09. 23 US

(85) PCT申请进入国家阶段日

2007. 03. 22

(86) PCT申请的申请数据

PCT/US2005/033439 2005. 09. 16

(87) PCT申请的公布数据

W02006/036629 EN 2006. 04. 06

(73) 专利权人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 B·多伊尔 S·辛 U·夏

J·布拉斯克 R·曹

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 原绍辉 谭祐祥

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 29/423(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 6562665 B1, 2003. 05. 13, 说明书第 5 栏-第 8 栏、图 5-18.

US 6706571 B1, 2004. 03. 16, 全文.

审查员 窦明生

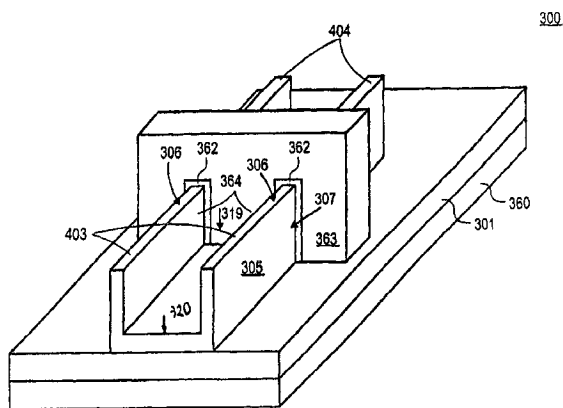
权利要求书 4 页 说明书 11 页 附图 13 页

(54) 发明名称

U 栅晶体管和制造方法

(57) 摘要

描述了用于制造非平面多角部晶体管结构的过程。具有在其顶表面上的掩模的半导体材料的鳍部形成在第一绝缘层上。第二绝缘层形成在鳍部上而暴露了掩模的顶表面,其中保护层沉积在鳍部和第二绝缘层之间。然后,去除掩模且在鳍部上邻近保护层形成隔离物。具有底部和相对的侧壁的凹陷形成在鳍部内。栅电介质层和栅极形成在鳍部的顶表面上、相对的侧壁上和鳍部内的凹陷的底部上和相对的侧壁上。源区和漏区形成在鳍部内栅极的相对侧处。



1. 一种形成半导体结构的方法,其包括:  
在第一绝缘层上形成半导体材料的鳍部,其中掩模层在鳍部的顶表面上;  
在鳍部上形成第二绝缘层,使得掩模层的顶表面暴露,其中保护层沉积在鳍部和第二绝缘层之间;  
去除掩模层;  
邻近保护层在鳍部上形成隔离物;和  
在鳍部内形成凹陷,凹陷具有底部和相对的侧壁。
2. 根据权利要求1所述的方法,其中缓冲层在鳍部的顶表面和掩模层之间。
3. 根据权利要求2所述的方法,其中保护层覆盖鳍部的两个相对的侧壁、掩模层的两个相对的侧壁和在鳍部的相对侧上的第一绝缘层的部分。
4. 根据权利要求3所述的方法,其中保护层保护了鳍部的两个相对的侧壁和鳍部的相对的侧壁上的第一绝缘层的部分不被底切。
5. 根据权利要求3所述的方法,其中在鳍部上形成第二绝缘层包括将第二绝缘层平面化,使得第二绝缘层的顶表面与掩模层的顶表面共平面。
6. 根据权利要求1所述的方法,其中形成半导体材料的鳍部包括:  
在基片上的第一绝缘层上沉积半导体材料的层;  
在半导体材料的层上沉积掩模层;  
将半导体材料的层上的掩模层形成图案且蚀刻掩模层;和  
蚀刻半导体材料的层以形成鳍部。
7. 根据权利要求1所述的方法,进一步包括:  
形成覆盖了鳍部的顶表面和相对的侧壁以及在鳍部内的凹陷的底部和相对的侧壁的栅电介质层;  
在栅电介质层上形成栅极;和  
在鳍部内栅极的相对侧处形成源区和漏区。
8. 根据权利要求1所述的方法,其中保护层提供了对凹陷的相对的侧壁和底部的厚度的控制。
9. 根据权利要求1所述的方法,其中保护层的蚀刻速度低于掩模层的蚀刻速度。
10. 根据权利要求9所述的方法,其中保护层包括掺杂碳的氮化硅。
11. 根据权利要求1所述的方法,其中掩模层的厚度确定了凹陷的底部的最小厚度。
12. 根据权利要求1所述的方法,其中隔离物的每个的宽度确定了凹陷的相对的侧壁的每个的厚度。
13. 根据权利要求1所述的方法,其中凹陷的底部比凹陷的相对的侧壁的每个薄。
14. 根据权利要求1所述的方法,进一步包括:  
去除隔离物;  
去除缓冲层;和  
在鳍部内形成凹陷后去除第二绝缘层。
15. 一种形成半导体晶体管结构的方法,其包括:  
在基片上的第一绝缘层上形成半导体材料的鳍部,鳍部具有顶表面、第一侧壁和第二侧壁;

在鳍部内形成凹陷,凹陷具有底部和侧壁,其中侧壁的每个包括位于凹陷内的至少一个台阶;

在鳍部的顶表面上、鳍部的第一侧壁和第二侧壁上、凹陷的底部上和凹陷的侧壁上形成栅电介质层;

在电介质层上形成栅极;和

在栅极的相对侧处形成漏区和源区。

16. 根据权利要求 15 所述的方法,其中形成半导体材料的鳍部包括:

在基片上的第一绝缘层上沉积半导体材料的层;

在半导体材料的层上沉积硬掩模层,其中缓冲层在半导体材料的层和硬掩模层之间;和

将硬掩模层形成图案以形成半导体材料的鳍部,缓冲层在鳍部的顶表面和硬掩模层之间。

17. 根据权利要求 15 所述的方法,其中在鳍部内形成凹陷包括:

在硬掩模层上形成保护层,其中保护层覆盖了鳍部的第一侧壁和第二侧壁、硬掩模层的侧壁和鳍部的相对侧处的第一绝缘层的部分;

在保护层上形成第二绝缘层,使得硬掩模层的顶表面暴露,其中第二绝缘层的顶表面与硬掩模层的顶表面共平面;

去除硬掩模层以暴露缓冲层;

在缓冲层上邻近保护层形成隔离物;和

从鳍部的顶表面的暴露部分向下蚀刻鳍部到预先确定的厚度。

18. 根据权利要求 17 所述的方法,其中在保护层上形成第二绝缘层包括:

在保护层上沉积第二绝缘层;和

将第二绝缘层回抛光,以暴露硬掩模层的顶表面。

19. 根据权利要求 17 所述的方法,其中隔离物的高度和鳍部的厚度之间的比值限定了凹陷的底部的厚度。

20. 根据权利要求 15 所述的方法,其中凹陷的底部和凹陷的侧壁足够薄以形成全耗尽沟道。

21. 根据权利要求 15 所述的方法,其中在鳍部内形成凹陷进一步包括:

a. 在凹陷的底部上沉积钝化层;

b. 收缩隔离物的尺寸以暴露被缓冲层覆盖的鳍部的顶表面的部分;

c. 蚀刻去被缓冲层覆盖的鳍部的顶表面的暴露部分以形成台阶。

22. 根据权利要求 21 所述的方法,其中操作 a 到操作 c 连续地重复直至凹陷的侧壁内产生预先确定的量的台阶。

23. 根据权利要求 21 所述的方法,其中台阶的高度等于台阶的宽度。

24. 一种形成半导体结构的方法,其包括:

在第一绝缘层上形成半导体材料的鳍部,其中缓冲层沉积在鳍部的顶表面和硬掩模层之间;

在鳍部上形成第二绝缘层,使得硬掩模层的顶表面被暴露,其中第二绝缘层的顶表面与硬掩模层的顶表面共平面;

去除硬掩模层以暴露缓冲层；

在缓冲层上邻近保护层形成隔离物；和

从顶表面的暴露部分向下蚀刻鳍部到第一绝缘层以产生两个对分的鳍部。

25. 根据权利要求 24 所述的方法，其中两个对分的鳍部的每个具有亚光刻尺寸。

26. 根据权利要求 25 所述的方法，其中两个对分的鳍部之间的距离由隔离物的每个的厚度限定。

27. 根据权利要求 24 所述的方法，进一步包括：

形成覆盖了两个鳍部的每个的顶表面和两个相对的侧壁的栅电介质层；

在栅电介质层上形成栅极；和

在栅极的相对的侧处的两个鳍部的每个内形成源区和漏区。

28. 根据权利要求 24 所述的方法，进一步包括：

在覆盖了鳍部的两个相对的侧壁的硬掩模层、硬掩模层的两个相对的侧壁和鳍部的相对的侧上的第一绝缘层的部分上形成保护层。

29. 根据权利要求 24 所述的方法，其中两个对分的鳍部的每个具有包括至少一个台阶的侧壁。

30. 一种形成半导体结构的方法，其包括：

在第一绝缘层上形成半导体材料的鳍部；

在鳍部上形成第二绝缘层，使得硬掩模层的顶表面被暴露，其中第二绝缘层的顶表面与硬掩模层的顶表面共平面；

去除硬掩模层以暴露缓冲层；

在缓冲层上邻近保护层形成隔离物；和

从顶表面的暴露部分向下蚀刻鳍部到预先确定的深度；

在凹陷的底部上沉积钝化层；

收缩隔离物的尺寸以暴露被缓冲层覆盖的鳍部的顶表面的部分；蚀刻去被缓冲层覆盖的鳍部的顶表面的暴露部分以形成台阶。

31. 根据权利要求 30 所述的方法，其中连续地重复沉积钝化层、收缩隔离物的尺寸和蚀刻去被缓冲层覆盖的鳍部的顶表面的暴露部分，直至在凹陷的侧壁内产生预先确定的台阶的量。

32. 根据权利要求 30 所述的方法，其中收缩隔离物的尺寸包括干蚀刻和湿蚀刻的任一个。

33. 一种半导体结构，其包括：

在绝缘层上的半导体材料的鳍部，鳍部具有顶表面、第一侧壁、第二侧壁和位于鳍部外表面上的第一组角部；

在鳍部内的凹陷，凹陷具有底部、第三侧壁、第四侧壁和位于凹陷内的第二组角部，其中第二组角部的个数大于第一组角部的个数。

34. 根据权利要求 33 所述的半导体晶体管结构，进一步包括：

在鳍部顶表面上、第一侧壁上、第二侧壁上、鳍部的第一组角部上和凹陷的底部上、第三侧壁上、第四侧壁上、和鳍部内的凹陷的第二组角部上的栅电介质；

形成在栅电介质上的栅极；和

形成在栅极的相对侧上的源区和漏区。

35. 根据权利要求 33 所述的半导体晶体管结构,其中凹陷的底部、凹陷的第三侧壁和第四侧壁足够薄以形成全耗尽沟道。

36. 根据权利要求 33 所述的半导体晶体管结构,其中第一组角部和第二组角部包括直角角部。

37. 根据权利要求 33 所述的半导体晶体管结构,其中鳍部内的凹陷的侧壁每个包括至少一个台阶。

## U 栅晶体管和制造方法

### 技术领域

[0001] 本发明的实施例一般地涉及半导体制造领域,且更特定地涉及半导体晶体管结构及其制造方法。

### 背景技术

[0002] 集成电路包括数百万个金属氧化物半导体场效应晶体管 (“MOSFET”)。这样的晶体管取决于其掺杂剂的传导类型可以包括 p 沟道 MOS 晶体管和 n 沟道 MOS 晶体管。MOS 晶体管尺寸的持续缩减是微电子和计算机工业在过去的二十年间的增长的主要促进因素。对于 MOSFET 尺度的主要限制性因素是短沟道效应,例如在沟道长度降低和漏致势垒降低 (“DIBL”) 时的阈值电压下降。因为在源区和漏区之间的晶体管沟道长度降低导致的短沟道效应能严重地降低半导体晶体的性能。因为短沟道效应,晶体管的电特征,例如阈值电压、亚阈值电流和超过阈值的电流 - 电压特征变得难以以栅极偏压来控制。

[0003] 图 1 图示了常规的现有技术的平面 MOSFET 结构 100 的截面图。硅层 102 在单晶硅基片 101 上外延生长。隔离邻近的集成电路器件的场隔离区 103 形成在硅层 102 中。栅电介质 104 和栅极 105 随后沉积在硅层 102 上。离子注入到硅层内,在栅极 105 的相对侧形成源延伸区 106 和漏延伸区 107。源延伸区 106 和漏延伸区 107 是浅结以最小化在具有亚微米或纳米尺寸的 MOSFET 结构 100 中的短沟道效应。隔离物 108 沉积在栅极 105 和栅电介质 104 的相对的侧上。隔离物 108 覆盖了栅极 105 和栅电介质 104 的侧,且也覆盖了邻近栅极 105 和在栅极 105 的相对侧上的硅层 102 的顶表面的部分。如果隔离物 108 包括氮化硅 (“ $\text{Si}_3\text{N}_4$ ”),则隔离物衬里氧化物 109 作为缓冲层沉积在隔离物 18 和栅极 105 和栅电介质 104 的相对的侧之间。带有源触点 111 的源触点结 110 和带有漏触点 113 的漏触点结 112 在栅极 105 的相对侧处形成在硅层 102 内。源触点结 110 和漏触点结 112 制造为深结,使得可以在其内分别制造相对地大尺寸的源触点 111 和漏触点 113,以提供分别到 MOSFET 结构 100 的漏和源的低电阻触点。对于多晶硅栅极,栅硅化物 114 形成在栅极 105 上以提供到 MOSFET 结构 100 的栅的触点。

[0004] 图 2 是三栅晶体管结构 200 的透视图,它提供了改进的对晶体管的电特征的控制。三栅晶体管结构 200 具有形成在鳍主体 203 内在栅极 204 的相对侧处的源区 201 和漏区 202。鳍主体 203 形成在硅基片 207 上的绝缘层 206 的顶表面上。带有在下面的栅电介质 205 的栅极 204 覆盖了鳍主体 203 的部分的顶 208 和两个相对的侧壁 209。三栅晶体管结构 200 提供了沿鳍主体 203 的部分的顶 208 和两个相对的侧壁 209 的传导沟道。这有效地将可用于电信号行进的空间增至三倍,这赋予三栅晶体管比常规平面晶体管的大体上更高的性能而不使用更多的功率。具有在鳍主体 203 的两个邻近侧上的栅的栅极 204 的角部 211 增加了对晶体管电特征的控制。在低的栅电压下,三栅晶体管的角部部分的性能在电流 - 电压 (“ $I_d-V_g$ ”) 特征中占主导。然而在阈值电压以上,三栅主体的非角部部分导通且在晶体管的运行中占主导。然而三栅主体的非角部部分具有比三栅主体的角部部分对短沟道效应大体上更低的控制,这降低了三栅晶体管的性能。

## 发明内容

[0005] 本发明一方面在于一种形成半导体结构的方法,其包括在第一绝缘层上形成半导体材料的鳍部,其中掩模层在鳍部的顶表面上;在鳍部上形成第二绝缘层,使得掩模层的顶表面暴露,其中保护层沉积在鳍部和第二绝缘层之间;去除掩模层;邻近保护层在鳍部上形成隔离物;和在鳍部内形成凹陷,凹陷具有底部和相对的侧壁。

[0006] 本发明另一方面在于一种形成半导体晶体管结构的方法,其包括:在基片上的第一绝缘层上形成半导体材料的鳍部,鳍部具有顶表面、第一侧壁和第二侧壁;在鳍部内形成凹陷,凹陷具有底部和侧壁,其中侧壁的每个包括位于凹陷内的至少一个台阶;在鳍部的顶表面上、鳍部的第一侧壁和第二侧壁上、凹陷的底部上和凹陷的侧壁上形成栅电介质层;在电介质层上形成栅极;和在栅极的相对侧处形成漏区和源区。

[0007] 本发明又一方面在于一种形成半导体结构的方法,其包括:在第一绝缘层上形成半导体材料的鳍部,其中缓冲层沉积在鳍部的顶表面和硬掩模层之间;在鳍部上形成第二绝缘层,使得硬掩模层的顶表面被暴露,其中第二绝缘层的顶表面与硬掩模层的顶表面共平面;去除硬掩模层以暴露缓冲层;在缓冲层上邻近保护层形成隔离物;和从顶表面的暴露部分向下蚀刻鳍部到第一绝缘层以产生两个对分的鳍部。

[0008] 本发明还有一方面在于一种形成半导体结构的方法,其包括:在第一绝缘层上形成半导体材料的鳍部;在鳍部上形成第二绝缘层,使得硬掩模层的顶表面被暴露,其中第二绝缘层的顶表面与硬掩模层的顶表面共平面;去除硬掩模层以暴露缓冲层;在缓冲层上邻近保护层形成隔离物;和从顶表面的暴露部分向下蚀刻鳍部到预先确定的深度;在凹陷的底部上沉积钝化层;收缩隔离物的尺寸以暴露被缓冲层覆盖的鳍部的顶表面的部分;蚀刻去被缓冲层覆盖的鳍部的顶表面的暴露部分以形成台阶。

[0009] 本发明又有一方面在于一种半导体结构,其包括:在绝缘层上的半导体材料的鳍部,鳍部具有顶表面、第一侧壁、第二侧壁和位于鳍部外表面上的第一组角部;在鳍部内的凹陷,凹陷具有底部、第三侧壁、第四侧壁和位于凹陷内的第二组角部,其中第二组角部的个数大于第一组角部的个数。

## 附图说明

[0010] 本发明通过例子图示且不限于附图中的图,附图中相似的参考指示类似的元件,各图为:

[0011] 图 1 图示了常规的现有技术的平面 MOSFET 结构的截面视图;

[0012] 图 2 是现有技术的三栅晶体管结构的透视图;

[0013] 图 3A 图示了制造根据本发明的一个实施例的 U 栅晶体管的半导体结构的截面视图;

[0014] 图 3B 是类似于图 3A 的视图,示出为在将沉积在半导体材料的层上的掩模层和缓冲层形成图案和蚀刻后;

[0015] 图 3C 是类似于图 3D 的视图,示出为在绝缘层上形成半导体材料的鳍部后;

[0016] 图 3D 是类似于图 3C 的视图,示出为在鳍部上形成了保护层后;

[0017] 图 3E 是类似于图 3D 的视图,示出为在保护层上形成第二绝缘层后;

- [0018] 图 3F 是类似于图 3E 的视图,示出为在去除掩模层后;
- [0019] 图 3G 是类似于图 3F 的视图,示出为在鳍部上形成隔离物后;
- [0020] 图 3H 是类似于图 3G 的视图,示出为在鳍部内形成凹陷后;
- [0021] 图 3I 是类似于图 3H 的视图,示出为在去除第二绝缘层和保护层后;
- [0022] 图 3J 是类似于图 3I 的视图,示出为在从鳍部去除隔离物和缓冲层后;
- [0023] 图 4 是根据本发明的一个实施例的 U 栅半导体晶体管结构的透视图;
- [0024] 图 5A 图示了制造根据本发明的一个实施例的多台阶 U 栅晶体管结构的半导体结构的截面视图;
- [0025] 图 5B 是类似于图 5A 的视图,示出为在收缩隔离物尺寸以暴露鳍部的顶表面的部分后;
- [0026] 图 5C 是类似于图 5B 的视图,示出为在形成台阶后;
- [0027] 图 5D 是类似于图 5C 的视图,示出为在去除第二绝缘层和保护层后;
- [0028] 图 5E 是类似于图 5D 的视图,示出为在从鳍部去除隔离物和缓冲层后;
- [0029] 图 6 是多台阶 U 栅半导体晶体管结构的透视图,其中凹陷的侧壁的几个包括至少一个根据本发明的一个实施例的台阶;
- [0030] 图 7A 图示了制造根据本发明的一个实施例的对分的鳍部的半导体结构的截面视图;
- [0031] 图 7B 是类似于图 7A 的视图,示出为在从顶表面的暴露部分向下蚀刻鳍部到第一绝缘层以产生两个对分的鳍部后;
- [0032] 图 7C 是类似于图 7B 的视图,示出为在从鳍部去除第二绝缘层、保护层、隔离物和缓冲层后;
- [0033] 图 8 是根据本发明的一个实施例的带有具有亚光刻尺寸的两个对分的鳍部的 U 栅半导体晶体管结构的透视图;
- [0034] 图 9A 图示了制造具有亚光刻尺寸的两个对分的鳍部的半导体结构的截面视图,其中对分的鳍部的每个包括至少一个根据本发明的一个实施例的台阶;
- [0035] 图 9B 是类似于图 9A 的视图,示出为在收缩隔离物尺寸以暴露对分的鳍部的每个的顶表面的部分后;
- [0036] 图 9C 是类似于图 9B 的视图,示出为在形成台阶后;
- [0037] 图 9D 是类似于图 9C 的视图,示出为在从两个对分的鳍部去除第二绝缘层、保护层、隔离物和缓冲层后;
- [0038] 图 10 是制造带有具有亚光刻尺寸的两个对分的鳍部的 U 栅半导体晶体管结构的透视图,其中两个对分的鳍部的每个具有至少一个根据本发明的一个实施例的台阶。

### 具体实施方式

[0039] 在如下的描述中,阐述了多个特定的细节,例如特定的材料、掺杂剂浓度、元件尺寸等,以提供对本发明的实施例的一个或多个的完全的理解。然而,对本领域普通技术人员将显见的是本发明的一个或多个实施例可以不以这些特定的细节实现。在其他的实例中,未详细描述半导体制造过程、技术、材料、设备等,以避免不必要地对本描述的模糊。本领域普通技术人员通过包括的描述将能不需要不适当的实验来实现适当的功能性。



[0040] 虽然本发明的某些典型的实施例在附图中描述和示出,应理解的是这样的实施例仅是说明性的而非限制本发明,且本发明不限制于示出且描述的特定的结构和布置,因为本领域普通技术人员可想到修改。

[0041] 在整个说明书中参考“一个实施例”、“另一个实施例”或“实施例”意味着结合实施例描述的特定的特点、结构或特征包括在本发明的至少一个实施例中。因此,在整个说明书的多种位置处的措辞“对于一个实施例”或“对于实施例”的出现不必需地都指相同的实施例。此外,特定的特点、结构或特征可以以任何合适的方式在一个或多个实施例中结合。

[0042] 此外,本发明的方面决不在于单个披露的实施例的所有特点。因此,在具体实施方式后的权利要求书由此明白地合并在此具体实施方式中,使得每项权利要求作为本发明的分开的实施例自立。虽然本发明已根据数个实施例描述,但本领域技术人员将认识到本发明不限制于描述的实施例,而是可以以附带的权利要求书的精神和范围内的修改和变化来实施。因此,描述被认为是说明性的而非限制性的。

[0043] 带有改进的短沟道性能的非平面半导体晶体管结构及其可靠的制造方法在此描述。图4是根据本发明的一个实施例的带有角部部分比非角部部分增加的比例的非平面U栅半导体晶体管结构300的透视图。如在图4中示出,栅电介质层362和栅极363形成在基片360上的绝缘层301上的鳍部305的部分上,且源区403和漏区404形成在鳍部305的相对侧处。如在图4中示出,带有栅电介质层362的栅极363覆盖了鳍部305的部分的顶表面306和两个相对的侧壁307,且在鳍部305内的凹陷319的部分的底部320和两个相对的侧壁364有效地增加了可用于电信号行进的空间。晶体管结构的主要的角部部分提供了改进的对器件电特征的短沟道控制。在全部栅电压范围内,电流-电压特征由器件的角部部分的性能主导,使得短沟道效应被最小化且优化了亚阈值电流和驱动电流。非平面的U栅半导体晶体管结构300通过以在第一绝缘层上的鳍部的顶部上的掩模层形成半导体材料的鳍部来制造。缓冲层形成在鳍部的顶表面和掩模层之间。然后在掩模层上形成合适的保护层,其中保护层覆盖了掩模层的顶表面、掩模的两个相对的侧壁、鳍部的两个相对的侧壁和在鳍部的相对侧处的第一绝缘层的部分。随后,第二绝缘层形成在保护层上。然后,将第二绝缘层平面化以暴露掩模层的顶表面,使得覆盖了鳍部的相对侧处的第一绝缘层的部分上的保护层的第二绝缘层的顶表面与掩模层顶表面大体上成平面。进一步地,掩模层被去除以暴露被缓冲层覆盖的鳍部的顶表面。随后,隔离物形成在缓冲层上邻近保护层。然后,在鳍部中形成凹陷,其中凹陷具有底部和两个垂直于底部的相对的侧壁。进一步地,在鳍部的顶表面和两个相对的侧壁上以及鳍部内的凹陷的底部和相对的侧壁上形成栅电介质层。随后,在栅电介质层上形成栅极。然后,在栅极的相对侧上形成源区和漏区。对于一个实施例,在凹陷的两个相对的侧壁的每个内形成至少一个台阶。此过程可靠地提供了带有垂直地限定的角部组的具有U形形状的非平面半导体晶体管结构。有效地,在此晶体管结构中,在全栅控制下角部的个数至少双倍于标准的三栅晶体管,这大体上降低了非角部部分在晶体管性能中的贡献。形成在相对的侧壁的每个的内侧和外侧上以及鳍部内的凹陷的底部上的栅极提供了U栅晶体管结构的全耗尽沟道。另外,因为在U形形状晶体管结构的两个相对侧壁的每个上的栅比三栅晶体管的单个的鳍部的两个相对侧栅大体上相互更靠近,U形形状的晶体管结构的非角部特征也被最大化。此外,可用于电信号在U形形状的晶体管结构内行进的区域大体上相对于三栅晶体管结构增加。作为结果,多角部U形形状晶体管结

构改进了晶体管的总性能至少 10%。U 形形状的晶体管结构的 DIBL 参数在任何栅长度下例如大体上小于三栅晶体管结构的 DIBL 参数,接近理论极限值 0mV/V。

[0044] 图 3A 图示了根据本发明的一个实施例制造 U 栅晶体管的半导体结构 300 的截面视图。如在图 3A 中示出,半导体结构 300 包括形成在基片 360 上的绝缘层 301 上的半导体材料的层 302。对于一个实施例,半导体材料的层 302 形成在覆盖了单晶硅的基片 360 的绝缘层 301 上,如在图 3A 中示出。对于一个实施例,沉积在绝缘层 301 上的层 302 是单晶硅 (“Si”),其中硅基片 360 上的绝缘层 301 是埋氧化物。更特定地,绝缘层 301 包括二氧化硅。在替代实施例中,绝缘层 301 可以是蓝宝石、二氧化硅、氮化硅或其他绝缘材料的一个或组合。如在图 3A 中示出,夹在单晶硅层 302 和硅基片 360 之间的绝缘层 301 形成了绝缘体上硅 (SOI) 基片 361。SOI 基片可以通过在本领域已知的技术的任一个来制造,例如通过氧注入隔离、氢注入隔离和隔离方法 (也称为 Smart **Cut**<sup>®</sup>) 等。对于实施例,形成在埋氧化物的绝缘层 301 上的单晶硅层 302 的厚度在大约 20nm 到 200nm 的范围内。更特定地,在绝缘层 301 上的层 302 的厚度在 30nm 到 150nm 之间。对于替代实施例,基片 360 可以包括 III-V 和其他半导体,例如磷酸铟、砷化镓、氮化镓和碳化硅。

[0045] 然后,掩模层 304 形成在层 302 上或上方。对于一个实施例,缓冲层 303 形成在层 302 和掩模层 304 之间,以平滑层 302 和掩模层 304 之间的过渡。对于实施例,形成在绝缘层 301 上的单晶硅层 302 上的掩模层 304 是硬掩模层。在一个实施例中,二氧化硅 (“SiO<sub>2</sub>”) 的缓冲层 303 形成在单晶硅的层 302 和氮化硅 (“Si<sub>3</sub>N<sub>4</sub>”) 的掩模层 304 之间。对于实施例,夹在掩模层 304 和层 302 之间的缓冲层 303 的厚度在大约 10 埃到 150 埃之间的范围内。更特定地,缓冲层 303 的厚度为大约 30 埃。对于一个实施例,层 302 上的掩模层 304 的厚度在大约 20 纳米 (“nm”) 到 200 纳米 (“nm”) 的范围内。更特定地,在单晶硅层 302 上的氮化硅掩模层 304 的厚度为大约 150nm。掩模层 304 和缓冲层 303 可以使用半导体制造领域内普通技术人员已知的技术沉积在层 302 上,例如使用化学蒸汽沉积 (“CVD”) 技术。

[0046] 图 3B 示出了形成图案且随后蚀刻到预先确定的宽度 330 和长度 (未示出),以从基片 360 上的绝缘层 301 上的层 302 形成鳍部后沉积在层 302 上的掩模层 304 和缓冲层 303。沉积在层 302 上的掩模层 304 和缓冲层 303 的图案形成和蚀刻可以通过半导体制造领域内普通技术人员已知的技术进行。

[0047] 然后,层 302 形成图案且随后蚀刻为形成绝缘层 301 上的鳍部。图 3C 示出了在从绝缘层 301 上的层 302 形成鳍部 305 后的半导体结构 300 的截面视图。如在图 3C 中示出,具有宽度 330、长度 (未示出) 和高度 318 的鳍部 305 包括顶表面 306 和两个相对的侧壁 307。对于实施例,缓冲层 303 沉积在鳍部 305 的顶表面 306 和掩模层 304 之间。对于一个实施例,鳍部 305 的宽度 330 可以在大约 20nm 到 120nm 之间的范围内且鳍部 305 的高度 318 可以在大约 20nm 到 150 纳米的范围内。对于实施例,将从层 302 形成的鳍部 305 形成图案且蚀刻到由光刻技术的最小特征所限定的尺寸。对于实施例,在埋氧化物的绝缘层 301 上的单晶硅的层 302 可以使用半导体制造领域内普通技术人员已知的技术形成图案和蚀刻。

[0048] 图 3D 示出了在鳍部 305 上形成保护层 308 后的半导体结构 300 的截面视图。如在图 3D 中示出,保护层 308 覆盖了鳍部 305 的两个相对的侧壁 307、掩模层 304 的顶部 311 和两个相对的侧壁 331 以及鳍部 305 的相对侧上的绝缘层 301 的部分 309。对于实施例,

保护层 308 形成在鳍部 305 上以在随后的蚀刻期间保护相对的侧壁 307 和部分 309 不被底切。对于一个实施例,保护层 308 具有相对于掩模层 304 的蚀刻速度大体上慢的蚀刻速度,以随后在过程中提供掩模层 304 的选择性的蚀刻而留下保护层 308 未动。更特定地,保护层 308 的蚀刻速度大约比掩模层 304 的蚀刻速度慢十倍。对于一个实施例,覆盖了单晶硅的鳍部 305 和  $\text{Si}_3\text{N}_4$  的掩模层 304 的保护层 308 包括掺杂碳的氮化硅 (“ $\text{Si}_3\text{N}_4:\text{C}$ ”)。更特定地,在氮化硅中的碳的含量为大约 3 到 5 的原子百分比。更特定地,在使用热磷酸时  $\text{Si}_3\text{N}_4$  的掩模层 304 的蚀刻速度大约是 50 埃 / 分钟,而覆盖了掩模层 304 的  $\text{Si}_3\text{N}_4:\text{C}$  的保护层 308 的蚀刻速度大约是 5 埃 / 分钟,以选择地将  $\text{Si}_3\text{N}_4$  的掩模层 304 蚀刻去而随后在过程中保留  $\text{Si}_3\text{N}_4:\text{C}$  的保护层 308。对于一个实施例,沉积在单晶硅的鳍部 305 上和  $\text{Si}_3\text{N}_4$  的掩模层 304 上的  $\text{Si}_3\text{N}_4:\text{C}$  的保护层 308 的厚度在 20 埃至 100 埃之间。保护层 308 可以使用半导体制造领域内普通技术人员已知的技术沉积在鳍部 305 上。

[0049] 图 3E 示出了在保护层 308 上形成了绝缘层 310 后半导体结构 300 的截面视图。如在图 3E 中示出,绝缘层 310 覆盖了保护层 308 而显露了掩模层 304 的顶表面 311。对于一个实施例,在  $\text{Si}_3\text{N}_4:\text{C}$  的保护层上的绝缘层 310 覆盖了单晶硅的鳍部 305 和  $\text{Si}_3\text{N}_4$  的掩模层 304,绝缘层 310 是二氧化硅 (“ $\text{SiO}_2$ ”)。绝缘层 310 可以通过在保护层上覆盖沉积且然后例如通过化学机械抛光 (“CMP”) 回抛光而形成,以从掩模层的顶表面 311 去除绝缘层 310 和保护层 308 的部分,使得掩模层 304 的顶表面 311 大体上与绝缘层 310 的顶表面 313 共平面,如在图 3E 中示出。在  $\text{Si}_3\text{N}_4:\text{C}$  的保护层上沉积二氧化硅的绝缘层可以使用半导体制造领域内普通技术人员已知的技术进行。

[0050] 图 3F 是在去除了掩模层 304 后半导体结构 300 的截面视图。如在图 3F 中示出,掩模层 304 从缓冲层 303 的顶表面 314 被选择地去除,而留下鳍部 305 的相对的侧处的绝缘层 310 和保护层 308 未动。由掩模层 304 的厚度限定的保护层 308 的暴露部分 334 的高度 324 因此被保留,而确保在随后的过程中在鳍部 305 内形成的凹陷的预先确定的深度。对于一个实施例,掩模层 304 可以从缓冲层 303 通过湿蚀刻以具有大体上对保护层 308 和绝缘层 310 高的选择性的化学处理去除,这意味着化学处理主要地蚀刻掩模层 304 而不是保护层 308 和绝缘层 310。对于一个实施例,掩模层 304 与保护层 308 和绝缘层 310 的蚀刻速度比为大约 10 : 1。对于一个实施例, $\text{Si}_3\text{N}_4$  的掩模层 304 可以选择地从  $\text{SiO}_2$  的缓冲层 303 的顶表面 314 蚀刻去,而保留  $\text{Si}_3\text{N}_4:\text{C}$  的保护层 308 和  $\text{SiO}_2$  的绝缘层 310,蚀刻以热磷酸湿蚀刻进行。

[0051] 然后,隔离物 315 形成在鳍部 305 上。图 3G 是在鳍部 305 上形成隔离物 315 后半导体结构 300 的截面视图。隔离物 315 邻近保护层 308 且覆盖了缓冲层 303 的顶表面 314 的部分和保护层 308 的暴露部分 334,如在图 3G 中示出。对于一个实施例,覆盖了缓冲层 303 的顶表面 314 的隔离物 315 的每个的宽度 343 确定了随后在过程中形成的鳍部 305 内的凹陷的宽度。对于一个实施例,包括氮化硅的隔离物 315 形成在  $\text{SiO}_2$  的缓冲层 303 上而覆盖了掺杂碳的氮化硅的保护层 308 的暴露部分 334。在保护层 308 上形成隔离物 315 不使隔离物 315 的外形退化。这样的具有稳定的外形隔离物 315 提供了对在随后的过程中形成在鳍部 305 内的凹陷的宽度和凹陷的侧壁的厚度的可靠的控制。对于实施例,为形成隔离物 315,首先将例如氮化硅的隔离物材料的层一致地沉积到开口 316 内的缓冲层 303 的顶表面 314 上的预先确定的厚度,覆盖了保护层 308 的侧部分。对于一个实施例,一致地沉

积在开口 316 内的缓冲层 303 的顶表面 314 上的隔离物材料的厚度确定了隔离物 315 的宽度 343。然后,隔离物材料层通过例如反应离子蚀刻 (“RIE”) 技术被选择地各向异性地回蚀刻,以形成隔离物 315。用于形成这样的隔离物 315 的过程对于晶体管制造领域普通技术人员是已知的。对于实施例,隔离物 315 的每个的宽度 343 大约是鳍部 305 的宽度 330 的三分之一。更特定地,如果鳍部 305 的宽度 330 在大约 20nm 到 120nm 的范围内,则隔离物 315 的每个的宽度 343 可以在大约 6nm 到 40nm 的范围内。

[0052] 图 3H 是在鳍部 305 内形成了凹陷 319 后的半导体结构 300 的截面视图。在鳍部 305 内的凹陷 319 具有底部 320 和形成了两个相对的侧柱 321 的两个相对的侧壁,如在图 3H 中示出。对于实施例,两个相对的侧柱 321 的每个以相对于底部 320 成直角垂直地定位,形成角部 322,角部 322 具有在两个相对的侧柱 321 的每个和底部 320 之间的直角。凹陷 319 的两个相对的侧柱 321 的每个的厚度 342 由隔离物 315 的每个的宽度 343 控制。因为隔离物 315 形成在保护层 308 上,隔离物 315 的厚度和外形不退化,使得隔离物 315 提供对凹陷 319 的两个相对的侧柱 321 的每个的厚度 342 的可靠的控制。对于实施例,底部 320 的厚度被每个隔离物 315 的高度 350 控制,使得隔离物 315 的每个越高则底部 320 可以生产得越薄。参考图 3G,对于实施例,隔离物 315 的高度 317 相对于鳍部 305 的厚度 318 为分别大约 1 : 1 到 5 : 1 的范围。更特定地,隔离物 315 的高度 317 在 30nm 到 150nm 之间。对于实施例,鳍部 305 内的凹陷 319 通过对于半导体制造领域内普通技术人员已知的技术之一形成,例如通过 RIE 技术形成。对于一个实施例,鳍部 305 内的凹陷 319 从鳍部 305 的表面向下蚀刻到预先确定的深度,以形成全耗尽的晶体管沟道。对于一个实施例,在鳍部 305 内的凹陷 319 的预先确定的深度由蚀刻时间控制。对于一个实施例,凹陷 319 可以向下蚀刻到 300 埃到 1000 埃的预先确定的深度。对于实施例,凹陷 319 的预先确定的深度在鳍部 305 的厚度 318 的 0.5 到 0.8 之间,以形成全耗尽的晶体管沟道。对于一个实施例,底部 320 的厚度 344 在大约 50 埃到 150 埃的范围内。对于另一个实施例,预先确定的深度等于凹陷的宽度 323,以形成全耗尽的晶体管沟道。对于实施例,为形成全耗尽的晶体管沟道,凹陷 319 的底部 320 的厚度 344 至少比两个相对的侧柱 321 的每个的厚度 342 薄两倍。更特定地,底部 320 的厚度可以是大约 100 埃,且两个相对的侧柱 321 的每个的厚度可以是大约 200 埃。

[0053] 然后,绝缘层 310 选择地从保护层 308 去除,留下绝缘层 301 未动,如在图 3I 中示出。保留绝缘层 301 而去除绝缘层 310 是重要的,以避免在随后的过程中多晶硅纵梁的生成。保护层 308 随后从鳍部 305、隔离物 315 的外侧壁 325 和鳍部 305 的相对侧处的绝缘层 301 的部分 309 选择地去除,留下鳍部 305 和绝缘层 301 未动,且保留鳍部 305 的两个相对的侧壁 307 的垂直性。图 3I 是类似于图 3H 的示出了从绝缘层 301 的部分 309 和鳍部 305 去除绝缘层 310 和保护层 308 后的视图。对于一个实施例,二氧化硅的绝缘层 310 可用从  $\text{Si}_3\text{N}_4:\text{C}$  的保护层 308 使用氢氟酸 (“HF”) 去除,且  $\text{Si}_3\text{N}_4:\text{C}$  的保护层 308 可以从单晶硅的鳍部 305 和从隐埋氧化物的绝缘层 301 使用半导体制造领域内已知的技术通过热磷酸去除。

[0054] 图 3J 是从绝缘层 301 上的鳍部 305 去除隔离物 315 和缓冲层 303 后的半导体结构 300 的截面视图。对于实施例,使用半导体制造领域普通技术人员已知的技术将隔离物 315 和缓冲层 303 大体上从鳍部 305 通过热磷酸和氢氟酸分别去除。绝缘层 301 上的鳍部 305 具有 U 形状和相对于三栅半导体结构的个数增加的角部 345。

[0055] 图 3K 是随后在鳍部 305 的部分上形成栅电介质层 362 和栅极 363 后的半导体结构 300 的截面视图。如在图 3K 中示出, 带有栅电介质层 362 的栅极 363 覆盖了基片 360 上的绝缘层 301 上的鳍部 305 的顶表面 306 和两个相对的侧壁 307, 以及覆盖了凹陷 319 的部分的底部 320 和两个相对的侧壁 364, 从而有效地增加了可用于电信号行进的空间。相对于三栅晶体管结构, 在全栅控制下 U 形形状的半导体晶体管结构 300 也有效地将角部的个数加倍, 这大体上降低了晶体管的非角部部分而导致了改进的短沟道控制。

[0056] 栅电介质层 362 可通过对于晶体管制造领域的普通技术人员是已知的沉积和图案形成技术形成在鳍部 305 上。对于一个实施例, 栅电介质层 362 可以包括例如二氧化硅 (“ $\text{SiO}_2$ ”)、氮氧化硅 (“ $\text{SiO}_x\text{N}_y$ ”) 或氮化硅 (“ $\text{Si}_3\text{N}_4$ ”)。对于另一个实施例, 栅电介质层 362 可以包括其介电常数  $k$  高于  $\text{SiO}_2$  的介电常数的过渡金属的氧化物, 例如氧化锆 (“ $\text{ZrO}_2$ ”)、氧化铪 (“ $\text{HfO}_2$ ”) 和氧化镧 (“ $\text{La}_2\text{O}_3$ ”)。对于实施例, 高  $k$  电介质层可以使用原子层沉积 (“ALD”) 技术形成在鳍部 305 上。对于实施例, 栅电介质层 362 的厚度可以在 5 埃至 100 埃之间。

[0057] 对于实施例, 栅极 363 通过对于晶体管制造领域普通技术人员是已知的沉积和图案形成技术随后形成在栅电介质层 362 上。对于实施例, 形成在栅电介质层 362 上的栅极 363 的厚度在 500 埃至 3500 埃之间。对于替代实施例, 形成在栅电介质层 362 上的栅极 363 可以但不限制于是金属、多晶硅、多晶硅锗、氮化物及其任何组合。

[0058] 然后, 参考图 4, 具有尖端延伸 (未示出) 的源区 403 和漏区 404 形成在鳍部 305 的相对侧处。源区 403 和漏区 404 可以使用晶体管制造领域普通技术人员已知的技术之一形成。对于实施例, 鳍部 305 内在栅极 363 的相对侧处的源区 403 和漏区 404 可以使用离子注入技术形成, 离子注入技术使用栅极 363 作为掩模将各掺杂剂的离子提供到鳍部 305 的相对侧内。

[0059] 图 5A 图示了用于制造根据本发明的一个实施例的多台阶 U 栅晶体管的半导体结构 500 的截面视图。半导体结构 500 使用以上参考图 3A 至图 3H 描述的过程形成。如在图 5A 中示出, 半导体结构 500 包括在形成在绝缘层 503 上的半导体材料的鳍部 502 内的凹陷 501。凹陷 501 具有底部 521 和两个相对的侧壁 504。保护层 505 覆盖了鳍部 502 的侧壁和在鳍部 502 相对侧处的绝缘层 503 的部分。绝缘层 511 形成在鳍部 502 的相对侧上的保护层 505 的部分上。隔离物 506 形成在鳍部 502 邻近保护层 505 的顶表面上。对于实施例, 缓冲层 507 沉积在鳍部 502 的顶表面和隔离物 506 的每个之间。对于实施例, 凹陷 501 从鳍部 502 的顶表面向下蚀刻到大约鳍部 502 的厚度 528 的三分之一处。

[0060] 图 5B 是类似于图 5A 的视图, 示出了在收缩隔离物 506 的尺寸到预先确定的宽度以暴露被缓冲层 507 覆盖的鳍部 502 的顶表面的部分 509 后。对于实施例, 隔离物 506 收缩到预先确定的宽度 520, 宽度通过随后待形成的台阶的量确定。对于一个实施例, 隔离物 506 的宽度 520 在收缩后减小大约 30%。对于实施例, 通过蚀刻进行对隔离物 506 的收缩, 例如通过干蚀刻或湿蚀刻。对于一个实施例, 收缩隔离物 506 通过以热磷酸湿蚀刻进行。对于一个实施例, 如在图 5B 中示出的钝化层 508 在收缩隔离物 506 后沉积在凹陷 501 的底部 521 上和侧壁 504 的部分上, 以用作随后蚀刻鳍部 502 的蚀刻阻止层。对于另一个实施例, 当干等离子蚀刻用于收缩隔离物 506 时, 在收缩隔离物 506 前钝化层 508 沉积在凹陷 501 的底部 521 上和两个相对的侧壁 504 的部分上, 以保护鳍部 502 的主体在干等离子蚀刻期

间例如无点蚀,且当在随后的过程中在凹陷 501 的侧壁内形成台阶时用作蚀刻阻止层。对于一个实施例,沉积在形成在硅的鳍部 502 内的凹陷 501 的底部 521 上和两个相对的侧壁 504 的部分上的钝化层 508 包括氧化物。对于实施例,钝化层 508 的厚度在大约 10 埃到 50 埃的范围内。对于实施例,钝化层 508 通过晶体管制造领域普通技术人员已知的技术之一沉积在凹陷的底部上。

[0061] 图 5C 是类似于图 5B 的视图,示出了在蚀刻去由缓冲层 507 覆盖的鳍部 502 的顶表面的暴露部分 509 以在鳍部 502 内的凹陷 501 的侧壁内形成台阶 510 后。对于一个实施例,被缓冲层 507 覆盖的暴露部分 509 被从鳍部 502 的顶部向下各项异性地蚀刻到预先确定的深度,同时侧向地后退到预先确定的宽度以形成台阶 510 的每个。对于实施例,台阶 510 的每个可以具有在大约 1 : 1 到 3 : 1 的范围内的深度 520 与宽度 530 的深宽比。更特定地,台阶 510 的每个具有大约 1 : 1 的深度与宽度的深宽比。对于实施例,被二氧化硅缓冲层 507 覆盖的硅的鳍部 502 的顶表面的暴露部分 509 使用晶体管制造领域普通技术人员已知的 RIE 或湿蚀刻技术的任一个技术被蚀刻去。对于一个实施例,连续地重复如下步骤直至凹陷 501 的侧壁 504 内产生预先确定的台阶的量:在凹陷 501 的底部上和侧壁的部分上沉积钝化层 508,收缩隔离物 506 的尺寸以暴露被缓冲层覆盖的鳍部的顶表面的部分,以及从鳍部的顶部将鳍部 502 的顶表面的暴露部分 509 向下蚀刻去至预先确定的深度且侧向蚀刻去至预先确定的宽度。

[0062] 图 5D 是半导体结构 500 的截面视图,示出了在从凹陷 501 的底部 521 和两个相对的侧壁 504 的部分去除钝化层 508、从保护层 505 去除了绝缘层 510 以及从鳍部 502 和在鳍部 502 的相对的侧上的绝缘层 503 的部分去除了保护层 505 后。对于实施例,从硅的鳍部 502 内的凹陷 501 的底部 521 和两个相对的侧壁 504 的部分去除氧化物钝化层通过以例如热磷酸的蚀刻进行。从保护层 505 去除绝缘层 511 以及从鳍部 502 和在鳍部 502 的相对的侧上的绝缘层 503 的部分去除保护层 505 以上根据图 3I 已描述。

[0063] 图 5E 是半导体结构 500 的截面视图,示出了随后从鳍部 502 去除隔离物 506 和缓冲层 507 后,如以上根据图 3J 已描述。如在图 5E 中示出,鳍部 502 的垂直侧壁与鳍部 502 的顶表面形成了角部 512 的组,且侧壁 504 与凹陷 501 的底部 521 和与台阶 510 形成了角部 513 的组,其中角部 513 的个数超过了角部 512 的个数。角部 513 的个数可以通过在凹陷的侧壁内重复地形成台阶 510 而增加,如以上所讨论,大体上相对于非角部部分增加了 U 栅晶体管结构的角部部分。

[0064] 图 6 是根据本发明的一个实施例的多角部 U 栅半导体晶体管结构 600 的透视图。多角部 U 栅半导体晶体管结构 600 包括栅电介质层 601 和随后形成在绝缘层 503 上的鳍部 502 上的栅极 602,和形成在鳍部 502 的相对侧处的源区 603 和漏区 604,其中凹陷 501 的侧壁 504 的每个包括台阶 605。如在图 6 中示出,带有电介质层 601 的栅极 602 覆盖了鳍部 502 的部分的顶表面和两个相对的侧壁以及鳍部 502 内的凹陷 501 的部分的底部和相对的侧壁,其中相对的侧壁 504 的每个包括台阶 605。带有台阶状侧壁的 U 形形状的多角部半导体晶体管结构 600 进一步增加了全栅控制下的角部个数,因此进一步降低了晶体管的非角部部件。对于实施例,在 U 栅晶体管结构的 I-V 特征中的角部部分超过了非角部部分至少 10%。

[0065] 图 7A 图示了半导体结构 700 的截面视图,用于制造根据本发明的一个实施例的对分的鳍部。如在图 7A 中图示,半导体结构 700 包括形成在绝缘层 702 上的半导体材料的鳍

部 701。保护层 703 覆盖了鳍部 701 的侧壁和在鳍部 701 的相对侧处的绝缘层 702 的部分，且保护层 703 邻近形成在鳍部 701 的顶表面上的隔离物 704 的每个。绝缘层 705 形成在鳍部 701 的相对侧上的保护层 703 的部分上。对于实施例，缓冲层 706 沉积在鳍部 701 的顶表面和隔离物 704 的每个之间。半导体结构 700 使用以上根据图 3A 至图 3G 描述的过程形成。

[0066] 图 7B 是半导体结构 700 的截面视图，示出了从鳍部 701 的顶表面的暴露部分向下蚀刻鳍部 701 到绝缘层 702 之后，以在一个光刻步骤中产生对分的鳍部 708，从而使鳍部的量加倍且鳍部间距降低因子 2。对分的鳍部 708 的宽度 709 和对分的鳍部 708 之间的距离 710 由隔离物 704 的厚度控制且与光刻分辨率和掩模特征无关，从而提供了稳健的制造过程。对于实施例，对分的鳍部 708 的每个具有小于光刻极限的尺寸。将鳍部 701 向下蚀刻到绝缘层通过以上根据图 3H 描述的过程进行。

[0067] 图 7C 是半导体结构 700 的截面视图，示出了使用以上根据图 3I 和图 3J 描述的过程从对分的鳍部 708 的每个去除绝缘层 705、保护层 703、隔离物 704 和缓冲层 706 之后。如在图 7C 中示出，在绝缘层 705 上从单个鳍部对分了鳍部的间距 711 形成了两个对分的鳍部 708。对于实施例，使用以上根据图 7A 至图 7C 描述的过程，可以从多个单个的鳍部制造出多个具有亚光刻尺寸的对分的鳍部。

[0068] 图 8 是根据本发明的一个实施例在绝缘层 702 上带有两个对分的鳍部 708 的 U 栅半导体结构 800 的透视图，对分的鳍部 708 具有亚光刻尺寸。栅电介质层 802 和栅极 803 随后形成在对分的鳍部 708 的每个的部分上。源区 804 和漏区 805 形成在对分的鳍部 708 的每个的栅极 803 的相对侧处。如在图 8 中示出，带有栅电介质层 802 的栅极 803 覆盖了对分的鳍部 708 的每个的部分的顶表面和两个相对的侧壁，从而产生了带有两个具有对分的间距的三栅晶体管的结构。对于实施例，两个三栅晶体管的每个具有亚光刻尺寸。

[0069] 图 9A 图示了用于制造带有具有亚光刻尺寸的对分的鳍部的晶体管结构的半导体结构 900 的截面视图，其中对分的鳍部的每个包括至少一个根据本发明的一个实施例的台阶。半导体结构 900 包括在绝缘层 902 上的对分的鳍部 901 和保护层 903，保护层 903 覆盖了对分的鳍部 901 的每个的外侧壁 911 和在对分的鳍部 901 的每个的外侧壁 911 处的绝缘层 902 的部分。保护层 903 邻近形成在对分的鳍部 901 的每个的顶表面上的隔离物 904 的每个。绝缘层 905 形成在对分的鳍部 901 的每个的外侧壁 911 处的保护层 903 的部分上。对于实施例，缓冲层 906 沉积在对分的鳍部 901 的每个的顶表面和隔离物 904 的每个之间。半导体结构 900 使用以上根据图 7A 至图 7C 描述的过程形成。

[0070] 图 9B 是半导体结构 900 的截面视图，示出了收缩隔离物 904 的尺寸以暴露被缓冲层 906 覆盖的对分的鳍部 901 的每个的顶表面的部分 921。保护层 922 沉积在对分的鳍部 901 之间的绝缘层 902 的暴露部分上，以保护绝缘层 902 不在随后的过程中被底切。对于实施例，沉积在硅的对分的鳍部 901 之间的隐埋氧化物的绝缘层 902 的暴露部分上的保护层 922 是掺杂了碳的氮化硅层。

[0071] 图 9C 是半导体结构 900 的截面视图，示出了将被缓冲层 906 覆盖的对分的鳍部 901 的每个的顶表面的暴露部分 921 蚀刻去之后，以使用以上根据图 5C 描述的过程在对分的鳍部 901 的每个的内侧壁内形成台阶 931。收缩隔离物 904 的尺寸使用以上根据图 5B 描述的过程进行。对于一个实施例，收缩隔离物 904 的尺寸使用以上根据图 5C 描述的过程连续地重复，直至在对分的鳍部 901 的侧壁内产生预先确定的台阶的量。

[0072] 图 9D 是半导体结构 900 的截面视图,示出了使用以上根据图 3I 和图 3J 描述的过程从两个对分的鳍部 901 的每个和绝缘层 902 去除绝缘层 905、保护层 903、保护层 922、隔离物 904 和缓冲层 906 之后。如在图 9D 中示出,两个对分的鳍部 901 形成在绝缘层上,其中对分的鳍部 901 的每个具有台阶 931。对于另一个实施例,半导体结构 900 可以这样形成,即通过首先在鳍部内形成凹陷,其中凹陷的侧壁的每个具有至少一个台阶,如以上根据图 5A 至图 5D 描述,且然后形成对分的鳍部,如以上根据图 7B 描述。对于实施例,使用以上根据图 7A 至图 7C 和图 5A 至图 5D 描述的过程,可以从多个单个的鳍部制造出多个具有至少一个台阶且具有亚光刻尺寸的对分的鳍部。

[0073] 图 10 是带有两个具有亚光刻尺寸的对分的鳍部 1001 的 U 栅半导体晶体管结构 1000 的透视图,其中在绝缘层 1007 上的两个对分的鳍部 1001 的每个具有至少一个根据本发明的一个实施例的台阶。栅电介质层 1003 和栅极 1004 随后形成在两个对分的鳍部 1001 的每个的部分上,从而覆盖了台阶 1002。源区 1005 和漏区 1006 形成在两个对分的鳍部 1001 的每个的栅极 1004 的相对的侧处。如在图 10 中示出,带有栅电介质层 1003 的栅极 1004 覆盖了两个对分的鳍部 1001 的每个的部分的顶表面和两个相对的侧壁,包括台阶 1002,从而产生了两个多角部三栅晶体管结构。对于实施例,两个多角部三栅晶体管结构具有对分的间距和亚光刻尺寸。



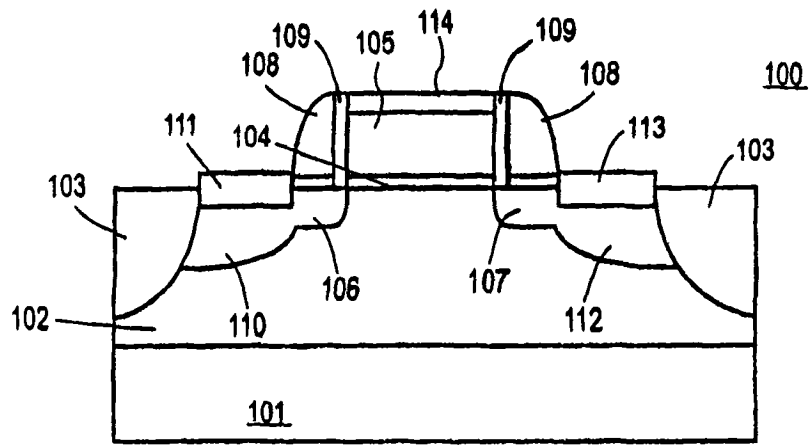


图 1(现有技术)

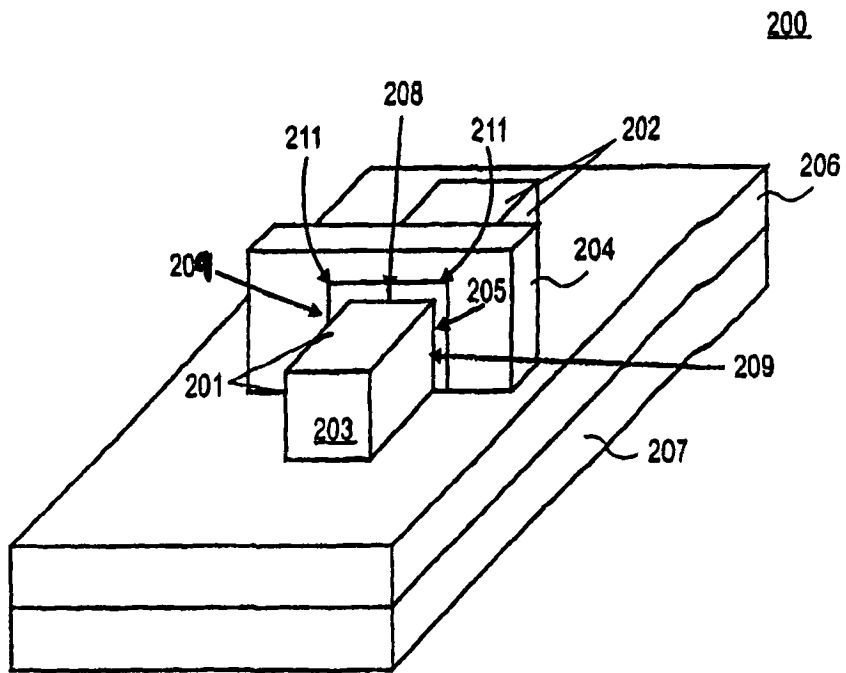


图 2(现有技术)

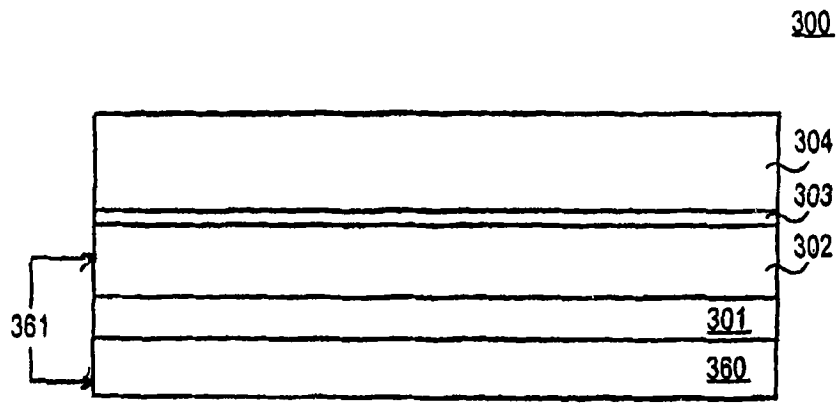


图 3A

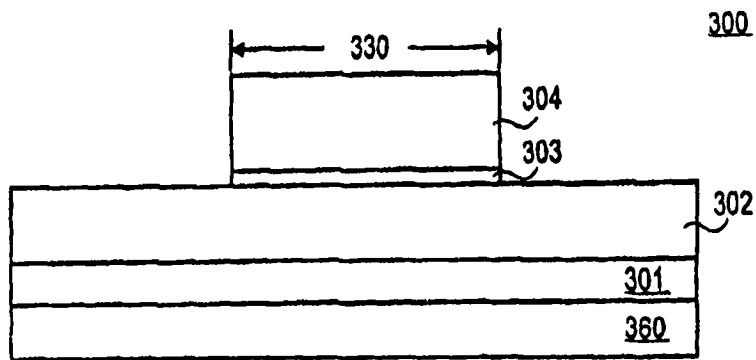


图 3B

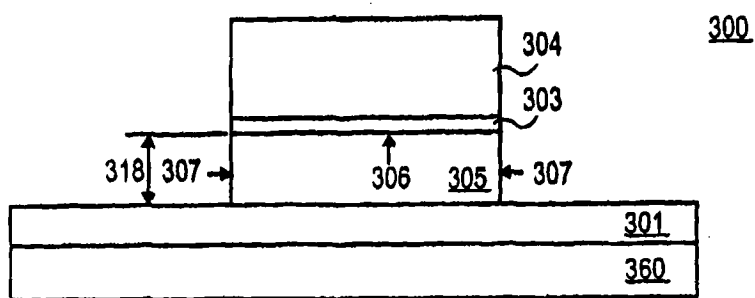


图 3C

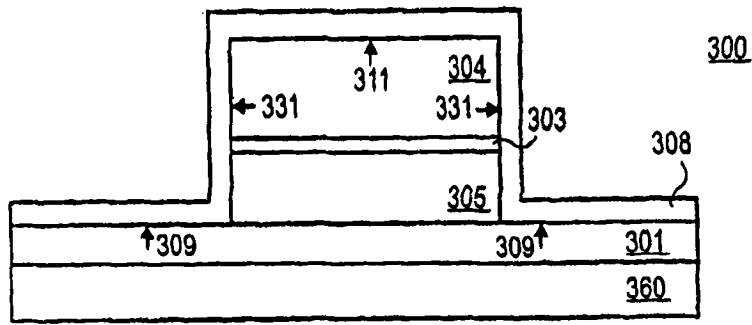


图 3D

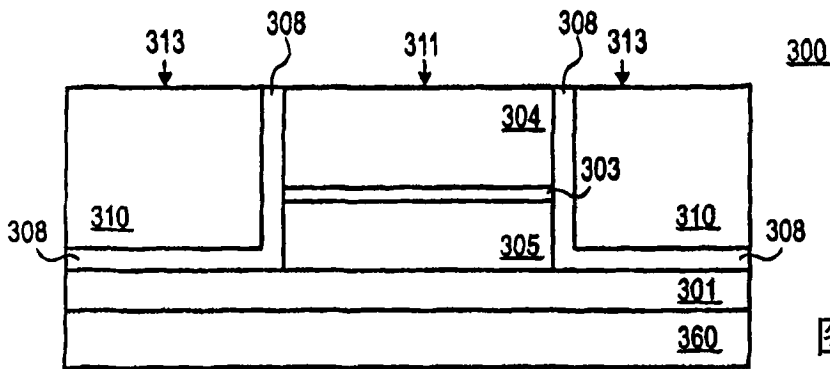


图 3E

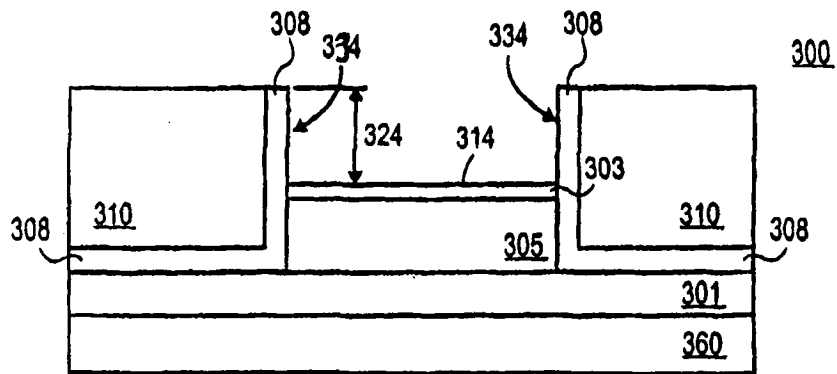


图 3F

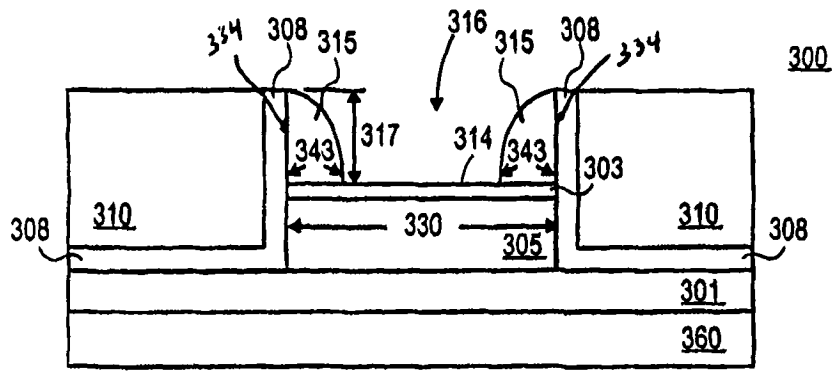


图 3G

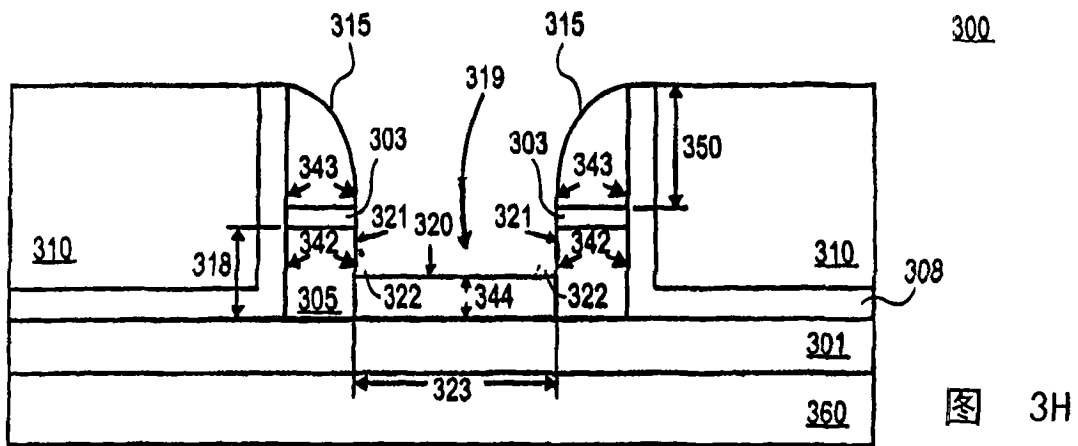


图 3H

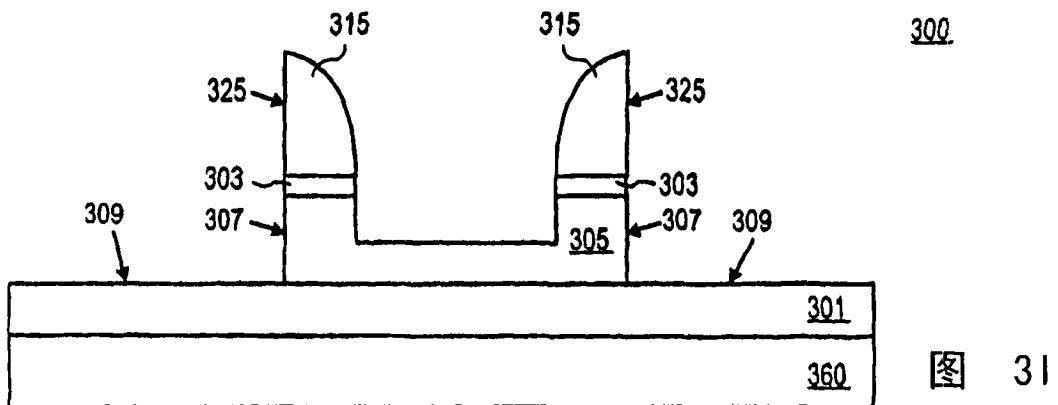


图 3I

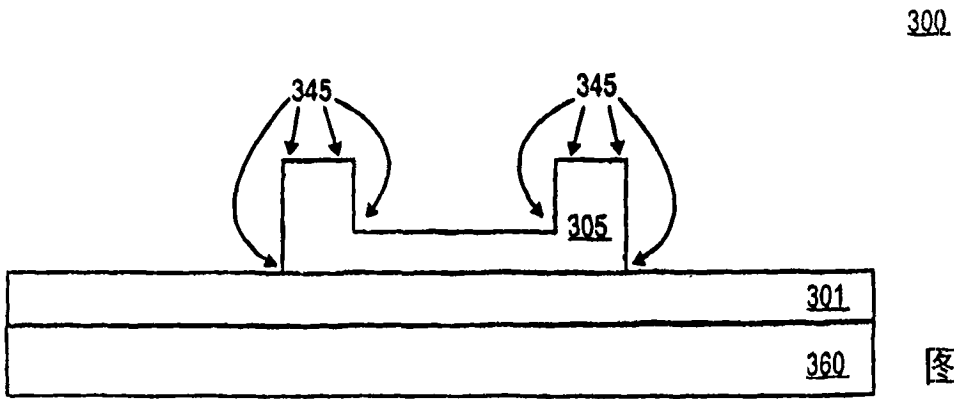


图 3J

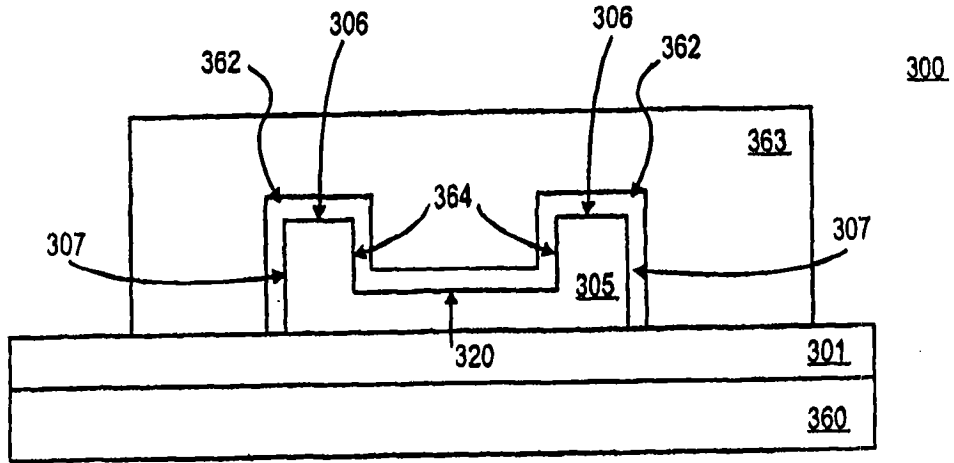


图 3K

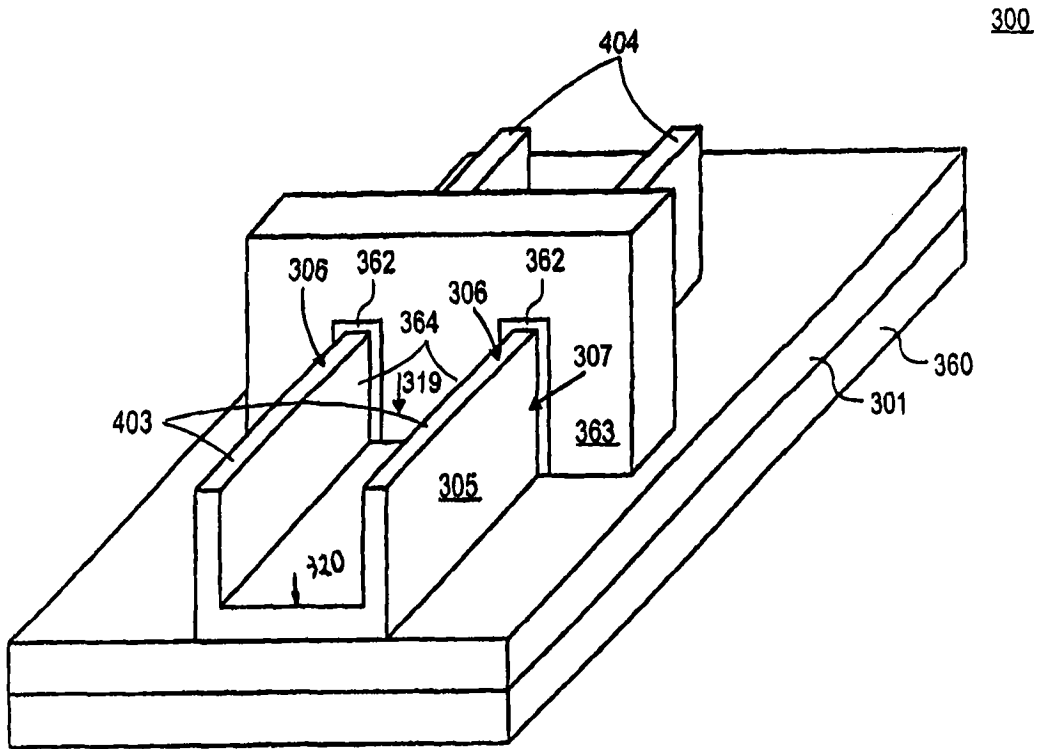


图 4

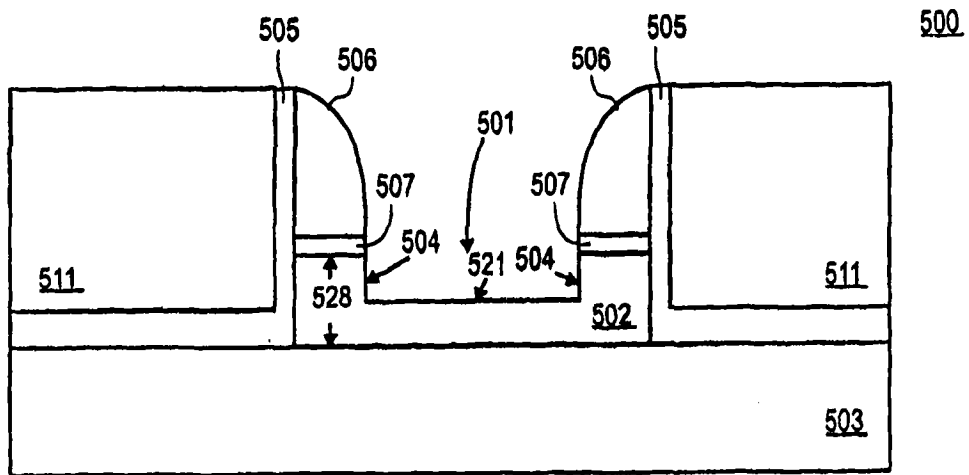


图 5A

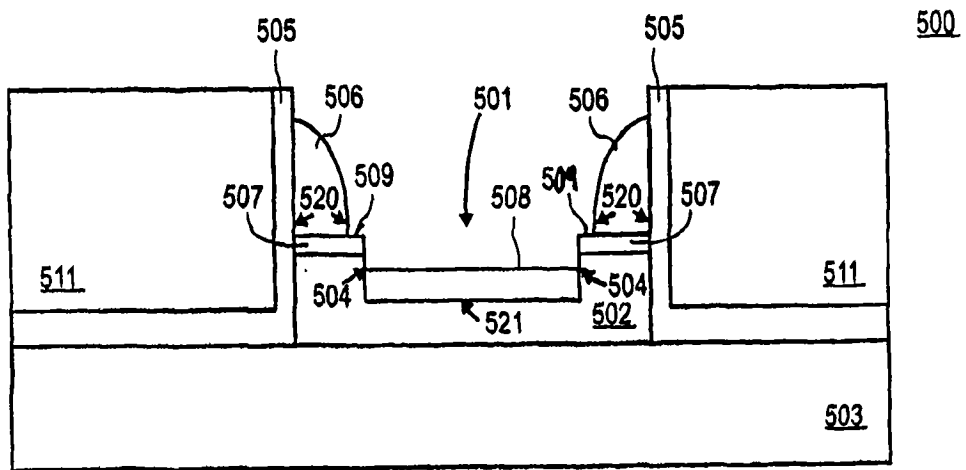


图 5B

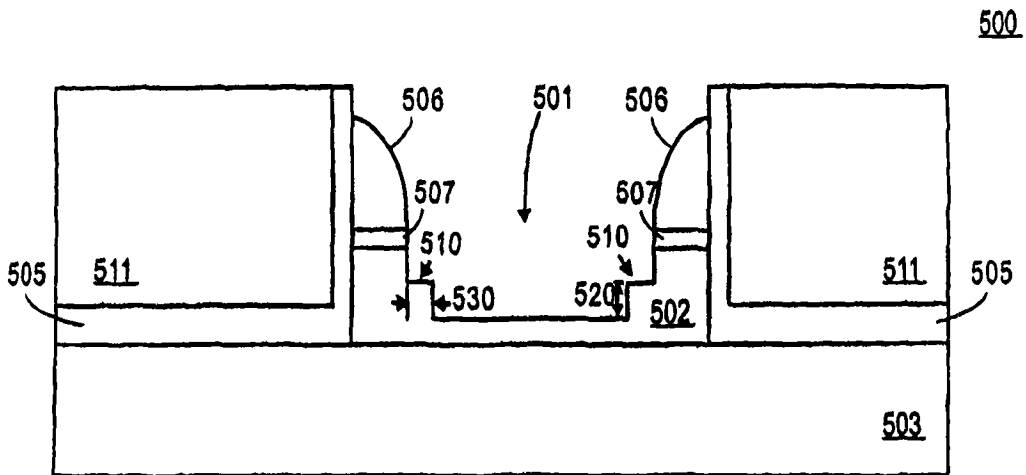


图 5C

500

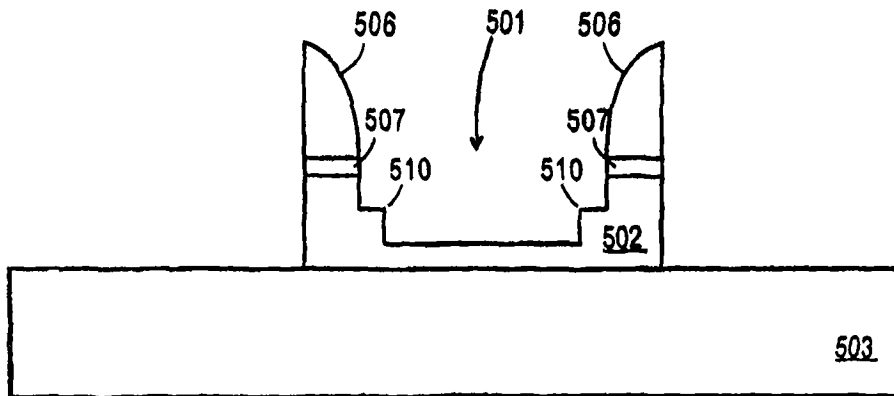


图 5D

500

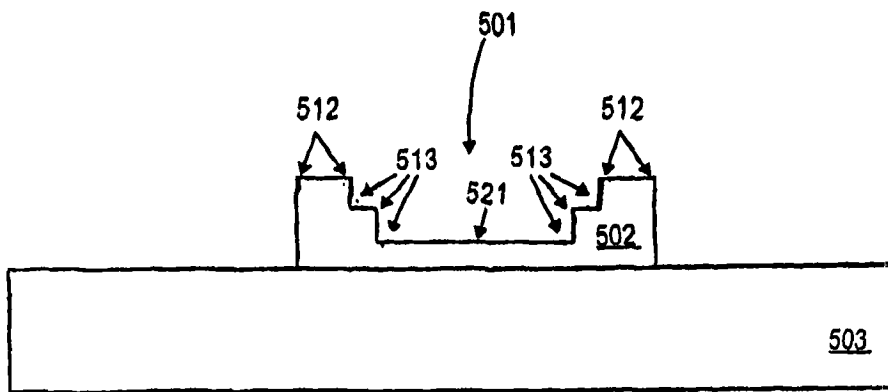


图 5E



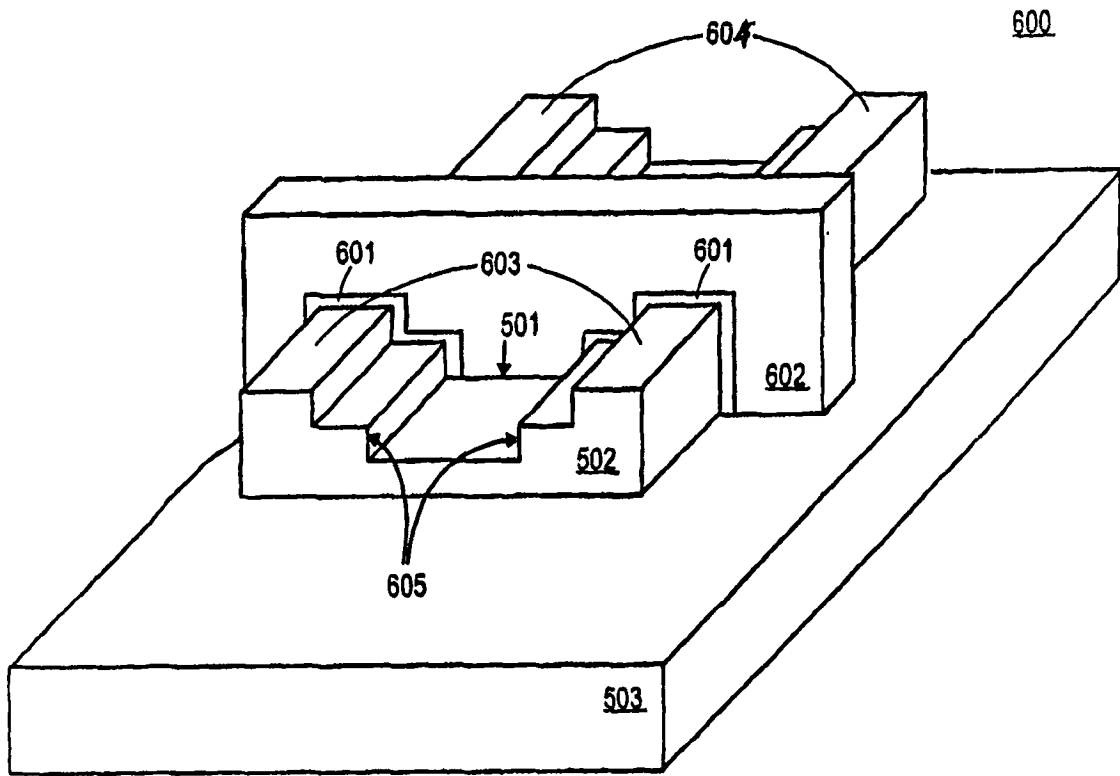


图 6

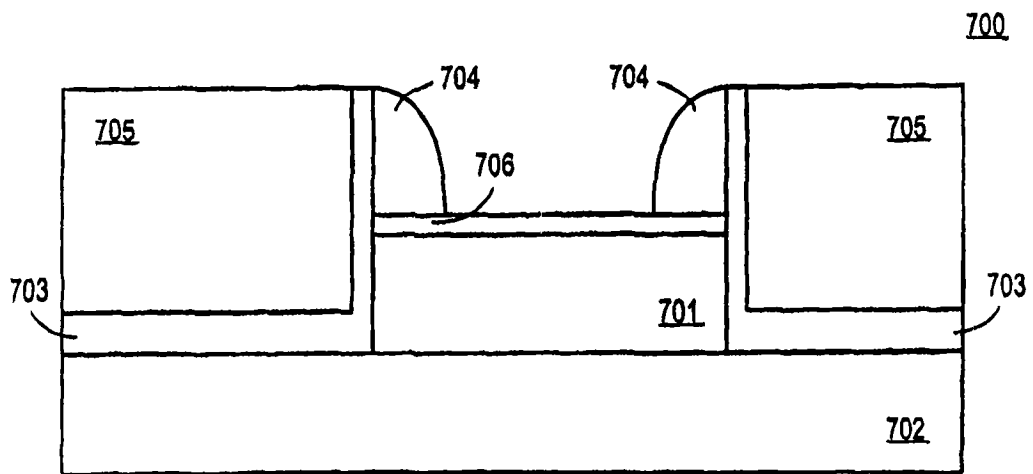
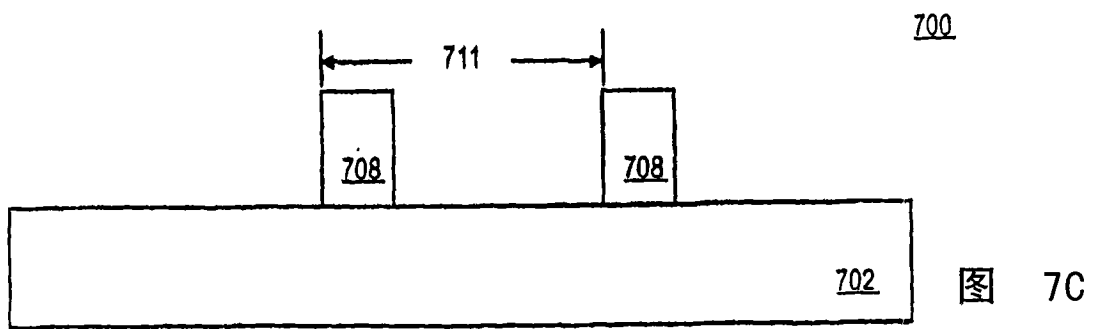
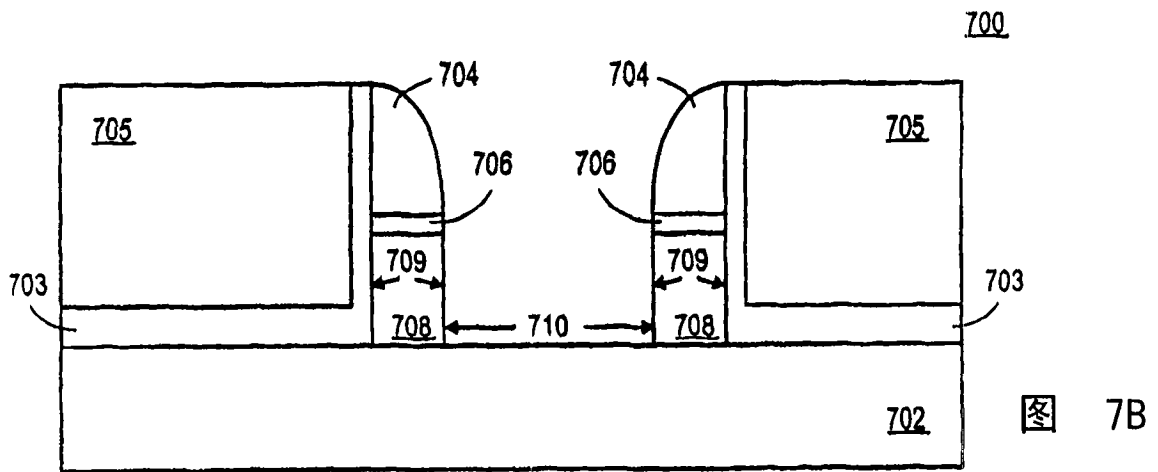


图 7A



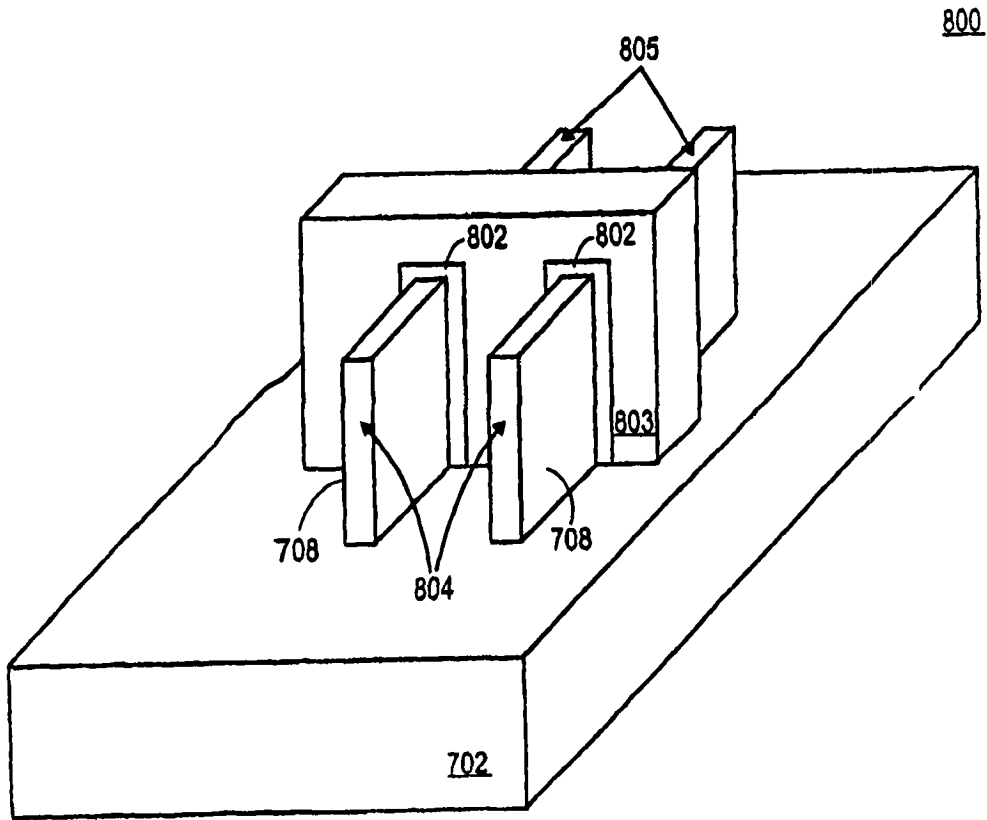


图 8

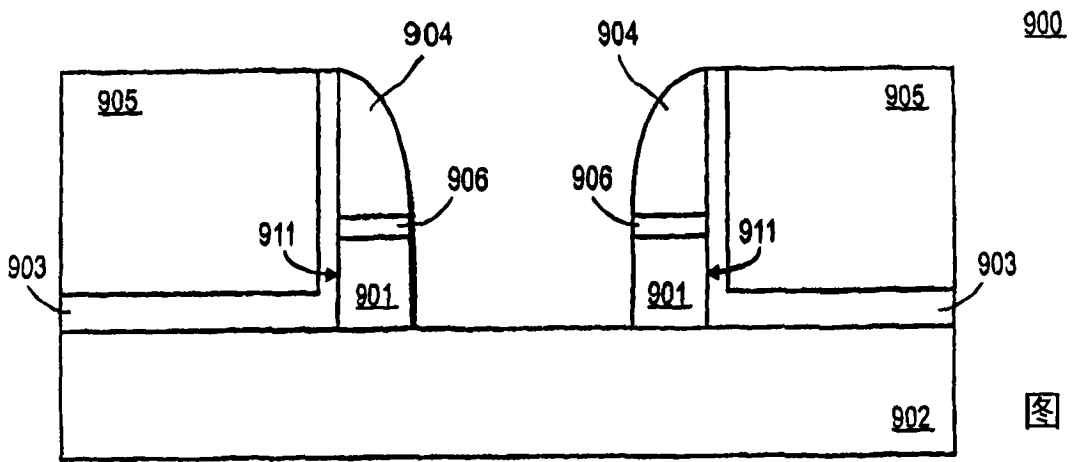


图 9A

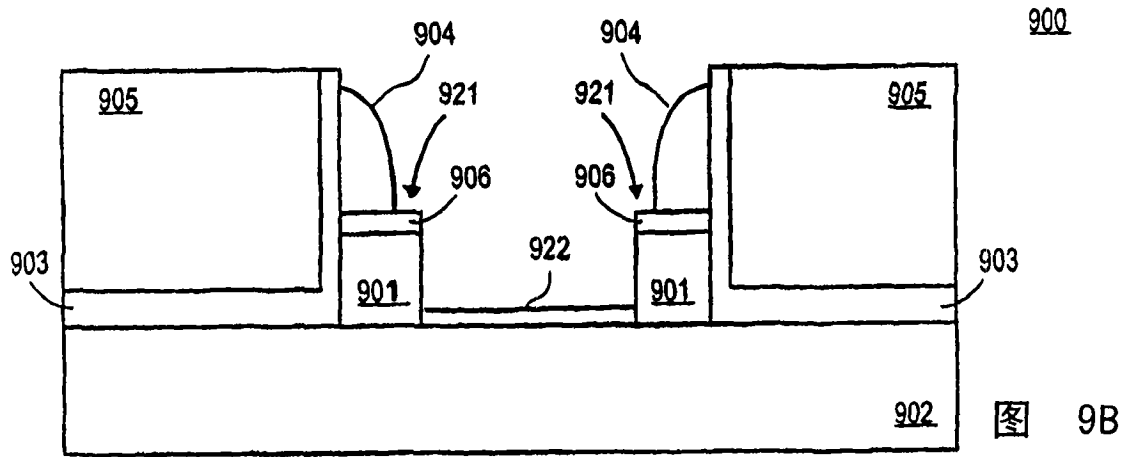


图 9B

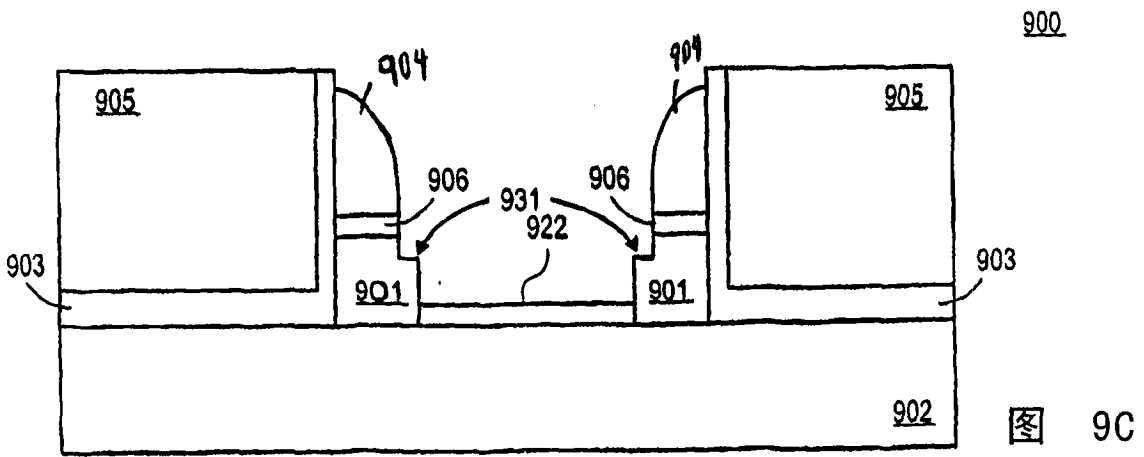


图 9C

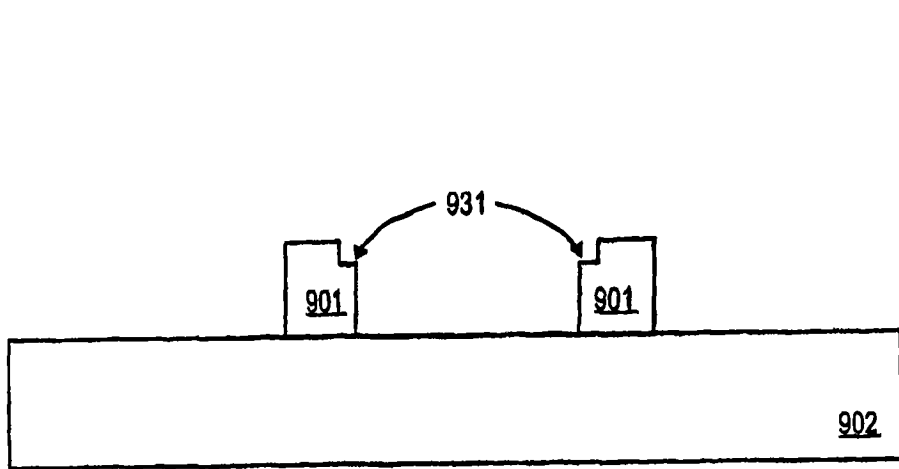


图 9D

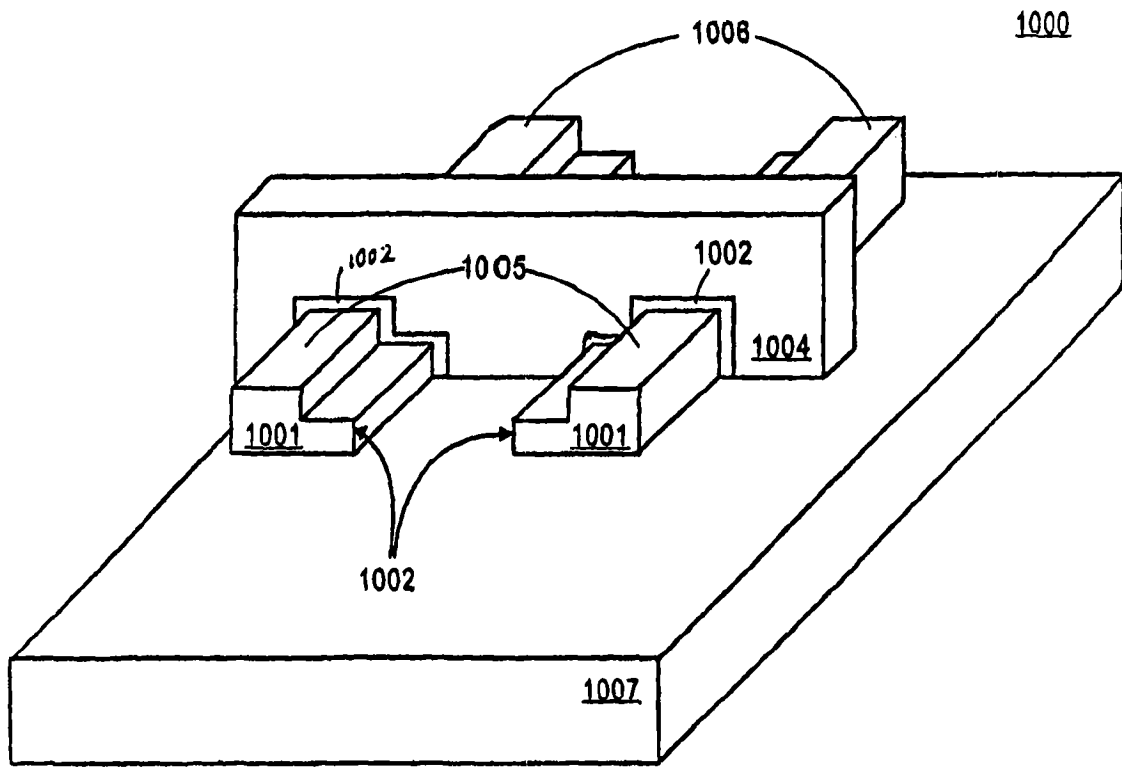


图 10