

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6822657号  
(P6822657)

(45) 発行日 令和3年1月27日(2021.1.27)

(24) 登録日 令和3年1月12日(2021.1.12)

(51) Int.Cl. F I  
**G 1 1 C 11/16 (2006.01)** G 1 1 C 11/16 2 4 0  
 G 1 1 C 11/16 2 5 0

請求項の数 4 (全 28 頁)

(21) 出願番号	特願2016-231457 (P2016-231457)	(73) 特許権者	504157024 国立大学法人東北大学 宮城県仙台市青葉区片平二丁目1番1号
(22) 出願日	平成28年11月29日(2016.11.29)	(74) 代理人	110000626 特許業務法人 英知国際特許事務所
(65) 公開番号	特開2018-88300 (P2018-88300A)	(72) 発明者	羽生 貴弘 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内
(43) 公開日	平成30年6月7日(2018.6.7)	(72) 発明者	鈴木 大輔 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内
審査請求日	令和1年11月26日(2019.11.26)	(72) 発明者	大野 英男 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

最終頁に続く

(54) 【発明の名称】 抵抗変化型記憶素子のデータ書き込み装置

(57) 【特許請求の範囲】

【請求項1】

抵抗変化型記憶素子のデータ書き込み装置であって、  
 相補型抵抗変化型記憶素子と、  
 前記相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段と、  
 前記相補型抵抗変化型記憶素子の書き込み状態を検出する検出手段と、  
 制御手段と、を備え、  
前記書き込み手段は、前記相補型抵抗変化型記憶素子それぞれの記憶素子に対応した書込部を備え、前記書込部により前記記憶素子それぞれに同時あるいは任意のタイミングで逆の抵抗変化を生じさせるように書き込み、  
前記制御手段は、前記検出手段による前記記憶素子それぞれの書き込み状態に基づいて、それぞれの記憶素子の書き込み制御を行う  
 ことを特徴とする抵抗変化型記憶素子のデータ書き込み装置。

【請求項2】

抵抗変化型記憶素子のデータ書き込み装置であって、  
相補型抵抗変化型記憶素子と、  
前記相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段と、  
前記相補型抵抗変化型記憶素子の書き込み状態を検出する検出手段と、  
制御手段と、を備え、  
前記書き込み手段は、前記相補型抵抗変化型記憶素子それぞれに、共通の書き込み回路

から順次、逆の抵抗変化を生じさせるように、前記相補型抵抗変化型記憶素子のそれぞれの記憶素子の接続点に対して、前記それぞれの記憶素子の接続点の他端への接続を順次切り替えて書き込む、切り替え手段を備える

ことを特徴とする抵抗変化型記憶素子のデータ書き込み装置。

【請求項 3】

抵抗変化型記憶素子のデータ書き込み装置であって、

相補型抵抗変化型記憶素子と、

前記相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段と、

前記相補型抵抗変化型記憶素子の書き込み状態を検出する検出手段と、

制御手段と、を備え、

10

前記書き込み手段は、前記相補型抵抗変化型記憶素子の直列接続された記憶素子に電流を流し、前記電流の流れる方向を切り替える切り替え手段を備え、

前記検出手段は、書き込み駆動源と前記直列接続された記憶素子間の電位変化を検出し、前記相補型抵抗変化型記憶素子の一方の記憶素子の記憶状態の変化と、他方の記憶素子の記憶状態の変化を個別に検出する

ことを特徴とする抵抗変化型記憶素子のデータ書き込み装置。

【請求項 4】

前記検出手段は、前記相補型抵抗変化型記憶素子の一方の記憶素子の抵抗変化を検出する第 1 の検出手段と、

前記相補型抵抗変化型記憶素子の他方の記憶素子の抵抗変化を検出する第 2 の検出手段と、を有することを特徴とする請求項 3 に記載の抵抗変化型記憶素子のデータ書き込み装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗変化型記憶素子のデータ書き込み装置に関する。

【背景技術】

【0002】

抵抗変化型記憶素子は、書き込み電流による抵抗状態を利用する記憶素子であるが、素子毎に抵抗状態が変化するタイミングにばらつきがあるため、抵抗変化型記憶素子への書き込み電流の供給には、記憶素子の抵抗変化状態を変化させるために十分な時間が求められる。そのため、抵抗変化型記憶素子の抵抗状態が変化した後においても記憶素子に書き込み電流を供給し続けるため、消費電力の面で課題を有している。

30

【0003】

抵抗変化型記憶素子へのデータの書き込みの終了を検出する技術として、抵抗変化型記憶素子の端部電圧変化を書き込み電流の電流方向に応じて切り替えて検出し、検出した端部電圧変化に基づいてデータの書き込み終了を検出する装置が提案されている（特許文献 1）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】国際公開 W O 2 0 1 5 / 1 4 7 0 1 6

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、抵抗変化型記憶素子として、磁気トンネル接合素子（MTJ（Magnetic Tunnel Junction Device）素子）は、トンネル磁気抵抗比 TMR が比較的小さいので、高感度のセンスアンプを要する。

抵抗変化型記憶素子の出力を高める構成として相補型セルが提案されている。例えば、1 つのセルに 2 つの抵抗変化型記憶素子を設け、素子それぞれで異なる記憶状態として情

50

報を記憶する相補型セルを設けた記憶装置では、情報を読み出す場合、各素子からパラレルに読み出すことにより、低感度のセンスアンプを用いた場合であっても、情報を高感度で検出することができる。

また、抵抗変化型記憶素子において書き込みを確実にを行うには、長時間の書き込み電流パルスが必要である。データの書き込み時において書き込み電流を自動的に終了させることによってエネルギー消費を低減させることが想定される。

しかしながら、相補型セルの2つの抵抗変化型記憶素子に書き込み電流を流して相補的に情報を書き込む構成において、データ書き込み後に書き込み動作を自動停止させる構成は知られていない。そのため、相補型の抵抗変化型記憶素子では、書き込みエネルギーが大きいという課題がある。

10

このような状況から、相補型の抵抗変化型記憶素子において、データ書き込み後における書き込み動作の自動停止を簡易な構成で実現し、書き込みエネルギーを低減することが求められている。

【課題を解決するための手段】

【0006】

本発明の抵抗変化型記憶素子のデータ書き込み装置は、少なくとも以下の構成を具備するものである。

抵抗変化型記憶素子のデータ書き込み装置であって、

相補型抵抗変化型記憶素子と、

前記相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段と、

20

前記相補型抵抗変化型記憶素子の書き込み状態を検出する検出手段と、

制御手段と、を備え、

前記書き込み手段は、前記相補型抵抗変化型記憶素子それぞれの記憶素子に対応した書込部を備え、前記書込部により前記記憶素子それぞれに同時あるいは任意のタイミングで逆の抵抗変化を生じさせるように書き込み、

前記制御手段は、前記検出手段による前記記憶素子それぞれの書き込み状態に基づいて、それぞれの記憶素子の書き込み制御を行うことを特徴とする。

また、本発明の抵抗変化型記憶素子のデータ書き込み装置は、

相補型抵抗変化型記憶素子と、

前記相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段と、

30

前記相補型抵抗変化型記憶素子の書き込み状態を検出する検出手段と、

制御手段と、を備え、

前記書き込み手段は、前記相補型抵抗変化型記憶素子それぞれに、共通の書き込み回路から順次、逆の抵抗変化を生じさせるように、前記相補型抵抗変化型記憶素子のそれぞれの記憶素子の接続点に対して、前記それぞれの記憶素子の接続点の他端への接続を順次切り替えて書き込む、切り替え手段を備えることを特徴としてもよい。

また、本発明の抵抗変化型記憶素子のデータ書き込み装置は、

相補型抵抗変化型記憶素子と、

前記相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段と、

40

前記相補型抵抗変化型記憶素子の書き込み状態を検出する検出手段と、

制御手段と、を備え、

前記書き込み手段は、前記相補型抵抗変化型記憶素子の直列接続された記憶素子に電流を流し、前記電流の流れる方向を切り替える切り替え手段を備え、

前記検出手段は、書き込み駆動源と前記直列接続された記憶素子間の電位変化を検出し、前記相補型抵抗変化型記憶素子の一方の記憶素子の記憶状態の変化と、他方の記憶素子の記憶状態の変化を個別に検出することを特徴としてもよい。

【発明の効果】

【0007】

本発明によれば、簡単な回路で、小さい書き込みエネルギーで書き込みを行うことができる抵抗変化型記憶素子のデータ書き込み装置を提供することができる。

50

## 【図面の簡単な説明】

【0008】

【図1】本発明の実施形態に係るデータ書き込み装置の抵抗変化型記憶素子を説明するための概念図、(a)は構成例を示す図、(b)は抵抗変化型記憶素子の抵抗 - 電圧特性の一例を示す図、(c)は相補型回路の構成例を示す回路図。

【図2】本発明の第1実施形態に係る抵抗変化型記憶素子のデータ書き込み装置の構成例を示す図。

【図3】図2に示した抵抗変化型記憶素子のデータ書き込み装置の $Y = 0$ を書き込む動作の一例を示す図、(a)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_1, R_0)$ の場合を示す図、(b)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_1)$ の場合を示す図、(c)は電流 $I_{WY}$ を示す図、(d)は電流 $I_{WYb}$ を示す図。

10

【図4】図2に示した抵抗変化型記憶素子のデータ書き込み装置の $Y = 1$ を書き込む動作の一例を示す図、(a)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_1)$ の場合を示す図、(b)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_1, R_0)$ の場合を示す図、(c)は電流 $I_{WY}$ を示す図、(d)は電流 $I_{WYb}$ を示す図。

【図5】本発明の第2実施形態に係る抵抗変化型記憶素子のデータ書き込み装置の構成例を示す図。

【図6】図5に示した抵抗変化型記憶素子のデータ書き込み装置の動作の一例を示す図、(a)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_1, R_0)$ の場合を示す図、(b)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_0)$ の場合を示す図、(c)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_1)$ の場合を示す図、(d)は図5に示した左側の抵抗変化型記憶素子に流れる電流 $I_{WY}$ を示す図、(e)は図5に示した右側の抵抗変化型記憶素子に流れる電流 $I_{WYb}$ を示す図。

20

【図7】図5に示した抵抗変化型記憶素子のデータ書き込み装置の動作の一例を示す図、(a)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_1)$ の場合を示す図、(b)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_1, R_1)$ の場合を示す図、(c)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_1, R_0)$ の場合を示す図、(d)は図5に示した左側の抵抗変化型記憶素子に流れる電流 $I_{WY}$ を示す図、(e)は図5に示した右側の抵抗変化型記憶素子に流れる電流 $I_{WYb}$ を示す図。

【図8】本発明の第3実施形態に係る抵抗変化型記憶素子のデータ書き込み装置を説明するための図、(a)は第3実施形態に係る抵抗変化型記憶素子のデータ書き込み装置の構成を示す図、(b)は(a)に示した抵抗変化型記憶素子のデータ書き込み装置の動作の一例を示すタイミングチャート。

30

【図9】図8に示した実施形態の一実施例に係る抵抗変化型記憶素子のデータ書き込み装置を説明するための図、(a)は構成例を示す図、(b)は(a)に示した抵抗変化型記憶素子のデータ書き込み装置の負荷特性曲線、及び電圧 - 電流特性曲線を示す図。

【図10】図9に示した抵抗変化型記憶素子のデータ書き込み装置の書き込み動作時の電圧 $V_{BL}$ の一例を示す図。

【図11】図9に示したデータ書き込み装置が相補型セル10Cに $Y = 0$ を書き込む動作の一例を示す図、(a)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_1, R_0)$ の場合を示す図、(b)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_0)$ の場合を示す図、(c)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_1)$ の場合を示す図、(d)はデータ書き込み装置の負荷特性曲線、及び電圧 - 電流特性曲線を示す図、(e)は抵抗変化型記憶素子の抵抗 - 電圧特性の一例を示す図、(f)はデータ書き込み装置の相補型セルに流れる電流の一例を示す図。

40

【図12】図9に示したデータ書き込み装置が相補型セルに $Y = 1$ を書き込む動作の一例を示す図、(a)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_1)$ の場合を示す図、(b)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_0, R_0)$ の場合を示す図、(c)は相補型セルの記憶状態が $(R_Y, R_{Yb}) = (R_1, R_0)$ の場合を示す図、(d)はデータ書き込み装置の負荷特性曲線、及び電圧 - 電流特性曲線を示す図、(e)は抵抗変

50

化型記憶素子の抵抗 - 電圧特性の一例を示す図、( f ) はデータ書き込み装置の相補型セルに流れる電流の一例を示す図。

【図 1 3】図 8 に示した実施形態の一実施例に係る抵抗変化型記憶素子のデータ書き込み装置を説明するための図、( a ) はデータ書き込み装置の一例を示す図、( b ) は電流  $I_w$  のタイミングチャート。

【図 1 4】図 1 3 に示した抵抗変化型記憶素子のデータ書き込み装置の書き込み駆動源 (カレントソース) の構成例を示す図。

【図 1 5】図 1 3 に示した抵抗変化型記憶素子のデータ書き込み装置のマルチプレクサとセンスアンプの構成例を示す図。

【図 1 6】図 1 3 に示した抵抗変化型記憶素子のデータ書き込み装置の第 1 検出部、第 2 検出部を説明するための図、( a ) は第 1 検出部、第 2 検出部の構成例を示す図、( b ) は ( a ) の第 1 検出部、第 2 検出部の動作の一例を示すタイミングチャート。

【図 1 7】図 1 3 に示した抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するためのタイミングチャート。

【発明を実施するための形態】

【0009】

本発明の実施形態に係る抵抗変化型記憶素子のデータ書き込み装置は、相補型抵抗変化型記憶素子と、相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段と、相補型抵抗変化型記憶素子の書き込み状態を検出する検出手段と、制御手段と、を備える。前記制御手段は、検出手段の検出信号に基づいて、書き込み手段の書き込みを制御する。

【0010】

以下、図面を参照しながら本発明の一実施形態を説明する。本発明の実施形態は図示の内容を含むが、これのみに限定されるものではない。尚、以後の各図の説明で、既に説明した部位と共通する部分は同一符号を付して重複説明を一部省略する。

【0011】

(抵抗変化型記憶素子の概略構成)

図 1 ( a ) に示したように、本発明の実施形態に用いられる抵抗変化型記憶素子 1 0 は、例えば、MTJ 素子 (Magnetic tunneling Junction: 磁気トンネル接合) 素子等の抵抗変化型の記憶素子であり、書き込み電流が供給されると、その抵抗状態が変化する。

【0012】

詳細には、図 1 ( a ) に示したように、抵抗変化型記憶素子 1 0 は、磁化固定層 1 0 a と、トンネルバリア層 1 0 b と、磁化自由層 1 0 c とを有する。図 1 ( a ) では、抵抗変化型記憶素子 1 0 の磁化自由層 1 0 c を示すマーク ( \* ) を、磁化自由層 1 0 c の近傍に表示している。

【0013】

磁化固定層 1 0 a は、導電層 (不図示) 上に直接形成されている。トンネルバリア層 1 0 b は、磁化固定層 1 0 a 上に形成されている。磁化自由層 1 0 c はトンネルバリア層 1 0 b 上に直接形成されている。磁化固定層 1 0 a、磁化自由層 1 0 c は、強磁性体膜 (例えば CoFeB 等)、強磁性ホイスラー合金 (例えば  $\text{Co}_2\text{FeAl}$ 、 $\text{Co}_2\text{MnSi}$  等) 等の材料から構成されている。磁化固定層 1 0 a は、層内を面に垂直方向に電流が流れても、磁化の方向が、層の面に垂直方向に沿って固定された状態となるように構成されている。磁化自由層 1 0 c は、磁化が反転可能に構成されている。詳細には、本実施形態では、磁化自由層 1 0 c は、その磁化の方向が、磁化固定層 1 0 a の磁化に平行、又は反平行となるように構成されている。トンネルバリア層 1 0 b は、磁化固定層 1 0 a と磁化自由層 1 0 c との間に設けられた薄膜であり、例えば、酸化マグネシウム ( $\text{MgO}$ )、アルミナ ( $\text{Al}_2\text{O}_3$ )、スピネル単結晶 ( $\text{MgAl}_2\text{O}_4$ ) 等の材料により構成されている。図 1 ( a ) に示した例では、端子 1 0 g は磁化固定層 1 0 a に設けられ、端子 1 0 e は磁化自由層 1 0 c に設けられている。

【0014】

抵抗変化型記憶素子 1 0 は、磁化自由層 1 0 c の磁化の方向が、磁化固定層 1 0 a の磁

10

20

30

40

50

化の方向に対して相対的に変化すると抵抗値が変化する。詳細には、図1(a)の左図に示したように、磁化自由層10cの磁化と磁化固定層10aの磁化が平行状態の場合、抵抗変化型記憶素子10の抵抗値 $R_Y$ は抵抗値 $R_0$ である。

図1(a)の右図に示したように、磁化自由層10cの磁化と磁化固定層10aの磁化が反平行状態の場合、抵抗変化型記憶素子10の抵抗値 $R_Y$ は、上記抵抗値 $R_0$ よりも高い抵抗値 $R_1$ となる( $R_0 < R_1$ )。

#### 【0015】

抵抗変化型記憶素子10の抵抗状態をスイッチさせるためには、図1(b)に示したように、磁化反転に必要な電流値(電流閾値)の電流 $I_Y$ を流す。詳細には、抵抗変化型記憶素子10が高抵抗状態( $R_Y = R_1$ )であるとき、磁化自由層10cから磁化固定層10aに電流閾値( $I_{w0}$ )以上の電流 $I_Y$ が流れると、磁化自由層10cの磁化が反転し、磁化自由層10cと磁化固定層10aの磁化が平行状態となり、低抵抗状態( $R_Y = R_0$ )にスイッチする。

一方、抵抗変化型記憶素子10が低抵抗状態( $R_Y = R_0$ )であるとき、磁化固定層10aから磁化自由層10cに電流閾値( $I_{w1}$ )以上の電流 $I_Y$ が流れると、磁化自由層10cの磁化が反転し、磁化自由層10cと磁化固定層10aの磁化が反平行状態となり、高抵抗状態( $R_Y = R_1$ )にスイッチする。

電流閾値( $I_{w0}$ )の絶対値は、電流閾値( $I_{w1}$ )の絶対値よりも小さい値に規定されている。

#### 【0016】

本発明の実施形態では、1つの相補型セルが、抵抗状態の異なる2つの抵抗変化型記憶素子を有し、その抵抗状態の組み合わせにより、1ビットの情報を記憶可能に構成されている。

詳細には、図1(c)に示したように、相補型セル10Cは、抵抗変化型記憶素子10Aと、抵抗変化型記憶素子10B、NMOSトランジスタ30a、NMOSトランジスタ30bを有し、NMOSトランジスタ30aのドレインが抵抗変化型記憶素子10Aの磁化自由層10c側に電氣的に接続され、NMOSトランジスタ30bのドレインが抵抗変化型記憶素子10Aの磁化自由層10c側に電氣的に接続されている。NMOSトランジスタ30aのゲートと、NMOSトランジスタ30bのゲートが、ワードラインWLに電氣的に接続されている。

上記構成の相補型セル10Cの記憶状態が $Y = 1$ の場合、( $R_Y, R_{Yb}$ ) = ( $R_1, R_0$ )であり、相補型セル10Cの記憶状態が $Y = 0$ の場合、( $R_Y, R_{Yb}$ ) = ( $R_0, R_1$ )である。但し、 $Y$ はセルの記憶状態を示し、 $Yb$ はセルの記憶状態(反転状態)を示す。

#### 【0017】

(第1実施形態: Type 1)

次に、本発明の第1実施形態に係る抵抗変化型記憶素子のデータ書き込み装置を、図2、図3、図4等を参照しながら説明する。

本実施形態では、図2に示したように、抵抗変化型記憶素子のデータ書き込み装置は、相補型抵抗変化型記憶素子(相補型セル10C)と、相補型抵抗変化型記憶素子(相補型セル10C)に抵抗変化を生じさせる書き込み手段と、相補型抵抗変化型記憶素子(相補型セル10C)の書き込み状態を検出する検出手段(検出部30)と、検出手段(検出部30)の検出信号に基づいて、書き込み手段の書き込みを制御する制御手段(制御部40)と、を有する。

詳細には、本実施形態では、書き込み手段は、相補型抵抗変化型記憶素子(相補型セル10C)それぞれの抵抗変化型記憶素子(10A、10B)に対応した書込部(書込回路21、22)を備え、書込部(書込回路21、22)により抵抗変化型記憶素子10A、10Bそれぞれに同時に逆の抵抗変化を生じさせるように書き込む。制御手段(制御部40)は、検出手段(検出部30)による抵抗変化型記憶素子(10A、10B)それぞれの書き込み状態に基づいて、それぞれの抵抗変化型記憶素子(10A、10B)の書き込み終了制御を行う。なお、抵抗変化型記憶素子10A及び、抵抗変化型記憶素子10Bの

10

20

30

40

50

書き込み動作はそれぞれ独立して行うことができるため、各動作は同時あるいは任意のタイミングで行っても良い。各動作を同時に行う場合には、書き込み時間を短縮させることができる。

【0018】

図2に示したように、詳細には、相補型セル10Cは抵抗変化型記憶素子10A、抵抗変化型記憶素子10Bを有する。また、本実施形態では、抵抗変化型記憶素子10Aにデータを書き込む書込回路21が設けられ、抵抗変化型記憶素子10Bにデータを書き込む書込回路22が設けられている。すなわち、相補型セルの抵抗変化型記憶素子(10A、10B)それぞれに書込回路(21、22)が設けられている。

【0019】

書込回路21において、ビットラインBL<sub>1</sub>がNMOSトランジスタ30aのソースに接続され、ビットラインBL<sub>b</sub>が抵抗変化型記憶素子10Aの磁化固定層10a、及び抵抗変化型記憶素子10Bの磁化自由層10cに電氣的に接続されている。

書込回路22において、ビットラインBL<sub>2</sub>がNMOSトランジスタ30bのソースに接続されている。書込回路22のビットラインBL<sub>b</sub>は、書込回路21のビットラインBL<sub>b</sub>と共通となっている。

【0020】

NMOSトランジスタ30aのゲート、及びNMOSトランジスタ30bのゲートには、ワードラインWLが接続されている。ワードラインWLは、制御部40に電氣的に接続されている。

NMOSトランジスタ30aのドレインは、抵抗変化型記憶素子10Aの磁化自由層10cに電氣的に接続されている。NMOSトランジスタ30bのドレインは、抵抗変化型記憶素子10Bの磁化固定層10aに電氣的に接続されている。

【0021】

次に、図2に示した抵抗変化型記憶素子のデータ書き込み装置の動作の一例を、図3、図4を参照しながら説明する。詳細には、図3(a)は $(R_Y, R_{Yb}) = (R_1, R_0)$ の状態を示す概念図、図3(b)は $(R_Y, R_{Yb}) = (R_0, R_1)$ の状態を示す概念図、図3(c)は図2に示した左側の抵抗変化型記憶素子10Aに流れる電流 $I_{WY}$ を示す図、図3(d)は図2に示した右側の抵抗変化型記憶素子10Bに流れる電流 $I_{WYb}$ を示す図である。

図3(c)、図3(d)の縦軸において、各抵抗変化型記憶素子の磁化自由層10cから磁化固定層10aの方向へ流れる電流の向きを正とする。

【0022】

初期状態では、図3(a)に示したように、抵抗変化型記憶素子10A、10Bは、 $(R_Y, R_{Yb}) = (R_1, R_0)$ の状態である。つまり、相補型セル10Cは $Y = 1$ の状態である。

時間T0において、ワードラインWLがハイレベルに設定され、抵抗変化型記憶素子10Aに閾値以上の電流 $I_{WY}$ が流れ、抵抗変化型記憶素子10Bに閾値以上の電流 $I_{WYb}$ が流れるように、各書込回路21、22が制御を行う。

【0023】

各抵抗変化型記憶素子には、書き込み特性にばらつきがある。

本実施形態では、時間T1において、抵抗変化型記憶素子10Aへの書き込みが終了する。詳細には、抵抗変化型記憶素子10Aが、図3(a)に示した $R_Y = R_1$ の状態から、図3(b)に示した $R_Y = R_0$ の状態となる。そして、時間T2において、抵抗変化型記憶素子10Bへの書き込みが終了する。詳細には、抵抗変化型記憶素子10Bが、図3(a)に示した $R_Y = R_0$ の状態から、図3(b)に示した $R_Y = R_1$ の状態となる。すなわち、抵抗変化型記憶素子10A、10Bは、 $(R_Y, R_{Yb}) = (R_0, R_1)$ の状態となる。つまり、相補型セル10Cは $Y = 0$ の状態となる。書き込み動作が終了した場合、ワードラインWLがLレベルに設定される。

【0024】

10

20

30

40

50

次に、相補型セル10Cが $Y = 0$ （初期状態）から $Y = 1$ となるように書き込む動作を説明する。詳細には、図4（a）は $(R_Y, R_{Yb}) = (R_1, R_0)$ の状態を示す概念図、図4（b）は $(R_Y, R_{Yb}) = (R_0, R_1)$ の状態を示す概念図、図4（c）は図2に示した左側の抵抗変化型記憶素子10Aに流れる電流 $I_{WY}$ を示す図、図4（d）は図2に示した右側の抵抗変化型記憶素子10Bに流れる電流 $I_{WYb}$ を示す図である。

図4（c）、図4（d）の縦軸において、各抵抗変化型記憶素子の磁化自由層10cから磁化固定層10aの方向へ流れる電流の向きを正とする。

初期状態では、図4（a）に示したように、抵抗変化型記憶素子10A、10Bは、 $(R_Y, R_{Yb}) = (R_0, R_1)$ の状態である。

#### 【0025】

時間 $T_0$ において、ワードラインWLがハイレベルに設定され、抵抗変化型記憶素子10Aに閾値以上の電流 $I_{WY}$ が流れ、抵抗変化型記憶素子10Bに閾値以上の電流 $I_{WYb}$ が流れるように、各書込回路21、22が制御を行う。

#### 【0026】

本実施形態では、時間 $T_{11}$ において、抵抗変化型記憶素子10Bへの書込みが終了する。詳細には、抵抗変化型記憶素子10Bが、図4（a）に示した $R_Y = R_1$ の状態から、図4（b）に示した $R_Y = R_0$ の状態となる。そして、時間 $T_{12}$ において、抵抗変化型記憶素子10Aへの書込みが終了する。詳細には、抵抗変化型記憶素子10Aが、図4（a）に示した $R_Y = R_0$ の状態から、図4（b）に示した $R_Y = R_1$ の状態となる。すなわち、抵抗変化型記憶素子10A、10Bは、 $(R_Y, R_{Yb}) = (R_1, R_0)$ の状態となる。つまり、相補型セル10Cは $Y = 1$ の状態となる。

#### 【0027】

すなわち、本実施形態では、抵抗変化型記憶素子のデータ書き込み装置は、2つの書込回路21、22を有し、それぞれ相補型セル10Cの各抵抗変化型記憶素子10A、10Bにデータの書込みを行うので、高速に書込み動作を行うことができる。

#### 【0028】

以上、説明したように、本発明の実施形態に係る抵抗変化型記憶素子のデータ書き込み装置は、抵抗変化型記憶素子10A、10Bを備える相補型抵抗変化型記憶素子（相補型セル10C）と、その相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段（書込回路）と、相補型抵抗変化型記憶素子（相補型セル10C）の書き込み状態を検出する検出手段（検出部30）と、制御手段（制御部40）と、を有する。制御手段（制御部40）は、検出手段（検出部30）の検出信号に基づいて、書き込み手段（書込回路）による書き込み終了を制御する。例えば、検出部30により書込みの終了を検出した場合、制御部40は、書き込み手段（書込回路）による書き込み電流の出力を停止して、書込みを終了する。

#### 【0029】

また、本実施形態に係る抵抗変化型記憶素子のデータ書き込み装置では、書き込み手段（書込回路）は、相補型抵抗変化型記憶素子（相補型セル10C）それぞれの記憶素子（抵抗変化型記憶素子10A、10B）に対応した書込部（書込回路21、22）を備え、書込部（書込回路21、22）により記憶素子（抵抗変化型記憶素子10A、10B）それぞれに同時に逆の抵抗変化を生じさせるように書き込む。制御手段（制御部40）は、検出手段（検出部30）による記憶素子（抵抗変化型記憶素子10A、10B）それぞれの書き込み状態に基づいて、それぞれの記憶素子（抵抗変化型記憶素子10A、10B）の書き込み制御を行う。

すなわち、書込回路21、書込回路22により、相補型セル10Cの抵抗変化型記憶素子10A、10Bそれぞれに同時に書き込むことによって、簡単な構成で、高速に書込み処理を行うことができる。

#### 【0030】

（第2実施形態：Type 2）

図5は、本発明の第2実施形態に係る抵抗変化型記憶素子のデータ書き込み装置の構成

10

20

30

40

50

例を示す図である。

図5に示した、抵抗変化型記憶素子のデータ書き込み装置では、書き込み手段が、書込回路121と、書込み相補型抵抗変化型記憶素子(10A、10B)それぞれに、順次、逆の抵抗変化を生じさせるように書き込む切り替え手段(切替部122)を有する。詳細には、書込み手段として、書込回路121、及び切替部122を有する。つまり、本実施形態では、書き込み装置は、1つの書込回路121を備え、その書込回路121からの書込み信号を切替部122により、抵抗変化型記憶素子10A、10Bのいずれか一方に書き込んだ後、他方の抵抗変化型記憶素子に書き込む制御を行う。

#### 【0031】

図5に示したように、書込回路121において、ビットラインBLが切替部122に接続され、ビットラインBLbが抵抗変化型記憶素子10A、及び抵抗変化型記憶素子10Bの磁化固定層10aに電氣的に接続されている。

切替部122からのビットラインBL1がNMOSトランジスタ30aのソースに接続され、切替部122からのビットラインBL2がNMOSトランジスタ30bのソースに接続されている。

#### 【0032】

NMOSトランジスタ30aのゲート、及びNMOSトランジスタ30bのゲートには、ワードラインWLが接続されている。ワードラインWLは、制御部40に電氣的に接続されている。

NMOSトランジスタ30aのドレインは、抵抗変化型記憶素子10Aの磁化自由層10cに電氣的に接続されている。NMOSトランジスタ30bのドレインは、抵抗変化型記憶素子10Bの磁化自由層10cに電氣的に接続されている。

#### 【0033】

次に、図5に示した抵抗変化型記憶素子のデータ書き込み装置の動作の一例を、図6、図7を参照しながら説明する。詳細には、図6(a)は $(R_Y, R_{Yb}) = (R_1, R_0)$ の状態を示す概念図、図6(b)は $(R_Y, R_{Yb}) = (R_0, R_0)$ の状態を示す概念図、図6(c)は $(R_Y, R_{Yb}) = (R_0, R_1)$ を示す概念図である。

図6(d)は図5に示した左側の抵抗変化型記憶素子10Aに流れる電流 $I_{WY}$ を示す図、図6(e)は図5に示した右側の抵抗変化型記憶素子10Bに流れる電流 $I_{WYb}$ を示す図である。図6(d)、図6(e)の縦軸において、各抵抗変化型記憶素子の磁化自由層10cから磁化固定層10aの方向へ流れる電流の向きを正とする。

#### 【0034】

初期状態では、図6(a)に示したように、抵抗変化型記憶素子10A、10Bは、 $(R_Y, R_{Yb}) = (R_1, R_0)$ の状態である。つまり、相補型セル10Cは $Y = 1$ の状態である。

時間T0において、ワードラインWLがハイレベルに設定され、抵抗変化型記憶素子10Aに閾値以上の電流 $I_{WY}$ が流れるように、書込回路121、切替部122が制御を行う。

#### 【0035】

時間T31において、抵抗変化型記憶素子10Aが、図6(a)に示した $R_Y = R_1$ の状態から、図6(b)に示した $R_Y = R_0$ の状態となり、抵抗変化型記憶素子10Aへの書込みが終了する(図6(b)の[1]状態、図6(d)の[1]状態)。

各抵抗変化型記憶素子には、書込み特性にばらつきがある。詳細には、各抵抗変化型記憶素子の書込み終了時間にはばらつきがあるので、想定される抵抗変化型記憶素子10Aの最長の書込み終了時間を経過した後、時間T32で、抵抗変化型記憶素子10Bへの書込みを開始する。

#### 【0036】

時間T32において、抵抗変化型記憶素子10Bに閾値以上の電流 $I_{WYb}$ が流れるように、書込回路121、切替部122が制御を行う。

#### 【0037】

10

20

30

40

50

時間 T 3 3 において、抵抗変化型記憶素子 1 0 B への書込みが終了する。詳細には、抵抗変化型記憶素子 1 0 B が、図 6 ( b ) に示した  $R_{Yb} = R_0$  の状態から、図 6 ( c ) に示した  $R_{Yb} = R_1$  の状態となる。すなわち、抵抗変化型記憶素子 1 0 A、1 0 B は、 $(R_Y, R_{Yb}) = (R_0, R_1)$  の状態となる (図 6 ( c ) の [ 2 ] 状態、図 6 ( e ) の [ 2 ] 状態)。つまり、相補型セル 1 0 C は  $Y = 0$  の状態となる。書込み動作が終了した場合、ワードライン WL が L レベルに設定される。

【 0 0 3 8 】

次に、相補型セル 1 0 C が  $Y = 0$  (初期状態) から  $Y = 1$  となるように書き込む動作を説明する。詳細には、図 7 ( a ) は  $(R_Y, R_{Yb}) = (R_0, R_1)$  の状態を示す概念図、図 7 ( b ) は  $(R_Y, R_{Yb}) = (R_1, R_1)$  の状態を示す概念図、図 7 ( c ) は  $(R_Y, R_{Yb}) = (R_1, R_0)$  を示す概念図である。

図 7 ( d ) は図 5 に示した左側の抵抗変化型記憶素子 1 0 A に流れる電流  $I_{WY}$  を示す図、図 7 ( e ) は図 5 に示した右側の抵抗変化型記憶素子 1 0 B に流れる電流  $I_{WYb}$  を示す図である。図 7 ( d )、図 7 ( e ) の縦軸において、各抵抗変化型記憶素子の磁化自由層 1 0 c から磁化固定層 1 0 a の方向へ流れる電流の向きを正とする。

【 0 0 3 9 】

時間 T 0 において、ワードライン WL がハイレベルに設定され、抵抗変化型記憶素子 1 0 A に閾値以上の電流  $I_{WY}$  が流れるように、書込回路 1 2 1、切替部 1 2 2 が制御を行う。

【 0 0 4 0 】

時間 T 4 1 において、抵抗変化型記憶素子 1 0 A が、図 7 ( a ) に示した  $R_Y = R_0$  の状態から、図 7 ( b ) に示した  $R_Y = R_1$  の状態となり、抵抗変化型記憶素子 1 0 A への書込みが終了する (図 7 ( b ) の [ 3 ] 状態、図 7 ( d ) の [ 3 ] 状態)。各抵抗変化型記憶素子の書込み終了時間にはばらつきがあるので、想定される抵抗変化型記憶素子 1 0 A の最長の書込み終了時間を経過した後、時間 T 4 2 で、抵抗変化型記憶素子 1 0 B への書込みを開始する。

【 0 0 4 1 】

時間 T 4 2 において、抵抗変化型記憶素子 1 0 B に閾値以上の電流  $I_{WYb}$  が流れるように、書込回路 1 2 1、切替部 1 2 2 が制御を行う。

【 0 0 4 2 】

時間 T 4 3 において、抵抗変化型記憶素子 1 0 B への書込みが終了する。詳細には、抵抗変化型記憶素子 1 0 B が、図 7 ( b ) に示した  $R_Y = R_1$  の状態から、図 7 ( c ) に示した  $R_Y = R_0$  の状態となる。すなわち、抵抗変化型記憶素子 1 0 A、1 0 B は、 $(R_Y, R_{Yb}) = (R_1, R_0)$  の状態となる (図 7 ( c ) の [ 4 ] 状態、図 7 ( e ) の [ 4 ] 状態)。つまり、相補型セル 1 0 C は  $Y = 1$  の状態となる。書込み動作が終了した場合、ワードライン WL が L レベルに設定される。

【 0 0 4 3 】

以上、説明したように、本発明の第 2 実施形態に係る抵抗変化型記憶素子のデータ書き込み装置は、抵抗変化型記憶素子 1 0 A、1 0 B を備える相補型抵抗変化型記憶素子 (相補型セル 1 0 C) と、その相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段 (書込回路 1 2 1) と、相補型抵抗変化型記憶素子 (相補型セル 1 0 C) の書き込み状態を検出する検出手段 (検出部 3 0) と、検出手段 (検出部 3 0) の検出信号に基づいて、書き込み手段 (書込回路 1 2 1) の書き込み終了を制御する制御手段 (制御部 4 0) と、を有する。

書き込み手段 (書込回路 1 2 1) は、相補型抵抗変化型記憶素子 (相補型セル 1 0 C) の抵抗変化型記憶素子 1 0 A、1 0 B それぞれに、順次、逆の抵抗変化を生じさせるように書き込む切り替え手段 (切替部 1 2 2) を備える。

すなわち、第 2 実施形態の抵抗変化型記憶素子のデータ書き込み装置では、切替部 1 2 2 により、書込み対象を、相補型セル 1 0 C の抵抗変化型記憶素子 1 0 A、1 0 B の一方、又は他方に切り替えながら、書込みを行うことができるので、書込回路を一つの回路構

10

20

30

40

50

成とすることができ、第1実施形態の2つの書込回路を備えたデータ書き込み装置と比較して、トランジスタなどの構成要素を少なくすることができ、全体の回路規模を小さくすることができる。

【0044】

(第3実施形態: Type 3)

図8は本発明の第3実施形態に係る抵抗変化型記憶素子のデータ書き込み装置を説明するための図である。詳細には、図8(a)は抵抗変化型記憶素子のデータ書き込み装置の構成例を示す概念図である。図8(b)は図8(a)に示した抵抗変化型記憶素子のデータ書き込み装置の動作の一例を示すタイミングチャートである。

図8(a)に示した、データ書き込み装置は、相補型セル10C、書込回路20、検出部30、及び制御部40を有する。

10

【0045】

相補型セル10Cは、2つの抵抗変化型記憶素子10A、抵抗変化型記憶素子10Bを有する。抵抗変化型記憶素子10Aの記憶状態をYで示し、抵抗変化型記憶素子10Bの記憶状態をYbで示している。

【0046】

書込回路20には、書込みデータ信号Aが入力される。また、書込回路20には、書込み用信号WCK(書込み用クロック)が入力される。

【0047】

書込回路20と相補型セル10Cは、ビットラインBL、ビットラインBLb、ワードラインWLにより電氣的に接続されている。詳細には、ビットラインBLがNMOSトランジスタ30aのソースに電氣的に接続され、NMOSトランジスタ30aのドレインが抵抗変化型記憶素子10Aの磁化自由層10c側に電氣的に接続されている。

20

ビットラインBLbがNMOSトランジスタ30bのソースに電氣的に接続され、NMOSトランジスタ30bのドレインが抵抗変化型記憶素子10Bの磁化自由層10c側に電氣的に接続されている。

ワードライン(WL)が、NMOSトランジスタ30aのソース、及びNMOSトランジスタ30bのソースに電氣的に接続されている。

【0048】

また、本実施形態では、書込回路20は、相補型抵抗変化型素子(相補型セル10C)の直列接続された抵抗変化型記憶素子(10A、10B)に電流を流し、その電流の流れる方向を切り替える切り替え手段(切替部50)を有する。

30

【0049】

検出部30は、相補型抵抗変化型記憶素子(相補型セル10C)の書き込み状態(書込回路20)を検出する。詳細には、検出部30は、ビットラインBLの電圧、ビットラインBLbの電圧を検出し、検出信号を制御部40へ出力する。

【0050】

制御部40は、検出手段(検出部30)の検出信号に基づいて、書き込み手段(書込回路20)の書き込み終了を制御する。

【0051】

40

図8(a)に示した例の抵抗変化型記憶素子のデータ書き込み装置の動作の一例を説明する。まず、データAが'0'の場合の書込み動作を説明する。初期状態では、 $(Y, Yb) = (1, 0)$ となっている。

時間T51において、書込み用クロック信号WCKがHレベル( $WCK = 1$ )に設定され、書込回路20は書込みモードに設定される。ワードラインWLがHレベルに設定される。ビットラインBLからビットラインBLbの方向に電流が流れるように設定される。このとき、ビットラインBL側の電圧変化をモニタする。

【0052】

時間T52において、まず、 $Y = 0$ が左側の抵抗変化型記憶素子10A(MTJ素子)に書き込まれ、 $(Y, Yb) = (0, 0)$ となる。書き込みパスの抵抗値が減少し、抵抗

50

変化型記憶素子 10A の磁化固定層側から抵抗変化型記憶素子 10B の磁化固定層側への電流  $I_w$  は増加する。そして、ビットライン BL の電圧が、 $V_H$  から  $V_L$  に遷移する ( $V_H > V_L$ )。

【0053】

時間 T53 において、右側の抵抗変化型記憶素子 10B (MTJ 素子) に記憶状態  $Y = 1$  が書き込まれて、 $(Y, Y_b) = (0, 1)$  となる。書き込みパスの抵抗値が増加し、 $I_w$  は減少する。また、ビットライン BL の電圧が  $V_L$  から  $V_H$  に遷移する。そして、時間 T52、及び時間 T53 における 2 回の書き込み終了検出によって、ワードライン WL が L レベル ( $WL = 0$ ) となり、書き込み動作が停止する。

【0054】

次に、データ A が '1' の場合の書き込み動作を説明する。初期状態では、 $(Y, Y_b) = (0, 1)$  となっている。尚、タイミングチャートは省略する。

【0055】

時間 T51 において、書き込み用クロック信号 WCK が H レベル ( $WCK = 1$ ) に設定され、書込回路 20 は書き込みモードに設定される。ワードライン WL が H レベルに設定される。ビットライン BLb からビットライン BL の方向に電流が流れるように設定される。このとき、ビットライン BLb 側の電圧変化をモニタする。

【0056】

時間 T52 において、 $Y = 0$  が右側の抵抗変化型記憶素子 10B (MTJ 素子) に書き込まれ、 $(Y, Y_b) = (0, 0)$  となる。書き込みパスの抵抗値が減少し、抵抗変化型記憶素子 10A の磁化固定層側から抵抗変化型記憶素子 10B の磁化固定層側への電流  $I_w$  は増加する。そして、ビットライン BLb の電圧が  $V_H$  から  $V_L$  に遷移する ( $V_H > V_L$ )。

【0057】

時間 T53 において、左側の抵抗変化型記憶素子 10A (MTJ 素子) に記憶状態  $Y = 1$  が書き込まれ、 $(Y, Y_b) = (1, 0)$  となる。このとき、書き込みパスの抵抗値が増加し、 $I_w$  は減少する。また、ビットライン BLb の電圧が  $V_L$  から  $V_H$  に遷移する。そして、時間 T52、及び時間 T53 における 2 回の書き込み終了検出によって、ワードライン WL が L レベル ( $WL = 0$ ) となり、書き込み動作が停止する。

【0058】

次に、図 8 に示した実施形態の一実施例に係る抵抗変化型記憶素子のデータ書き込み装置について、図 9 ~ 図 12 を参照しながら説明する。

【0059】

図 9 (a) に示したように、本実施例の抵抗変化型記憶素子のデータ書き込み装置は、出力端を境にして、A 部分 (Part A) と B 部分 (Part B) に分けられる。データ書き込み装置は、A 部分 (Part A) として、PMOS トランジスタ 9a ( $M_p$ ) を有し、B 部分 (Part B) として、相補型セル 10C、及び NMOS トランジスタ 9b ( $M_n$ ) を有する。つまり、A 部分 (Part A) は、PMOS トランジスタ 9a に相応する部分であり負荷抵抗となる。

なお、図 9 (a) では、データ書き込み装置において、A 部分 (Part A) としてビットライン BL の電圧を検出する構成を示し、B 部分 (Part B) としてビットライン BLb を接地する構成のみを示し、A 部分 (Part A) としてビットライン BLb の電圧を検出する構成、及び B 部分 (Part B) としてビットライン BL を接地する構成は省略して示している。

以下、図 9 (a) に示した、ビットライン BL の電圧  $V_{BL}$  を検出する構成について説明する。

【0060】

PMOS トランジスタ 9a ( $M_p$ ) は、ソースが電源電圧  $V_{DD}$  に接続され、ドレインがビットライン BL を介して相補型セル 10C に電氣的に接続されている。また、トランジスタ 9a と相補型セル 10C の間の接続ノードは、電圧  $V_{BL}$  を出力する出力端であり、検

10

20

30

40

50

出部 30 (図 8 を参照) に接続されている。PMOS トランジスタ 9a ( $M_p$ ) の制御ゲートは、制御部の制御により必要に応じて基準電圧 ( $0V$ ) に接続される。

【0061】

NMOS トランジスタ 9b ( $M_N$ ) は、ソースがビットライン BLb を介して相補型セル 10C に接続され、ドレインが基準電圧 GND ( $0V$ ) に接地されている。NMOS トランジスタ 9b ( $M_N$ ) の制御ゲートは、制御部の制御により、必要に応じて電源電圧  $V_D$  に接続される。

【0062】

相補型セル 10C は、2つの抵抗変化型記憶素子 10A、抵抗変化型記憶素子 10B を有する。抵抗変化型記憶素子 10A、10B は、上述したように、磁化固定層 10a と、磁化自由層 10c の間にトンネルバリア層 10b が設けられている。ビットライン BL が NMOS トランジスタ 30a のソースに電氣的に接続され、NMOS トランジスタ 30a のドレインが抵抗変化型記憶素子 10A の磁化自由層 10c 側に電氣的に接続されている。ビットライン BLb が NMOS トランジスタ 30b のソースに電氣的に接続され、NMOS トランジスタ 30b のドレインが抵抗変化型記憶素子 10B の磁化自由層 10c 側に電氣的に接続されている。NMOS トランジスタ 30a、30b の制御ソースは、ワードライン WL に接続されている。

【0063】

図 9 (b) は図 9 (a) に示した抵抗変化型記憶素子のデータ書き込み装置の負荷特性曲線、及び電圧 - 電流特性曲線を示している。図 9 (a) に示した、A 部分 (Part A) と B 部分 (Part B) には共通する電流  $I_w$  が流れるため、 $V_{BL}$  の出力端の電圧は、A 部分 (Part A) の負荷特性の曲線と B 部分 (Part B) の電圧 - 電流特性曲線とが交差する交点の電圧となる。詳細には、図 9 (b) は、A 部分 (Part A) の負荷特性の曲線、及び B 部分 (Part B) の電圧 - 電流特性曲線を示している。

B 部分 (Part B) の電圧 - 電流特性曲線は、書き込みされた相補型セル 10C の抵抗変化型記憶素子 10A、10B の記憶状態がそれぞれ ( $Y = 0$ 、 $Y_b = 0$ ) の場合 (低抵抗) と、( $Y = 1$ 、 $Y_b = 0$ )、又は ( $Y = 0$ 、 $Y_b = 1$ ) の場合 (高抵抗) を示している。

【0064】

相補型セル 10C の抵抗変化型記憶素子 10A、10B の記憶状態がそれぞれ ( $Y = 0$ 、 $Y_b = 0$ ) の場合 (低抵抗)、 $V_{BL}$  の出力端の電圧は、A 部分 (Part A) の負荷特性の曲線と B 部分 (Part B) の電圧 - 電流特性曲線とが交差する交点の電圧  $V_L$  となる。A 部分 (Part A) と B 部分 (Part B) に流れる電流  $I_w$  は電流値  $I_{w1a}$  である。この電流値  $I_{w1a}$  は、抵抗変化型記憶素子が低抵抗状態 ( $R_Y = R_0$ ) から高抵抗状態 ( $R_Y = R_1$ ) に遷移するのに必要な電流閾値 ( $I_{w1}$ ) 以上の電流  $I_{w1} + I$  に設定されている。 $I$  は僅かな電流値。

【0065】

相補型セル 10C の抵抗変化型記憶素子 10A、10B の記憶状態がそれぞれ ( $Y = 1$ 、 $Y_b = 0$ )、又は ( $Y = 0$ 、 $Y_b = 1$ ) の場合 (高抵抗)、 $V_{BL}$  の出力端の電圧は、A 部分 (Part A) の負荷特性の曲線と B 部分 (Part B) の電圧 - 電流特性曲線とが交差する交点の電圧  $V_H$  となる。A 部分 (Part A) と B 部分 (Part B) に流れる電流  $I_w$  は電流値  $I_{w0a}$  である。この電流値  $I_{w0a}$  は、抵抗変化型記憶素子が高抵抗状態 ( $R_Y = R_1$ ) から低抵抗状態 ( $R_Y = R_0$ ) に遷移するのに必要な電流閾値 ( $I_{w0}$ ) 以上の電流  $I_{w0} + I$  に設定されている。 $I$  は僅かな電流値。 $I$  は  $I$  と同じ電流値であってもよいし、異なる電流値であってもよい。

【0066】

検出部は、接続ノードの電圧  $V_{BL}$  が、電圧  $V_H$  であるか、電圧  $V_L$  であるかにより、抵抗変化型記憶素子 10A、10B の書き込み状態を判別することができる。

【0067】

図 10 は図 9 に示した抵抗変化型記憶素子のデータ書き込み装置の書き込み動作時の電圧

10

20

30

40

50

$V_{BL}$ の一例を示す図である。検出部30(図8を参照)は、センスアンプを有し、接続ノードの電圧 $V_{BL}$ を検出している。

時間 $T_0$ において、電圧 $V_{BL}$ が予め規定された閾値 $V_{TH}$ 以上の電圧値である場合、相補型セル10Cの抵抗変化型記憶素子の記憶状態が( $Y = 1$ 、 $Y_b = 0$ )、又は( $Y = 0$ 、 $Y_b = 1$ )と検出する。

1stスイッチングのタイミングとしての時間 $T_61$ において、電圧 $V_{BL}$ が閾値 $V_{TH}$ 以上の電圧値から、閾値 $V_{TH}$ 未満の電圧値に変化した場合、相補型セル10Cの抵抗変化型記憶素子の記憶状態が( $Y = 0$ 、 $Y_b = 0$ )となったことを検出する。

【0068】

2ndスイッチングのタイミングとしての時間 $T_62$ において、電圧 $V_{BL}$ が閾値 $V_{TH}$ 未満の電圧値から、閾値 $V_{TH}$ 以上の電圧値に変化した場合、相補型セル10Cの抵抗変化型記憶素子の記憶状態が( $Y = 1$ 、 $Y_b = 0$ )、又は( $Y = 0$ 、 $Y_b = 1$ )となったことを検出する。

【0069】

次に、図9に示した抵抗変化型記憶素子のデータ書き込み装置の動作の一例を、図11、図12などを参照しながら説明する。

図11は図9に示したデータ書き込み装置が相補型セル10Cに $Y = 0$ を書き込む動作の一例を示す図である。詳細には、図11(a)は相補型セルの記憶状態が( $R_Y, R_{Y_b}$ ) = ( $R_1, R_0$ )の場合を示す図、図11(b)は相補型セルの記憶状態が( $R_Y, R_{Y_b}$ ) = ( $R_0, R_0$ )の場合を示す図、図11(c)は相補型セルの記憶状態が( $R_Y, R_{Y_b}$ ) = ( $R_0, R_1$ )の場合を示す図である。

図11(d)はデータ書き込み装置の負荷特性曲線、及び電圧 - 電流特性曲線を示す図、図11(e)は抵抗変化型記憶素子の抵抗 - 電圧特性の一例を示す図、図11(f)はデータ書き込み装置の相補型セルに流れる電流の一例を示す図である。

【0070】

図11(a)に示したように、初期状態では、相補型セル10Cの記憶状態が( $R_Y, R_{Y_b}$ ) = ( $R_1, R_0$ )となっている( $Y = 1$ )。相補型セル10Cの抵抗値は $R_1 + R_0$ である。

【0071】

時間 $T_0$ において、書込回路は、ビットライン電圧 $V_{BL}$ を $V_H$ に設定して、相補型セル10Cに電流 $I_{w0a}$ が流れる。

【0072】

時間 $T_61$ において、図11(b)に示すように、抵抗変化型記憶素子10Aの磁化自由層の磁化の向きが反転し、低抵抗状態 $R_Y = R_0$ となり(図11(e)の[1]状態から[2]状態へ遷移)、相補型セル10Cが( $R_Y, R_{Y_b}$ ) = ( $R_0, R_0$ )となり、相補型セル10Cの抵抗値が $R_0 + R_0$ となり、ビットライン電圧 $V_{BL}$ が $V_L$ となり、電流 $I_{w1a}$ が流れる(図11(f)の[A]状態、図11(d)の[A]状態)。

【0073】

時間 $T_62$ において、図11(c)に示すように、抵抗変化型記憶素子10Bの磁化自由層の磁化の向きが反転し、高抵抗状態 $R_{Y_b} = R_1$ となり(図11(e)の[3]状態)、相補型セル10Cが( $R_Y, R_{Y_b}$ ) = ( $R_0, R_1$ )となり、相補型セル10Cの抵抗値が $R_0 + R_1$ となり、ビットライン電圧 $V_{BL}$ が $V_H$ となり、電流 $I_{w0a}$ が流れる(図11(f)の[B]状態、図11(d)の[B]状態)。

【0074】

時間 $T_63$ において、書込み動作が終了すると、ワードライン $WL$ がLレベルとなり、図11(f)に示すように、電流 $I_W$ が0となる。

【0075】

図12は図9に示したデータ書き込み装置が相補型セル10Cに $Y = 1$ を書き込む動作の一例を示す図である。詳細には、図12(a)は相補型セルの記憶状態が( $R_Y, R_{Y_b}$ ) = ( $R_0, R_1$ )の場合を示す図、図12(b)は相補型セルの記憶状態が( $R_Y, R_{Y_b}$ ) = ( $R_1, R_0$ )の場合を示す図である。

10

20

30

40

50

) = (  $R_0$ ,  $R_0$  ) の場合を示す図、図 12 ( c ) は相補型セルの記憶状態が (  $R_Y$ ,  $R_{Yb}$  ) = (  $R_1$ ,  $R_0$  ) の場合を示す図である。

図 12 ( d ) はデータ書き込み装置の負荷特性曲線、及び電圧 - 電流特性曲線を示す図、図 12 ( e ) は抵抗変化型記憶素子の抵抗 - 電圧特性の一例を示す図、図 12 ( f ) はデータ書き込み装置の相補型セルに流れる電流の一例を示す図である。

なお、図 12 は、図 9 ( a ) に示していないビットライン  $B_{Lb}$  の電圧を検出する構成の書き込み動作を示している。

【 0 0 7 6 】

図 12 ( a ) に示したように、初期状態では、相補型セル 10 C の記憶状態が (  $R_Y$ ,  $R_{Yb}$  ) = (  $R_0$ ,  $R_1$  ) となっている (  $Y = 0$  )。相補型セル 10 C の抵抗値は  $R_0 + R_1$  である。相補型セル 10 C に  $Y = 1$  を書き込む場合、抵抗変化型記憶素子 10 B から抵抗変化型記憶素子 10 A へ電流を流す。

10

【 0 0 7 7 】

時間  $T_0$  において、書込回路は、ビットライン電圧  $V_{BLb}$  を  $V_H$  に設定して、相補型セル 10 C に電流  $I_{w0a}$  が流れる。

【 0 0 7 8 】

時間  $T_71$  において、図 12 ( b ) に示すように、抵抗変化型記憶素子 10 B の磁化自由層の磁化の向きが反転し、低抵抗状態  $R_{Yb} = R_0$  となり ( 図 12 ( e ) の [ 4 ] 状態から [ 7 ] 状態へ遷移 )、抵抗変化型記憶素子 10 A は低抵抗状態  $R_Y = R_0$  であり ( 図 12 ( b ) の [ 5 ] 状態、図 12 ( e ) の [ 5 ] 状態 )、相補型セル 10 C が (  $R_Y$ ,  $R_{Yb}$  ) = (  $R_0$ ,  $R_0$  ) となり、相補型セル 10 C の抵抗値が  $R_0 + R_0$  となり、ビットライン電圧  $V_{BLb}$  が  $V_L$  となり、電流  $I_{w1a}$  が流れる ( 図 12 ( f ) の [ C ] 状態、図 12 ( d ) の [ C ] 状態 )。

20

【 0 0 7 9 】

時間  $T_72$  において、図 12 ( c ) に示すように、抵抗変化型記憶素子 10 A の磁化自由層の磁化の向きが反転し、高抵抗状態  $R_Y = R_1$  となり ( 図 12 ( e ) の [ 6 ] 状態 )、相補型セル 10 C が (  $R_Y$ ,  $R_{Yb}$  ) = (  $R_1$ ,  $R_0$  ) となり、相補型セル 10 C の抵抗値が  $R_1 + R_0$  となり、ビットライン電圧  $V_{BLb}$  が  $V_H$  となり、電流  $I_{w0a}$  が流れる ( 図 12 ( f ) の [ D ] 状態、図 12 ( d ) の [ D ] 状態 )。

30

【 0 0 8 0 】

時間  $T_73$  において、書込み動作が終了すると、ワードライン  $W_L$  が  $L$  レベルとなり、図 12 ( f ) に示すように、電流  $I_w$  が 0 となる。

【 0 0 8 1 】

図 13 は、図 8 に示した実施形態の一実施例に係る抵抗変化型記憶素子のデータ書き込み装置を説明するための図である。詳細には、図 13 ( a ) はデータ書き込み装置の一例を示す図、図 13 ( b ) は電流  $I_w$  のタイミングチャートである。図 13 ( b ) において、縦軸に電流  $I_w$  の絶対値を示し、横軸に時間 ( Time ) を示す。図 13 ( b ) は、図 11 ( f )、及び図 12 ( f ) と同じであるので、説明を省略する。

【 0 0 8 2 】

図 13 に示した抵抗変化型記憶素子のデータ書き込み装置は、書き込み手段としての書込回路 20、相補型セル 10 C、検出部 30、及び制御部 40 を有する。

40

本実施形態では、書込回路 20 は、書き込み駆動源 25、切替部 50 ( 切り替え手段 ) を有する。

書き込み駆動源 25 ( カレントソース ) は、相補型セル 10 C の抵抗変化型記憶素子 10 A、10 B へ書き込むための電流源である。

切替部 50 ( 切り替え手段 ) は、相補型抵抗変化型記憶素子の直列接続された記憶素子に電流を流し、電流の流れる方向を切り替える。

【 0 0 8 3 】

検出部 30 は、書込み駆動源 25 と直列接続された記憶素子 ( 抵抗変化型記憶素子 10 A、10 B ) 間の電位変化を検出する。

50

また、検出部 30 は、相補型抵抗変化型記憶素子（相補型セル 10C）の一方の記憶素子（抵抗変化型記憶素子）の記憶状態の変化と、他方の記憶素子（抵抗変化型記憶素子）の記憶状態の変化を検出する。

制御部 40 は、検出部 30 による記憶素子それぞれの書き込み状態に基づいて、それぞれの記憶素子の書き込み制御を行う。

【0084】

また、本実施形態では、検出手段としての検出部 30 は、マルチプレクサ 311（選択回路）、センスアンプ 312、検出装置 320 を有する。

【0085】

マルチプレクサ 311 は、相補型セル 10C の抵抗変化型記憶素子 10A、10B のいずれかの抵抗変化を示す電圧信号を切替えて出力する。

10

【0086】

センスアンプ 312 は、マルチプレクサ 311 から出力した信号の電圧を増幅し、電圧信号  $V_s$  として検出装置 320 に出力する。

【0087】

検出装置 320 は、相補型抵抗変化型記憶素子（相補型セル 10C）の一方の記憶素子（抵抗変化型記憶素子）の抵抗変化を検出する第 1 の検出手段（第 1 検出部 321）と、相補型抵抗変化型記憶素子（相補型セル 10C）の他方の記憶素子（抵抗変化型記憶素子）の抵抗変化を検出する第 2 の検出手段（第 2 検出部 322）と、を有する。

第 1 検出部 321 は、抵抗変化型記憶素子 10A、10B のいずれか一方への書込みの終了を 1 回目の電圧変化で検知し、第 2 検出部 322 は他方の抵抗変化型記憶素子への書込み終了を 2 回目の電圧変化で検知し、検知信号を出力する。

20

【0088】

書込回路 20 には、書込みデータ信号 A、書込みデータ信号 Ab（反転）が入力される。書込み用クロック信号 WCK が、書込回路 20、及び検出装置 320 に入力するための信号線が書込回路 20、及び検出装置 320 に設けられている。

【0089】

また、書込み駆動源 25（カレントソース）とマルチプレクサ 311 には、ビットライン BL、BLb が電氣的に接続され、ビットライン BL、BLb がトランジスタ 30a、30b のソースに接続されている。

30

また、本実施形態では、検出装置 320 から書込みエンド信号などの検出信号 EN が、書込回路 20 へ出力されるように構成されている。

【0090】

次に、図 14 を参照しながら、図 13 に示した抵抗変化型記憶素子のデータ書き込み装置の書込み駆動源 25（Current Source）の構成例を説明する。

【0091】

書込み駆動源 25 は、NAND 回路 25a、NOR 回路 25b、NOR 回路 25c、PMOS トランジスタ 25d、NMOS トランジスタ 25e、PMOS トランジスタ 25f、NMOS トランジスタ 25g を有する。

【0092】

40

NAND 回路 25a には、クロック信号を有効化するイネーブル信号 EN と、書込み用クロック信号 WCK が入力される。なお、イネーブル信号 EN は、検出装置からの書込み終了を示すエンド信号であり、前回の書込み動作が終了し、次の書込み動作を許容することを示している。以下では、イネーブル信号 EN を検出信号 EN で表記する。

NAND 回路 25a は、検出信号 EN と書込み用クロック信号 WCK が共に “Low” のとき、及び検出信号 EN と書込み用クロック信号 WCK の何れか一方が “Low” で他方が “High” のときに “High” を出力し、検出信号 EN と書込み用クロック信号 WCK が共に “High” のときは “Low” を出力する。

【0093】

NOR 回路 25b には、NAND 回路 25a からの出力と、書込みデータ信号 Ab（反

50

転)とが入力される。NOR回路25cには、NAND回路25aからの出力と、書込みデータ信号Aとが入力される。

【0094】

PMOSトランジスタ25dのソースが電源電圧 $V_{DD}$ に接続され、ドレインがビットラインBLに接続され、ゲートはNOR回路25cの出力端に接続されている。

NMOSトランジスタ25eのソースがビットラインBLに接続され、ドレインが接地され、ゲートがNOR回路25cの出力端に接続されている。

【0095】

PMOSトランジスタ25fのソースが電源電圧 $V_{DD}$ に接続され、ドレインがビットラインBLbに接続され、ゲートはNOR回路25bの出力端に接続されている。

NMOSトランジスタ25gのソースがビットラインBLbに接続され、ドレインが接地され、ゲートがNOR回路25bの出力端に接続されている。

【0096】

図15は、図13に示した抵抗変化型記憶素子のデータ書き込み装置のマルチプレクサ311とセンスアンプ312の構成例を示す図である。

【0097】

マルチプレクサ311は、PMOSトランジスタ311a、NMOSトランジスタ311b、PMOSトランジスタ311c、NMOSトランジスタ311dを有する。

PMOSトランジスタ311aのゲートには書込みデータ信号Aが入力され、ソースがビットラインBLに接続され、ドレインがセンスアンプ312に接続されている。

NMOSトランジスタ311bのソースにはビットラインBLが接続され、ドレインがセンスアンプ312に接続され、ゲートには書込みデータ信号Ab(反転)が入力される。

PMOSトランジスタ311cのソースにはビットラインBLbが接続され、ドレインがセンスアンプ312に接続され、ゲートには書込みデータ信号Abが入力される。

NMOSトランジスタ311dのソースにはビットラインBLbが接続され、ゲートには書込みデータ信号Aが入力され、ドレインがセンスアンプ312に接続されている。

【0098】

すなわち、書込みデータ信号AがL状態のとき、ビットラインBLの電圧がセンスアンプに出力され、書込みデータ信号AがH状態のとき、ビットラインBLbの電圧がセンスアンプに出力される。

【0099】

センスアンプ312は、PMOSトランジスタ312a、NMOSトランジスタ312b、PMOSトランジスタ312c、NMOSトランジスタ312dを有する。

PMOSトランジスタ312aのソースは電源電圧 $V_{DD}$ に接続され、ゲートはマルチプレクサの出力端に接続され、ドレインが次段のトランジスタ312c、312dのゲートに接続されている。

NMOSトランジスタ312bのドレインは接地され、ゲートはマルチプレクサの出力端に接続され、ドレインが次段のトランジスタ312c、312dのゲートに接続されている。

PMOSトランジスタ312cのソースは電源電圧 $V_{DD}$ に接続され、ゲートは前段のPMOSトランジスタ312aのドレイン、及びトランジスタ312bのソースに接続され、ドレインは信号Sを出力する出力端に接続されている。

NMOSトランジスタ312dのドレインは接地され、ゲートは前段のPMOSトランジスタ312aのドレイン、及びトランジスタ312bのソースに接続され、ソースは信号Sを出力する出力端に接続されている。

つまり、センスアンプ312は、入力信号を反転増幅して出力する。

【0100】

図16(a)は、図13に示した抵抗変化型記憶素子のデータ書き込み装置の第1検出部321(Detector0)、第2検出部(Detector1)の構成例を示す図である。図16(b)

10

20

30

40

50

)は図16(a)の第1検出部321、第2検出部322の動作の一例を示すタイミングチャートである。

【0101】

第1検出部321は、PMOSトランジスタ321a、NMOSトランジスタ321b、PMOSトランジスタ321c(MP0)、NMOSトランジスタ321d(MN0)、及びNMOSトランジスタ321e(MN1)を有する。

PMOSトランジスタ321aのゲートには、センスアンプからの信号Sが入力され、ソースが電源電圧 $V_{DD}$ に接続され、ドレインがNMOSトランジスタ321dのゲート、ノードN0、及びNMOSトランジスタ321bのソースに接続されている。NMOSトランジスタ321bのゲートには、センスアンプからの信号Sが入力され、ソースがPMOSトランジスタ321aのドレインに接続され、ドレインが接地されている(GND(0V))。

10

PMOSトランジスタ321c(MP0)のゲートには、書き込み用クロック信号WCKが入力され、ソースが電源電圧 $V_{DD}$ に接続され、ドレインがノードN1、及び第2検出部322の入力端に接続されている。NMOSトランジスタ321d(MN0)のゲートはノードN0に接続され、ソースがノードN1に接続され、ドレインがNMOSトランジスタ321eのソースに接続されている。NMOSトランジスタ321e(MN1)のゲートには書き込み用クロック信号WCKが入力され、ドレインが接地され、ソースがNMOSトランジスタ321dのドレインに接続されている。

【0102】

20

第2検出部322は、PMOSトランジスタ322a、NMOSトランジスタ322b、PMOSトランジスタ322c(MP1)、NMOSトランジスタ322d(MN2)、及びNMOSトランジスタ322e(MN3)を有する。

【0103】

PMOSトランジスタ322aのゲートは、第1検出部の出力端であるノードN1に接続され、ソースが電源電圧 $V_{DD}$ に接続され、ドレインがノードN2に接続されている。NMOSトランジスタ322bのゲートは、第1検出部の出力端であるノードN1に接続され、ソースがノードN2に接続され、ドレインが接地されている(GND(0V))。

PMOSトランジスタ322c(MP1)のゲートはノードN2に接続され、ソースが電源電圧 $V_{DD}$ に接続され、ドレインが出力端に接続されている。出力端からは、検出信号ENが出力される。NMOSトランジスタ322d(MN2)のゲートには、センスアンプからの信号Sが入力され、ソースが出力端に接続され、ドレインがNMOSトランジスタ322e(MN3)のソースに接続されている。NMOSトランジスタ322e(MN3)のゲートはノードN2に接続され、ソースがNMOSトランジスタ322d(MN2)のドレインに接続され、ドレインが接地されている(GND(0V))。

30

【0104】

次に、第1検出部321と第2検出部322の動作の一例を説明する。

図16(b)に示したように、初期状態では、書き込み用クロック信号WCKがLレベル、信号SがHレベル、ノードN0がLレベル、ノードN1がLレベル、ノードN2がLレベル、検出信号ENがHレベルとなっている。検出信号ENはHレベルとなっているが、書き込み電流は流れない。

40

【0105】

時間T91において、書き込み用クロック信号WCKがHレベルに設定され、書き込み開始、及びモニタを開始する。PMOSトランジスタ321c(MP0)とNMOSトランジスタ321d(MN0)はオフ状態となり、ノードN1はHレベル(1)に充電された状態となっている。また、NMOSトランジスタ321e(MN1)はオン状態となっている。

【0106】

時間T92において、1回目の書き換えが生じると、センスアンプからLレベル(0)の信号Sが入力され、ノードN0がHレベル(1)となり、NMOSトランジスタ321

50

d (MN0) がオン状態となり、ノードN1がLレベル(0)になり放電される。ノードN2がハイレベルとなり、PMOSトランジスタ322c(MP1)とNMOSトランジスタ322d(MN2)はオフ状態であり、NMOSトランジスタ322e(MN3)はオン状態となる。出力端はHレベルの検出信号ENを保持する。

【0107】

時間T93において、2回目の書き換えが生じると、センスアンプからHレベル(1)の信号Sが入力されると、ノードN0がLレベルとなり、ノードN1がLレベル、ノードN2がHレベルであり、NMOSトランジスタ322d(MN2)がオン状態となり、出力端からLレベル(0)の検出信号ENが出力され、書込み動作の終了が検出される。

【0108】

つまり、相補型セル10Cへの書き込みが終了した場合、出力端からLレベルの検出信号ENが出力される。つまり、抵抗変化型記憶素子10A、10Bのスイッチングに伴う計2回の電圧変化で書込み終了を検出している。制御部は、書き込み終了を示す検出信号ENに基づいて、相補型セル10Cへの書き込み動作を終了する。

すなわち、第1検出部321は、抵抗変化型記憶素子10A、10Bのいずれか一方への書込みの終了を1回目の電圧変化で検知し、第2検出部322は他方の抵抗変化型記憶素子への書込み終了を2回目の電圧変化で検知している。

【0109】

図17は図13に示した抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するためのタイミングチャートである。

図17では、 $V_{WCK}$  [V] は書き込み用クロック信号の電圧値を示し、 $R_{Yb}$  [k] は抵抗変化型記憶素子10Bの抵抗値を示し、 $R_Y$  [k] は抵抗変化型記憶素子10Aの抵抗値を示し、 $V_{BLb}$  [V] はビットラインBLbの電圧値を示し、 $V_{BL}$  [V] はビットラインBLの電圧値を示し、 $I_W$  [ $\mu$ A] は、直列接続された抵抗変化型記憶素子10A、10Bに流れる電流値を示している。

【0110】

図17では、時間20nsec~40nsecが、相補型セル10Cに $Y=1$ を書き込む場合を示し、時間60nsec~80nsecが、相補型セル10Cに $Y=0$ を書き込む場合を示している。

【0111】

相補型セル10Cにデータ $Y=1$ を書き込む場合、書き込み用クロック信号WCKがHレベルとなり、相補型セル10Cに図17に示す電流 $I_W$ が流れ、抵抗変化型記憶素子10Bが抵抗値 $R_1$ から $R_0$ となった後、抵抗変化型記憶素子10Aが抵抗値 $R_0$ から $R_1$ となり、書き込み用クロック信号WCKがLレベルとなり、データ $Y=1$ の書き込みが終了する。

【0112】

相補型セル10Cにデータ $Y=0$ を書き込む場合、書き込み用クロック信号WCKがHレベルとなり、相補型セル10Cに図17に示す電流 $I_W$ が流れ、抵抗変化型記憶素子10Aが抵抗値 $R_1$ から $R_0$ となった後、抵抗変化型記憶素子10Bが抵抗値 $R_0$ から $R_1$ となり、書き込み用クロック信号WCKがLレベルとなり、データ $Y=0$ の書き込みが終了する。

【0113】

本実施形態では、抵抗変化型記憶素子のデータ書き込み装置は、上述したように、1つの書込回路から相補型セル10Cの直列接続された抵抗変化型記憶素子10A、10Bへ、各抵抗変化型記憶素子の記憶状態に応じた電流が流れ、各抵抗変化型記憶素子10A、10Bへ順にデータを書き込み、電流の変化を検出部により検出することで、書き込み動作を高精度に確実に終了することができる。

【0114】

また、図17に示した本発明の実施形態に係る抵抗変化型記憶素子のデータ書き込み装置では、時間20nsec~40nsecで、相補型セルへ $Y=1$ の書き込みを行っているが、実質的に、時間20nsec~約31nsecに書き込み用の電流 $I_W$ が流れ、書込み終了を検出した後、約31nsec以降、電流 $I_W$ が0となるように制御部が制御を行っ

10

20

30

40

50

ているので、書込み時の書込みエネルギーは、 $331 \text{ fJ}$  (フェムト・ジュール)である。

一方、比較例として、書込み時、時間  $20 \text{ nsec} \sim 40 \text{ nsec}$  に書込み用電流  $I_w$  を流すことで書込みを行う書込装置では、書込みエネルギーは、 $555 \text{ fJ}$ となる。

すなわち、上記比較例と比較して、本発明の実施形態に係る抵抗変化型記憶素子のデータ書き込み装置では、 $333 \div 555 = 0.56$ であるので、書込みエネルギーを約44%低減することができる。

【0115】

本願発明者は、本発明に係る抵抗変化型記憶素子のデータ書き込み装置を作製する際に、表1に示した抵抗変化型記憶素子(MTJ素子)を用いた。

【0116】

【表1】

Diameter	32 nm
RA	$6 \Omega \cdot \text{cm}^2$
TMR (*)	1.5
$J_{C0}$	$-3.5 \text{ MA/cm}^2$
$J_{C1}$	$2.5 \text{ MA/cm}^2$

$$(*) \text{ TMR} = (R_1 - R_0)/R_0$$

【0117】

DiameterはMTJ素子の直径[nm]を示し、RAは素子の抵抗 [ $\Omega \cdot \text{cm}^2$ ]を示し、TMRは、磁化固定層と磁化自由層の磁化が平行時の低抵抗、反平行時の高抵抗の抵抗比を示し、 $J_{C0}$ 、 $J_{C1}$ は、素子を低抵抗状態から高抵抗状態へ、又は高抵抗状態から低抵抗状態へ偏移させる時の書込み閾値電流 [ $\text{MA/cm}^2$ ]を示している。

【0118】

表2は、上述した第1実施形態(Type1)、第2実施形態(Type2)、第3実施形態(Type3)の抵抗変化型記憶素子のデータ書き込み装置について、具体的な回路を作製する場合、各実施形態の書込み装置に用いられるトランジスタ数(transistor counts)、相補型セルへの書込む際の書込み動作の回数(# of write cycles)、センスマージン(Sense margin)の比較を示している。

【0119】

10

20

30

【表 2】

	Type 1	Type 2	Type 3
transistor counts	52 (*1)	40 (*2)	<b>32</b>
# of write cycles	1	2	<b>1</b>
Sense margin (*3)	260mV	260mV	201mV

10

## 【0120】

なお、表 2 において、(\*1) は 26 個のトランジスタを備えた書込回路を 2 つ使用した装置を示しており、(\*2) は 26 個のトランジスタを備えた書込回路と 2 個の AND 回路 (6 個のトランジスタ) と 2 個の NMOS パスゲートを使用した装置を示しており、(\*3) は、90-nm CMOS technology ( $V_{DD} = 1.2V$ ) を使用した場合を示している。

## 【0121】

第 3 実施形態の抵抗変化型記憶素子のデータ書き込み装置では、第 1 実施形態、第 2 実施形態と比較して、少量のトランジスタで構成することができ、回路規模を小さくすることができる。

20

## 【0122】

第 2 実施形態の抵抗変化型記憶素子のデータ書き込み装置では、相補型セル 10C の抵抗変化型記憶素子 10A、10B のうち一方の素子への書き込みが終了した後、他方の抵抗変化型記憶素子への書き込みを行う、すなわち、2 つの書込回路によりタイミングをずらして、2 回書き込み動作を行うことを要するので、書き込み終了まで比較的時間が掛かる。

一方、第 3 実施形態の抵抗変化型記憶素子のデータ書き込み装置では、1 つの書込回路により、1 回の書き込み動作で相補型セル 10C へ、簡単に書き込みを行うことができる。

30

## 【0123】

すなわち、第 3 実施形態の抵抗変化型記憶素子のデータ書き込み装置では、面積的・時間的オーバーヘッドを最小化しつつ、相補型セル (相補型 MTJ セル) 用 Self-Terminated 機構を実現することができる。

## 【0124】

以上、説明したように、本発明の第 3 実施形態に係る抵抗変化型記憶素子のデータ書き込み装置は、抵抗変化型記憶素子 10A、10B を備える相補型抵抗変化型記憶素子 (相補型セル 10C) と、その相補型抵抗変化型記憶素子に抵抗変化を生じさせる書き込み手段 (書込回路 20) と、相補型抵抗変化型記憶素子 (相補型セル 10C) の書き込み状態を検出する検出手段 (検出部 30) と、検出手段 (検出部 30) の検出信号に基づいて、書き込み手段 (書込回路 20) の書き込みを制御する制御手段 (制御部 40) と、を有する。

40

書き込み手段 (書込回路 20) は、相補型抵抗変化型記憶素子 (相補型セル 10C) の直列接続された記憶素子 (抵抗変化型記憶素子 10A、10B) に電流を流し、電流の流れる方向を切り替える切り替え手段 (切替部 50) を備える。

また、検出手段 (検出部 30) は、書込回路 20 の書き込み駆動源 25 と直列接続された記憶素子 (抵抗変化型記憶素子 10A、10B) 間の電位変化を検出することで、相補型抵抗変化型記憶素子 (相補型セル 10C) の一方の記憶素子 (抵抗変化型記憶素子 10A、10B) の記憶状態の変化と、他方の記憶素子 (抵抗変化型記憶素子 10A、10B) の記憶状態の変化を検出する。

50

すなわち、簡単な構成で、検出部 30 により、相補型抵抗変化型記憶素子（相補型セル 10C）の一方の記憶素子（抵抗変化型記憶素子 10A、10B）の記憶状態の変化と、他方の記憶素子（抵抗変化型記憶素子 10A、10B）の記憶状態の変化を、簡単に、高精度に検出することができる。

制御部 40 は、検出部 30 から書き込み終了を示す検出信号 EN が出力された場合、書き込み動作を即座に終了するように制御を行うので、書き込み時のエネルギーが小さい。

【0125】

また、上記検出手段（検出部 30）は、相補型抵抗変化型記憶素子（相補型セル 10C）の一方の記憶素子（抵抗変化型記憶素子 10A、10B）の抵抗変化を検出する第 1 の検出手段（第 1 検出部 321）と、相補型抵抗変化型記憶素子（相補型セル 10C）の他  
10  
方  
の  
記  
憶  
素  
子  
（  
抵  
抗  
変  
化  
型  
記  
憶  
素  
子  
1  
0  
A  
、  
1  
0  
B  
）  
の  
抵  
抗  
変  
化  
を  
検  
出  
す  
る  
第  
2  
の  
検  
出  
手  
段  
（  
第  
2  
検  
出  
部  
3  
2  
2  
）  
と、  
を  
有  
す  
る。

すなわち、第 1 検出部 321、第 2 検出部 322 により、相補型抵抗変化型記憶素子（相補型セル 10C）の各記憶素子（抵抗変化型記憶素子 10A、10B）の抵抗変化を、簡単に高精度に検出することができる。

【0126】

また、制御部 40 は、検出部 30 の第 2 検出部 322 から書き込み終了を示す検出信号 EN が出力された場合、書き込み動作を即座に終了するように制御を行うので、書き込み時のエネルギーが小さい。

【0127】

また、相補型とすることによって出力信号のレベルを高めることができるため、センスアンプ 312 が比較的 low 精度のものであってもよい。

【0128】

以上、本発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこれらの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計の変更等があっても本発明に含まれる。

また、上述の各図で示した実施形態は、その目的及び構成等に特に矛盾や問題がない限り、互いの記載内容を組み合わせることが可能である。

また、各図の記載内容はそれぞれ独立した実施形態になり得るものであり、本発明の実施形態は各図を組み合わせた一つの実施形態に限定されるものではない。  
30

【符号の説明】

【0129】

- 10、10A、10B...抵抗変化型記憶素子（MTJ 素子等）
- 10C...相補型セル（相補型抵抗変化型記憶素子）
- 10a...磁化固定層
- 10b...トンネルバリア層
- 10c...磁化自由層
- 20...書込回路（書き込み手段）
- 25...書込み駆動源（カレントソース）
- 30...検出部（検出手段）
- 40...制御部（制御手段）
- 50...切替部（切り替え手段）
- 311...マルチプレクサ
- 312...センスアンプ
- 320...検出装置
- 321...第 1 検出部（第 1 の検出手段）
- 322...第 2 検出部（第 2 の検出手段）

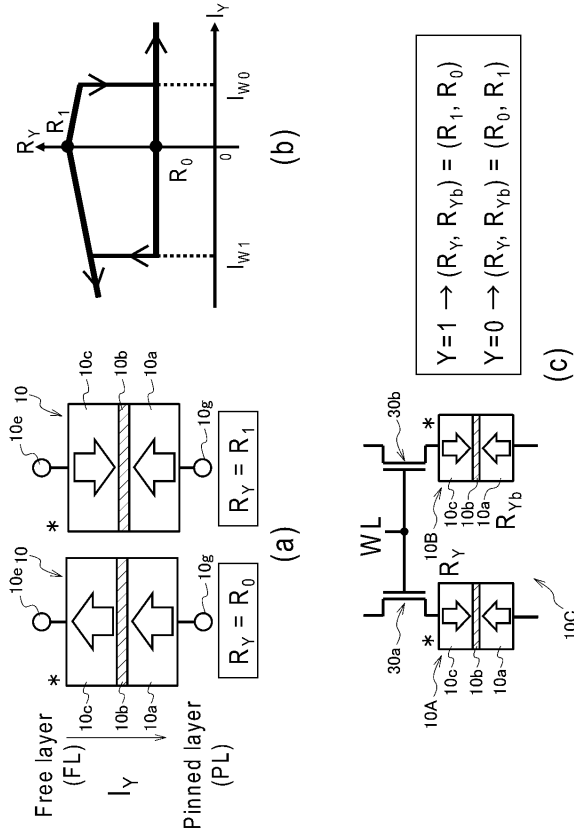
10

20

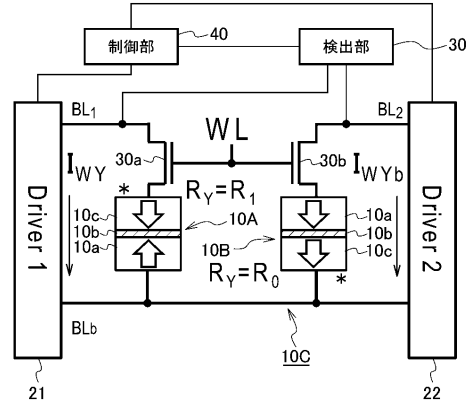
30

40

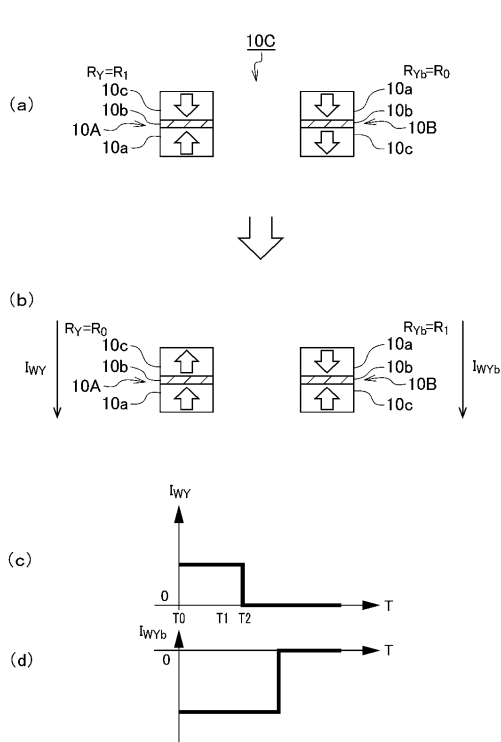
【図1】



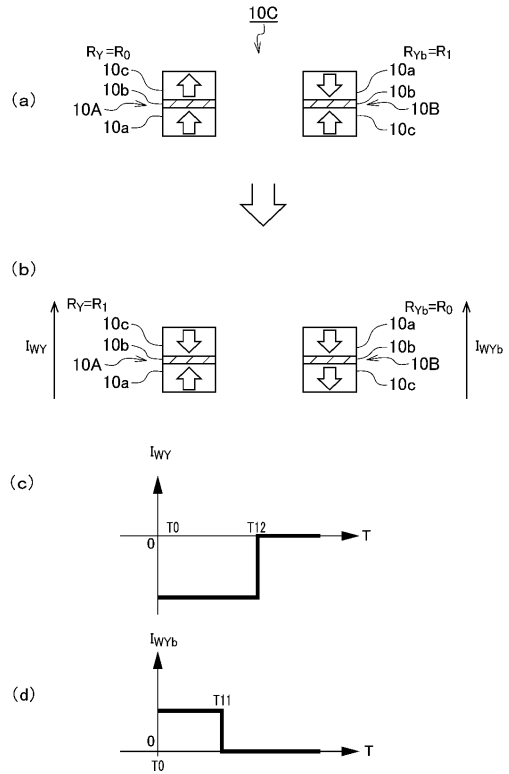
【図2】



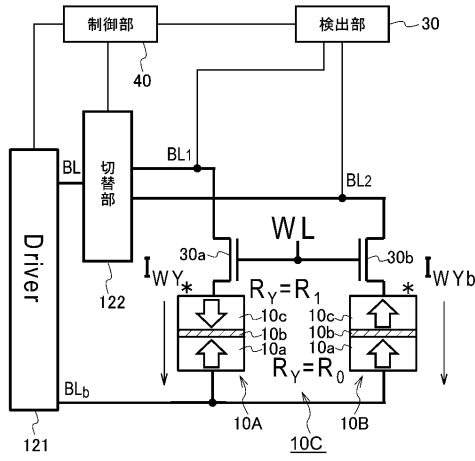
【図3】



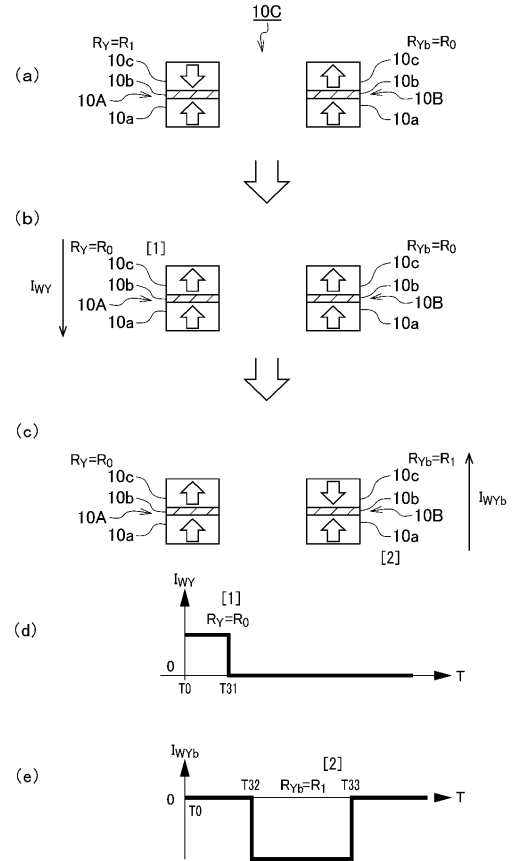
【図4】



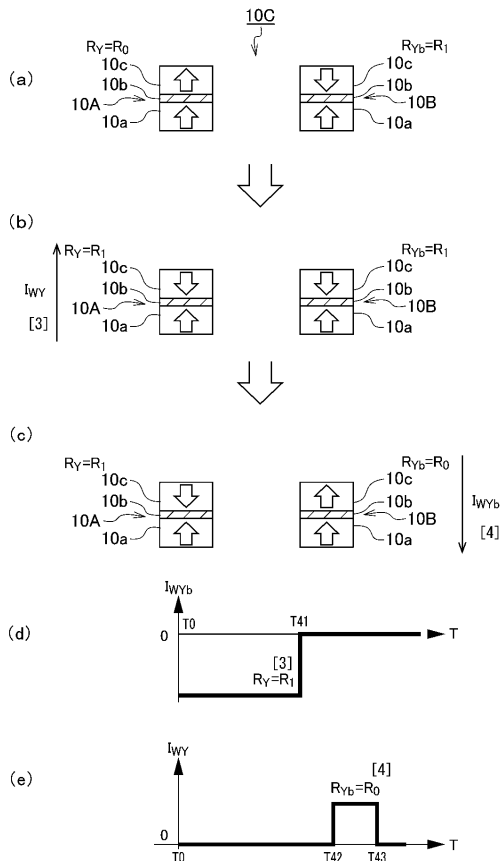
【図5】



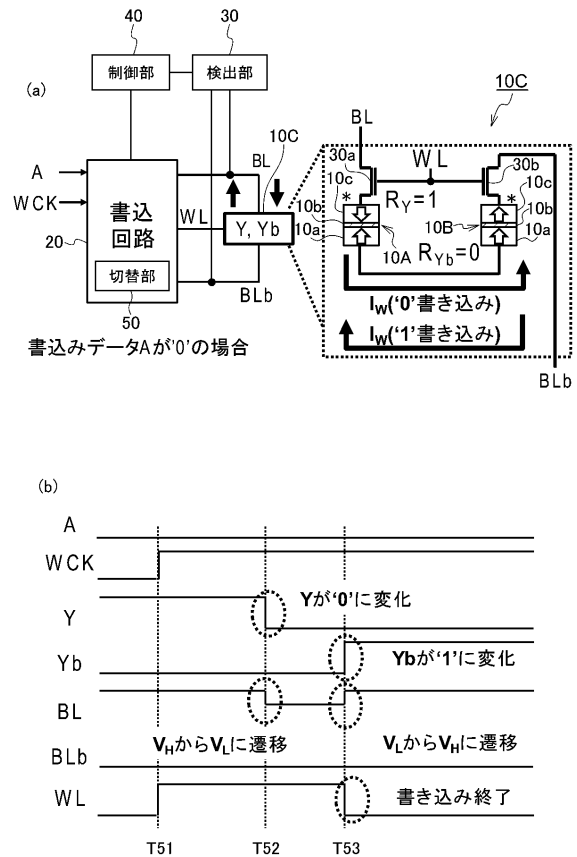
【図6】



【図7】

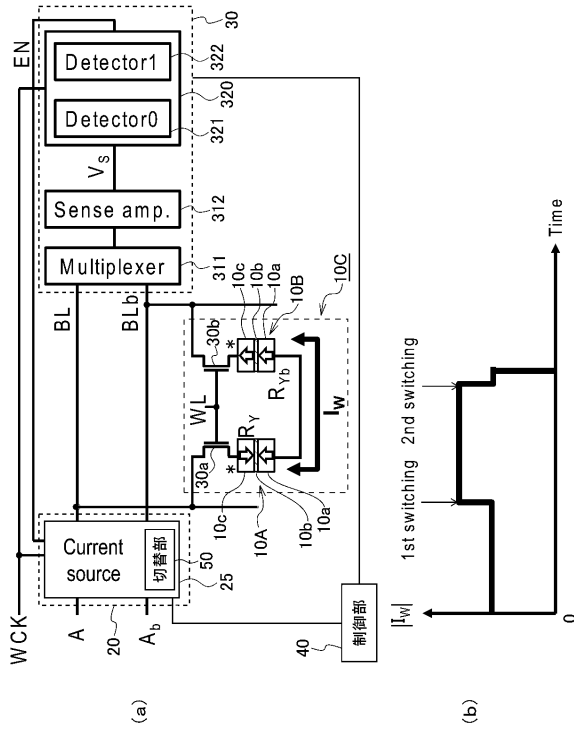


【図8】

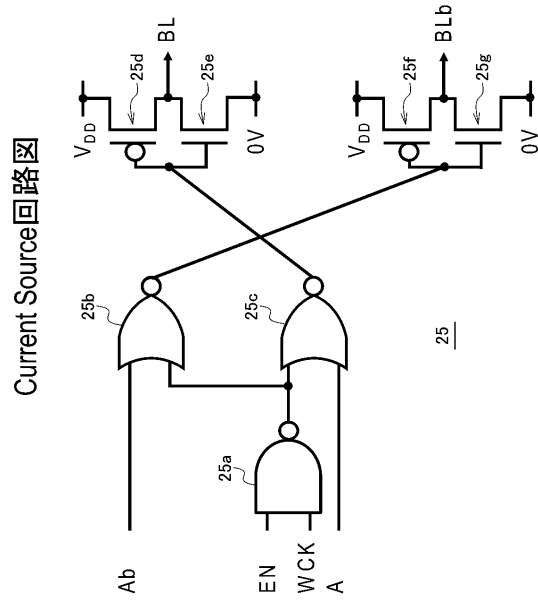




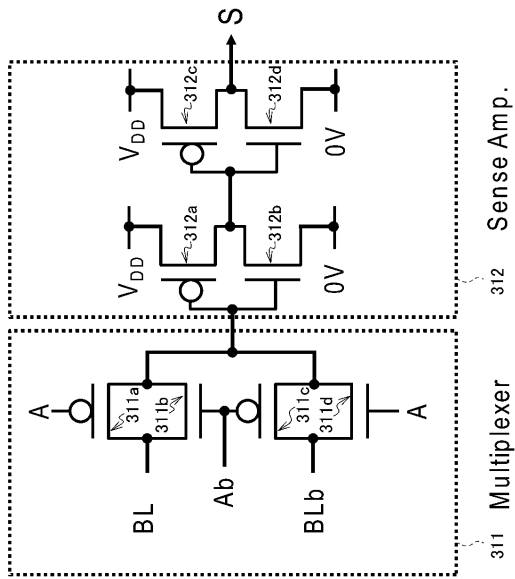
【図 13】



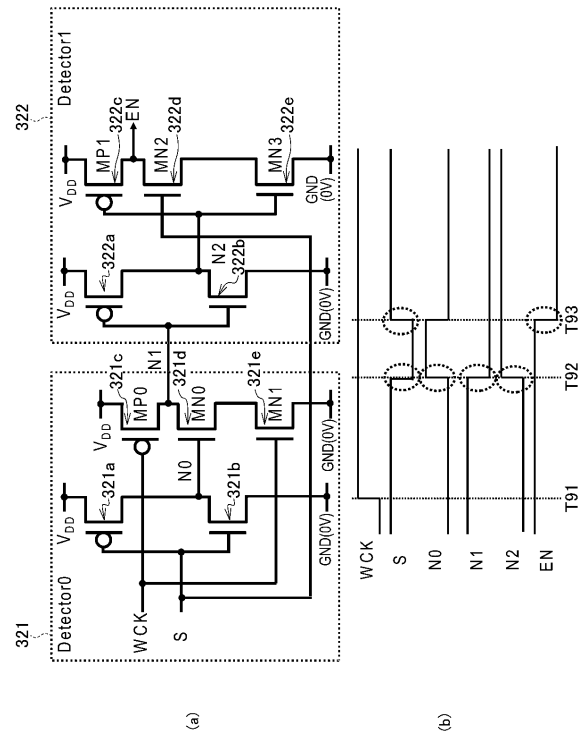
【図 14】



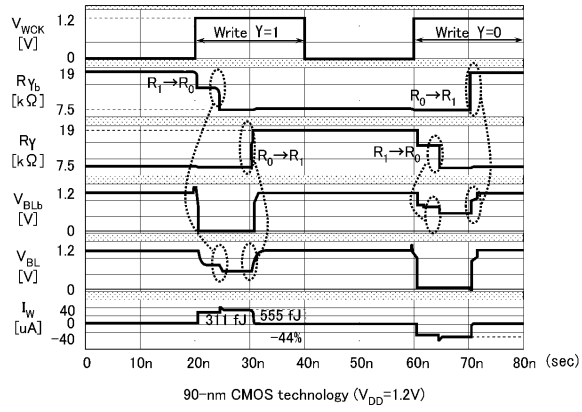
【図 15】



【図 16】



【 17 】



---

フロントページの続き

特許法第30条第2項適用 (1)平成28年8月17日にウェブサイトに掲載 <https://mmm2016.abstractcentral.com/planner.jsp> (2)平成28年10月25日にウェブサイトに掲載 [http://magnetism.org/?page=abstracts\\_book](http://magnetism.org/?page=abstracts_book) (3)平成28年11月3日 61st Annual Conference on Magnetism and Magnetic Materials, New Orleans Marriott(555 Canal Street New Orleans, Louisiana, USA)

(出願人による申告)平成26年度、内閣府、革新的研究開発推進プログラム(ImPACT)「スピントロニクス集積回路の開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(72)発明者 遠藤 哲郎  
宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

審査官 後藤 彰

(56)参考文献 国際公開第2015/147016(WO, A1)  
特開2012-203944(JP, A)  
特開2013-45483(JP, A)  
特開2011-192345(JP, A)  
米国特許出願公開第2015/0179924(US, A1)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/16