



Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27.10.1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) H 01 C 1/14

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	DD H 01 C / 333 080 5	(22)	29.09.89	(44)	21.03.91
------	-----------------------	------	----------	------	----------

(71)	siehe (73)
(72)	Gesemann, Renate, Prof. Dr. sc. techn.; Spindler, Jürgen, Dr. rer. nat.; Müller, Frank, Dr.-Ing.; Broulik, Renate; Schmidt, Horst, Dr. Dipl.-Chem.; Junge, Gerd, Dr. rer. nat.; Gottschalk, Volkmar, Dipl.-Phys.; Wilcke, Burghard, Dipl.-Phys., DE
(73)	VEB Elektronische Bauelemente, „Carl von Ossietzky“ Teltow, Ernst-Thälmann-Straße 10, O - 1530 Teltow, DE

(54)	Mehrschichtanschlußkontaktierung für Dünn- und Dickschichtwiderstände
------	---

(55) Dünnschicht- und Dickschichtchipwiderstände; Mehrschichtanschlußkontaktierung; Seiten- und Fußkontakt; Haftschrift; Keimschicht; Fe-Legierung; Diffusionssperre; SMD-Bauelemente

(57) Mit der Erfindung wird eine Mehrschichtanschlußkontaktierung für Dünnschicht- und Dickschichtchipwiderstände einschließlich Seiten- und Fußkontakt vorgestellt. Das Mehrschichtsystem besteht aus einer hochrategesputterten Haftschrift aus bekannten Schichten Cr, CrNi oder Ti, einer ebenfalls hochrategesputterten Keimschicht aus einer Fe-Legierung von 5–1000 nm, bevorzugt FeNi, FeCo oder FeSi, die die nachfolgende chemisch-reduktive Abscheidung von Ni_xP_y - oder Ni_xB_y -Schichten von 3–5 μm als Diffusionssperre mit hoher Abscheidungsrate katalysiert. Den Abschluß bildet eine tauchbelotete PbSn-Schicht von 20 μm oder eine stromlose abgeschiedene Sn-Schicht von 0,1–1 μm . Die Eigenschaften der Mehrschichtanschlußkontaktierung entsprechen höchsten Anforderungen an SMD-Bauelemente.

Patentansprüche:

1. Mehrschichtanschlußkontaktierung für Dünn- und Dickschichtchipwiderstände auf Keramikträgern, dadurch gekennzeichnet, daß sich auf der hochratesgesputterten 10–100 nm dicken Haftschrift aus Chrom oder einer Chromlegierung eine ebenfalls mittels Hochratesputtern aufgetragene 5–1 000 nm dicke katalytisch wirkende Keimschicht aus einer Eisenlegierung befindet und darauf eine chemisch-reduktiv abgeschiedene 9–5 µm dicke Diffusionssperrschicht aus einer Ni_xP_y - oder Ni_xB_y -Legierung aufliegt, an die sich wiederum eine weichlötbare 0,1–20 µm dicke stromlose oder galvanische oder durch Tauchbelotung abgeschiedene Sn- oder PbSn-Schicht anschließt.
2. Mehrschichtanschlußkontaktierung für Dünn- und Dickschichtchipwiderstände auf Keramikträgern nach Anspruch 1, dadurch gekennzeichnet, daß die Eisenlegierung eine FeNi-, FeCo- oder FeSi-Legierung z. B. mit den Zusammensetzungen 70% Fe, 30% Legierungsmetall ist.
3. Mehrschichtanschlußkontaktierung für Dünn- und Dickschichtchipwiderstände auf Keramikträgern nach Anspruch 1, dadurch gekennzeichnet, daß die Ni_xP_y - oder Ni_xB_y -Schicht die Legierungsgehalte 1–12% P und 0,1 bis 5% B aufweisen.

Hierzu 1 Seite Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung bezieht sich auf eine Mehrschichtanordnung zur Kontaktierung von Dünnschicht- oder Dickschichtwiderstandsschichten einschließlich der Seiten- und Fußkontakte. Die Erfindung ist im Bereich Elektrotechnik/Elektronik anwendbar.

Charakteristik des bekannten Standes der Technik

Mehrschichtanordnungen zur Kontaktierung von Chipwiderständen sind bekannt. Die Art der eingesetzten Schichten steht mit dem Herstellungsverfahren des Chipwiderstandes im Zusammenhang. Edelmetalllegierungspasten, z. B. AgPd werden bei Chipwiderstandsproduzenten (z. B. MURATA ERIE, NORTH AMERICA) nur für geringe Anforderungen an die Abliegerfestigkeit bzw. niedrige Löt-Arbeitstemperaturen und geringe Lötzeiten genutzt; für höhere Ansprüche sind galvanisch abgeschiedene Ni-Diffusionssperrschichten mit abschließenden galvanischen PbSn-Schichten erforderlich.

Bevorzugt bei den in Dünnschichttechnik hergestellten Chipbauelementen werden Anschlußkontaktierung mit Seiten- und Fußkontakt mit dem Hochratesputterverfahren hergestellt.

Im DD 23883A1 werden binäre oder ternäre Cu-Legierungen z. B. CuSn, CuNiSn von 50 nm–200 µm beschrieben. Um eine SMD-gerechte zuverlässige Lötung der Bauelemente zu sichern, muß die Kontaktschicht noch belotet werden. Dünne Schichten legieren dabei ab. Bei dicken Schichten besteht die Gefahr, daß Risse an den Ecken und Kanten der Bauelemente auftreten, was zur Reduzierung der Haftfestigkeit der Kontaktschichten und zur Verminderung der Zuverlässigkeit bzw. zu Ausschuß führt. Die beloteten Bauelemente genügen häufig nicht den hohen geometrischen Toleranzforderungen für die automatische Bestückung. Für die genannten speziellen ternären Cu-Legierungen sind die Targetkosten sehr hoch, so daß eine rationelle Fertigung der Bauelemente nicht möglich ist. Falls wie beschrieben auch ein galvanisches Verfahren für die Cu-Legierung genutzt werden soll, muß auf die Keramikante und für den Fußpunkt noch selektiv eine Leitschicht aufgebracht werden. Für die speziellen Cu-Legierungen stehen keine galvanischen Elektrolyte zur Verfügung.

Die in DD 214963 ebenfalls beschriebene gesputterte CuNi-Schicht von 0,5–2 µm ist löstechnisch nicht verarbeitbar. Im EP 0191 538 wird die Mehrschichtanordnung 200 Å Cr, 1 µm NiV durch Hochratesputtern und darauf 2 µm galvanisch Ni und 6 µm galvanisch PbSn oder Sn dargelegt. Der für das NiV benötigte Ätzschritt mit konzentrierter HNO_3 + 5%ige HCl ist nicht umweltfreundlich, aufwendig und kann die Zuverlässigkeit der Chipwiderstände verringern. Galvanisch aufgebrachtes Ni wird häufig als Diffusionssperre auch auf Edelmetallpastenschichten genutzt. Die dabei eingesetzten Schichtdicken von 2–5 µm sichern nicht die Korrosionsfestigkeit und Elektromigration des genutzten Mehrschichtsystems an der Seitenkante (Turn, J. C.; Owen, E. L.; Plating 1974 11, S. 1015–1018). Für das galvanische Abscheidungsverfahren wird eine Kontaktierung benötigt, was aufwendig ist.

In DE 3705279A1 wird ein 3-Schichtenfilm für Chipwiderstände vorgestellt, der in Dünnschichttechnik hergestellt wird. Er besteht aus bekannten Haftschriftmetallen, wie z. B. Cr, CrNi, Ti, aus einer Lötsperrschicht aus Ni, NiCr, AgNi oder SnNi und einer lötbaren Schicht aus Ag, PbSn oder Sn, wobei die Anschlußelektroden eine C-Form aufweisen sollen.

Nachteilig ist, daß die Anschlußkontakte an die Widerstandsschicht in Ätztechnik hergestellt werden, was zur Verringerung der Zuverlässigkeit der Bauelemente führen kann. Ag als lötbare Schicht besitzt zwar als einzige der angeführten Schichten eine hohe spezifische elektrische Leitfähigkeit, löst sich jedoch in vielen handelsüblichen Lotwerkstoffen, z. B. LSn 60 auf, so daß die Gefahr des Ablagierens besteht.

Durch Ag_2S -Fremdschichtbildung ist die Lagerfähigkeit der Bauelemente begrenzt. Mit komplizierten Verfahren, Dickschichtpastendruck, chem.-reduktiver Abscheidung und galvanischer Abscheidung werden die Mehrschichtenanordnungen AgPd-Keimschicht Ni_xP_y -Ni-PbSn oder AgPd-Palladiumkeimschicht – Ni_xP_y – PbSn oder AgPd-Palladiumkeimschicht – Ni_xP_y – tauchbeloteten PbSn abgeschieden (z. B. DD 224993).

Dabei wird die AgPd-Pastenschicht nur als Anschlußkontakt zur Widerstandsschicht eingesetzt. Die Pd-Keimschicht katalysiert den Beginn der Ni_xP_y -Abscheidung. Die Verwendung des chemisch-reduktiven Verfahrens erfordert die zusätzliche Abdeckung der isoliert gestalteten Teile des Bauelementes. Der Abdecklack wird ebenfalls mit Pd bekeimt, auch zum Teil mitmetallisiert, ist aber nicht haftfest und muß wieder abgelöst werden. Das bedeutet eine aufwendige Herstellung.

Ziel der Erfindung

Ziel der Erfindung ist eine Mehrschichtanordnung, die die rationelle Kontaktierung von Dünnschicht- oder Dickschichtwiderständen in Chipform einschließlich der Seiten- und Fußkontakte gewährleistet.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist es, eine Mehrschichtanordnung aus Haftschrift, Diffusionssperre und lötlbarer Schicht anzugeben, die auf der Dünnschichtwiderstandsschicht oder den Dickschichtwiderstands-Anschlußkontaktschichten und der Trägerkeramik gut haftet, die Zuverlässigkeit und Korrosionsfestigkeit des Chipwiderstandes gewährleistet, deren Lötbarkeit den höchsten Anforderungen der SMD-Technik genügt und bei der beim Löten oder Beloten kein Ablegieren oder eine Verminderung der Haftfestigkeit der Schichten auftritt.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß zur Sicherung der Abscheidung einer Ni_xP_y - oder Ni_xB_y -Schicht als Diffusionssperre auf einer bekannten durch Hochratesputtern hergestellten Haftschrift aus Cr, CrNi oder Ti eine Keimschicht eingefügt wird, die die nachfolgende Abscheidung von Ni_xP_y - oder Ni_xB_y -Schichten katalysiert. Als dafür geeignet werden 5 nm–1 000 nm einer Fe-Legierungsschicht hochratesgesputtert, bevorzugt aus FeNi, FeCo oder FeSi, die mit hoher Abscheidungsrate den Beginn der chemisch-reduktiven Abscheidung katalysieren. Die Zusammensetzung der Eisenlegierung ist 70% Fe und 30% Legierungsmetall.

Eine gesputterte Pd-Keimschicht wäre ebenfalls geeignet, jedoch ist die Verwendung von Edelmetall durch die Verluste in der Sputteranlage und auf den Gestellen nicht rationell. Ni_xP_y - oder Ni_xB_y -Schichten sind ausgezeichnete Diffusionssperren bereits bei Schichtdicken von 3–5 µm. Sie können unter Verwendung eines organischen Flußmittels mit PbSn-Löten zuverlässig mit Schichtdicken bis zu 20 µm belotet werden. Bei dem Einlöten des Chipwiderstandes tritt auch bei 260°C und 10 s keine Ablegierungserscheinung oder Verminderung der Haftfestigkeit auf. Die Mehrfachlötbarkeit ist gesichert.

Bei hohen Anforderungen an die geometrischen Toleranzen des Chipwiderstandes kann anstelle der Tauchlot- oder Schwallotschicht aus einer PbSn-Legierung auch eine stromlose Sn-Schicht von 0,1–1 µm auf die chemisch-reduktive Ni-Schicht abgeschieden werden, die ohne zusätzliches Beloten lötbar ist.

Durch die niedrigen Temperaturen bei der Abscheidung der Schichten wird die Zuverlässigkeit der Widerstandsschicht nicht negativ beeinflusst.

Durch die Nutzung des Trommel- bzw. Glockenverfahrens nach der Chipvereinzelung werden auch die Seitenkanten des Chips mit dem zunächst offenliegenden metallischen Mehrschichtsystem mit dem 3–5 µm starken Ni_xP_y - oder Ni_xB_y - oder Ni_xB_y -Schichten bedeckt und so vor Korrosion und bei Funktion des Chipwiderstandes vor Elektromigration geschützt.

Ausführungsbeispiele

Die erfindungsgemäße Lösung wird anhand der erprobten Mehrschichtanschlußkontaktierungen für Dickschicht- und Dünnschichtchipwiderstände dargelegt. Figur 1 zeigt die Anordnung für den Dickschicht-, Figur 2 für den Dünnschichtwiderstand.

Ausführungsbeispiel 1

Das Al_2O_3 -Substrat 1 trägt die Widerstandsschicht auf Basis von RuO_2 2 und die AgPd-Kontaktschichten 4, die im Großsubstratverband siebgedruckt werden. Nach dem Abdecken 5 der Widerstandsschicht und der rückseitigen isolierenden Flächen wird im Streifenverband die Keramikante mit Umgriff auf die AgPd-Fläche und zum Fußpunkt mit einer ca. 20 nm dicken CrNi-Haftschrift 6 und anschließend einer 150 nm dicken FeNi-Keimschicht 7 durch Hochratesputtern bedeckt. Der nachfolgende Liftprozeß erfolgt im Streifenverband. Die Streifen werden zu Chips vereinzelt. Die Haftfestigkeit der Mehrschichtanschlußkontaktierung beträgt $\geq 900 \text{ N/cm}^2$.

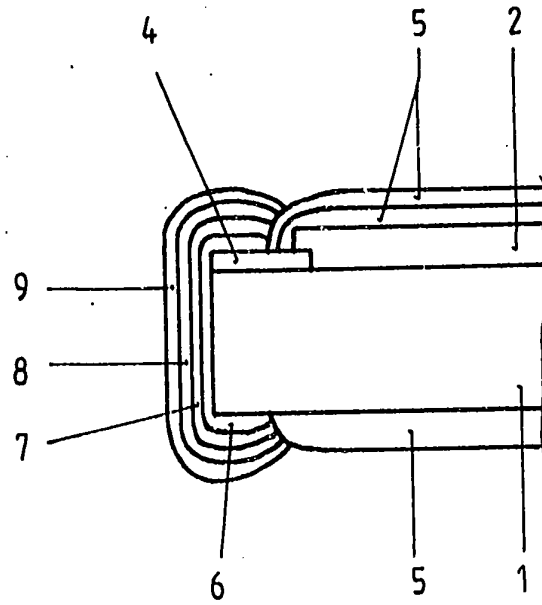
Ein Zuverlässigkeitstest über 500 Betriebsstunden zeigt keine Ausfälle. Die Korrosionsfestigkeit und die Elektromigrationsfestigkeit wird nachgewiesen. Mit der Benetzungswaage werden Benetzungskräfte $> 200 \cdot 10^{-5} \text{ N/cm}^2$ bei Benetzungszeiten von 0,7 s gemessen.

Ein dreimaliger Ablegierungstest zur Ermittlung der Reparaturlötbeständigkeit bei 235°C (1–3 min) ergab eine gute Ablegierfestigkeit. Die Benetzungskräfte konnten weiterhin $> 200 \cdot 10^{-5} \text{ N/cm}^2$ bei Benetzungszeiten zwischen 0,5 und 0,8 s gemessen werden.

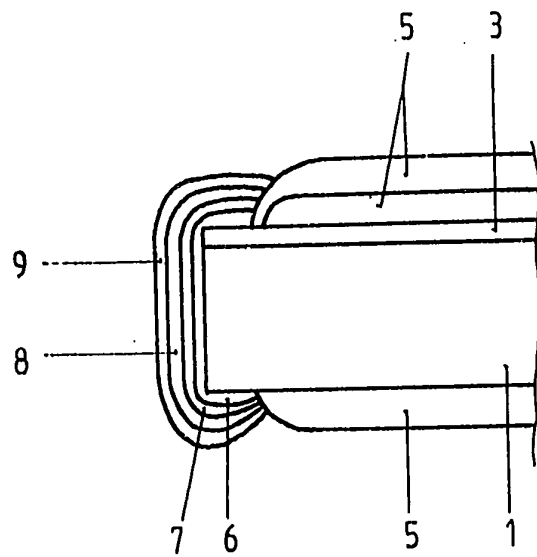
Ausführungsbeispiel 2

Der Aufbau des Chipwiderstandes entspricht dem Ausführungsbeispiel 1 bis auf die Widerstandsschicht 3, die Diffusionssperre 8 und die Tauchbelotungsschicht 9.

Schicht 2 in Figur 2 stellt eine hochratesgesputterte Widerstandsschicht aus einer Legierung auf der Basis von Ni-Cr-Al dar. Nach der Beschichtung einer Ni_xB_y -Schicht 8 von ca. 4 µm als Diffusionssperre erfolgt die Beschichtung mit ca. 0,6 µm Sn 9. Die Eigenschaften der Mehrschichtanschlußkontaktierung entsprechen den Eigenschaften der Mehrschichtanschlußkontaktierung des Ausführungsbeispiels 1, bis auf die Haftfestigkeit, die mit $> 800 \cdot 10^{-5} \text{ N/cm}^2$ gemessen wurde. Die geometrischen Toleranzen des Chipwiderstandes sichern die automatische Bestückung.



Figur 1



Figur 2