



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0109676
(43) 공개일자 2022년08월05일

(51) 국제특허분류(Int. Cl.)

H01L 21/67 (2006.01) H01L 21/52 (2006.01)
H01L 21/66 (2006.01) H01L 21/683 (2006.01)
H01L 25/075 (2006.01)

(52) CPC특허분류

H01L 21/67144 (2013.01)
H01L 21/52 (2013.01)

(21) 출원번호 10-2021-0012966

(22) 출원일자 2021년01월29일

심사청구일자 2021년01월29일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

성태연

서울특별시 서초구 잠원로 60 신반포자이 107동-801호

이다훈

서울특별시 성북구 고려대로12길 58(안암동3가)

김중호

경기도 평택시 세교6로 46 힐스테이트평택 1차아파트 104동 1502호

(74) 대리인

특허법인 누리

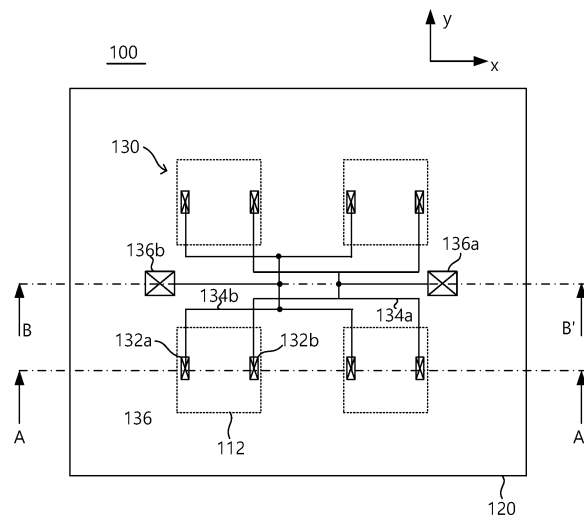
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 자성 전사 장치와 자성 전사 장치의 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 자성 전사 장치는, 자속을 제공하는 기자력 소스; 상기 기자력 소스의 일단에 연결되고 하나의 입력단과 복수의 출력단들을 구비하고 자속을 분배하는 제1 자속 분배 회로; 및 상기 기자력 소스의 타단에 연결되고 하나의 출력단과 복수의 입력단들을 구비하고 분배된 자속을 모으는 제2 자속 분배 회로;를 포함한다. 상기 제1 자속 분배 회로의 출력단들은 상기 제2 자속 분배 회로의 입력단들과 서로 쌍을 이루도록 이웃하게 배치된다.

대표도 - 도1a



(52) CPC특허분류

H01L 21/67271 (2013.01)

H01L 21/6835 (2013.01)

H01L 22/30 (2013.01)

H01L 25/0753 (2013.01)

H01L 2221/68368 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711055879
과제번호	2017K1A1A2013160
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	집단연구지원
연구과제명	극대형화/고신뢰성의 신개념 마이크로/나노 픽셀 디스플레이 기술
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2017.06.01 ~ 2023.02.28

명세서

청구범위

청구항 1

자속을 제공하는 기자력 소스;

상기 기자력 소스의 일단에 연결되고 하나의 입력단과 복수의 출력단들을 구비하고 자속을 분배하는 제1 자속 분배 회로; 및

상기 기자력 소스의 타단에 연결되고 하나의 출력단과 복수의 입력단을 구비하고 분배된 자속을 모으는 제2 자속 분배 회로;를 포함하고,

상기 제1 자속 분배 회로의 출력단들은 상기 제2 자속 분배 회로의 입력단들과 서로 쌍을 이루도록 이웃하게 배치되는 것을 특징으로 하는 자성 전사 장치.

청구항 2

제1 항에 있어서,

서로 쌍을 이루는 상기 제1 자속 분배 회로의 출력단과 상기 제2 자속 분배 회로의 입력단 사이에 LED 소자의 자성층이 배치되고,

상기 기자력 소스, 상기 제1 자속 분배 회로, 및 상기 제2 자속 분배 회로는 폐 자기 회로를 구성하는 것을 특징으로 하는 자성 전사 장치.

청구항 3

제1 항에 있어서,

상기 제1 자속 분배 회로는 상기 제1 자속 분배 회로의 상기 입력단과 상기 제1 자속 분배 회로의 복수의 출력단들 사이의 자기 경로가 동일한 자기 저항을 가지도록 바이너리 트리(binary tree) 구조이고,

상기 제2 자속 분배 회로는 상기 제2 자속 분배 회로의 상기 복수의 입력단들과 출력단 사이의 자기 경로가 동일한 자기 저항을 가지도록 바이너리 트리 구조인 것을 특징으로 하는 자성 전사 장치.

청구항 4

제1 항에 있어서,

상기 제1 자속 분배 회로 및 상기 제2 자속 분배 회로는:

기판;

상기 기판 상에 배치된 제1 비자성층;

상기 제1 비자성층 상에 배치된 제2 비자성층;

상기 기판을 관통하는 제1 자성 비아들;

상기 기판 및 상기 제1 비자성층을 관통하는 제2 자성 비아들;

상기 기판 상에 배치되고 상기 제1 자성 비아들을 서로 연결하는 제1 자속 분배 패턴;

상기 제1 비자성층 상에 배치되고 상기 제2 자성 비아들을 연결하는 제2 자속 분배 패턴;

상기 제1 비자성층 및 상기 제2 비자성층을 관통하여 배치되고 상기 자속 분배 패턴과 자기적으로 연결되는 제1 자기 콘택 플러그; 및

상기 제2 비자성층을 관통하여 배치되고 상기 제2 자속 분배 패턴과 자기적으로 연결되는 제2 자기 콘택 플러그;를 포함하고,

상기 제1 자성 비아들 및 상기 제2 자성 비아들을 한 쌍을 형성하도록 이웃하여 배치되고,
 상기 제1 자기 콘택 플러그는 상기 기저력 소스의 일단에 연결되고,
 상기 제2 자기 콘택 플러그는 상기 기저력 소스의 타단에 연결되고,
 상기 제1 자속 분배 회로의 입력단은 상기 제1 자기 콘택 플러그에 대응하고,
 상기 제1 자속 분배 회로의 출력단들은 상기 제1 자성 비아들에 대응하고,
 상기 제2 자속 분배 회로의 출력단은 상기 제2 자기 콘택 플러그에 대응하고,
 상기 제2 자속 분배 회로의 입력단들은 상기 제2 자성 비아들에 대응하는 것을 특징으로 하는 자성 전사 장치.

청구항 5

제1 항에 있어서,
 상기 기저력 소스는:
 상기 제1 자속 분배 회로 및 상기 제2 자속 분배 회로에 자속을 제공하는 코일; 및
 상기 코일에 의하여 생성된 자속을 감금하는 자성체 코어를 포함하는 것을 특징으로 하는 자성 전사 장치.

청구항 6

제4 항에 있어서,
 상기 기저력 소스는:
 상기 제1 콘택 플러그에 상기 자속을 제공하도록 테이퍼진 형상을 구비한 제1 자성체 코어;
 상기 제2 콘택 플러그에 상기 자속을 제공하도록 테이퍼진 형상을 구비한 제2 자성체 코어;
 상기 제1 자성체 코어와 상기 제2 자성체 코어를 서로 연결하는 제3 자성체 코어를 포함하고,
 상기 제1 내지 제3 자성체 코어 중에서 적어도 하나를 감싸도록 배치된 코일을 포함하는 것을 특징으로 하는 자성 전사 장치.

청구항 7

제1 항에 있어서,
 상기 제1 자속 분배 회로 및 상기 제2 자속 분배 회로에 인접하게 배치된 적어도 하나의 저항 소자를 포함하고,
 상기 저항 소자는 상기 제1 자속 분배 회로 또는 상기 제2 자속 분배 회로를 국부적으로 가열하여 소정의 자기 경로를 차단하는 것을 특징으로 하는 자성 전사 장치.

청구항 8

기판의 하부면에 자성층을 형성하는 단계;
 상기 기판에 제1 비아홀들 형성하고 상기 제1 비아홀들을 자성체로 채워 제1 자성 비아들을 형성하는 단계;
 상기 기판 상에 상기 제1 자성 비아들에 연결된 제1 자속 분배 패턴을 형성하는 단계;
 상기 제1 자속 분배 패턴이 형성된 기판 상에 제1 비자성층을 적층하고,
 상기 제1 비자성층 및 상기 기판을 관통하는 제2 비아홀을 형성한 후, 상기 제2 비아홀을 자성체로 채워 제2 자성 비아를 형성하는 단계; 및
 제2 자성 비아들이 형성된 기판 상에 제2 자속 분배 패턴을 형성하는 단계;를 포함하는 자성 전사 장치의 제조 방법.

청구항 9

제8항에 있어서,

상기 제1 자속 분배 패턴 및 상기 제2 자속 분배 패턴은 각각 복수의 브랜치를 포함하고, 브랜치들의 길이는 동일한 것을 특징으로 하는 자성 전사 장치의 제조 방법.

청구항 10

제8항에 있어서,

상기 제2 자속 분배 패턴이 형성된 기판 상에 제2 비자성층을 형성하는 단계;

상기 제1 비자성층 및 제2 비자성층을 관통하고 상기 제1 자속 분배 패턴에 연결된 제1 자기 콘택 플러그를 형성하는 단계; 및

제2 비자성층을 관통하고 상기 제2 자속 분배 패턴에 연결된 제2 자기 콘택 플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 자성 전사 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 제1 자속 분배 패턴 또는 상기 제2 자속 분배 패턴 상에 적어도 하나의 저항 패턴을 형성하는 단계; 및

상기 제1 비자성층 및 상기 제2 비자성층을 관통하여 상기 저항 패턴의 양단에 도전성 콘택 플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 자성 전사 장치의 제조 방법.

청구항 12

성장 기판에서 LED 소자들을 제작한 후 상기 LED 소자들 상에 수직 전도성 임시 기판을 부착하는 단계;

상기 성장 기판과 상기 LED 소자들을 분리하고 상기 LED 소자들을 수직 전도성 임시 기판에 전사하는 단계;

상기 임시 기판에 프로브 회로를 접속하여 상기 LED 소자들을 검사하여 상기 LED 소자들을 특성에 따라 분류하는 단계;

상기 LED 소자들에 자성층을 각각 형성하는 단계; 및

상기 자성층이 형성된 LED 소자들을 자성 전사 장치를 이용하여 최종 기판에 전사하는 단계를 포함하는 것을 특징으로 하는 LED 소자의 검사 및 전사 방법.

청구항 13

제12 항에 있어서,

상기 LED 소자들에 자성층을 각각 형성하는 단계는 소정의 특성을 만족하는 LED 소자들에 상기 자성층을 형성하는 것을 특징으로 하는 LED 소자의 검사 및 전사 방법.

청구항 14

제12 항에 있어서,

상기 LED 소자들에 자성층을 각각 형성하는 단계는 모든 LED 소자들에 상기 자성층을 형성하고,

상기 자성층이 형성된 LED 소자들을 자성 전사 장치를 이용하여 최종 기판에 전사하는 단계는 소정의 특성을 만족하는 LED 소자들을 픽업하도록 상기 자성 전사 장치의 특정한 자기 경로를 차단하는 것을 특징으로 하는 LED 소자의 검사 및 전사 방법.

청구항 15

LED 소자들을 수직 전도성 임시 기판에 전사한 후 상기 임시 기판에 프로브 회로를 접속하여 상기 LED 소자들을 검사하여 특성을 분석하는 제어부;

상기 LED 소자들의 분석된 특성에 기반하여 상기 LED 소자들에 자성층을 각각 형성하는 자성층 프린트부; 및

상기 자성층이 형성된 LED 소자들을 최종 기판에 전사하는 자성 전사 장치를 포함하는 것을 특징으로 하는 LED 소자 검사 및 전사 시스템.

청구항 16

제15항에 있어서,

상기 자성 전사 장치는:

자속을 제공하는 기자력 소스;

상기 기자력 소스의 일단에 연결되고 하나의 입력단과 복수의 출력단들을 구비하고 자속을 분배하는 제1 자속 분배 회로; 및

상기 기자력 소스의 타단에 연결되고 하나의 출력단과 복수의 입력단을 구비하고 분배된 자속을 모으는 제2 자속 분배 회로;를 포함하고,

상기 제1 자속 분배 회로의 출력단들은 상기 제2 자속 분배 회로의 입력단들과 서로 쌍을 이루도록 이웃하게 배치되는 것을 특징으로 하는 LED 소자 검사 및 전사 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 발광 자성 전사 장치의 전사 장치에 관한 것이며, 보다 상세하게는 마이크로-LED의 전사를 위한 자성 전사 장치에 관한 것이다

배경 기술

[0002] 일반적으로 반도체 소자는 다양한 공정을 통해 제조될 수 있다. 예를 들면, 소자를 형성한 후 다이싱 공정, 검사 공정, 다이본딩 공정 및 패키징 공정 등을 순차적으로 수행하여 목적하는 반도체 소자를 완성할 수 있다. 상술한 공정들을 수행하기 위해 소자를 이송할 필요가 있으며, 이는 픽 앤 플레이스(pick and place) 장치를 이용하여 진행할 수 있다.

[0003] 일반적으로 픽 앤 플레이스 장치는 진공으로 흡착하여 소자를 픽업(pick up)하고, 소자가 픽업된 상태에서 소자를 이동시킨 후, 진공 상태를 해제하여 목표 지점에 소자를 안착(place)시킬 수 있다. 또한, 집게 등을 이용하여 소자를 직접 픽업할 수 있다. 그러나, 마이크로-LED의 경우 소자의 크기가 작고 두께가 얇기 때문에 픽업이 어렵고 진공척에서 발생하는 압력으로 소자가 파손될 수 있다

[0004] 일반적인 소자 픽업 방법을 이용하여 다양한 크기의 소자를 픽업하기 어려우며, 사용할 수 있는 소자의 크기에 제약이 있다.

[0005] 마이크로 발광다이오드 (micro light emitting diode) 디스플레이는 고해상도 디스플레이로 주목받고 있다. 마이크로 LED 디스플레이는 기판 상에 R/G/B LED 소자들의 배열된 구조를 가진다. 각 LED 소자의 사이즈는 수 마이크로미터 내지 수십 마이크로미터일 수 있다.

[0006] 수 마이크로미터 내지 수백 마이크로미터 수준 크기의 LED 소자는 유연성 기판에 옮겨 붙임으로써 접거나 휘 수 있는 마이크로 LED 디스플레이를 제공할 수 있다. 그러나 소형화된 LED 소자는 기존의 부품 이송 장비(pick & place device)를 활용하여 성장 기판에서 목표 기판으로의 전사하는 것이 어렵다. 따라서, 소형화된 LED 소자를 전사(transfer)시킬 수 있는 고정밀도의 부품 이송 장비 또는 전사 장치가 요구된다.

[0007] 인쇄 회로 기판 상에는 LED 소자를 화소 피치에 대응해 배열할 필요가 있지만, 이 화소 피치는 소자 형성 시의 소자 배열 피치와는 무관한다. 따라서, LED 소자를 재배열하기 위한 기술이 필요하다.

[0008] 한국등록특허(10-2127559B1)는 포토레지스트에 자성나노입자를 분산시켜 자성 정렬층을 형성하였다. 이 방법을 이용하면 자성나노입자가 수직하게 정렬된 영역에서만 자기장이 통과되고, 수평하게 정렬된 영역에서는 반사를 시킬 수 있는 장점이 있다. 하지만, 미국공개특허(US 2011/0151588 A1)에 설명된 것처럼 상기 기술의 경우 몇 가지 문제점이 존재한다. 첫째, 포토레지스트에 자성나노입자를 분산시킨 후에 gas bubble이 생기며, bubble을 제거하기 위해서는 12시간을 기다려야 한다. 둘째, 자성나노입자가 응집될 수 있기 때문에 48시간 안에 사용해야 한다. 그러므로, 영구적인 사용이 불가능 할 수 있다.

[0009] 한국공개특허(10-2016-0053975A)는 자성체를 패터닝한 후 코일을 사용하여 자성을 유도하였지만, 여러 개의 헤

드에 코일 형성 공정을 수행하기에 어려움이 있다.

- [0010] 미국등록특허(US 9,607,907 B2)와 같이 micro electro mechanical system (MEMS) 기반의 코일을 형성하면 가능할 수 있지만, 여러 단계의 반도체 공정을 필요로 한다. 그러므로, 코일을 최소화시키면서 자성 전사 장치를 구성할 수 있는 기술이 필요하다.
- [0011] 미국공개특허(US 2020/0083069 A1)는 자성물질을 패터닝하면 간단한 공정으로 자성전사 장치를 제작할 수 있다. 이러한 직렬 연결된 자기 회로는 위치에 따라 자속이 변화하여 복수의 LED 칩들을 균일한 자기력을 흡입하기 어렵다.
- [0012] 마이크로 LED 디스플레이는 100um이하의 LED 화소를 요구한다. 1000 pixel per inch (PPI) 이상의 고해상도 마이크로 디스플레이 (AR 또는 VR) 구현을 위해서는 5 μ m이하의 마이크로-LED 칩이 필요하다. 따라서, 자성전사 장치의 헤드는 이러한 미세한 칩의 전사가 가능하도록 설계되어야 한다. 따라서, 100 μ m 미만의 기저력을 생성하는 전자석의 형성은 매우 어렵다.
- [0013] Micro-LED 디스플레이 구현을 위해서는 사파이어 기판 또는 GaAs 기판에서 성장된 LED는 타겟 기판으로 전사 (transfer)되어야 한다. 현재 LED 제조공정은 수율이 100 퍼센트가 아니며, 작동하지 않는 LED들은 디스플레이 기판으로 전사되지 않아야 한다. 그러므로 전기적 특성 (ideality factor, I-V curve, breakdown voltage) 과 광학적 특성(EL 측정, 파장측정, S parameter)등을 평가하고 특정 LED만을 디스플레이 기판으로 전사하는 기술이 필요할 수 있다.
- [0014] 일반적으로 LED를 성장하고 잘 성장되어있는지 포토루미네선트 (photoluminescence; PL)을 사용하여 파장등을 검사한다. 하지만, 일렉트로루미네선트(electroluminescence; EL)검사가 필요 할 수 있다. 왜냐하면 실제로 디스플레이의 구현은 EL 방식으로 이루어지기 때문이다. 여기서 또 고려해야 할 점은 LED는 3-5족 화합물로 구성되어 있는데, 각각의 층을 성장하면서 스트레인(strain)에 의한 양자구속 스타크 효과(quantum confinement stark effect ;QCSE) 때문에 에너지 밴드(band)가 휘어져 있고, 전류를 가함에 따라 파장의 이동(shift)이 일어난다. 즉, 디스플레이 구현을 할때 가해주는 전류에 따라서 파장이 바뀔 수 있다. 일반적으로 저전류 구간에서는 밴드 필링 효과(band-filling effect)에 의해서 청색 편이(blue-shift)가 일어나고 고전류 구간에서는 열에 의해서 적색 편이(red-shift)가 일어난다. 그래서 EL 특성의 검사가 더 중요 할 수 있다. 백플레인(Backplane)에서 전류나 전압을 조절할 수는 있지만 그 범위들이 제한적일 수 있다. 따라서, 불량 LED의 경우에는, 수리 공정(repair)이 필수적이다.
- [0015] 또한 micro-LED의 제조공정에서 MESA라는 공정을 진행할 수 있다. 그러나, 측벽 손상(sidewall-damage)에 의해 Shockley-Read-Hall (SRH) 재결합(recombination)이 증가하고 효율이 떨어지는 문제점들이 있다. 게다가 사이즈가 작기 때문에 공정적인 문제가 발생 할 확률이 크다. 또한, 표면(surface) 대비 측벽(sidewall)의 면적이 커져서 누설전류가 더 커질 수 있다. 작은 칩 사이즈 때문에 칩 제작 뿐만 아니라 전사하는 과정에서도 문제가 많다.
- [0016] 성장된 LED를 backplane(CMOS, HEMT, Oxide TFT)으로 바로 전사한다면 상기에 설명드린 이유들 때문에 문제가 발생 할 수 있다. 제대로 동작하는 않는 칩이 본딩(bonding) 물질(유테틱 본딩(eutectic bonding), 비등방성 도전성 필름(ACF), 비등방성 도전성 페이스트(ACP))을 이용하여 백플레인(backplane)으로 전사된다면 수리 (repair) 공정이 어렵다.
- [0017] 단순히 계산하면, 4 K 해상도의 micro-LED display를 제작한다고 하면 약 2500만개의 LED가 필요하다. 게다가 전사와 수리 공정등이 추가되면 비용은 더 추가된다. 따라서, 제대로 동작하는 칩만 선별해서 전사하는 방법이 필요 할 수 있다.

발명의 내용

해결하려는 과제

- [0018] 본 발명의 해결하고자 하는 일 기술적 과제는 하나의 기저력 소스를 사용하여 제1 자속 분배회로 및 제2 자속 분배회로를 통하여 자속을 분배하여 각각의 브랜치들이 동일한 자기 흡입력을 제공하여 복수의 LED 소자들을 동시에 픽업하는 것이다. 기저력 소스, 상기 제1 자속 분배회로, 및 제2 자속 분배회로는 폐 자기 회로를 구성한다.
- [0019] 본 발명의 해결하고자 하는 일 기술적 과제는 하나의 기저력 소스를 사용하여 폐회로를 각각 구성하는 자기 회

로들에 균일한 기자력을 제공하여 동일한 자기 흡입력을 제공하여 복수의 LED 소자들을 픽업하는 것이다.

과제의 해결 수단

- [0020] 본 발명의 일 실시예에 따른 자성 전사 장치는, 자속을 제공하는 기자력 소스; 상기 기자력 소스의 일단에 연결되고 하나의 입력단과 복수의 출력단들을 구비하고 자속을 분배하는 제1 자속 분배 회로; 및 상기 기자력 소스의 타단에 연결되고 하나의 출력단과 복수의 입력단을 구비하고 분배된 자속을 모으는 제2 자속 분배 회로;를 포함한다. 상기 제1 자속 분배 회로의 출력단들은 상기 제2 자속 분배 회로의 입력단들과 서로 쌍을 이루도록 이웃하게 배치된다.
- [0021] 본 발명의 일 실시예에 있어서, 서로 쌍을 이루는 상기 제1 자속 분배 회로의 출력단과 상기 제2 자속 분배 회로의 입력단 사이에 LED 소자의 자성층이 배치되고, 상기 기자력 소스, 상기 제1 자속 분배 회로, 및 상기 제2 자속 분배 회로는 폐 자기 회로를 구성할 수 있다.
- [0022] 본 발명의 일 실시예에 있어서, 상기 제1 자속 분배 회로는 상기 제1 자속 분배 회로의 상기 입력단과 상기 제1 자속 분배 회로의 복수의 출력단들 사이의 자기 경로가 동일한 자기 저항을 가지도록 바이너리 트리(binary tree) 구조이고, 상기 제2 자속 분배 회로는 상기 제2 자속 분배 회로의 상기 복수의 입력단들과 출력단 사이의 자기 경로가 동일한 자기 저항을 가지도록 바이너리 트리 구조일 수 있다.
- [0023] 본 발명의 일 실시예에 있어서, 상기 제1 자속 분배 회로 및 상기 제2 자속 분배 회로는, 기관; 상기 기관 상에 배치된 제1 비자성층; 상기 제1 비자성층 상에 배치된 제2 비자성층; 상기 기관을 관통하는 제1 자성 비아들; 상기 기관 및 상기 제1 비자성층을 관통하는 제2 자성 비아들; 상기 기관 상에 배치되고 상기 제1 자성 비아들을 서로 연결하는 제1 자속 분배 패턴; 상기 제1 비자성층 상에 배치되고 상기 제2 자성 비아들을 연결하는 제2 자속 분배 패턴; 상기 제1 비자성층 및 상기 제2 비자성층을 관통하여 배치되고 상기 자속 분배 패턴과 자기적으로 연결되는 제1 자기 콘택 플러그; 및 상기 제2 비자성층을 관통하여 배치되고 상기 제2 자속 분배 패턴과 자기적으로 연결되는 제2 자기 콘택 플러그;를 포함한다. 상기 제1 자성 비아들 및 상기 제2 자성 비아들을 한 쌍을 형성하도록 이웃하여 배치되고, 상기 제1 자기 콘택 플러그는 상기 기자력 소스의 일단에 연결되고, 상기 제2 자기 콘택 플러그는 상기 기자력 소스의 타단에 연결되고, 상기 제1 자속 분배 회로의 입력단은 상기 제1 자기 콘택 플러그에 대응하고, 상기 제1 자속 분배 회로의 출력단들은 상기 제1 자성 비아들에 대응하고, 상기 제2 자속 분배 회로의 출력단은 상기 제2 자기 콘택 플러그에 대응하고, 상기 제2 자속 분배 회로의 입력단들은 상기 제2 자성 비아들에 대응한다.
- [0024] 본 발명의 일 실시예에 있어서, 상기 기자력 소스는, 상기 제1 자속 분배 회로 및 상기 제2 자속 분배 회로에 자속을 제공하는 코일; 및 상기 코일에 의하여 생성된 자속을 감금하는 자성체 코어를 포함할 수 있다.
- [0025] 본 발명의 일 실시예에 있어서, 상기 기자력 소스는, 상기 제1 콘택 플러그에 상기 자속을 제공하도록 테이퍼진 형상을 구비한 제1 자성체 코어; 상기 제2 콘택 플러그에 상기 자속을 제공하도록 테이퍼진 형상을 구비한 제2 자성체 코어; 상기 제1 자성체 코어와 상기 제2 자성체 코어를 서로 연결하는 제3 자성체 코어를 포함하고, 상기 제1 내지 제3 자성체 코어 중에서 적어도 하나를 감싸도록 배치된 코일을 포함할 수 있다.
- [0026] 본 발명의 일 실시예에 따른 자성 전사 장치의 제조 방법은, 기관의 하부면에 자성층을 형성하는 단계; 상기 기관에 제1 비아홀들 형성하고 상기 제1 비아홀들을 자성체로 채워 제1 자성 비아들을 형성하는 단계; 상기 기관 상에 상기 제1 자성 비아들에 연결된 제1 자속 분배 패턴을 형성하는 단계; 상기 제1 자속 분배 패턴이 형성된 기관 상에 제1 비자성층을 적층하고, 상기 제1 비자성층 및 상기 기관을 관통하는 제2 비아홀을 형성한 후, 상기 제2 비아홀을 자성체로 채워 제2 자성 비아를 형성하는 단계; 및 제2 자성 비아들이 형성된 기관 상에 제2 자속 분배 패턴을 형성하는 단계;를 포함한다.
- [0027] 본 발명의 일 실시예에 있어서, 상기 제1 자속 분배 패턴 및 상기 제2 자속 분배 패턴은 각각 복수의 브랜치를 포함하고, 브랜치들의 길이는 동일할 수 있다.
- [0028] 본 발명의 일 실시예에 있어서, 상기 제2 자속 분배 패턴이 형성된 기관 상에 제2 비자성층을 형성하는 단계; 상기 제1 비자성층 및 제2 비자성층을 관통하고 상기 제1 자속 분배 패턴에 연결된 제1 자기 콘택 플러그를 형성하는 단계; 및 제2 비자성층을 관통하고 상기 제2 자속 분배 패턴에 연결된 제2 자기 콘택 플러그를 형성하는 단계를 더 포함할 수 있다.

발명의 효과

[0029] 본 발명의 일 실시예에 따른 자기 전사 장치는 하나의 기저력 소스의 자속을 브랜치들 또는 자속 분배 회로를 통하여 병렬로 균등분배한 후 다시 자속을 모집하여, 각 브랜치 별로 동일한 자기 흡입력을 제공하여 복수의 LED 소자들을 동시에 픽업할 수 있다.

도면의 간단한 설명

[0030] 도 1a는 본 발명의 일 실시예에 따른 소자 전자 장치를 설명하는 평면도이다.
 도 1b는 도 1a의 A-A' 선을 따라 자른 단면도이다.
 도 1c는 도 1a의 B-B' 선을 따라 자른 단면도이다.
 도 1d는 도 1a의 자성 전사 장치를 설명하는 개념도이다.
 도 1e 및 도 1f는 도 1a의 소자 전자 장치를 설명하는 자기 회로도이다.
 도 2a 내지 도 2h는 본 발명의 일 실시예에 따른 제1 자속 분배 회로 및 제2 자속 분배 회로를 제조하는 방법을 설명하는 단면도들이다.
 도 3 내지 도 6은 본 발명의 실시예들에 따른 자기 회로를 나타내는 평면도들이다.
 도 7은 본 발명의 일 실시예에 따른 LED 소자 검사 및 전사 시스템을 설명하는 개념도이다.
 도 8a 내지 도 8g는 본 발명의 일 실시예에 따른 LED 소자의 검사 및 전사 방법을 나타내는 단면도들이다.
 도 9a는 본 발명의 다른 실시예에 따른 자성 전사 장치를 설명하는 평면도이다.
 도 9b는 도 9a의 C-C' 선을 따라 자른 단면도이다.
 도 9c는 도 9a의 자성 전사 장치를 설명하는 자기 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 자기 회로는 자속(magnetic flux)의 흐름을 나타내는 회로이다. 자기 회로를 구성하는 일 부품이 자기 회로에서 이격되는 경우, 저장된 자기 에너지 또는 자속을 일정하기 유지하기 위하여, 흡입 자기력이 발생한다. 이러한 흡입 자기력은 자성체를 중력에 반하여 자기 회로를 구성하는 일 부품을 들어 올릴 수 있다. 이러한 흡입 자기력은 자속 밀도의 제곱에 비례하고, 면적에 반비례할 수 있다. 따라서, 큰 흡입 자기력을 인가하기 위하여 높은 자속밀도 (또는 자기장)가 요구된다. 자속 밀도는 전류의 세기 및 코일의 권선수에 비례한다. 그러나, 마이크로 LED 소자는 백 um 이하의 사이즈를 가져, 자기 전사 장치는 전류의 세기의 증가 및 권선수의 증가에 한계를 가진다.

[0032] 소형화된 복수의 LED 소자를 동시에 전사(transfer)시킬 수 있는 자기 이송 장치 또는 자기 전사 장치가 요구된다. 자기 이송 장치는 자기회로를 구성하는 자성체를 포함한다. 피이송물은 자기 회로를 구성하기 위하여 자성층으로 코팅될 수 있다. 상기 자기 이송 장치는 전자석에 의하여 자기 회로에 소정의 시간에 자속을 인가한다.

[0033] 복수의 LED 소자를 전사시키기 위하여, 하나의 자기 회로와 하나의 전자석이 사용될 수 있다. 그러나, 전자석은 코일 구조의 인덕턴스를 요구하기 때문에 많은 부피를 필요로 한다. 따라서, 마이크로미터 사이즈의 LED 소자를 픽업하기에는 너무 큰 부피가 요구된다. 본 발명의 일 실시예에 따르면, 하나의 전자석을 이용하여 자속 분배 회로를 통하여 폐 자기 회로를 구성하면서, 복수의 LED 소자를 동일한 자기 흡입력으로 픽업할 수 있는 장치를 제안한다. 전류회로와 자기 회로는 상호 대응관계를 가지며, 전류회로의 저항은 자기회로에서 자기 저항에 대응한다. 자기 회로에 자속이 흐르는 경우, 분기된 자기 회로는 서로 다른 자기 저항에 의하여 서로 다른 자속을 가진다. 본 발명은 분기된 자기 회로가 동일한 자기 저항을 가진 자속 분배회로 구조를 제안한다.

[0034] 본 발명의 일 실시예에 따르면, 기저력 소스는 자속을 형성하여 제1 자속 분배 회로에 제공한다. 제1 자속 분배 회로는 하나의 입력단과 복수의 출력단을 구비하고 복수의 자기 경로에 자속을 균등하게 분배한다. 균등하게 분배된 자속은 LED 칩에 배치된 자성층을 경유하여 제2 자속 분배회로를 통하여 모아진다. 제2 자속 분배회로는 복수의 입력단과 하나의 출력단을 구비한다. 복수의 입력단으로 입사하는 자속은 하나의 출력단으로 모인다. 상기 기저력 소스는 자속을 상기 제1 자속 분배회로의 입력단에 주입하고, 상기 제2 자속 분배회로의 출력단을 통하여 폐 자기 회로를 구성한다. 이에 따라, 각각의 LED들은 동일한 자기 흡입력에 의하여 흡착되어 이송될 수 있다. 자속을 균등하게 분배하기 위하여, 제1 자속 분배회로의 각 브랜치는 동일한 자기 저항을 가지며, 제2 자

속 분배회로의 각 브랜치는 동일한 자기 저항을 가진다. 자기 저항은 회로의 길이에 비례하고, 단면적 및 투자율에 반비례한다. 따라서, 각 브랜치는 동일한 단면적을 가지도록 설계되며, 동일한 길이를 가지도록 설계될 수 있다. 이에 따라, 각 브랜치는 동일한 자기 저항을 가질 수 있다.

- [0035] 본 발명의 일 실시예에 따른 픽애플레이스 장치는, 기저력을 제공하는 기저력 소스, 상기 기저력 소스의 일단에 연결되고 복수의 브랜치를 가지는 제1 자기 회로, 상기 기저력 소의 타단에 연결되고 복수의 브랜치를 가지는 제2 자기 회로를 포함한다. 상기 제1 자기 회로의 브랜치들의 단말은 상기 제2 자기 회로의 브랜치들의 단말과 서로 이웃하게 배치된다.
- [0036] 본 발명의 일 실시예에 따르면, 자기 회로를 구성하는 자성체는 강자성체 물질을 포함할 수 있다. 강자성체 물질은 철, 니켈, 코발트, 망간, 몰리브덴, 및 이들의 합금일 수 있다. 자기 회로는 구성하는 물질은 강자성체 분말에 절연체로 코팅될 수 있다. 이에 따라, 시변 자기장에 의한 와류에 의한 에너지 손실이 저감될 수 있다.
- [0037] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0038] 도 1a는 본 발명의 일 실시예에 따른 소자 전자 장치를 설명하는 평면도이다.
- [0039] 도 1b는 도 1a의 A-A' 선을 따라 자른 단면도이다.
- [0040] 도 1c는 도 1a의 B-B' 선을 따라 자른 단면도이다.
- [0041] 도 1d는 도 1a의 자성 전자 장치를 설명하는 개념도이다.
- [0042] 도 1e는 도 1a의 소자 전자 장치를 설명하는 자기 회로도이다.
- [0043] 도 1a 내지 도 1e를 참조하면, 본 발명의 일 실시예에 따른 자성 전자 장치(100)는, 자속(Φ)을 제공하는 기저력 소스(140); 상기 기저력 소스(140)의 일단에 연결되고 하나의 입력단(131a')과 복수의 출력단들(131a'')을 구비하고 자속(Φ)을 분배하는 제1 자속 분배 회로(130a); 및 상기 기저력 소스(140)의 타단에 연결되고 하나의 출력단(131b')과 복수의 입력단(131b'')을 구비하고 분배된 자속($\Phi/4$)을 모으는 제2 자속 분배 회로(130b);를 포함한다. 상기 제1 자속 분배 회로(130a)의 출력단들(131a'')은 상기 제2 자속 분배 회로(130b)의 입력단들(130b'')과 서로 쌍을 이루도록 이웃하게 배치된다. 서로 쌍을 이룬 상기 제1 자속 분배 회로(130a)의 출력단들(131a'')과 상기 제2 자속 분배 회로(130b)의 입력단들(130b'') 사이의 간격은 LED 소자의 크기 보다 작을 수 있다.
- [0044] LED 소자는 성장 기관에서 LED 소자들이 제조된 후 칩 단위로 분리된다. 또는, LED 웨이퍼에서 LED 소자들이 제조된 후 별도의 캐리어 기관과 접합된 후, LED 소자별로 분리된다. 분리된 LED 소자들은 자성 전자 장치(또는 픽업 헤드)에 의하여 픽업되어 백 플레인 또는 인쇄회로 기관에 전사된다.
- [0045] 또는, 웨이퍼에서 성장되고 제작된 칩의 LED특성(전기적 광학적 효율)이 다르게 되는데, 이러한 칩들을 백플레인 또는 인쇄회로 기관에 바로 전사할 경우 특성이 다른 문제가 있어 디스플레이로 구현하기에 문제가 있다. 그래서 사용되는 기술이 인터포저(interposer)라는 개념을 도입하여 비슷한 특성을 가지는 칩을 모으고 이것을 다시 인쇄회로 기관 또는 백플레인(backplane) 전사하는 방법들이 이용될 수 있다.
- [0046] 자성 전자 장치(100)는 복수의 LED 소자들을 동시에 인쇄회로 기관 또는 백플레인에 전사한다. 백플레인은 박막 트랜지스터를 포함할 수 있다.
- [0047] 자기 흡입력을 이용하여, LED 소자들(112)을 전사시키기 위하여, LED 소자들 각각은 그 표면에 자성층(114)으로 코팅될 수 있다. 상기 자성층(114)은 추후에 용이하게 제거될 수 있다.
- [0048] LED 소자의 자성층(114)은 자성잉크를 사용하여 도포될 수 있다. LED 소자의 표면에 열박리 테이프(thermal release tape)를 코팅하고 자성잉크를 도포하여 전사공정을 진행 한 후에 열을 가하게 되면 열박리 테이프(thermal release tape)는 접착력을 잃게 되므로 자성잉크를 효과적으로 제거할 수 있다. 자성잉크는 Fe, Ni, Co, perm-alloy 등 자성물질이 함유되어 자기장에 반응할 수 있는 점성을 가진 액체를 포함할 수 있다.
- [0049] 상기 제1 자속 분배 회로(130a)의 출력단들(131a'')은 상기 제2 자속 분배 회로(130b)의 입력단들(130b'')과 서

로 쌍을 이루도록 이웃하게 배치된다. 서로 쌍을 이루는 상기 제1 자속 분배 회로(130a)의 출력단(131a'')과 상기 제2 자속 분배 회로(130b)의 입력단(131b'') 사이에 LED 소자의 자성층(114)이 배치된다. 이에 따라, 상기 기저력 소스(140), 상기 제1 자속 분배 회로(130a), 및 상기 제2 자속 분배 회로(130b)는 폐 자기 회로를 구성한다.

- [0050] 상기 제1 자속 분배 회로(130a)는 상기 제1 자속 분배 회로(130a)의 상기 입력단(131a')과 상기 제1 자속 분배 회로(130a)의 복수의 출력단들(131a'') 사이의 자기 경로가 동일한 자기 저항을 가지도록 바이너리 트리(binary tree) 구조일 수 있다. 즉, 상기 제1 자속 분배 회로(130a)는 동일한 자기 저항을 갖도록 복수의 브랜치를 가지도록 구성될 수 있다. 즉, 자기 저항은 자기 경로의 길이에 비례하고 단면적에 반비례할 수 있다. 단면적이 동일한 경우, 자기 경로가 동일하도록 구성될 수 있다. 바람직하게는 자기 경로는 바이너리 트리(binary tree) 구조일 수 있다.
- [0051] 상기 제2 자속 분배 회로(130b)는 상기 제2 자속 분배 회로의 상기 복수의 입력단들(131b'')과 출력단(131b') 사이의 자기 경로가 동일한 자기 저항을 가지도록 바이너리 트리 구조를 포함할 수 있다. 2개의 브랜치를 가지는 단위 바이너리 트리 구조는 상대 대칭 또는 좌우 대칭으로 배열될 수 있다. 이에 따라, 4개의 흡착 셀을 가진 경우, 2X2 배열 또는 4X1 배열이 가능하다.
- [0052] 8개의 흡착 셀을 가진 경우, 2X4 배열 또는 8X1 배열이 가능하다. 16개의 흡착 셀을 가진 경우, 4X4 배열, 16X1 배열, 또는 8X2 배열 등이 가능하다.
- [0053] 각 자기 경로 별로, 자기 저항이 동일한 경우, 상기 제1 자속 분배 회로(130a)에 제공되는 자속은 자기 경로 (또는 브랜치) 별로 균등 분배된다. 따라서, LED 소자들은 동일한 자기 흡입력에 흡착될 수 있다. 또한, 바이너리 트리(binary tree) 구조는 2의 배수로 설계될 수 있어, 복수의 LED 소자들이 동시에 전사될 수 있다.
- [0054] 예를 들어, 4 X 4 배열의 제1 자속 분배 회로를 구비한 경우, 하나의 LED 소자의 크기가 100 μm 인 경우, 제1 자속 분배 회로의 총 길이는 100 x 8 배열 수 있다. 따라서, 제1 자속 분배 회로는 충분한 거리를 확보함에 따라, 기저력 소스(140)로 자성체 코어에 코일을 감은 전자석이 사용될 수 있다. 이에 따라, 기저력 소스는 누설 자속없이 자속을 제1 자속 분배 회로에 제공하여 효율적인 자기 에너지를 전달할 수 있다.
- [0055] 상기 제1 자속 분배 회로(130a) 및 상기 제2 자속 분배 회로(130b)는 PCB 공정 또는 반도체 공정을 통하여 제작될 수 있다.
- [0056] 상기 제1 자속 분배 회로(130a)는 입사된 자속을 분기하여 각각의 LED 소자들에 제공한다. 또한, 상기 제2 자속 분배회로(130b)는 LED 소자들을 경우한 자속을 모아 기저력 소스(140)로 전달한다. 이에 따라, 누설 자속이 최소화되어 효율적인 LED 소자들의 동시 픽업이 가능하다.
- [0057] 구체적으로, 상기 제1 자속 분배 회로(130a) 및 상기 제2 자속 분배 회로(130b)는, 기판(122); 상기 기판(122) 상에 배치된 제1 비자성층(124); 상기 제1 비자성층 상에 배치된 제2 비자성층(126); 상기 기판(122)을 관통하는 제1 자성 비아들(132a); 상기 기판(122) 및 상기 제1 비자성층(124)을 관통하는 제2 자성 비아들(132b); 상기 기판(122) 상에 배치되고 상기 제1 자성 비아들(132a)을 서로 연결하는 제1 자속 분배 패턴(134a); 상기 제1 비자성층(124) 상에 배치되고 상기 제2 자성 비아들(132b)을 연결하는 제2 자속 분배 패턴(134b); 상기 제1 비자성층(124) 및 상기 제2 비자성층(126)을 관통하여 배치되고 상기 제1 자속 분배 패턴(134a)과 자기적으로 연결되는 제1 자기 콘택 플러그(136a); 및 상기 제2 비자성층(126)을 관통하여 배치되고 상기 제2 자속 분배 패턴(134b)과 자기적으로 연결되는 제2 자기 콘택 플러그(136b);를 포함한다. 상기 제1 자성 비아들(132a) 및 상기 제2 자성 비아들(132b)을 한 쌍을 형성하도록 이웃하여 배치된다. 상기 제1 자기 콘택 플러그(136a)는 상기 기저력 소스(140)의 일단에 연결된다. 상기 제2 자기 콘택 플러그(136b)는 상기 기저력 소스(140)의 타단에 연결된다. 상기 제1 자속 분배 회로(130a)의 입력단(131a')은 상기 제1 자기 콘택 플러그(136b)에 대응한다. 상기 제1 자속 분배 회로(130a)의 출력단들(131a'')은 상기 제1 자성 비아들(132a)에 대응한다. 상기 제2 자속 분배 회로(130b)의 출력단(131b')은 상기 제2 자기 콘택 플러그(136b)에 대응한다. 상기 제2 자속 분배 회로(130b)의 입력단들(131b'')은 상기 제2 자성 비아들(132b)에 대응한다.
- [0058] 기판(122)은 비자성체로 반도체 기판, PCB 기판, 플라스틱 기판, 비자성 금속 기판일 수 있다. 상기 기판은 유연성을 가지지 않는 리지드(rigid) 기판일 수 있다. 상기 기판(122)의 두께는 수십 μm 내지 수 밀리미터일 수 있다. 상기 기판(122)은 바람직하게는 절연체일 수 있다.
- [0059] 제1 비자성층(124)은 절연체 또는 비자성 도전체일 수 있다. 상기 제1 비자성층(124)은 바람직하게는 절연체일 수 있다. 제2 비자성층(126)은 절연체 또는 비자성 도전체일 수 있다. 상기 제2 비자성층(126)은 바람직하게는

절연체일 수 있다.

- [0060] 제1 자성 비아들(132a)은 분배된 자속을 LED 소자의 자성층(114)에 전달하는 단말일 수 있다. 상기 제1 자성 비아들(132a)은 상기 기관(122)을 관통하여 배치되고, 흡착하고자 하는 LED 소자마다 배치될 수 있다. 자기 회로를 구성하는 자성체들은 모두 동일한 물질일 수 있다.
- [0061] 제2 자성 비아들(132b)은 LED 소자의 자성층(114)을 통하여 전달된 분배된 자속을 집속할 수 있다. 상기 제2 자성 비아들(132b)은 상기 기관(122) 및 상기 제1 비자성층(124)을 관통하여 배치되고, 흡착하고자 하는 LED 소자마다 배치될 수 있다. 상기 제1 자성 비아(132a)의 높이와 상기 제2 자성 비아(132b)의 높이는 서로 다를 수 있다. 이에 따라, 상기 제1 자성 비아(132a)에 연결된 제1 자속 분배 패턴(134a)과 상기 제2 자성 비아(132b)에 연결된 제2 자속 분배 패턴(134)은 서로 다른 배치 평면에 있어, 동일한 평면에서 겹치지 않을 수 있다.
- [0062] 제1 자속 분배 패턴(134a)은 바이너리 트리 구조를 가지고, 제1 자성 비아들(132a)을 서로 연결할 수 있다. 이에 따라, 제1 자속 분배 패턴(134a)에서, 하나의 입력단에서 복수의 출력단 사이의 거리는 모두 동일할 수 있다. 이에 따라, 자기 경로마다 자기 저항은 동일하므로, 분배된 자속은 동일할 수 있다.
- [0063] 제2 자속 분배 패턴(134b)은 바이너리 트리 구조를 가지고, 제2 자성 비아들(132b)을 서로 연결할 수 있다. 이에 따라, 제2 자속 분배 패턴(134b)에서, 복수의 입력단들에서 하나의 출력단 사이의 거리는 모두 동일할 수 있다. 이에 따라, 자기 경로마다 자기 저항은 동일하므로, 분배된 자속은 동일할 수 있다. 상기 제1 자속 분배 패턴(134a)의 배치 평면과 상기 제2 자속 분배 패턴(134b)의 배치 평면은 서로 다를 수 있다. 이에 따라, 상기 제1 자속 분배 패턴(134a)과 상기 제2 자속 분배 패턴(134b)은 동일 평면에서 서로 겹치지 않을 수 있다.
- [0064] 제1 자기 콘택 플러그(136a)는 제1 비자성층(124)과 제2 비자성층(126)을 관통하여 배치되고, 제1 자기 콘택 플러그(136a)의 일단은 상기 제1 자속 분배 패턴에 연결되고, 제1 자기 콘택 플러그(136a)의 타단은 외부로 노출될 수 있다. 상기 제1 자기 콘택 플러그(136a)의 타단은 외부의 기저력 소스(140)로부터 자속을 제공받을 수 있다.
- [0065] 제2 자기 콘택 플러그(136b)는 제2 비자성층(126)을 관통하여 배치되고, 제2 자기 콘택 플러그(136b)의 일단은 상기 제2 자속 분배 패턴에 연결되고, 제2 자기 콘택 플러그(136b)의 타단은 외부로 노출될 수 있다. 상기 제2 자기 콘택 플러그(136b)는 외부의 기저력 소스(140)에게 자속을 전달할 수 있다.
- [0066] 예를 들어, 제1 자속 분배회로가 4 개의 브랜치를 가지는 경우, 제2 자속 분배회로는 역시 4 개의 브랜치를 가지며, 각각의 브랜치의 단말은 분배된 자속을 전달받을 수 있도록 서로 이웃하게 배치된다.
- [0067] 상기 기저력 소스(140)는, 상기 제1 자속 분배 회로(130a) 및 상기 제2 자속 분배 회로(130b)에 자속을 제공하는 코일(144); 및 상기 코일(144)에 의하여 생성된 자속을 감금하는 자성체 코어(142)를 포함한다. 상기 기저력 소스(140)는 자성체 코어(142)와 상기 자성체 코어(142)를 감싸는 코일(144)을 포함할 수 있다. 상기 코일(144)에 전류가 흐르는 경우, 상기 자성체 코어(142)는 자기장을 집속하여 자속을 생성한다. 상기 자속은 자기 회로를 통하여 누설 자속이 없는 경우, 폐 자기회로를 통하여 손실되지 않는다.
- [0068] 상기 기저력 소스(140)의 자성체 코어(142)의 일단의 단면적은 효율적으로 자속을 전달하기 위하여 제1 자속 분배 회로(130a)의 입력단의 단면적보다 작거나 같을 수 있다. 따라서, 상기 자성체 코어(142)의 일단은 단면적을 감소시키기 위하여 테이퍼질 수 있다. 상기 기저력 소스(140)의 자성체 코어(142)의 타단의 단면적은 효율적으로 자속을 전달받기 위하여 제2 자속 분배 회로(130b)의 출력단의 단면적보다 크거나 같을 수 있다. 상기 기저력 소스(140)의 자속의 방향은 변경될 수 있으므로, 자성체 코어(140)의 일단의 단면적은 제1 자기 콘택 플러그(136a)의 단면적과 동일하고, 자성체 코어(140)의 타단의 단면적은 제2 자기 콘택 플러그(136b)의 단면적과 동일할 수 있다.
- [0069] 구체적으로, 상기 기저력 소스(140)는, 상기 제1 콘택 플러그(136a)에 상기 자속을 제공하도록 테이퍼진 형상을 구비한 제1 자성체 코어(142a); 상기 제2 콘택 플러그(136b)에 상기 자속을 제공하도록 테이퍼진 형상을 구비한 제2 자성체 코어(142b); 상기 제1 자성체 코어(142a)와 상기 제2 자성체 코어(142b)를 서로 연결하는 제3 자성체 코어(142c)를 포함한다. 상기 제1 내지 제3 자성체 코어 중에서 적어도 하나를 감싸도록 배치된 코일(144)을 포함한다. 상기 기저력 소스(140)는 별도로 제작되어 상기 기관에 접착될 수 있다. 상기 자성체 코어(142)는 "[" 형태일 수 있다.
- [0070] 도 1f를 참조하면, 제1 자속 분배 패턴은 4개의 자기 경로 또는 브랜치를 가진다. 하지만, 하나의 자기 경로에, LED 소자에 프린팅되는 자성층(114)이 부재한다. 이 경우, 주입된 자속은 자성층이 부재하는 자기 경로

는 자기 저항의 증가로 다른 자기 경로로 분배된다. 따라서, 전사하고자 하는 LED 소자들의 배열에서, 자성층이 형성되지 않은 LED를 제외하고, 선택적 자기 전사가 가능하다.

- [0071] 도 2a 내지 도 2h는 본 발명의 일 실시예에 따른 제1 자속 분배 회로 및 제2 자속 분배 회로를 제조하는 방법을 설명하는 단면도들이다.
- [0072] 도 2a 내지 도 2h를 참조하면, 자성 전사 장치의 제조 방법은, 기판(122)의 하부면에 자성층(138)을 형성하는 단계; 상기 기판(122)에 제1 비아홀들 형성하고 상기 제1 비아홀들을 자성체로 채워 제1 자성 비아들(132a)을 형성하는 단계; 상기 기판 상에 상기 제1 자성 비아들(132a)에 연결된 제1 자속 분배 패턴(134a)을 형성하는 단계; 상기 제1 자속 분배 패턴이 형성된 기판 상에 제1 비자성층(126)을 적층하고, 상기 제1 비자성층(126) 및 상기 기판(122)을 관통하는 제2 비아홀을 형성한 후, 상기 제2 비아홀을 자성체로 채워 제2 자성 비아들(132b)을 형성하는 단계; 및 제2 자성 비아들(132b)이 형성된 기판 상에 제2 자속 분배 패턴(134b)을 형성하는 단계를 포함한다.
- [0073] 자성 전사 장치의 제조 방법은, 상기 제2 자속 분배 패턴(134b)이 형성된 기판 상에 제2 비자성층(126)을 형성하는 단계; 상기 제1 비자성층(124) 및 제2 비자성층(126)을 관통하고 상기 제1 자속 분배 패턴(134a)에 연결된 제1 자기 콘택 플러그(136a)를 형성하는 단계; 및 제2 비자성층(126)을 관통하고 상기 제2 자속 분배 패턴(134b)에 연결된 제2 자기 콘택 플러그(136b)를 형성하는 단계를 더 포함할 수 있다. 상기 제1 자속 분배 패턴(134a) 및 상기 제2 자속 분배 패턴(134b)은 각각 복수의 브랜치를 포함하고, 브랜치들의 길이는 동일할 수 있다.
- [0074] 도 2a를 참조하면, 기판(122)의 하부면에 자성층(138)이 형성된다. 상기 자성층(138)은 전기 도금 방식 또는 증착 방식에 의하여 형성될 수 있다. 상기 기판(122)에 제1 비아홀 형성한다. 상기 제1 비아홀은 레이저 드릴링 방식 또는 포토리소그래피 및 식각 공정에 의하여 형성될 수 있다.
- [0075] 도 2b를 참조하면, 상기 제1 비아 홀은 전기 도금 또는 스퍼터링과 같은 진공 증착 방식으로 채워져 제1 자성 비아들(132a)을 형성할 수 있다.
- [0076] 도 2c 및 도 2d를 참조하면, 상기 기판의 상부면에 자성층(134')이 형성될 수 있다. 상기 자성층(134')은 패터닝되어 제1 자속 분배 패턴(134a)을 형성할 수 있다. 상기 제1 자속 분배 패턴(134a)은 상기 제1 자성 비아들(132a)을 바이너리 트리 구조로 연결할 수 있다.
- [0077] 도 2e 및 도 2f를 참조하면, 상기 제1 자속 분배 패턴(134a)이 형성된 기판 상에 제1 비자성층(124)을 적층한다. 상기 제1 비자성층(124) 및 상기 기판(122)을 관통하는 제2 비아홀들을 형성한 후, 상기 제2 비아홀들을 자성체로 채워 제2 자성 비아들(132b)을 형성할 수 있다.
- [0078] 도 2g를 참조하면, 상기 제1 비자성층(124)의 상부면에 자성층이 형성될 수 있다. 상기 자성층은 패터닝되어 제2 자속 분배 패턴(134b)을 형성할 수 있다. 상기 제2 자속 분배 패턴(134b)은 상기 제2 자성 비아들(132b)을 바이너리 트리 구조로 연결할 수 있다.
- [0079] 도 2h를 참조하면 상기 제2 자속 분배 패턴(134b)이 형성된 기판(122) 상에 제2 비자성층(126)을 형성한다. 상기 제1 비자성층(124) 및 제2 비자성층(126)을 관통하고 상기 제1 자속 분배 패턴(134a)에 연결된 제1 자기 콘택 플러그(136a)를 형성한다. 또한, 제2 비자성층(126)을 관통하고 상기 제2 자속 분배 패턴(134b)에 연결된 제2 자기 콘택 플러그(136b)를 형성한다. 상기 제1 자기 콘택 플러그(136a)는 상기 기저력 소스(140)로부터 자속을 공급받고, 상기 제2 자기 콘택 플러그(136b)는 상기 기저력 소스(140)에게 자기 회로를 통하여 흐르는 자속을 제공할 수 있다. 상기 기판 하부면에 배치된 자성층(138)은 제거된다.
- [0080] 기저력 소스(140)는 "[" 형태의 자성체 코어(142)와 상기 자성체를 코어를 감싸는 코일(144)을 포함할 수 있다. 상기 자성체 코어(142)는 별도로 성형하여 제작할 수 있다. 상기 자성체 코어의 양단은 각각 제1 자기 콘택 플러그(136a)와 상기 제2 자기 콘택 플러그(136b)와 자기 결합할 수 있다.
- [0081] 도 3 내지 도 6은 본 발명의 실시예들에 따른 자기 회로를 나타내는 평면도들이다.
- [0082] 도 3을 참조하면, 자성 전사 장치(100)는 2X2 배열 구조를 가진다. 제1 자속 분배 회로를 구성하는 제1 자속 분배 패턴(134a)은 실선으로 표시되고, 제2 자속 분배 회로를 구성하는 제2 자속 분배 패턴(134b)은 점선으로 표시된다. 제1 자성 콘택 플러그(136a)로 입사된 자속(Φ)은 분배된 후 다시 모여 폐회로를 구성하여 제2 자성 콘택 플러그(136b)로 나온다.

- [0083] 도 4를 참조하면, 자성 전사 장치(200)는 4X1 배열 구조를 가진다. 제1 자속 분배 회로를 구성하는 제1 자속 분배 패턴(134a)은 실선으로 표시되고, 제2 자속 분배 회로를 구성하는 제2 자속 분배 패턴(134b)은 점선으로 표시된다. 제1 자성 콘택 플러그(136a)로 입사된 자속(Φ)은 분배된 후 다시 모여 폐회로를 구성하여 제2 자성 콘택 플러그(136b)로 나온다.
- [0084] 도 5를 참조하면, 성 전사 장치(300)는 4X2 배열 구조를 가진다. 제1 자속 분배 회로를 구성하는 제1 자속 분배 패턴(134a)은 실선으로 표시되고, 제2 자속 분배 회로를 구성하는 제2 자속 분배 패턴(134b)은 점선으로 표시된다. 제1 자성 콘택 플러그(136a)로 입사된 자속(Φ)은 분배된 후 다시 모여 폐회로를 구성하여 제2 자성 콘택 플러그(136b)로 나온다.
- [0085] 도 6을 참조하면, 자성 전사 장치(400)는 4X4 배열 구조를 가진다. 제1 자속 분배 회로를 구성하는 제1 자속 분배 패턴(134a)은 실선으로 표시되고, 제2 자속 분배 회로를 구성하는 제2 자속 분배 패턴(134b)은 점선으로 표시된다. 제1 자성 콘택 플러그(136a)로 입사된 자속(Φ)은 분배된 후 다시 모여 폐회로를 구성하여 제2 자성 콘택 플러그(136b)로 나온다.
- [0086] 도 7은 본 발명의 일 실시예에 따른 LED 소자 검사 및 전사 시스템을 설명하는 개념도이다.
- [0087] 도 7을 참조하면, LED 소자 검사 및 전사 시스템(10)은, LED 소자들(21)을 수직 전도성 임시 기판(30)에 전사한 후 상기 임시 기판(30)에 프로브 회로(40)를 접속하여 상기 LED 소자들(21)을 검사하여 특성을 분석하는 제어부(80); 상기 LED 소자들(21)의 분석된 특성에 기반하여 상기 LED 소자들(21)에 자성층(22)을 각각 형성하는 자성층 프린트부(70); 및 상기 자성층(22)이 형성된 LED 소자들을 최종 기판(50)에 전사하는 자성 전사 장치(100)를 포함한다.
- [0088] 수직 전도성 임시 기판(30)은 수직 방향으로 전도성을 가진 임시 기판으로 이방성 도전성 필름일 수 있다. 통상적으로 이방성 도전성 필름은 소정의 온도 이상으로 가열한 상태로 접합시키고, 다시 소정의 온도 이상으로 가열한 상태에서 분리될 수 있다.
- [0089] 상기 임시 기판(30)의 일면에는 성장 기판에서 전사된 복수의 LED 소자들(21)이 배치될 수 있다. 상기 임시 기판(30)의 타면에는 프로브 회로(40)가 연결될 수 있다. 상기 프로브 회로(40)는 프로브 기판 상에 전기적 연결을 위한 복수의 프로브들 구비할 수 있다.
- [0090] 상기 프로브 회로(40)는 상기 임시 기판(30)을 통하여 LED 소자들(21) 각각의 전기적 접속을 제공할 수 있다. 이에 따라, LED 소자들 각각의 특성이 검사될 수 있다. 구체적으로, 전기적 특성 (ideality factor, I-V curve, breakdown voltage)과 광학적 특성(EL 측정, 파장측정, S parameter)이 평가되고, 특성에 따라 LED 소자들이 분류될 수 있다.
- [0091] 광학적 특성을 측정하기 위하여, 광학 측정 장치(60)가 사용될 수 있다. 상기 광학 측정 장치(60)는 발광 특성을 측정하는 분광 장치, 형상 및 광학 특성을 측정하는 현미경일 수 있다.
- [0092] 제어부(80)는 상기 프로브 회로(40)를 제어하여 위치에 따른 LED 소자의 특성을 분석하고 저장할 수 있다. 또한, 상기 제어부(80)는 분석된 특성에 기반하여 자성층 프린트부(70)를 제어할 수 있다. 예를 들어, 불량 상태의 LED 소자에는 자성층(22)을 코팅하지 않도록 상기 자성층 프린트부(70)를 제어할 수 있다. 상기 자성층 프린트부(70)는 이송 수단을 구비하고, 불량 상태의 LED 소자를 제외하고 양품의 LED 소자들에 자성층을 코팅할 수 있다. 상기 자성층 프린트부(70)는 자성입자를 포함하는 자성 잉크를 프린트하여 자성층(22)을 형성할 수 있다. 또한, 상기 제어부(80)는 소정의 LED 소자들을 픽업하도록 상기 자성 전사 장치(100)를 제어할 수 있다.
- [0093] 상기 자성 전사 장치(100)는, 자속을 제공하는 기자력 소스; 상기 기자력 소스의 일단에 연결되고 하나의 입력단과 복수의 출력단들을 구비하고 자속을 분배하는 제1 자속 분배 회로; 및 상기 기자력 소스의 타단에 연결되고 하나의 출력단과 복수의 입력단들을 구비하고 분배된 자속을 모으는 제2 자속 분배 회로;를 포함한다. 상기 제1 자속 분배 회로의 출력단들은 상기 제2 자속 분배 회로의 입력단들과 서로 쌍을 이루도록 이웃하게 배치된다.
- [0094] 상기 자성 전사 장치(100)는 이송 수단(90)에 의하여 상기 임시 기판(21)으로 이동한 후 선택된 LED 소자들(21)을 픽업하여 최종 기판(50)에 전사할 수 있다. 상기 최종 기판(50)은 배열된 LED 소자를 선택하도록 배열된 TFT 소자들을 포함할 수 있다.
- [0095] 본 발명의 변경된 실시예에 따르면, 상기 제어부(80)는 모든 LED 소자들에 자성층(22)을 형성하도록 자성층 프린트부(70)를 제어할 수 있다. 상기 제어부(80)는 분석된 특성에 기반한 소정의 LED 소자들만을 선택적으로 픽업하도록 소정의 자기 경로를 차단하도록 제어할 수 있다. 이를 위하여, 상기 자성 전사 장치(100)는 선택적 전

사를 수행할 수 있다.

- [0096] 도 8a 내지 도 8g는 본 발명의 일 실시예에 따른 LED 소자의 검사 및 전사 방법을 나타내는 단면도들이다.
- [0097] 도 8a 내지 도 8g를 참조하면, LED 소자의 검사 및 전사 방법은, 성장 기관(20)에서 LED 소자들(21)을 제작한 후 상기 LED 소자들(21) 상에 수직 전도성 임시 기관(30)을 부착하는 단계; 상기 성장 기관(20)과 상기 LED 소자들(21)을 분리하고 상기 LED 소자들을 수직 전도성 임시 기관(30)에 전사하는 단계; 상기 임시 기관(30)에 프로브 회로(40)를 접속하여 상기 LED 소자들을 검사하여 상기 LED 소자들을 특성에 따라 분류하는 단계; 상기 LED 소자들에 자성층(22)을 각각 형성하는 단계; 및 상기 자성층이 형성된 LED 소자들을 자성 전사 장치(100)를 이용하여 최종 기관(50)에 전사하는 단계를 포함한다.
- [0098] 도 8a 및 도 8b를 참조하면, 성장 기관(20)에서 LED 소자들(21)을 제작한 후 상기 LED 소자들 상에 수직 전도성 임시 기관(21)을 부착한다. 상기 성장 기관(20)은 사파이어 기관, Si 기관, 또는 GaAs 기관일 수 있다. 상기 LED 소자들(21)은 적색 LED, 녹색 LED, 또는 청색 LED일 수 있다. 상기 LED 소자들(21)은 전기적 접속을 위하여 접속 패드들(21a)을 포함할 수 있다.
- [0099] 상기 LED 소자들을 수직 전도성 임시 기관(30)에 전사할 수 있다. 수직 전도성 임시 기관(30)은 필름이나 테이프 형태일 수 있다. 상기 수직 전도성 임시 기관(30)은 수직 방향으로 전기 전도성을 가진 물질일 수 있다. 상기 수직 전도성 임시 기관(30)은 소정의 온도로 가열되어 상기 LED 소자들에 부착될 수 있다.
- [0100] 도 8c를 참조하면, 상기 성장 기관과 상기 LED 소자들을 분리하고 상기 LED 소자들을 수직 전도성 임시 기관(30)에 전사한다.
- [0101] 상기 LED 소자들을 상기 성장 기관에서 분리하기 위하여, 레이저 리프트-오프(laser lift-off) 공정이 사용될 수 있다. 예를 들어, 레이저 빔을 투명 사파이어 기관을 통하여 조사하여 사파이어 기관으로부터 GaN 박막을 분리할 수 있다.
- [0102] 이에 따라, 상기 성장 기관은 상기 LED 소자들로 분리되고, 상기 LED 소자들은 상기 임시 기관에 전사될 수 있다.
- [0103] 도 8d를 참조하면, 상기 임시 기관(30)에 프로브 회로(40)를 접속하여 상기 LED 소자들을 검사하여 상기 LED 소자들을 특성에 따라 분류한다. 상기 프로브 회로(40)는 상기 임시 기관을 통하여 LED 소자들 각각의 전기적 접속을 제공할 수 있다. 이에 따라, LED 소자들 각각의 특성이 검사될 수 있다.
- [0104] 도 8e를 참조하면, 상기 LED 소자들에 자성층(22)을 각각 형성하는 단계는 소정의 특성을 만족하는 LED 소자들에 상기 자성층(22)을 형성할 수 있다. 소정의 특성은 LED 소자의 검사 특성에 기반하여 분류될 수 있다.
- [0105] 본 발명의 변형된 실시예에 따르면, 상기 LED 소자들에 자성층을 각각 형성하는 단계는 모든 LED 소자들에 상기 자성층(22)을 형성할 수 있다. 상기 자성층이 형성된 LED 소자들을 자성 전사 장치를 이용하여 최종 기관(50)에 전사하는 단계는 소정의 특성을 만족하는 LED 소자들을 픽업하도록 상기 자성 전사 장치(100, 100a)의 특정한 자기 경로를 차단할 수 있다.
- [0106] 도 8f 및 도 8g를 참조하면, 상기 자성층이 형성된 LED 소자들을 자성 전사 장치(100, 100a)를 이용하여 최종 기관에 전사한다. 상기 LED 소자들을 상기 임시 기관에서 탈착하기 위하여, 상기 임시 기관은 소정의 온도로 가열될 수 있다.
- [0107] 상기 최종 기관(50)은 유리 기관, 폴리이미드 기관, 또는 인쇄회로 기관일 수 있다. 상기 최종 기관(50)은 LED 셀들을 어드레싱하기 위한 박막트랜지스터를 포함할 수 있다.
- [0108] 상기 최종 기관에 청색 LED 소자들이 전사된 후, 청색 LED 소자에 이웃하게 적색 LED 소자 및 녹색 LED 소자들이 전사될 수 있다. 상기 최종 기관의 전사된 LED 소자들의 집합은 유테틱 본딩, 비등방성 전도성 필름, 또는 비등방성 전도성 페이스트를 통하여 연결될 수 있다.
- [0109] 도 9a는 본 발명의 다른 실시예에 따른 자성 전사 장치를 설명하는 평면도이다.
- [0110] 도 9b는 도 9a의 C-C' 선을 따라 자른 단면도이다.
- [0111] 도 9c는 도 9a의 자성 전사 장치를 설명하는 자기 회로도이다.
- [0112] 도 9a 내지 도 9c를 참조하면, 본 발명의 일 실시예에 따른 자성 전사 장치(100a)는, 자속(Φ)을 제공하는 기자력 소스(140); 상기 기자력 소스(140)의 일단에 연결되고 하나의 입력단(131a')과 복수의 출력단들(131a'')을

구비하고 자속(Φ)을 분배하는 제1 자속 분배 회로(130a); 및 상기 기자력 소스(140)의 타단에 연결되고 하나의 출력단(131b')과 복수의 입력단(131b'')을 구비하고 분배된 자속($\Phi/4$)을 모으는 제2 자속 분배 회로(130b);를 포함한다. 상기 제1 자속 분배 회로(130a)의 출력단들(131a'')은 상기 제2 자속 분배 회로(130b)의 입력단들(130b'')과 서로 쌍을 이루도록 이웃하게 배치된다. 서로 쌍을 이룬 상기 제1 자속 분배 회로(130a)의 출력단들(131a'')과 상기 제2 자속 분배 회로(130b)의 입력단들(130b'') 사이의 간격은 LED 소자의 크기 보다 작을 수 있다.

[0113] 적어도 하나의 저항 소자(R)는 상기 제1 자속 분배 회로(130a) 및 상기 제2 자속 분배 회로(130b)에 인접하게 배치된다. 상기 저항 소자(R)는 상기 제1 자속 분배 회로 또는 상기 제2 자속 분배 회로를 국부적으로 가열하여 소정의 자기 경로를 차단한다.

[0114] 상기 제1 자속 분배 회로는 바이너리 트리 구조의 제1 자속 분배 패턴(134a)을 포함한다. 상기 제2 자속 분배 회로는 바이너리 트리 구조의 상기 제2 자속 분배 패턴(134b)을 포함한다. 상기 저항 소자(R)는 저항 패턴(190)을 포함할 수 있다. 한 쌍의 도전성 콘택 플러그(192)는 상기 제1 비자성층(124) 및 상기 제2 비자성층(126)을 관통하여 상기 저항 패턴(190)의 양단에 각각 형성될 수 있다.

[0115] 상기 저항 소자들(R)은 가열 회로(160)에 연결되어 전류를 공급받을 수 있다. 상기 가열 회로(160)는 스위치를 통하여 선택된 저항 소자에만 전류를 공급하여 자기 경로를 차단할 수 있다.

[0116] 구체적으로, 제1 자속 분배 패턴(134a) 상에 4 개의 저항 패턴(190)이 배치될 수 있다. 상기 도전성 콘택 플러그(192)를 통하여 소정의 저항 패턴(190)에 전류를 인가하면, 상기 저항 패턴(190)은 가열될 수 있다. 이에 따라, 상기 저항 패턴의 하부에서 연장되는 제1 자속 패턴의 소정의 자기 경로는 가열되어 자성을 상실하고, 상기 자기 경로는 차단된다. 이에 따라, 차단된 자기 경로를 통하여, 자속은 흐르지 않게 되어, 자기 흡입력이 발생하지 않아, LED 소자를 픽업하여 전사할 수 없다.

[0117] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

부호의 설명

[0118] 100: 자성 전사 장치

140: 기자력 소스

130a: 제1 자속 분배 회로

130b: 제2 자속 분배 회로

132a: 제1 자성 비아들

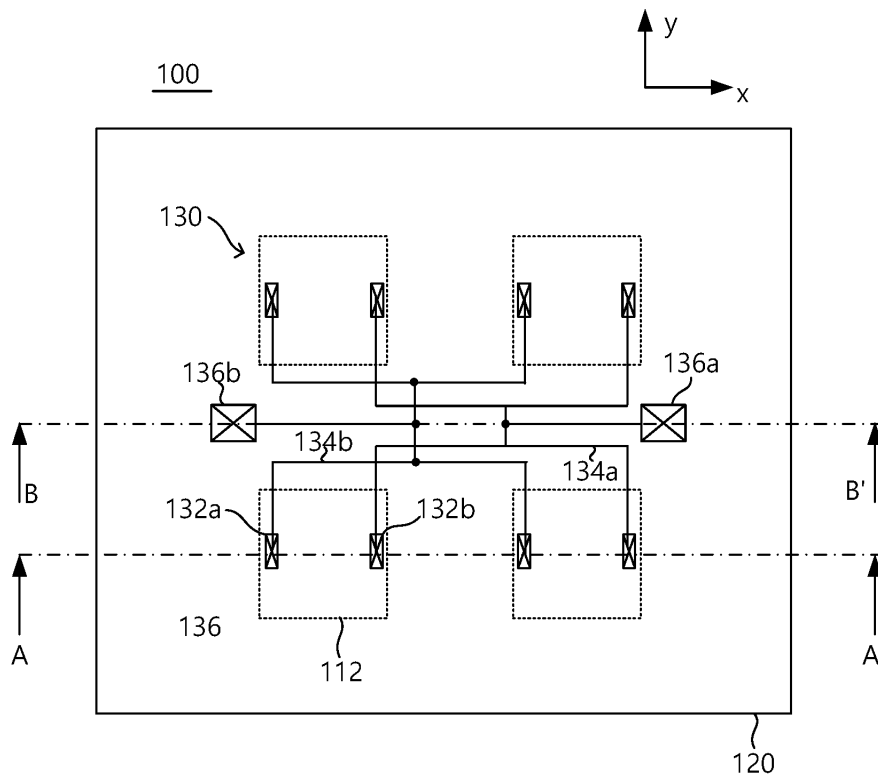
132b: 제2 자성 비아들

134a: 제1 자속 분배 패턴

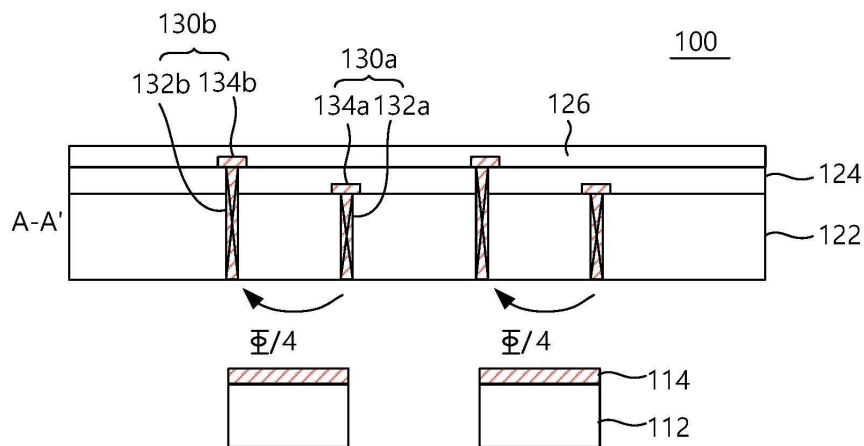
134b: 제2 자속 분배 패턴

도면

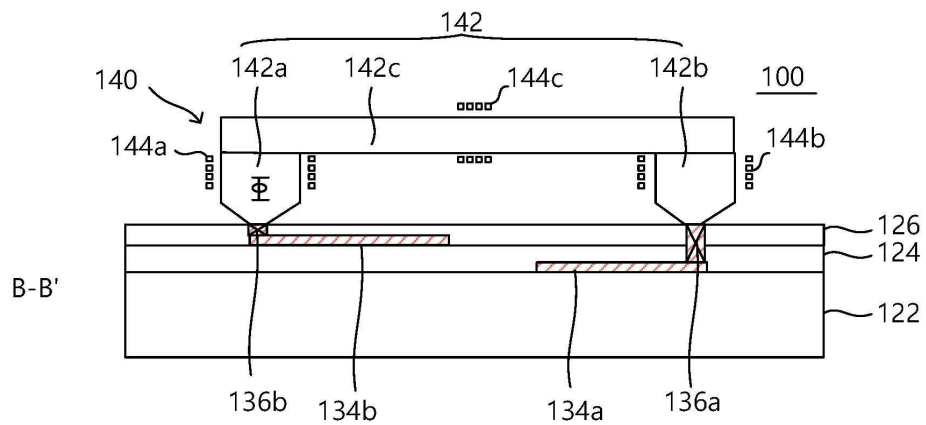
도면1a



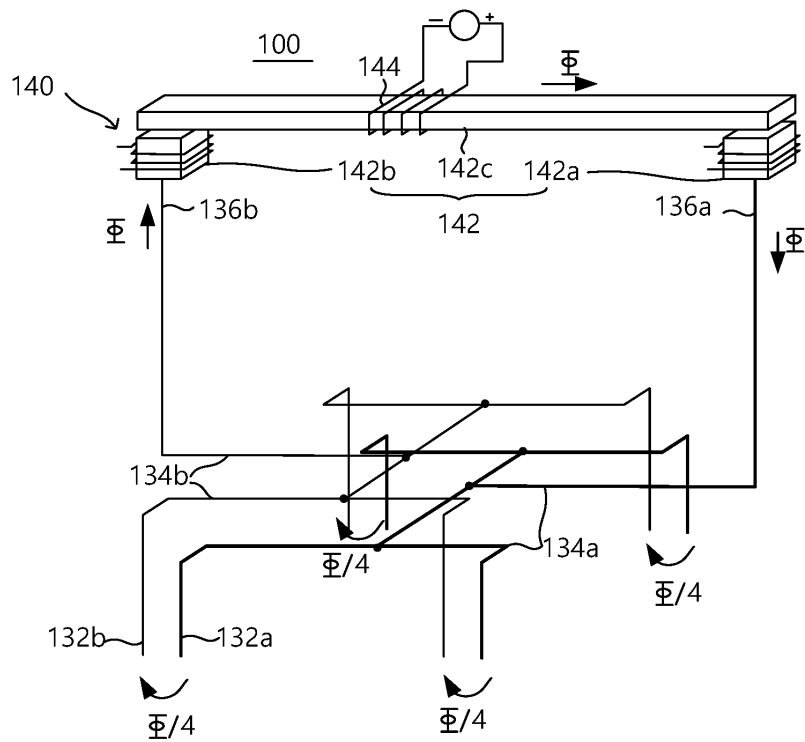
도면1b



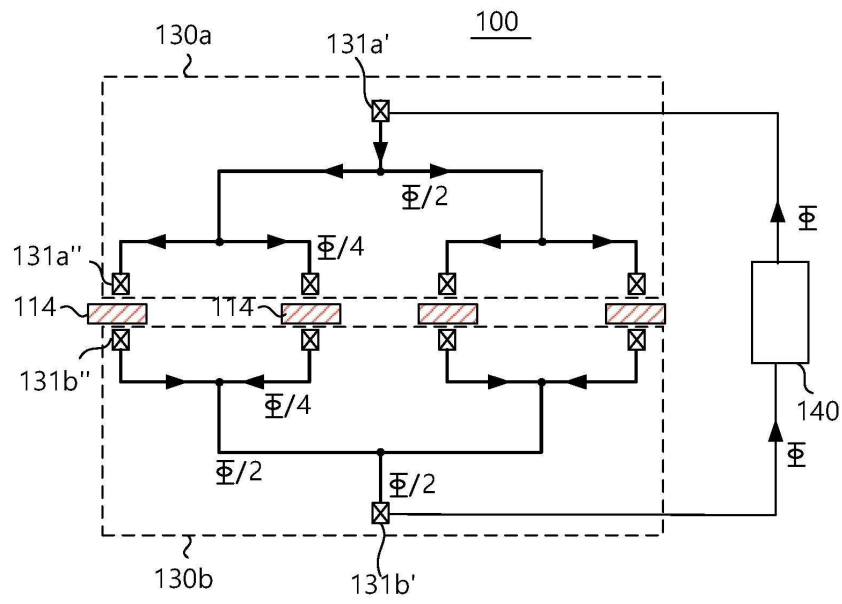
도면 1c



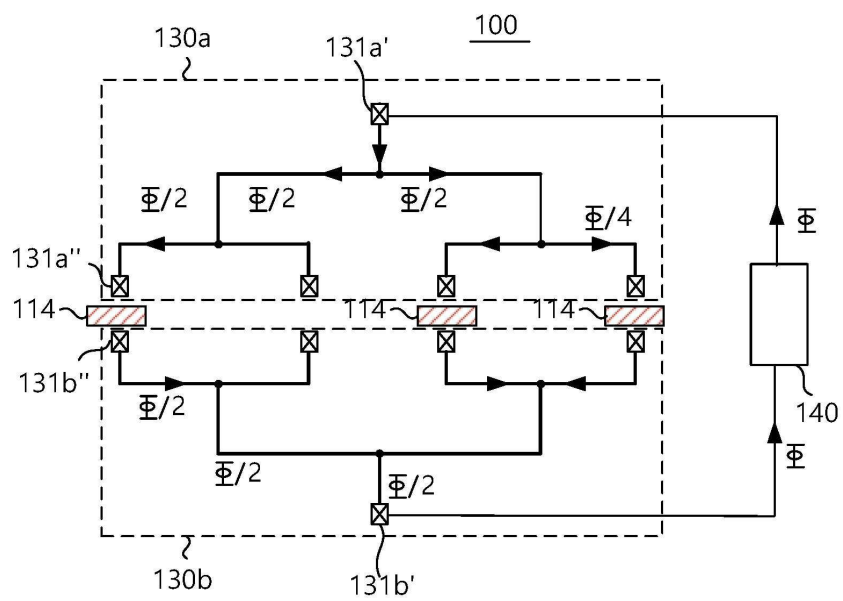
도면 1d



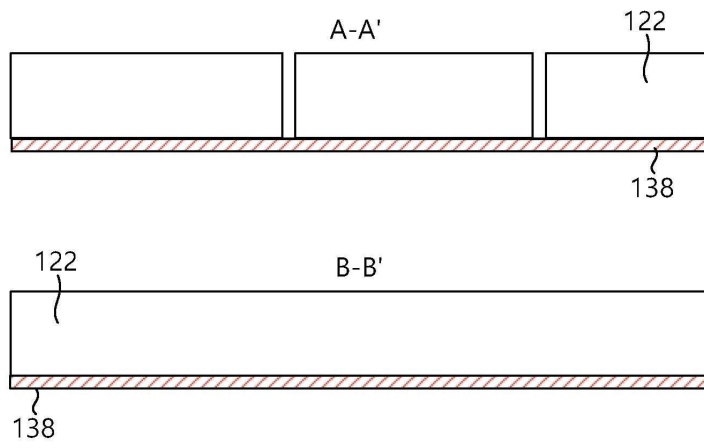
도면1e



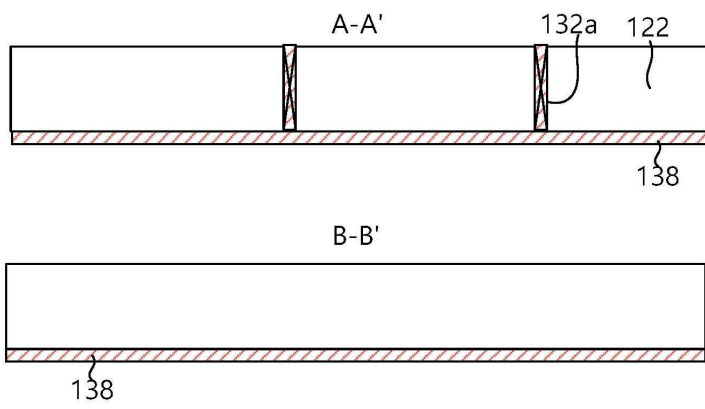
도면1f



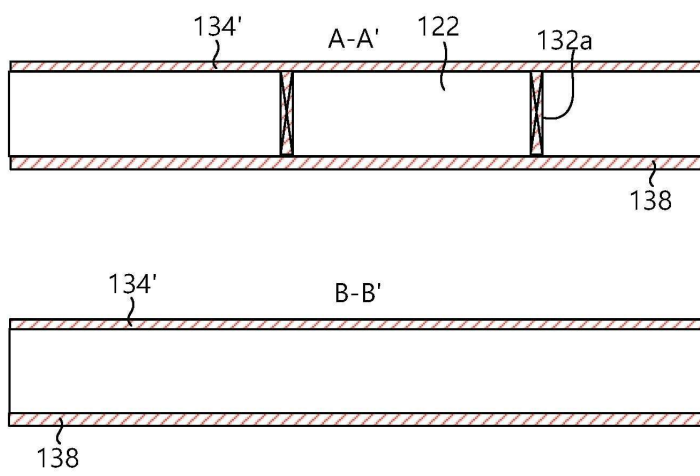
도면2a



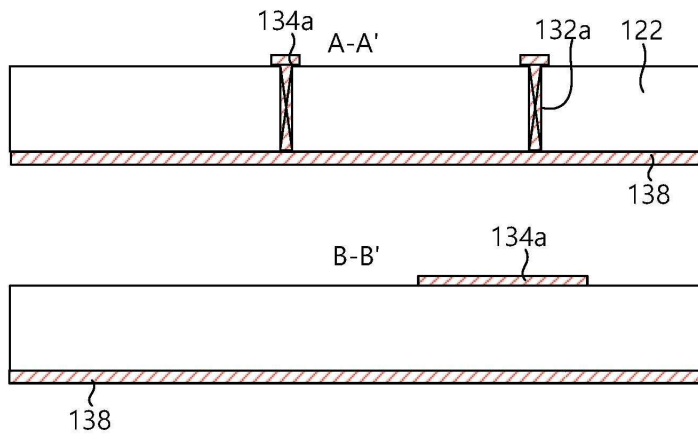
도면2b



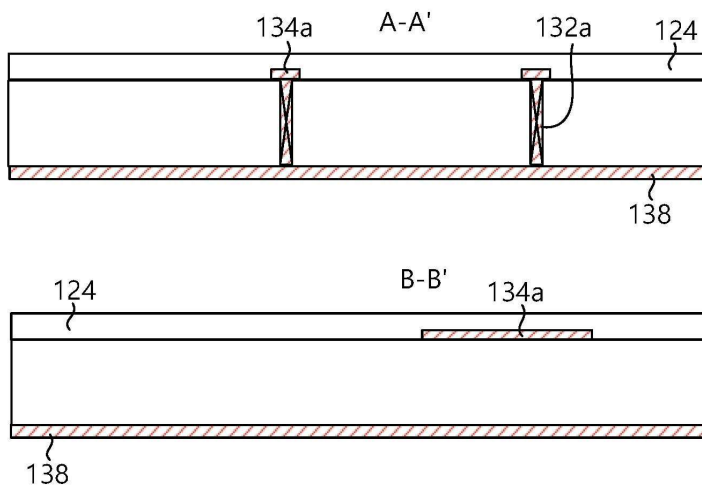
도면2c



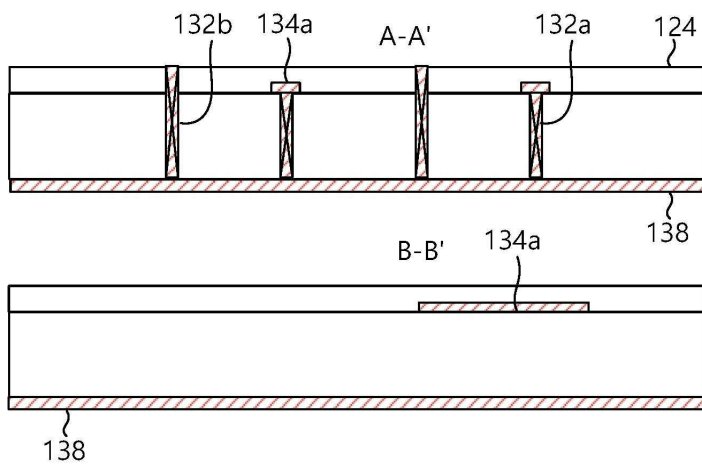
도면2d



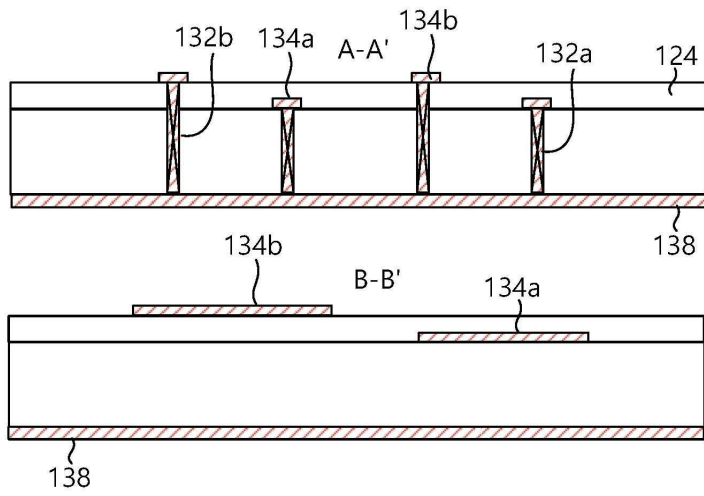
도면2e



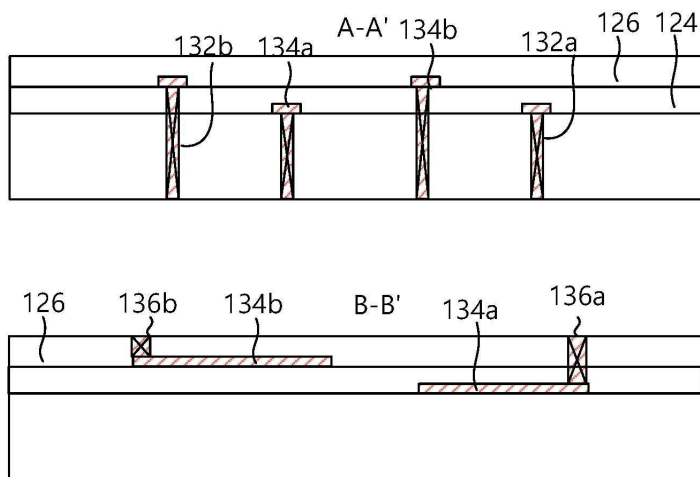
도면2f



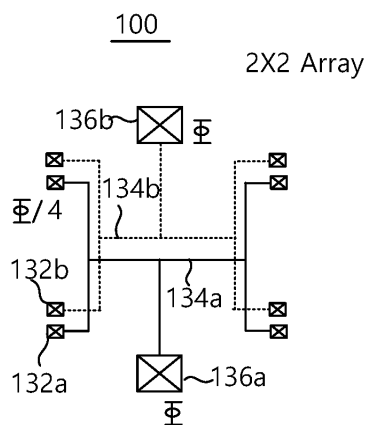
도면2g



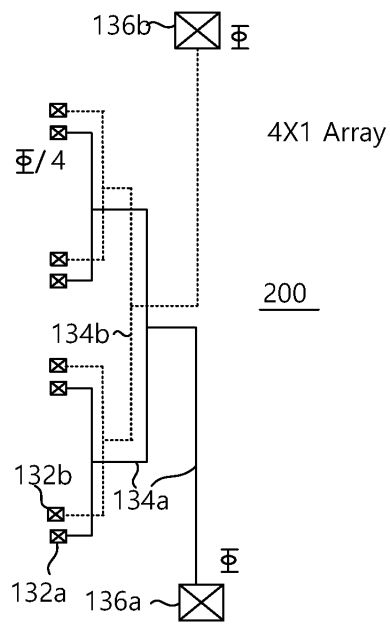
도면2h



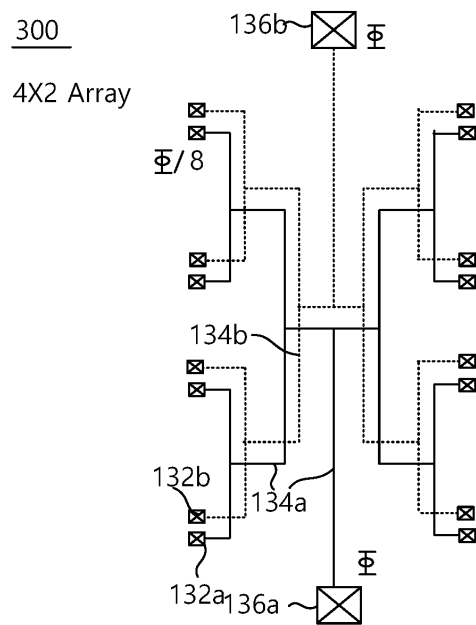
도면3



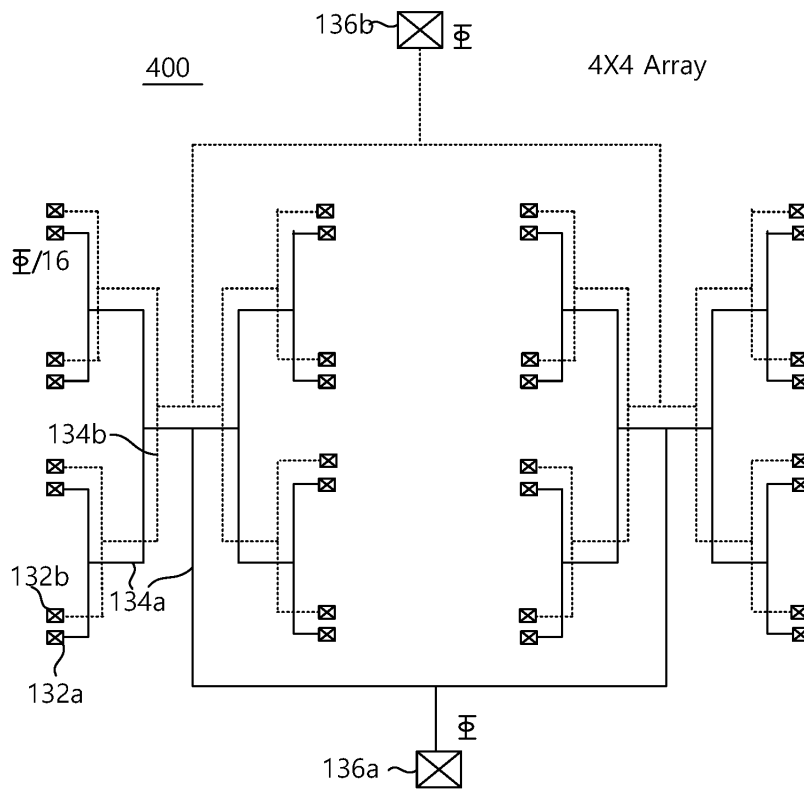
도면4



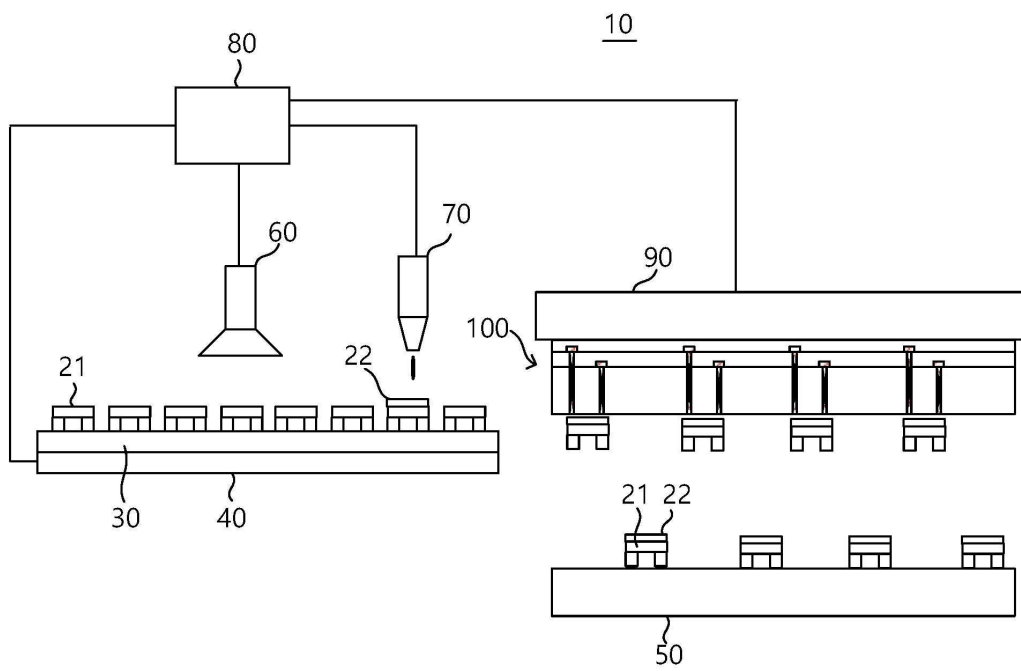
도면5



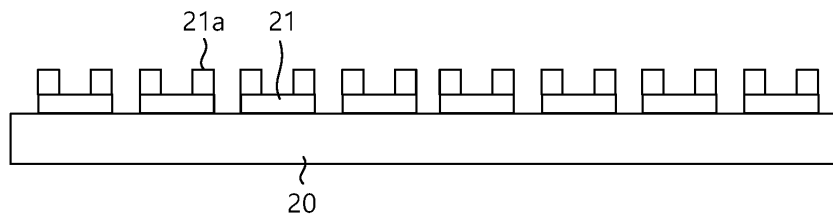
도면6



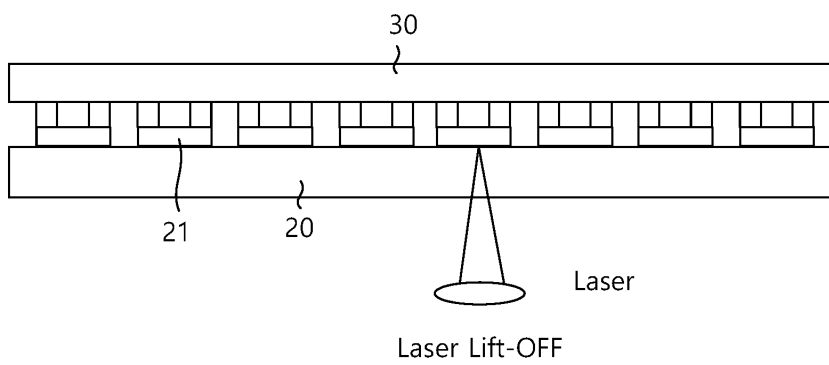
도면7



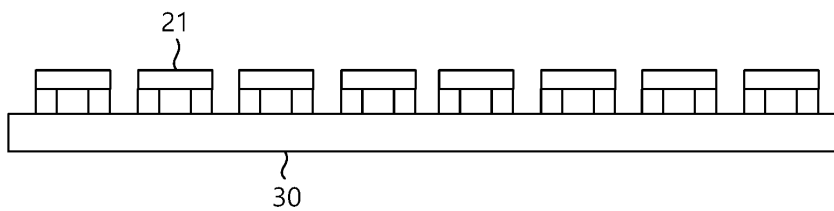
도면8a



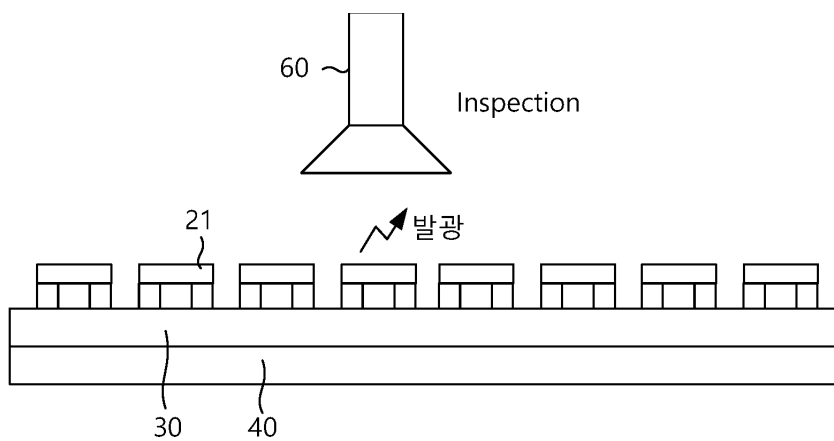
도면8b



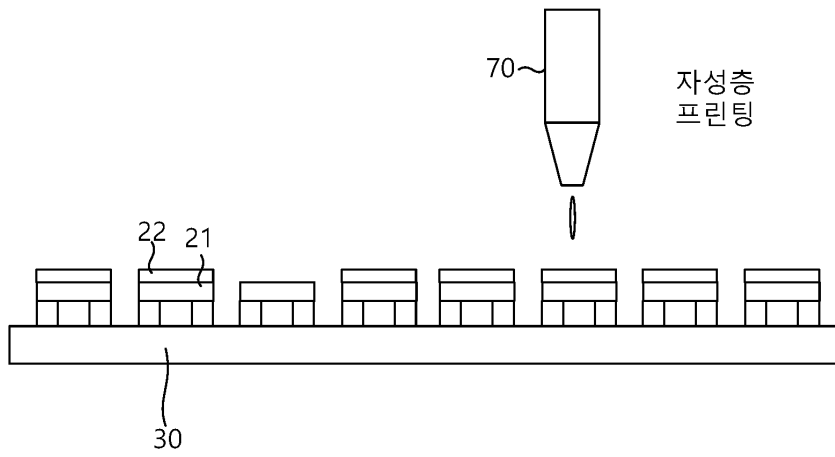
도면8c



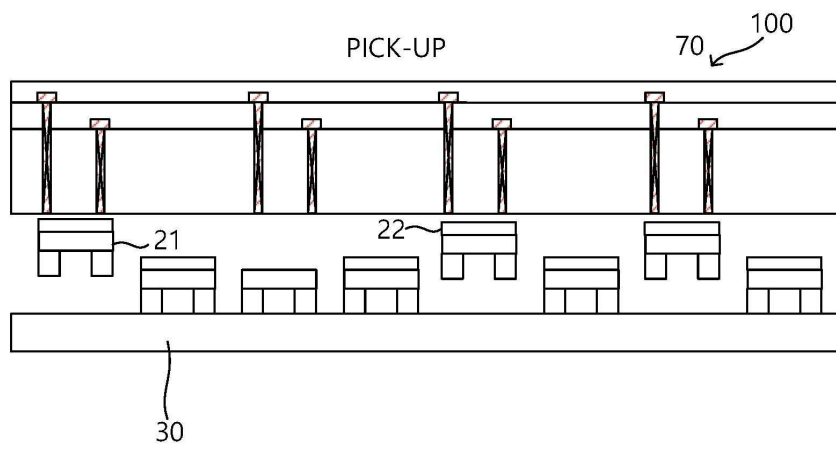
도면8d



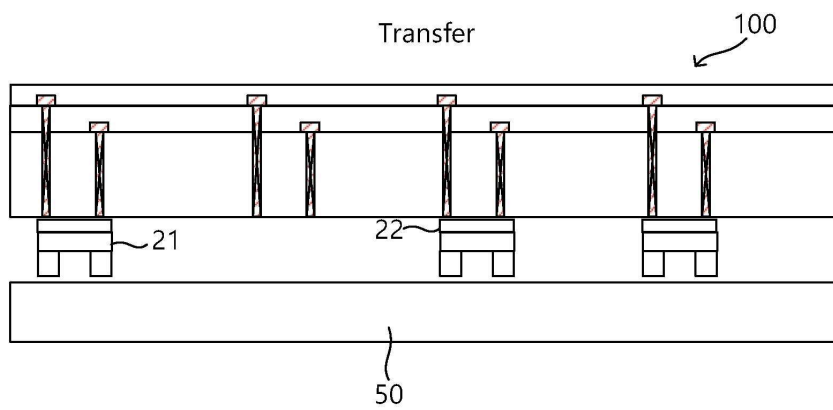
도면8e



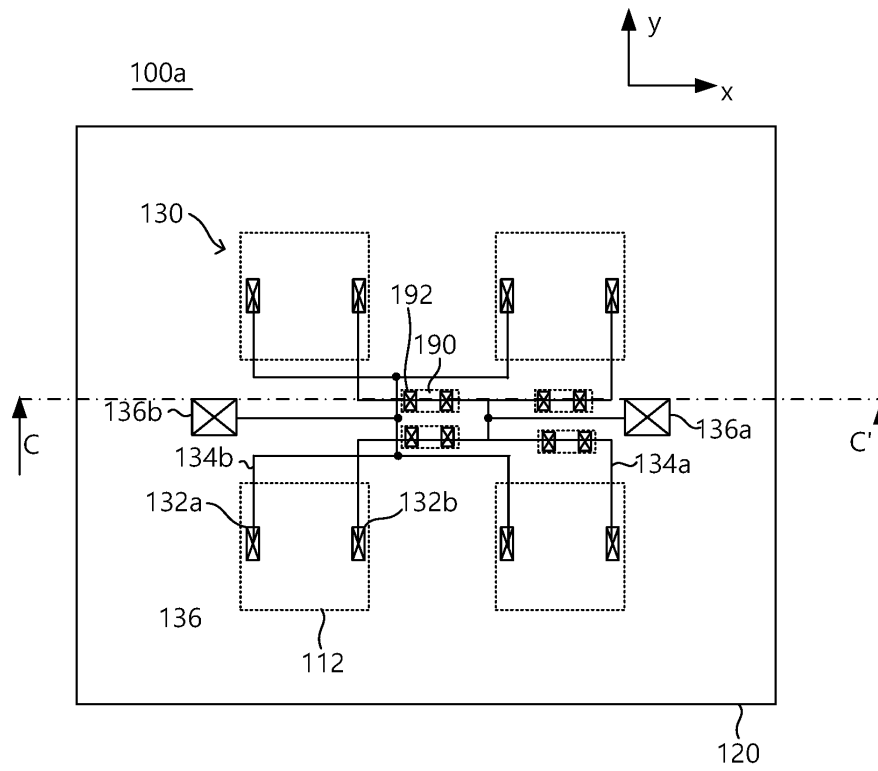
도면8f



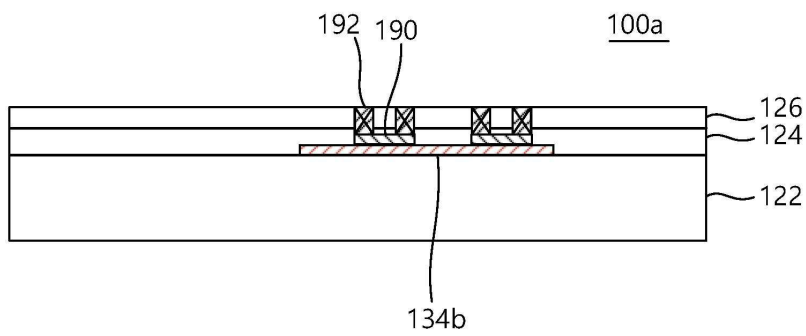
도면8g



도면9a



도면9b



도면9c

