

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6554317号
(P6554317)

(45) 発行日 令和1年7月31日(2019.7.31)

(24) 登録日 令和1年7月12日(2019.7.12)

(51) Int.Cl.

H02M 7/21

(2006.01)

F I

H02M 7/21

A

請求項の数 20 (全 21 頁)

(21) 出願番号 特願2015-101298 (P2015-101298)
 (22) 出願日 平成27年5月18日 (2015.5.18)
 (65) 公開番号 特開2016-220351 (P2016-220351A)
 (43) 公開日 平成28年12月22日 (2016.12.22)
 審査請求日 平成30年4月18日 (2018.4.18)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (74) 代理人 100133215
 弁理士 真家 大樹
 (72) 発明者 井上 直樹
 京都府京都市右京区西院溝崎町2 1 番地
 ローム株式会社内
 審査官 麻生 哲朗

最終頁に続く

(54) 【発明の名称】 同期整流回路、その制御回路、ワイヤレス受電装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

ブリッジ回路とともに同期整流回路を構成する制御回路であって、

ブリッジ回路は、

第1入力ノードと整流ノードの間に設けられる第1トランジスタと、

第2入力ノードと前記整流ノードの間に設けられる第2トランジスタと、

前記第1入力ノードと基準ノードの間に設けられる第3トランジスタと、

前記第2入力ノードと前記基準ノードの間に設けられる第4トランジスタと、

を含み、

前記制御回路は、

可変の第1しきい値電圧を生成する第1可変電圧源と、

前記第1入力ノードの第1電圧を前記第1しきい値電圧と比較し、前記第1電圧が前記
 第1しきい値電圧より高いとき第1レベル、低いとき第2レベルとなる第1検出信号を生
 成する第1ゼロカレント検出コンパレータと、

前記第1電圧を第1基準電圧と比較する第1調節用コンパレータと、

前記第1調節用コンパレータの出力にもとづいて、前記第1可変電圧源が生成する前記
 第1しきい値電圧を変化させる第1調節部と、

前記第1検出信号に応じて、前記ブリッジ回路の状態を遷移させる制御ロジックと、

を備え、

前記第1しきい値電圧はゼロ近傍で可変であり、

10

20

前記第 1 基準電圧は負電圧であり、

前記制御ロジックは、前記第 1 検出信号が前記第 1 レベルとなると、前記ブリッジ回路を、前記第 1 トランジスタおよび前記第 4 トランジスタのペアがオフであり、前記第 2 トランジスタおよび前記第 3 トランジスタのペアがオンである第 1 状態から、前記第 1 トランジスタから前記第 4 トランジスタがオフである第 2 状態に遷移させることを特徴とする制御回路。

【請求項 2】

前記第 1 調節部は、前記第 1 調節用コンパレータの出力に応じて、カウントアップ / カウントダウン動作が選択されるアップダウンカウンタを含み、

前記第 1 しきい値電圧は、前記アップダウンカウンタのカウント値に応じて設定されることを特徴とする請求項 1 に記載の制御回路。

10

【請求項 3】

前記第 1 基準電圧は、ダイオードの順方向電圧を V_f とするとき、 $-V_f$ より高く定められることを特徴とする請求項 1 に記載の制御回路。

【請求項 4】

前記第 2 入力ノードの第 2 電圧を第 2 しきい値電圧と比較し、前記第 2 電圧が前記第 2 しきい値電圧より高いとき第 1 レベル、低いとき第 2 レベルとなる第 2 検出信号を生成する第 2 ゼロカレント検出コンパレータをさらに備え、

前記制御ロジックは、前記第 2 検出信号が前記第 1 レベルとなると、前記ブリッジ回路を、前記第 2 トランジスタおよび前記第 3 トランジスタのペアがオフであり、前記第 1 トランジスタおよび前記第 4 トランジスタのペアがオンである第 3 状態から、前記第 1 トランジスタから前記第 4 トランジスタがオフである第 4 状態に遷移させることを特徴とする請求項 1 から 3 のいずれかに記載の制御回路。

20

【請求項 5】

可変の前記第 2 しきい値電圧を生成する第 2 可変電圧源と、

前記第 2 電圧を負の第 2 基準電圧と比較する第 2 調整用コンパレータと、

前記第 2 調整用コンパレータの出力にもとづいて、前記第 2 可変電圧源が生成する前記第 2 しきい値電圧を変化させる第 2 調節部と、

をさらに備えることを特徴とする請求項 4 に記載の制御回路。

【請求項 6】

30

前記制御ロジックは、

前記第 2 検出信号が前記第 2 レベルとなると、前記ブリッジ回路を前記第 2 状態から前記第 3 状態に遷移させ、

前記第 1 検出信号が前記第 2 レベルとなると、前記ブリッジ回路を前記第 4 状態から前記第 1 状態に遷移させることを特徴とする請求項 4 または 5 に記載の制御回路。

【請求項 7】

前記第 1 ゼロカレント検出コンパレータおよび前記第 2 ゼロカレント検出コンパレータはそれぞれ、ヒステリシスコンパレータであることを特徴とする請求項 6 に記載の制御回路。

【請求項 8】

40

前記第 1 電圧を第 3 しきい値電圧と比較し、比較結果を示す第 3 検出信号を生成する第 3 ゼロカレント検出コンパレータと、

前記第 2 電圧を第 4 しきい値電圧と比較し、比較結果を示す第 4 検出信号を生成する第 4 ゼロカレント検出コンパレータと、

をさらに備え、

前記制御ロジックは、前記第 3 検出信号、前記第 4 検出信号の一方に応じて、前記ブリッジ回路を前記第 2 状態から前記第 3 状態に遷移させ、他方に応じて前記第 4 状態から前記第 1 状態に遷移させることを特徴とする請求項 4 または 5 に記載の制御回路。

【請求項 9】

ブリッジ回路とともに同期整流回路を構成する制御回路であって、

50

ブリッジ回路は、
 第 1 入力ノードと整流ノードの間に設けられる第 1 トランジスタと、
 第 2 入力ノードと前記整流ノードの間に設けられる第 2 トランジスタと、
 前記第 1 入力ノードと基準ノードの間に設けられる第 3 トランジスタと、
 前記第 2 入力ノードと前記基準ノードの間に設けられる第 4 トランジスタと、
 を含み、
 前記制御回路は、
 可変の第 1 しきい値電圧を生成する第 1 可変電圧源と、
 前記第 1 入力ノードの第 1 電圧を前記第 1 しきい値電圧と比較し、前記第 1 電圧が前記
 第 1 しきい値電圧より高いとき第 1 レベル、低いとき第 2 レベルとなる第 1 検出信号を生
 成する第 1 ゼロカレント検出コンパレータと、
 前記第 1 電圧を第 1 基準電圧と比較する第 1 調節用コンパレータと、
 前記第 1 調節用コンパレータの出力にもとづいて、前記第 1 可変電圧源が生成する前記
 第 1 しきい値電圧を変化させる第 1 調節部と、
 前記第 1 検出信号に応じて、前記ブリッジ回路の状態を遷移させる制御ロジックと、
 を備え、
 前記第 1 しきい値電圧は前記整流ノードに生ずる整流電圧の近傍で可変であり、
 前記第 1 基準電圧は前記整流電圧より高い正電圧であり、
 前記制御ロジックは、前記第 1 検出信号が前記第 2 レベルとなると、前記ブリッジ回路
 を、前記第 2 トランジスタおよび前記第 3 トランジスタのペアがオフであり、前記第 1 ト
 ランジスタおよび前記第 4 トランジスタのペアがオンである第 3 状態から、前記第 1 ト
 ランジスタから前記第 4 トランジスタがオフである第 4 状態に遷移させることを特徴とする
 制御回路。
 【請求項 10】
 前記第 1 調節部は、前記第 1 調節用コンパレータの出力に応じて、カウントアップ / カ
 ウントダウン動作が選択されるアップダウンカウンタを含み、
 前記第 1 しきい値電圧は、前記アップダウンカウンタのカウント値に応じて設定される
 ことを特徴とする請求項 9 に記載の制御回路。
 【請求項 11】
 前記第 1 基準電圧は、ダイオードの順方向電圧を V_f 、前記整流電圧を V_{RECT} とす
 るとき、 $V_{RECT} + V_f$ より低く定められることを特徴とする請求項 9 または 10 に記
 載の制御回路。
 【請求項 12】
 前記第 2 入力ノードの第 2 電圧を第 2 しきい値電圧と比較し、前記第 2 電圧が前記第 2
 しきい値電圧より高いとき第 1 レベル、低いとき第 2 レベルとなる第 2 検出信号を生成す
 る第 2 ゼロカレント検出コンパレータをさらに備え、
 前記制御ロジックは、前記第 2 検出信号が前記第 2 レベルとなると、前記ブリッジ回路
 を、前記第 1 トランジスタおよび前記第 4 トランジスタのペアがオフであり、前記第 2 ト
 ランジスタおよび前記第 3 トランジスタのペアがオンである第 1 状態から、前記第 1 ト
 ランジスタから前記第 4 トランジスタがオフである第 2 状態に遷移させることを特徴とする
 請求項 9 から 11 のいずれかに記載の制御回路。
 【請求項 13】
 可変の前記第 2 しきい値電圧を生成する第 2 可変電圧源と、
 前記第 2 電圧を正の第 2 基準電圧と比較する第 2 調整用コンパレータと、
 前記第 2 調整用コンパレータの出力にもとづいて、前記第 2 可変電圧源が生成する前記
 第 2 しきい値電圧を変化させる第 2 調節部と、
 をさらに備えることを特徴とする請求項 12 に記載の制御回路。
 【請求項 14】
 前記制御ロジックは、
 前記第 1 検出信号が前記第 1 レベルとなると、前記ブリッジ回路を前記第 2 状態から前

10

20

30

40

50

記第 3 状態に遷移させ、

前記第 2 検出信号が前記第 1 レベルとなると、前記ブリッジ回路を前記第 4 状態から前記第 1 状態に遷移させることを特徴とする請求項 1 2 または 1 3 に記載の制御回路。

【請求項 1 5】

前記第 1 ゼロカレント検出コンパレータおよび前記第 2 ゼロカレント検出コンパレータはそれぞれ、ヒステリシスコンパレータであることを特徴とする請求項 1 4 に記載の制御回路。

【請求項 1 6】

前記第 1 電圧を第 3 しきい値電圧と比較し、比較結果を示す第 3 検出信号を生成する第 3 ゼロカレント検出コンパレータと、

10

前記第 2 電圧を第 4 しきい値電圧と比較し、比較結果を示す第 4 検出信号を生成する第 4 ゼロカレント検出コンパレータと、

をさらに備え、

前記制御ロジックは、前記第 3 検出信号、前記第 4 検出信号の一方に応じて、前記ブリッジ回路を前記第 2 状態から前記第 3 状態に遷移させ、他方に応じて前記第 4 状態から前記第 1 状態に遷移させることを特徴とする請求項 1 2 または 1 3 に記載の制御回路。

【請求項 1 7】

ひとつの半導体基板に集積化されることを特徴とする請求項 1 から 1 6 のいずれかに記載の制御回路。

【請求項 1 8】

20

ブリッジ回路と、

前記ブリッジ回路を制御する請求項 1 から 1 7 のいずれかに記載の制御回路と、

を備えることを特徴とする同期整流回路。

【請求項 1 9】

受信コイルと、

前記受信コイルと接続されるブリッジ回路と、

前記ブリッジ回路を制御する請求項 1 から 1 7 のいずれかに記載の制御回路と、

を備えることを特徴とするワイヤレス受電装置。

【請求項 2 0】

請求項 1 8 に記載の同期整流回路を備えることを特徴とする電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同期整流回路に関する。

【背景技術】

【0002】

交流信号を整流する目的で整流回路が使用される。整流回路には、ダイオードを用いたダイオードブリッジと、トランジスタ（スイッチ）を用いた同期整流回路が存在する。図 1 は、同期整流回路の回路図である。同期整流回路 100 は、ブリッジ形式で接続される第 1 トランジスタ M1 ~ 第 4 トランジスタ M4、ダイオード D1 ~ D4 および制御回路 200 を備える。制御回路 200 は、対角に位置する第 1 トランジスタ M1 および第 4 トランジスタ M4 を含む第 1 ペアと、対角に位置する第 2 トランジスタ M2 および第 3 トランジスタ M3 を含む第 2 ペアと、を相補的にオン、オフする。同期整流回路 100 の出力には、平滑キャパシタ 120 が接続される。同期整流回路 100 の入力端子 AC1, AC2 には、図示しない回路から、逆相の交流電流 I_{AC1} , I_{AC2} が入出力する。電流 I_{AC1} , I_{AC2} は、同期整流回路 100 に流れ込む向きを正にとっている。

40

【0003】

ダイオードブリッジは、複雑な制御が不要であるため構成が簡素であるが、ダイオードの電圧降下が損失となる。同期整流回路 100 は、ダイオードに代えて、オン抵抗が小さな、したがって電圧降下が小さなトランジスタを用いるため、損失が小さく、理想的に動

50

作させれば高効率を得ることができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第8,278,889号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

図2(a)~(c)は、同期整流回路100の動作を示す波形図である。本明細書における波形図やタイムチャートの縦軸および横軸は、理解を容易とするために適宜拡大、縮小したものであり、また示される各波形も、理解の容易のために簡略化され、あるいは誇張もしくは強調されている。同期整流回路100を高効率で動作させるためには、電流Iがゼロとなるタイミング(ゼロクロスという)で、トランジスタをスイッチングさせることが求められる。これをゼロカレントスイッチングと称する。

10

【0006】

図2(b)、(c)は、ゼロカレント近傍の電流 I_{AC1} 、電圧 V_{AC1} の波形を示す。図2(b)は、高効率が得られる理想動作を示しており、電流 I_{AC1} のゼロクロスと同時に、スイッチが切りかえられる。

【0007】

制御回路200は、何らかの手段により、ゼロクロスのタイミングを検出し、ゼロクロスタイミングで直ちに状態を遷移させる。しかしながら現実的には、ゼロクロスタイミングの検出速度は有限であるから、無視できない遅延が生じ、またゼロクロスタイミングの検出後に状態遷移するまでもに制御遅延、伝搬遅延が生ずる。図2(c)には、ゼロクロスタイミング t_{zc} から状態遷移までに遅延 τ が存在する場合を示す。遅延 τ の間、第1トランジスタM1はオフであるため、AC1端子から同期整流回路100に流れ込む電流 I_{AC1} は、第1トランジスタM1と並列なダイオードD1に流れることとなり、効率が悪化する。特に、電流 I_{AC} の周波数が高くなると、遅延 τ による効率低下の影響が顕著となる。

20

【0008】

本発明はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、効率を改善した同期整流回路の提供にある。

30

【課題を解決するための手段】

【0009】

本発明のある態様は、ブリッジ回路とともに同期整流回路を構成する制御回路に関する。ブリッジ回路は、第1入力ノードと整流ノードの間に設けられる第1トランジスタと、第2入力ノードと整流ノードの間に設けられる第2トランジスタと、第1入力ノードと基準ノードの間に設けられる第3トランジスタと、第2入力ノードと基準ノードの間に設けられる第4トランジスタと、を含む。制御回路は、可変の第1しきい値電圧を生成する第1可変電圧源と、第1入力ノードの第1電圧を第1しきい値電圧と比較し、第1電圧が第1しきい値電圧より高いとき第1レベル、低いとき第2レベルとなる第1検出信号を生成する第1ゼロカレント検出コンパレータと、第1電圧を第1基準電圧と比較する第1調節用コンパレータと、第1調節用コンパレータの出力にもとづいて、第1可変電圧源が生成する第1しきい値電圧を変化させる第1調節部と、第1検出信号に応じて、ブリッジ回路の状態を遷移させる制御ロジックと、を備える。

40

【0010】

この態様によると、第1しきい値電圧を、理想的なゼロカレントスイッチングに対応する電圧レベルに調節でき、効率を改善できる。

【0011】

ある態様において第1調節部は、第1調節用コンパレータの出力に応じて、カウントアップ/カウントダウン動作が選択されるアップダウンカウンタを含んでもよい。第1しき

50

い値電圧は、アップダウンカウンタのカウント値に応じて設定されてもよい。

【0012】

(負側検出)

ある態様において、第1しきい値電圧はゼロ近傍で可変であってもよく、第1基準電圧は負電圧であってもよい。制御ロジックは、第1検出信号が第1レベルとなると、ブリッジ回路を、第1トランジスタおよび第4トランジスタのペアがオフであり、第2トランジスタおよび第3トランジスタのペアがオンである第1状態から、第1トランジスタから第4トランジスタがオフである第2状態に遷移させてもよい。

【0013】

ある態様において第1基準電圧は、ダイオードの順方向電圧を V_f とすると、 $-V_f$ より高く定められてもよい。

10

これにより、第3トランジスタと並列なダイオードに電流が流れる状態を好適に検出できる。

【0014】

ある態様において、制御回路は、第2入力ノードの第2電圧を第2しきい値電圧と比較し、第2電圧が第2しきい値電圧より高いとき第1レベル、低いとき第2レベルとなる第2検出信号を生成する第2ゼロカレント検出コンパレータをさらに備えてもよい。制御ロジックは、第2検出信号が第1レベルとなると、ブリッジ回路を、第2トランジスタおよび第3トランジスタのペアがオフであり、第1トランジスタおよび第4トランジスタのペアがオンである第3状態から、第1トランジスタから第4トランジスタがオフである第4

20

【0015】

ある態様において、制御回路は、可変の第2しきい値電圧を生成する第2可変電圧源と、第2電圧を負の第2基準電圧と比較する第2調整用コンパレータと、第2調整用コンパレータの出力にもとづいて、第2可変電圧源が生成する第2しきい値電圧を変化させる第2調節部と、をさらに備えてもよい。

この態様によると、第2しきい値電圧を、理想的なゼロカレントスイッチングに対応する電圧レベルに調節でき、さらに効率を改善できる。

【0016】

ある態様において、制御ロジックは、第2検出信号が第2レベルとなると、ブリッジ回路を第2状態から第3状態に遷移させ、第1検出信号が第2レベルとなると、ブリッジ回路を第4状態から第1状態に遷移させてもよい。

30

これにより、ゼロカレント用のコンパレータを2個とすることができ、回路面積を削減できる。

【0017】

ある態様において、第1ゼロカレント検出コンパレータおよび第2ゼロカレント検出コンパレータはそれぞれ、ヒステリシスコンパレータであってもよい。

この場合、ヒステリシス幅に応じて、第2状態から第3状態、第4状態から第1状態への遷移のしきい値を調節できる。

【0018】

40

ある態様において制御回路は、第1電圧を第3しきい値電圧と比較し、比較結果を示す第3検出信号を生成する第3ゼロカレント検出コンパレータと、第2電圧を第4しきい値電圧と比較し、比較結果を示す第4検出信号を生成する第4ゼロカレント検出コンパレータと、をさらに備えてもよい。制御ロジックは、第3検出信号、第4検出信号の一方に応じて、ブリッジ回路を第2状態から第3状態に遷移させ、他方に応じて第4状態から第1状態に遷移させてもよい。

この場合、第3、第4しきい値電圧を、第1、第2しきい値電圧の調節に依存せずに独立に規定することができる。

【0019】

(正側検出)

50

ある態様において、第 1 しきい値電圧は整流ノードに生ずる整流電圧の近傍で可変であってもよく、第 1 基準電圧は整流電圧より高い正電圧であってもよい。制御ロジックは、第 1 検出信号が第 2 レベルとなると、ブリッジ回路を、第 2 トランジスタおよび第 3 トランジスタのペアがオフであり、第 1 トランジスタおよび第 4 トランジスタのペアがオンである第 3 状態から、第 1 トランジスタから第 4 トランジスタがオフである第 4 状態に遷移させてもよい。

【 0 0 2 0 】

第 1 基準電圧は、ダイオードの順方向電圧を V_f 、整流電圧を V_{RECT} とするとき、整流電圧 V_{RECT} より高く、 $V_{RECT} + V_f$ より低く定められてもよい。

これにより、第 1 トランジスタと並列なダイオードに電流が流れる状態を好適に検出できる。

10

【 0 0 2 1 】

ある態様において制御回路は、第 2 入力ノードの第 2 電圧を第 2 しきい値電圧と比較し、第 2 電圧が第 2 しきい値電圧より高いとき第 1 レベル、低いとき第 2 レベルとなる第 2 検出信号を生成する第 2 ゼロカレント検出コンパレータをさらに備えてもよい。制御ロジックは、第 2 検出信号が第 2 レベルとなると、ブリッジ回路を、第 1 トランジスタおよび第 4 トランジスタのペアがオフであり、第 2 トランジスタおよび第 3 トランジスタのペアがオンである第 1 状態から、第 1 トランジスタから第 4 トランジスタがオフである第 2 状態に遷移させてもよい。

【 0 0 2 2 】

20

ある態様において制御回路は、可変の第 2 しきい値電圧を生成する第 2 可変電圧源と、第 2 電圧を正の第 2 基準電圧と比較する第 2 調整用コンパレータと、第 2 調整用コンパレータの出力にもとづいて、第 2 可変電圧源が生成する第 2 しきい値電圧を変化させる第 2 調節部と、をさらに備えてもよい。

【 0 0 2 3 】

ある態様において制御ロジックは、第 1 検出信号が第 1 レベルとなると、ブリッジ回路を第 2 状態から第 3 状態に遷移させ、第 2 検出信号が第 1 レベルとなると、ブリッジ回路を第 4 状態から第 1 状態に遷移させてもよい。

【 0 0 2 4 】

ある態様において第 1 ゼロカレント検出コンパレータおよび第 2 ゼロカレント検出コンパレータはそれぞれ、ヒステリシスコンパレータであってもよい。

30

【 0 0 2 5 】

ある態様において制御回路は、第 1 電圧を第 3 しきい値電圧と比較し、比較結果を示す第 3 検出信号を生成する第 3 ゼロカレント検出コンパレータと、第 2 電圧を第 4 しきい値電圧と比較し、比較結果を示す第 4 検出信号を生成する第 4 ゼロカレント検出コンパレータと、をさらに備えてもよい。制御ロジックは、第 3 検出信号、第 4 検出信号の一方に応じて、ブリッジ回路を第 2 状態から第 3 状態に遷移させ、他方に応じて第 4 状態から第 1 状態に遷移させてもよい。

【 0 0 2 6 】

ある態様において、制御回路は、ひとつの半導体基板に一体集積化されてもよい。

40

「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

【 0 0 2 7 】

本発明の別の態様は、同期整流回路に関する。同期整流回路は、ブリッジ回路と、ブリッジ回路を制御する上述のいずれかの制御回路と、を備えてもよい。

【 0 0 2 8 】

本発明の別の態様は、ワイヤレス受電装置に関する。ワイヤレス受電装置は、受信コイルと、受信コイルと接続されるブリッジ回路と、ブリッジ回路を制御する上述のいずれかの制御回路と、を備える。

50

【 0 0 2 9 】

本発明の別の態様は電子機器に関する。電子機器は、上述のワイヤレス受電装置を備える。

【 0 0 3 0 】

なお、以上の構成要素の任意の組み合わせや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【 0 0 3 1 】

本発明のある態様によれば、同期整流回路の効率を改善できる。

【図面の簡単な説明】

10

【 0 0 3 2 】

【図 1】同期整流回路の回路図である。

【図 2】図 2 (a) ~ (c) は、同期整流回路の動作を示す波形図である。

【図 3】実施の形態に係る制御回路を備える同期整流回路の回路図である。

【図 4】同期整流回路の基本動作を示す波形図である。

【図 5】図 5 (a) ~ (d) は、図 3 の同期整流回路の動作波形図である。

【図 6】第 1 調節部の構成例を示す回路図である。

【図 7】図 6 の第 1 調節部のフローチャートである。

【図 8】第 1 変形例に係る制御回路のブロック図である。

【図 9】第 3 変形例に係る同期整流回路の動作波形図である。

20

【図 10】同期整流回路を備えるワイヤレス受電装置のブロック図である。

【発明を実施するための形態】

【 0 0 3 3 】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【 0 0 3 4 】

本明細書において、「部材 A が、部材 B と接続された状態」とは、部材 A と部材 B が物理的に直接的に接続される場合のほか、部材 A と部材 B が、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

30

同様に、「部材 C が、部材 A と部材 B の間に設けられた状態」とは、部材 A と部材 C、あるいは部材 B と部材 C が直接的に接続される場合のほか、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

【 0 0 3 5 】

図 3 は、実施の形態に係る制御回路 200 を備える同期整流回路 100 の回路図である。同期整流回路 100 は、ブリッジ回路 102 および制御回路 200 を備える。ブリッジ回路 102 は、A C 1 端子 (第 1 入力ノード)、A C 2 端子 (第 2 入力ノード)、R E C T 端子 (整流ノード)、G N D 端子 (基準ノード)、ブリッジ形式で接続される第 1 トランジスタ M 1 ~ 第 4 トランジスタ M 4、ダイオード D 1 ~ D 4 を備える。第 1 トランジスタ M 1 は、A C 1 端子と R E C T 端子の間に、第 2 トランジスタ M 2 は、A C 2 端子と R E C T 端子の間に設けられる。第 3 トランジスタ M 3 は、A C 1 端子と G N D 端子の間に設けられ、第 4 トランジスタ M 4 は、A C 2 端子と G N D 端子の間に設けられる。G N D 端子は接地される。本実施の形態において第 1 トランジスタ M 1 ~ 第 4 トランジスタ M 4 は M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) であるが、I G B T (Insulated Gate Bipolar Transistor) やバイポーラトランジスタ、G a N (窒化ガリウム) F E T などを用いてもよい。またハイサイド側の第 1 トランジスタ M 1、第

40

50

2トランジスタM2は、Pチャンネル（あるいはPNP型）を用いてもよい。ダイオードD1～D4はそれぞれ、それと並列なMOSFETのボディダイオードであってもよいし、ディスクリート素子であってもよい。

【0036】

制御回路200は、以下の状態φ1～φ4を繰り返す。

・第1状態φ1

第1トランジスタM1 = OFF

第2トランジスタM2 = ON

第3トランジスタM3 = ON

第4トランジスタM4 = OFF

10

・第2状態φ2

第1トランジスタM1 = OFF

第2トランジスタM2 = OFF

第3トランジスタM3 = OFF

第4トランジスタM4 = OFF

・第3状態φ3

第1トランジスタM1 = ON

第2トランジスタM2 = OFF

第3トランジスタM3 = OFF

第4トランジスタM4 = ON

20

・第4状態φ4

第1トランジスタM1 = OFF

第2トランジスタM2 = OFF

第3トランジスタM3 = OFF

第4トランジスタM4 = OFF

【0037】

制御回路200は、ひとつの半導体基板に一体集積化された機能IC(Integrated Circuit)である。制御回路200は、第1トランジスタM1～第4トランジスタM4それぞれのゲートと接続される出力端子OUT1～OUT4、AC1端子と接続される第1検出端子AC1__DET、AC2端子と接続される第2検出端子AC2__DETを有する。

30

【0038】

制御回路200は、制御ロジック202、第1ゼロカレント検出回路204、第2ゼロカレント検出回路206、ドライバ208を備える。第1ゼロカレント検出回路204は、AC1__DET端子の電圧 V_{AC1} にもとづいて、電流 I_{AC1} のゼロクロスを検出し、ゼロクロス点ごとにレベルが遷移する第1検出信号(ZC__DET1)を生成する。

【0039】

同様に第2ゼロカレント検出回路206は、AC2__DET端子の電圧 V_{AC2} にもとづいて、電流 I_{AC2} のゼロクロスを検出し、ゼロクロス点ごとにレベルが遷移する第2検出信号(ZC__DET2)を生成する。なお、ZC__DET1信号およびZC__DET2信号が示すゼロクロスタイミングは、厳密な電流ゼロクロス点を示すのではなく、それよりも時間的に前の時刻を示しうる。

40

【0040】

第1ゼロカレント検出回路204は、第1可変電圧源VS1、第1ゼロカレント検出コンパレータZC__CMP1、第1調節用コンパレータADJ__CMP1、第1調節部210を備える。

【0041】

第1可変電圧源VS1は、ゼロカレント検出用の可変の第1しきい値電圧 V_{ZC1} を生成する。第1しきい値電圧 V_{ZC1} は、ゼロ近傍に設定され、通常はゼロよりわずかに低い電圧レンジ(-数mV～-数十mV)に設定される。第1しきい値電圧 V_{ZC1} が低いほど、ゼロカレントの検出が時間的に早められ、高いほど、ゼロカレントの検出が時間的

50

に遅くなる。

【 0 0 4 2 】

第 1 ゼロカレント検出コンパレータ ZC_CMP1 は、 $AC1_DET$ 端子の第 1 電圧 V_{AC1} を第 1 しきい値電圧 V_{ZC1} と比較する。第 1 ゼロカレント検出コンパレータ ZC_CMP1 の出力 ZC_DET1 は、第 1 電圧 V_{AC1} が第 1 しきい値電圧 V_{ZC1} より高いとき第 1 レベル（本実施の形態ではハイレベル）、低いとき第 2 レベル（本実施の形態ではローレベル）となる。

【 0 0 4 3 】

第 1 ゼロカレント検出コンパレータ ZC_CMP1 はヒステリシスコンパレータであり、 $V_{AC1} < V_{ZC1}$ であるときには、しきい値電圧 V_{ZC1} は高い値に設定され、 $V_{AC1} > V_{ZC1}$ であるときには、しきい値電圧 V_{ZC1} は低い値（便宜的に V_{ZC3} と記す）に設定される。

【 0 0 4 4 】

第 1 調整用コンパレータ ADJ_CMP1 、第 1 調節部 210 については後述する。

【 0 0 4 5 】

第 2 ゼロカレント検出回路 206 は、第 1 ゼロカレント検出回路 204 と同様に構成され、第 2 可変電圧源 $VS2$ 、第 2 ゼロカレント検出コンパレータ ZC_CMP2 、第 2 調節用コンパレータ ADJ_CMP2 、第 2 調節部 212 を備える。

【 0 0 4 6 】

第 2 ゼロカレント検出コンパレータ ZC_CMP2 は、 $AC2_DET$ 端子の第 2 電圧 V_{AC2} を第 2 しきい値電圧 V_{ZC2} と比較し、 $V_{AC2} > V_{ZC2}$ のとき第 1 レベル（ハイレベル）、 $V_{AC2} < V_{ZC2}$ のとき第 2 レベル（ローレベル）となる ZC_DET2 信号を出力する。第 2 ゼロカレント検出コンパレータ ZC_CMP2 もヒステリシスコンパレータで構成され、 $V_{AC2} < V_{ZC2}$ であるときには、しきい値電圧 V_{ZC2} は高い値に設定され、 $V_{AC2} > V_{ZC2}$ であるときには、しきい値電圧 V_{ZC2} は低い値（便宜的に V_{ZC4} と記す）に設定される。

【 0 0 4 7 】

制御ロジック 202 は、

（ 1 ） ZC_DET1 信号が第 1 レベル（ハイレベル）となると、ブリッジ回路 102 を第 1 状態 $\phi 1$ から第 2 状態 $\phi 2$ に遷移させ、

（ 2 ） ZC_DET2 信号が第 2 レベル（ローレベル）となると、ブリッジ回路 102 を第 2 状態 $\phi 2$ から第 3 状態 $\phi 3$ に遷移させ、

（ 3 ） ZC_DET2 信号が第 1 レベル（ハイレベル）となると、ブリッジ回路 102 を、第 3 状態 $\phi 3$ から第 4 状態 $\phi 4$ に遷移させ、

（ 4 ） ZC_DET1 信号が第 2 レベル（ローレベル）となると、ブリッジ回路 102 を第 4 状態 $\phi 4$ から第 1 状態 $\phi 1$ に遷移させる。

【 0 0 4 8 】

制御ロジック 202 はステートマシンであってもよい。制御ロジック 202 は、第 1 トランジスタ $M1$ ~ 第 4 トランジスタ $M4$ それぞれのオン、オフを指示するゲート信号 $G1$ ~ $G4$ を生成する。ドライバ 208 は、ゲート信号 $G1$ ~ $G4$ に応じて第 1 トランジスタ $M1$ ~ 第 4 トランジスタ $M4$ のオン、オフを切りかえる。

【 0 0 4 9 】

以上が同期整流回路 100 の基本構成である。続いて同期整流回路 100 の整流動作を説明する。図 4 は、同期整流回路 100 の基本動作を示す波形図である。

【 0 0 5 0 】

時刻 t_0 より前は第 1 状態 $\phi 1$ である。時刻 t_0 に、第 1 検出端子 $AC1_DET$ の第 1 電圧 V_{AC1} が第 1 しきい値電圧 V_{ZC1} を超えると、 ZC_DET1 信号が第 1 レベル（ハイレベル）となり、制御回路 200 は、第 2 状態 $\phi 2$ への遷移を指示する。その後、検出遅延 τ_1 の経過後の時刻 t_1 に、出力 $OUT2$ および $OUT3$ がローレベルとなり、第 2 トランジスタ $M2$ 、第 3 トランジスタ $M3$ がオフとなる。

【 0 0 5 1 】

時刻 t_2 に、第 2 検出端子 $AC2_DET$ の第 2 電圧 V_{AC2} がしきい値電圧 V_{ZC4} を下回ると、 ZC_DET2 信号が第 2 レベル（ローレベル）となり、制御回路 200 は、第 3 状態 ϕ_3 への遷移を指示する。その後、検出遅延 τ_2 の経過後の時刻 t_3 に第 4 トランジスタ M_4 がオンし、遅れた時刻 t_4 に第 1 トランジスタ M_1 がオンする。

【 0 0 5 2 】

時刻 t_5 に、第 2 検出端子 $AC2_DET$ の第 2 電圧 V_{AC2} が第 2 しきい値電圧 V_{ZC2} を超えると、 ZC_DET2 信号が第 1 レベル（ハイレベル）となり、制御回路 200 は、第 4 状態 ϕ_4 への遷移を指示する。その後、検出遅延 τ_3 の経過後の時刻 t_6 に、出力 $OUT1$ および $OUT4$ がローレベルとなり、第 1 トランジスタ M_1 、第 4 トランジスタ M_4 がオフとなる。

10

【 0 0 5 3 】

時刻 t_7 に、第 1 検出端子 $AC1_DET$ の第 1 電圧 V_{AC1} がしきい値電圧 V_{ZC3} を下回ると、 ZC_DET1 信号が第 2 レベル（ローレベル）となり、制御回路 200 は、第 1 状態 ϕ_1 への遷移を指示する。その後、検出遅延 τ_4 の経過後の時刻 t_8 に第 3 トランジスタ M_3 がオンし、遅れた時刻 t_9 に第 2 トランジスタ M_2 がオンする。

【 0 0 5 4 】

同期整流回路 100 は、以上の動作を繰り返す。続いて、同期整流回路 100 において生ずる課題を説明する。

【 0 0 5 5 】

20

ブリッジ回路 102 の状態 $\phi_1' \sim \phi_4'$ はそれぞれ、制御回路 200 の対応する状態 $\phi_1 \sim \phi_4$ よりも遅延して遷移する。制御回路 200 の第 1 しきい値電圧 $V_{ZC1} \sim$ 第 4 しきい値電圧 V_{ZC4} は、遅延したブリッジ回路 102 の状態 $\phi_1' \sim \phi_4'$ が、実際の電流 I_{AC1} 、 I_{AC2} のゼロクロス点と一致するように定められる。

【 0 0 5 6 】

第 1 状態 ϕ_1 から第 2 状態 ϕ_2 への遷移に着目する。

第 1 状態 ϕ_1 における第 1 電圧 V_{AC1} は、 $I_{AC1} \times R_{ON3}$ で与えられる。 R_{ON3} は、第 3 トランジスタ M_3 のオン抵抗である。しきい値電圧 V_{ZC1} は、 V_{AC1} が V_{ZC1} と交差してから遅延時間 τ_1 の経過後に、実際の電流ゼロカレント（ $I_{AC1} = 0$ ）が発生するように定めればよい。

30

【 0 0 5 7 】

電流 I_{AC1} の傾きを α （ A/s ）とすれば、第 1 電圧 V_{AC1} の傾きは、 $\alpha \times R_{ON3}$ （ V/s ）となる。したがって、式（1）を満たすようにしきい値電圧 V_{ZC1} を定めることで、理想的なゼロカレントスイッチングが実現できる。

$$V_{ZC1} = \alpha \times R_{ON3} \times \tau_1 \quad \dots (1)$$

【 0 0 5 8 】

ところが、第 1 ゼロカレント検出コンパレータ ZC_CMP1 のオフセット電圧のばらつき、コンパレータの応答速度のばらつき、制御ロジック 202 およびドライバ 208 の遅延のばらつきなどによって遅延 τ_1 が変動しうる。また、第 3 トランジスタ M_3 のオン抵抗 R_{ON3} もばらつきを有する。オン抵抗 R_{ON3} のばらつきは、第 3 トランジスタ M_3 が外付けのディスクリート部品である場合に一層顕著となる。また電流 I_{AC} の周波数やピーク値 I_{PEAK} が変化すると、傾き α が変化する。

40

【 0 0 5 9 】

したがって第 1 しきい値電圧 V_{ZC1} を固定すると、バラツキや誤差、電流変動等の影響で、理想的なゼロカレントスイッチングから逸脱する。第 3 状態 ϕ_3 から第 4 状態 ϕ_4 についても同様であり、第 2 しきい値電圧 V_{ZC2} を固定すると、理想的なゼロカレントスイッチングから逸脱する。なおこの問題を当業者の一般的な認識として捉えてはならない。

【 0 0 6 0 】

この問題を解決するために、図 3 の制御回路 200 は、第 1 調節部 210、第 1 調整用

50

コンパレータ A D J _ C M P 1、第 2 調節部 2 1 2、第 2 調整用コンパレータ A D J _ C M P 2 をさらに備える。

【 0 0 6 1 】

第 1 調節用コンパレータ A D J _ C M P 1 は、第 1 電圧 V_{AC1} を所定の負の第 1 基準電圧 V_{TH1} と比較する。第 1 基準電圧 V_{TH1} は、ダイオードの順方向電圧を V_f とするとき、接地電圧 0 V より低く、 $-V_f$ より高く定められる。典型的には $V_f = 0.6 \sim 0.7$ V であり、たとえば第 1 基準電圧 V_{TH1} は、 $-50 \sim -300$ mV 程度に設定することができる。本実施の形態では $V_{TH1} = -120$ mV である。第 1 調整用コンパレータ A D J _ C M P 1 の出力 V_F_DET1 は、 $V_{AC1} < V_{TH1}$ のとき第 1 レベル（たとえばハイレベル）、 $V_{AC1} > V_{TH1}$ のとき第 2 レベル（たとえばローレベル）となる。

10

【 0 0 6 2 】

第 1 調節部 2 1 0 は、第 1 調節用コンパレータ A D J _ C M P 1 の出力 V_F_DET1 にもとづいて、第 1 可変電圧源 V_S1 が生成する第 1 しきい値電圧 V_{ZC1} を変化させる。

【 0 0 6 3 】

第 2 ゼロカレント検出回路 2 0 6 側についても同様である。第 2 調節用コンパレータ A D J _ C M P 2 は、第 2 電圧 V_{AC2} を所定の負の第 2 基準電圧 V_{TH2} と比較する。第 2 基準電圧 V_{TH2} は、第 1 基準電圧 V_{TH1} と同じ電圧であってもよい。

【 0 0 6 4 】

20

第 2 調整用コンパレータ A D J _ C M P 2 の出力 V_F_DET2 は、 $V_{AC2} < V_{TH2}$ のとき第 1 レベル（たとえばハイレベル）、 $V_{AC2} > V_{TH2}$ のとき第 2 レベル（たとえばローレベル）となる。

【 0 0 6 5 】

第 2 調節部 2 1 2 は、第 2 調節用コンパレータ A D J _ C M P 2 の出力 V_F_DET2 にもとづいて、第 2 可変電圧源 V_S2 が生成する第 2 しきい値電圧 V_{ZC2} を変化させる。

【 0 0 6 6 】

以上が制御回路 2 0 0 の構成である。続いて、第 1 しきい値電圧 V_{ZC1} 、第 2 しきい値電圧 V_{ZC2} の最適化を説明する。

30

【 0 0 6 7 】

図 5 (a) ~ (d) は、図 3 の同期整流回路 1 0 0 の動作波形図である。再び第 1 状態 $\phi 1$ から第 2 状態 $\phi 2$ への遷移に着目する。図 5 (a) は、電流 I_{AC1} を示す。図 5 (b) ~ (d) にはそれぞれ、第 1 電圧 V_{AC1} 、 ZC_DET1 信号、第 1 調整用コンパレータ A D J _ C M P 1 の出力 V_F_DET1 を示す。図 5 (b) ~ (d) では第 1 しきい値電圧 V_{ZC1} が異なっている。

【 0 0 6 8 】

図 5 (c) が理想的なゼロカレントスイッチングを示す。図 5 (b) では、図 5 (c) よりも第 1 しきい値電圧 V_{ZC1} が高く、したがってハッチングを付した領域での損失が問題となる。

40

【 0 0 6 9 】

図 5 (d) では、図 5 (c) よりも第 1 しきい値電圧 V_{ZC1} が低くなっている。この場合、電流のゼロクロスタイミング ZC よりも前に、第 2 状態 $\phi 2$ に遷移し、第 3 トランジスタ M 3 がターンオフすることとなる。この場合、第 3 トランジスタ M 3 と並列なダイオード D 3 に、電流 I_{AC1} が流れることとなり、第 1 電圧 V_{AC1} が $-V_f$ となる。第 1 調整用コンパレータ A D J _ C M P 1 によって、第 1 電圧 V_{AC1} が $-V_f$ となったことが検出され、 V_F_DET1 信号がアサートされる。

【 0 0 7 0 】

しきい値電圧 V_{ZC1} がゼロカレントスイッチングの理想値であるか、もしくはそれより高ければ、ダイオード D 3 に電流 I_{AC1} は流れず、 V_F_DET1 信号はアサートさ

50

れない。しきい値電圧 V_{ZC1} が理想値よりわずかでも低くなると、ダイオード $D3$ に電流 I_{AC1} が流れ、 V_{F_DET1} 信号がアサートされる。

【0071】

言い換えれば、第1しきい値電圧 V_{ZC1} の理想値は、 V_{F_DET1} 信号がアサートされる直前に生じている。そこで第1調節部210は、 V_{F_DET1} 信号を監視しながら第1しきい値電圧 V_{ZC1} を変化させ、その理想値を検出することができる。

【0072】

たとえば第1調節部210は、第1しきい値電圧 V_{ZC1} を V_{F_DET1} 信号がアサートされるまで徐々に低下させていき、 V_{F_DET1} 信号がアサートされる直前の値を理想値としてもよい。

【0073】

このように実施の形態に係る同期整流回路100によれば、回路定数のばらつき、電流の周波数やピーク値、傾きが変動したとしても、ゼロカレント検出のためのしきい値電圧 V_{ZC1} 、 V_{ZC2} を、理想的なゼロカレントスイッチングに対応する電圧レベルに調節できる。理想的なゼロカレントスイッチングにより、スイッチング素子（トランジスタ）の損失を低減でき、したがって効率を改善できる。また損失が低減されることから発熱量を抑えることができ、同期整流回路100自体、あるいはそれを用いた機器における熱設計が容易となる。

【0074】

従来では、第3トランジスタ $M3$ や第4トランジスタ $M4$ のオン抵抗のばらつきを抑えるために、ブリッジ回路102を制御回路200に内蔵するか、あるいはオン抵抗のばらつきの小さい素子を選別して使用する必要があった。これに対して、実施の形態に係る制御回路200では、オン抵抗 R_{ON} のばらつきをしきい値電圧 V_{ZC1} 、 V_{ZC2} の調節により吸収できるため、ブリッジ回路102を外付けのディスクリート部品で構成でき、したがって制御回路200よりオン抵抗が小さくでき、これによっても効率が改善される。

【0075】

また従来では、遅延 τ をなるべく小さくするために、第1ゼロカレント検出コンパレータ ZC_CMP1 、第2ゼロカレント検出コンパレータ ZC_CMP2 として、高速なコンパレータを用いる必要があった。しかしながら高速なコンパレータは回路面積が大きく、また消費電力が大きい。実施の形態では、遅延 τ が大きくても、またその遅延がばらついていても、しきい値電圧 V_{ZC1} 、 V_{ZC2} の調節により吸収できるため、コンパレータ ZC_CMP1 、 ZC_CMP2 は低速であってもよく、設計が容易となる。

【0076】

従来では各種のばらつきの影響は、同期整流回路のスイッチング周期が短いほど、言い換えればスイッチング周波数が高いほど顕著であり、高周波化が難しいという問題があった。実施の形態では、交流信号 I_{AC} の高周波化に容易に対応できる。

【0077】

なお、しきい値電圧 V_{ZC1} 、 V_{ZC2} の調節は、同期整流回路100の動作中、常時行ってもよい。これにより、交流電流 I_{AC} の特性が変化したり、遅延 τ が変化したりした場合にも、しきい値電圧 V_{ZC1} 、 V_{ZC2} をそれらの変化に追従させることができる。

【0078】

反対に、しきい値電圧 V_{ZC1} 、 V_{ZC2} の調節は、同期整流回路100の動作中、あるいは動作前の、キャリブレーション期間中に限定してもよい。つまり交流電流 I_{AC} の特性や遅延 τ の変化が無視できる場合には、一旦、最適化した電圧を使用し続けてもよい。キャリブレーションは、定期的に行ってもよい。

これにより、第1調整用コンパレータ ADJ_CMP1 、第2調整用コンパレータ ADJ_CMP2 、第1調節部210、第2調節部212の消費電力を削減できる。

【0079】

10

20

30

40

50

本発明は、図3のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、回路に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や回路動作の理解を容易、明確化するために、より具体的な構成例を説明する。

【0080】

図6は、第1調節部210の構成例を示す回路図である。マスク回路214は、ZCDET1信号のレベル変化をマスクし、ノイズの影響を除去する。

【0081】

第1調節部210は、アップダウンカウンタ220を含む。アップダウンカウンタ220のカウンタ値S20が、第1可変電圧源VS1の制御信号である。ここではカウンタ値S20が高いほど、しきい値電圧 V_{ZC1} は高いものとする。

10

【0082】

アップダウンカウンタ220は、VFDET1信号がローレベルの間、つまり $V_{AC1} > V_{TH1}$ のとき、カウンタアップし、VFDET1信号がハイレベルの間、つまり $V_{AC1} < V_{TH1}$ のとき、カウンタダウンする。

【0083】

インバータ222、224、226、フリップフロップ228、遅延回路230は、タイミング調節および論理レベルを適合させるために設けられる。フリップフロップ228の入力(D)にはハイレベルの電圧(たとえば電源電圧 V_{DD})が入力され、そのクロック端子にはインバータ222により反転されたVFDET1信号が入力される。フリップフロップ228のリセット端子(反転論理)には、ZCDET1信号が入力される。第2調節部212についても、第1調節部210と同様に構成される。

20

【0084】

続いて第1調節部210の動作を説明する。図7は、図6の第1調節部210のフローチャートである。

【0085】

はじめにアップダウンカウンタ220が初期化される(S100)。カウンタ値S20の初期値は、しきい値電圧 V_{ZC1} が理想値よりも高くなるように定められる。たとえばカウンタ値は、カウンタの最大値としてもよいし、しきい値電圧 V_{ZC} が0Vとなる値であってもよい。

30

【0086】

なお、しきい値電圧 V_{ZC1} の初期値を低く設定して理想値より低くなると、誤動作の原因となり得る。一方、初期値を高くすると、理想値に到達するまでの時間が長くなるが、誤動作を防止できる。

【0087】

第1状態φ1から第2状態φ2への遷移が発生する(S102)。その結果、 $V_{AC1} > V_{TH1}$ であれば(S104のN)、 V_{ZC1} は理想値より高いため、アップダウンカウンタ220がカウンタダウンし(S108)、 V_{ZC1} が低下する。反対に $V_{AC1} < V_{TH1}$ であれば(S104のY)、 V_{ZC1} は理想値より低くなっており、アップダウンカウンタ220がカウンタアップし(S106)、 V_{ZC1} が上昇する。

40

【0088】

続いて、第2状態φ2、第3状態φ3、第4状態φ4、第1状態φ1と順に遷移し(S110)、ステップS102に戻る。

【0089】

この処理が繰り返され、第1しきい値電圧 V_{ZC1} が理想値の近傍に収束する。AC2側についても並列して同じ処理が繰り返され、第2しきい値電圧 V_{ZC2} も同様に理想値の近傍に収束する。

【0090】

以上、本発明について、実施の形態をもとに説明した。これらの実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと

50

、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

【0091】

(第1変形例)

図8は、第1変形例に係る制御回路200aのブロック図である。この変形例では制御回路200aは、第3ゼロカレント検出コンパレータ ZC_CMP3 、第4ゼロカレント検出コンパレータ ZC_CMP4 をさらに備える。

【0092】

第3ゼロカレント検出コンパレータ ZC_CMP3 は、第1電圧 V_{AC1} を第3しきい値電圧 V_{ZC3} と比較し、比較結果を示す第3検出信号(ZC_DET3)を生成する。 ZC_DET3 信号は、 $V_{AC1} > V_{ZC3}$ のとき第1レベル(たとえばハイレベル)、 $V_{AC1} < V_{ZC3}$ のとき第2レベル(ローレベル)となる。

10

【0093】

また第4ゼロカレント検出コンパレータ ZC_CMP4 は、第2電圧 V_{AC2} を第4しきい値電圧 V_{ZC4} と比較し、比較結果を示す第4検出信号(ZC_DET4)を生成する。

ZC_DET4 信号は、 $V_{AC2} > V_{ZC4}$ のとき第1レベル(たとえばハイレベル)、 $V_{AC2} < V_{ZC4}$ のとき第2レベル(たとえばローレベル)である。

【0094】

制御ロジック202は、 ZC_DET4 信号が第2レベル(ローレベル)となると、ブリッジ回路102を第2状態 $\phi2$ から第3状態 $\phi3$ に遷移させ、 ZC_DET3 信号が第2レベル(ローレベル)となると、ブリッジ回路102を第4状態 $\phi4$ から第1状態 $\phi1$ に遷移させる。

20

【0095】

この変形例によれば、しきい値電圧 V_{ZC3} 、 V_{ZC4} を、第1、第2しきい値電圧 V_{ZC1} 、 V_{ZC2} の調節に依存せずに独立に規定することができる。

【0096】

(第2変形例)

実施の形態では、AC1側とAC2側の両方に、しきい値電圧 V_{ZC1} 、 V_{ZC2} の調節手段を設けたが、一方のみに設けてもよい。たとえばAC1側のみに調節手段を設けてもよい。一例として、第1調整用コンパレータ ADJ_CMP1 および第1調節部210を、AC1側とAC2側で時分割にて用いてもよい。

30

これにより回路面積を削減できる。

【0097】

あるいは、第1調節部210により第1しきい値電圧 V_{ZC1} を調節した結果を、第2しきい値電圧 V_{ZC2} に反映させてもよい。

AC1側とAC2側の対称性が高い場合には、片側のみを監視結果にもとづいて、両方の最適化処理を行うことで、回路面積を削減できる。

【0098】

(第3変形例)

実施の形態では、第1電圧 V_{AC1} 、第2電圧 V_{AC2} を、ゼロ近傍のしきい値電圧 $V_{ZC1} \sim V_{ZC4}$ と比較してゼロカレントを検出したが、本発明はそれには限定されない。しきい値電圧 $V_{ZC1} \sim V_{ZC4}$ は、RECT端子の整流電圧 V_{RECT} の近傍に設定してもよい。

40

【0099】

制御回路200の構成は図3と同様である。第1しきい値電圧 V_{ZC1} 、第2しきい値電圧 V_{ZC2} は、整流電圧 V_{RECT} の近傍で可変であってもよい。第1基準電圧 V_{TH1} 、第2基準電圧 V_{TH2} は整流電圧 V_{RECT} より高く、 $V_{RECT} + V_f$ より低い正電圧である。

【0100】

50

図 9 は、第 3 変形例に係る同期整流回路 100 の動作波形図である。

制御ロジック 202 は、

(i) ZC_DET1 信号が第 2 レベル (たとえばハイレベル) となると、つまり $V_{AC1} < V_{TH1}$ となると、ブリッジ回路 102 を、第 3 状態 $\phi 3$ から第 4 状態 $\phi 4$ に遷移させ、

(ii) ZC_DET2 信号が第 2 レベル (たとえばハイレベル) となると、つまり $V_{AC2} < V_{TH2}$ となると、ブリッジ回路 102 を、第 1 状態 $\phi 1$ から第 2 状態 $\phi 2$ に遷移させ、

(iii) ZC_DET1 信号が第 1 レベル (たとえばローレベル) となると、つまり $V_{AC1} > V_{TH3}$ となると、ブリッジ回路 102 を、第 2 状態 $\phi 2$ から第 3 状態 $\phi 3$ に遷移させ、

(iv) ZC_DET2 信号が第 1 レベル (たとえばローレベル) となると、つまり $V_{AC2} > V_{TH4}$ となると、ブリッジ回路 102 を、第 4 状態 $\phi 4$ から第 1 状態 $\phi 1$ に遷移させる。

【0101】

第 3 状態 $\phi 3$ から第 4 状態 $\phi 4$ への遷移に着目する。第 3 状態 $\phi 3$ における第 1 電圧 V_{AC1} は、式 (2) で与えられる。

$$V_{AC1} = I_{AC1} \times R_{ON3} + V_{RECT} \quad \dots (2)$$

電流 I_{AC1} がゼロに近づくにしたがい、 V_{AC1} は V_{RECT} に向かって時間とともに低下する。この変形例では、第 1 しきい値電圧 V_{ZC1} が高いほど、ゼロカレント検出のタイミングが前掛かりとなる。たとえば第 1 調節部 210 は、第 1 しきい値電圧 V_{ZC1} を初期値から徐々に増大させていき、理想値を検出してもよい。第 2 調節部 212 についても同様である。

【0102】

第 3 変形例に、さらに第 1 または第 2 の変形例を適用してもよい。

【0103】

(第 4 変形例)

図 8 の変形例では、 V_{ZC1} 、 V_{ZC2} を 0 V 近傍とし、 V_{ZC3} 、 V_{ZC4} を V_{RECT} 近傍としてもよい。反対に、 V_{ZC1} 、 V_{ZC2} を V_{RECT} 近傍とし、 V_{ZC3} 、 V_{ZC4} を 0 V 近傍としてもよい。

【0104】

(第 5 変形例)

実施の形態で説明した各信号の論理レベル (ハイレベル / ローレベル) の割り当ては例示であり、当業者によれば自由に変更が可能である。

【0105】

(用途)

続いて、同期整流回路 100 の好ましい用途を説明する。同期整流回路 100 は、ワイヤレス給電システムの受電装置に好適に利用可能である。図 10 は、同期整流回路 100 を備えるワイヤレス受電装置 300 のブロック図である。

【0106】

ワイヤレス受電装置 300 は電子機器 500 に搭載される。電子機器 500 は、電気シェーバや電動歯ブラシ、コードレスホン、ゲーム機器のコントローラ、電動工具などであり、非接触電力伝送 (無接点電力伝送、ワイヤレス給電ともいう) により充電可能なデバイスである。あるいは電子機器 500 は、携帯電話端末やタブレット PC、ノート PC、デジタルカメラ、デジタルビデオカメラ、ポータブルオーディオ機器、ポータブルゲーム機器などであってもよい。

【0107】

電子機器 500 は、2 次電池 502 およびワイヤレス受電装置 300 を備える。ワイヤレス受電装置 300 は、ワイヤレス給電装置 400 からの電力を受け、2 次電池 502 を充電する。たとえば 2 次電池 502 は、ニッケル水素電池や、リチウムイオン電池である

10

20

30

40

50

。

【0108】

ワイヤレス給電装置400は、ワイヤレス受電装置300に対して電力信号を供給する。ワイヤレス給電装置400は、送信コイル402、駆動部404を備える。駆動部404は、電圧源もしくは電流源であり、送信コイル402に交流の駆動電流を流す。

【0109】

ワイヤレス受電装置300の受信コイル302は、送信コイル402と結合するように近接して配置される。送信コイル402に駆動電流が流れると、電磁誘導によって受信コイル302にコイル電流 I_{COIL} が流れる。

【0110】

ワイヤレス受電装置300は、受信コイル302に加えて、同期整流回路100、平滑キャパシタ304、充電回路306を備える。

【0111】

同期整流回路100は、受信コイル302に流れるコイル電流 I_{COIL} を整流し、平滑キャパシタ304に供給する。充電回路306は、整流電圧 V_{RECT} を受け、2次電池502を充電する。

【0112】

実施の形態に係る同期整流回路100は、電力信号の周波数が、商用交流よりも高いワイヤレス給電の整流回路として好適に使用できる。なお同期整流回路100の用途はこれには限定されず、AC/DCコンバータなどさまざまな用途に利用しうる。

【0113】

実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

【符号の説明】

【0114】

100...同期整流回路、102...ブリッジ回路、M1...第1トランジスタ、M2...第2トランジスタ、M3...第3トランジスタ、M4...第4トランジスタ、120...平滑キャパシタ、200...制御回路、202...制御ロジック、204...第1ゼロカレント検出回路、206...第2ゼロカレント検出回路、208...ドライバ、210...第1調節部、212...第2調節部、ZC__CMP1...第1ゼロカレント検出コンパレータ、ZC__CMP2...第2ゼロカレント検出コンパレータ、ZC__CMP3...第3ゼロカレント検出コンパレータ、ZC__CMP4...第4ゼロカレント検出コンパレータ、ADJ__CMP1...第1調整用コンパレータ、ADJ__CMP2...第2調整用コンパレータ、220...アップダウンカウンタ、VS1...第1可変電圧源、VS2...第2可変電圧源、300...ワイヤレス受電装置、302...受信コイル、304...平滑キャパシタ、306...充電回路、400...ワイヤレス給電装置、402...送信コイル、404...駆動部、500...電子機器、502...2次電池

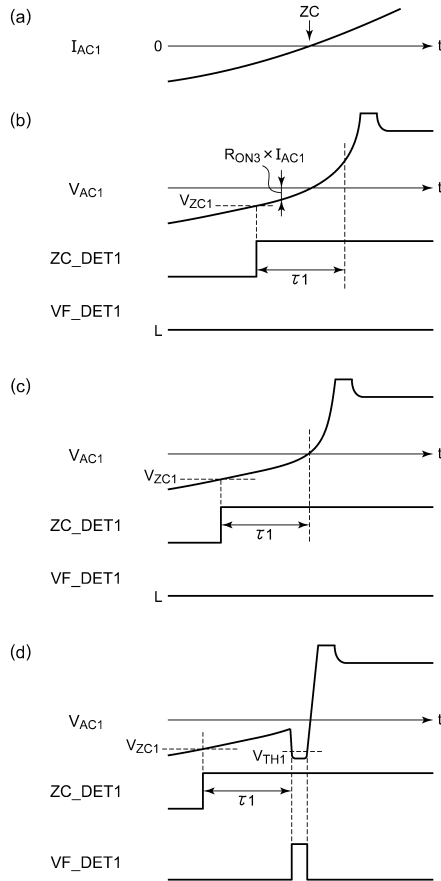
。

10

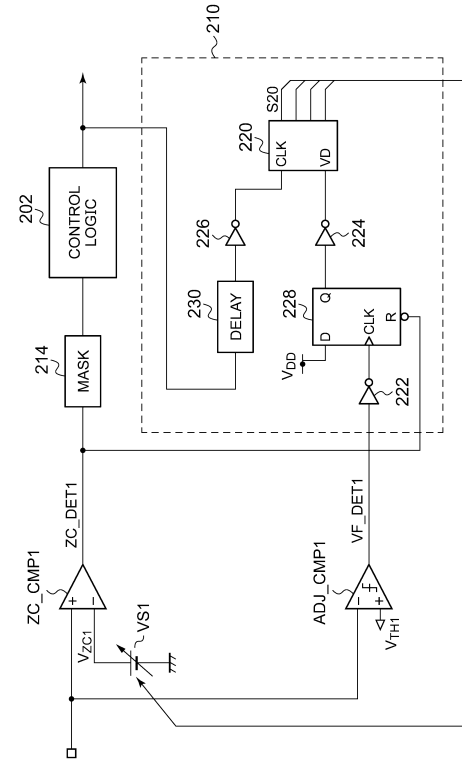
20

30

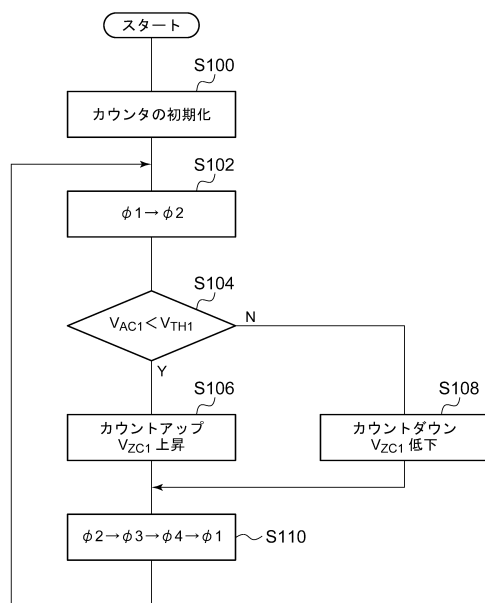
【図 5】



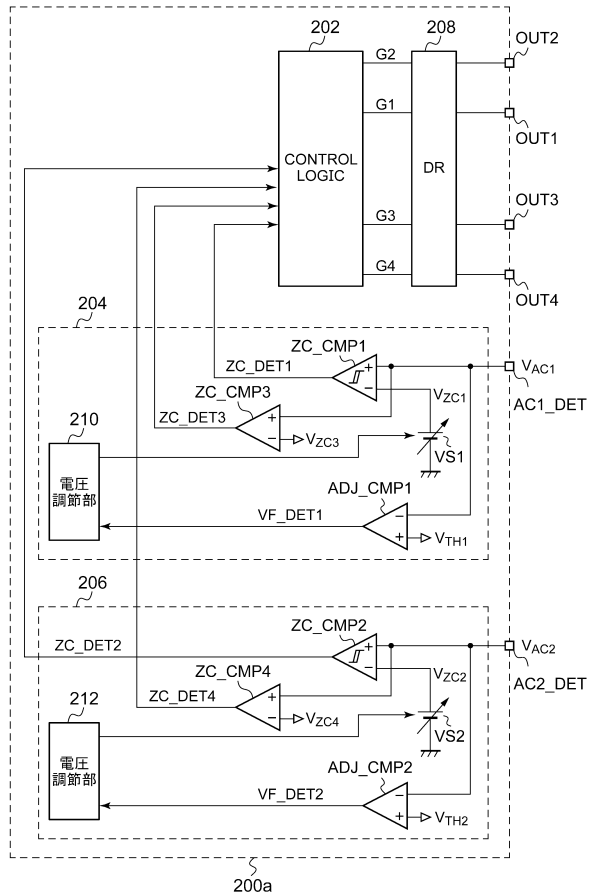
【図 6】



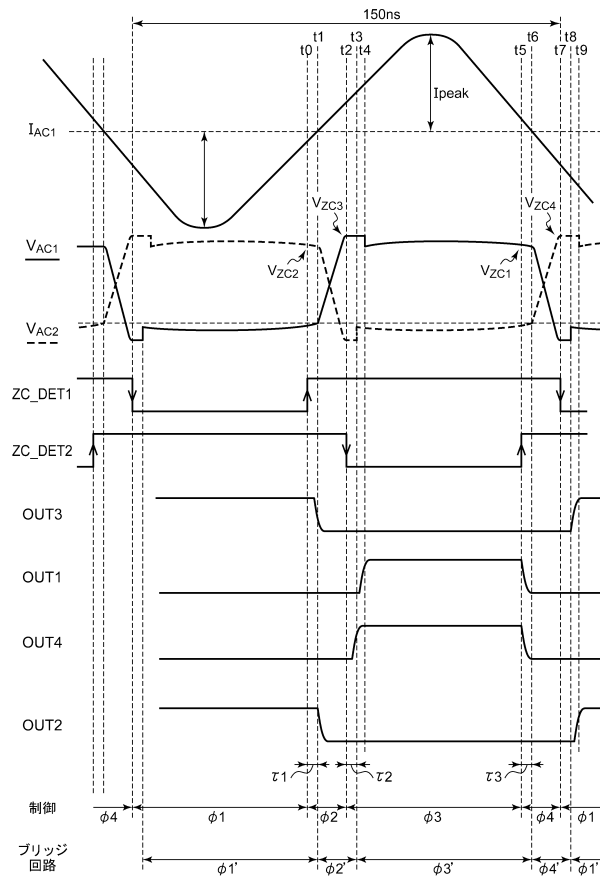
【図 7】



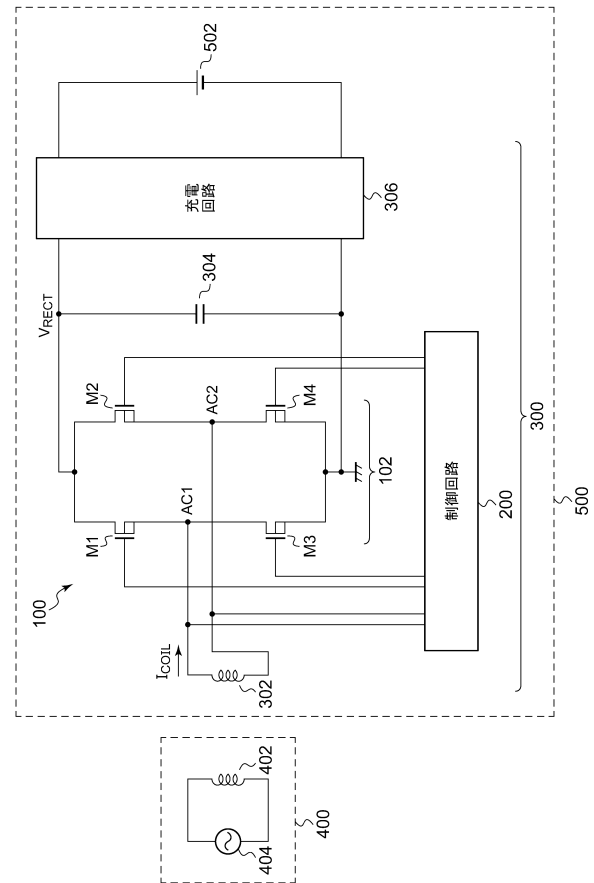
【図 8】



【図 9】



【図 10】



フロントページの続き

(56)参考文献 米国特許出願公開第2015/0117076(US, A1)
米国特許第08441238(US, B2)

(58)調査した分野(Int.Cl., DB名)
H02M 7/21