

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-178334

(P2016-178334A)

(43) 公開日 平成28年10月6日(2016.10.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 C	5 F 0 4 4
HO 1 L 25/18 (2006.01)	HO 1 L 21/60 3 1 1 S	
HO 1 L 21/60 (2006.01)		

審査請求 有 請求項の数 26 O L (全 25 頁)

(21) 出願番号	特願2016-115416 (P2016-115416)	(71) 出願人	000116024 ローム株式会社
(22) 出願日	平成28年6月9日(2016.6.9)		京都府京都市右京区西院溝崎町2-1番地
(62) 分割の表示	特願2011-217477 (P2011-217477) の分割	(74) 代理人	100083806 弁理士 三好 秀和
原出願日	平成23年9月30日(2011.9.30)	(74) 代理人	100133514 弁理士 寺山 啓進
		(72) 発明者	花田 俊雄 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内
		Fターム(参考)	5F044 KK01 LL07 QQ06

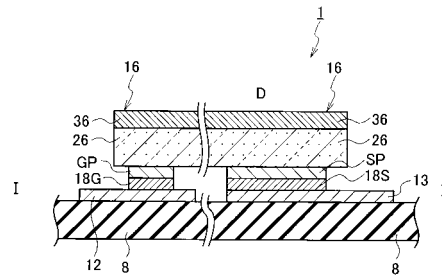
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】低コストで高い耐熱性ワイヤレス接合を有する半導体装置およびその製造方法を提供する。

【解決手段】実装基板8と、実装基板8上に配置された信号配線電極12と、実装基板8上に若しくは実装基板8を貫通して配置されたパワー配線電極6と、信号配線電極12と電気的に接合可能なゲートパッド電極GPおよびパワー配線電極6と電気的に接合可能なソースパッド電極SPを有する半導体デバイス16と、信号配線電極12とゲートパッド電極GPとの間に配置された第1金属粒子接合層18Gと、パワー配線電極6とソースパッド電極SPとの間に配置された第2金属粒子接合層18Sとを備え、半導体デバイス16が実装基板8上にフリップチップ接続された半導体装置1およびその製造方法。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

実装基板と、
前記実装基板上に配置された信号配線電極と、
前記実装基板上若しくは前記実装基板を貫通して配置されたパワー配線電極と、
前記信号配線電極と電氣的に接合可能なゲートパッド電極と、前記パワー配線電極と電氣的に接合可能なソースパッド電極とを有するパワーデバイスと、
前記信号配線電極と前記ゲートパッド電極との間に配置され、複数の金属微粒子と前記複数の金属微粒子を被覆する酸化防止膜とを有し、前記酸化防止膜が破碎した面において、前記複数の金属微粒子間が密着された状態で析出される金属により相互に接続されてなる第 1 金属粒子接合層と、
前記パワー配線電極と前記ソースパッド電極との間に配置され、複数の金属微粒子と前記複数の金属微粒子を被覆する酸化防止膜とを有し、前記酸化防止膜が破碎した面において、前記複数の金属微粒子間が密着された状態で析出される金属により相互に接続されてなる第 2 金属粒子接合層と
を備え、
前記パワーデバイスが前記実装基板上にフリップチップ接続されたことを特徴とする半導体装置。

10

【請求項 2】

前記パワーデバイスは、SiC系FETまたはGaN系FETであることを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 3】

前記酸化防止膜は、前記複数の金属微粒子の表面を被覆する有機殻であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記複数の金属微粒子は、半田よりも高融点な銀ナノ粒子、金ナノ粒子またはニッケルナノ粒子のいずれかであって、

前記銀ナノ粒子、前記金ナノ粒子または前記ニッケルナノ粒子のいずれかを所定の溶媒中に分散させた金属ナノ粒子ペースト層とされていることを特徴とする請求項 3 に記載の半導体装置。

30

【請求項 5】

前記金属ナノ粒子ペースト層は、前記所定の溶媒中に前記銀ナノ粒子を分散させた銀ナノペーストであることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記銀ナノペーストは、前記銀ナノ粒子の濃度が 80 質量% ~ 95 質量%であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記銀ナノペーストは、前記銀ナノ粒子の粒径が 30 nm ~ 100 nmであることを特徴とする請求項 5 または 6 に記載の半導体装置。

【請求項 8】

前記銀ナノ粒子は、加圧によって前記有機殻の少なくとも一部が破碎されることにより、前記銀ナノペースト中で密着した状態となることを特徴とする請求項 4 ~ 7 のいずれか 1 項に記載の半導体装置。

40

【請求項 9】

前記所定の溶媒は、極性溶媒、炭化水素系溶媒、水系溶媒またはケトン系溶媒のいずれかであることを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 10】

前記パワー配線電極上の前記第 2 金属粒子接合層と接する界面には、さらに銀メッキ層が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】

50

前記パワーデバイスは、前記ゲートパッド電極および前記ソースパッド電極の配置面と対向する面に配置されたドレイン電極をさらに有し、

前記ドレイン電極上には柱状電極を介して第1のヒートスプレッダーが配置されることを特徴とする請求項1～10のいずれか1項に記載の半導体装置。

【請求項12】

前記実装基板の、前記パワーデバイスの搭載面と対向する面には、第2のヒートスプレッダーが配置されることを特徴とする請求項1～11のいずれか1項に記載の半導体装置。

【請求項13】

前記パワーデバイスは、300～400での高温動作が可能であることを特徴とする請求項1～12のいずれか1項に記載の半導体装置。

10

【請求項14】

前記パワー配線電極は、数百アンペアの大電流を通電可能であることを特徴とする請求項1～13のいずれか1項に記載の半導体装置。

【請求項15】

実装基板上に信号配線電極を形成する工程と、

前記実装基板上に若しくは前記実装基板を貫通してパワー配線電極を形成する工程と、

前記信号配線電極と電氣的に接合可能なゲートパッド電極と、前記パワー配線電極と電氣的に接合可能なソースパッド電極とを有するパワーデバイスを形成する工程と、

前記信号配線電極もしくは前記ゲートパッド電極の一方若しくは両方に、複数の金属微粒子と前記複数の金属微粒子を被覆する酸化防止膜とを有し、前記酸化防止膜が破砕した面において、前記複数の金属微粒子間が密着された状態で析出される金属により相互に接続されてなる第1金属粒子接合層を形成する工程と、

20

前記パワー配線電極もしくは前記ソースパッド電極の一方若しくは両方に、複数の金属微粒子と前記複数の金属微粒子を被覆する酸化防止膜とを有し、前記酸化防止膜が破砕した面において、前記複数の金属微粒子間が密着された状態で析出される金属により相互に接続されてなる第2金属粒子接合層を形成する工程と、

前記パワーデバイスを前記実装基板上にフリップチップ接続する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項16】

前記第1金属粒子接合層を形成する工程は、前記複数の金属微粒子を含む第1ペースト層を前記信号配線電極もしくは前記ゲートパッド電極の一方若しくは両方に塗布する工程を有し、

30

前記第2金属粒子接合層を形成する工程は、前記複数の金属微粒子を含む第2ペースト層を前記パワー配線電極もしくは前記ソースパッド電極の一方若しくは両方に塗布する工程を有することを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】

前記パワーデバイスを前記実装基板上にフリップチップ接続する工程は、

前記第1ペースト層を介して前記信号配線電極と前記ゲートパッド電極とを当接させ、当該当接状態において前記第1ペースト層を所定温度で焼成し、前記信号配線電極と前記ゲートパッド電極とを接合する工程と、

40

前記第2ペースト層を介して前記パワー配線電極と前記ソースパッド電極とを当接させ、当該当接状態において前記第2ペースト層を所定温度で焼成し、前記パワー配線電極と前記ソースパッド電極とを接合する工程と

を有することを特徴とする請求項15または16に記載の半導体装置の製造方法。

【請求項18】

前記第2ペースト層を前記パワー配線電極もしくは前記ソースパッド電極の一方若しくは両方に塗布する工程は、

前記パワー配線電極もしくは前記ソースパッド電極の一方若しくは両方に、当該各電極位置に合わせた開口部を有するマスクを位置合わせして重ね合わせる工程と、

50

当該マスクの上に前記第2ペースト層を堆積する工程と、
スキージによって前記第2ペースト層を前記開口部に充填する工程と、
前記マスクを取り除く工程と
を有することを特徴とする請求項16に記載の半導体装置の製造方法。

【請求項19】

前記ペースト層の焼成を行う前に、前記実装基板と前記パワーデバイスとを対向する方向に押圧して、前記ペースト層に所定の圧力を加える工程をさらに有することを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項20】

前記所定の圧力は、2MPa～30MPaであることを特徴とする請求項19に記載の半導体装置の製造方法。 10

【請求項21】

前記第1ペースト層および前記第2ペースト層は、所定の溶媒中に銀ナノ粒子を分散させた銀ナノペーストであることを特徴とする請求項16に記載の半導体装置の製造方法。

【請求項22】

前記銀ナノペーストは、前記銀ナノ粒子の濃度が80質量%～95質量%であることを特徴とする請求項21に記載の半導体装置の製造方法。

【請求項23】

前記銀ナノペーストは、前記銀ナノ粒子の粒径が30nm～100nmであることを特徴とする請求項21または22に記載の半導体装置の製造方法。 20

【請求項24】

前記銀ナノペーストの焼成温度は、200～400であることを特徴とする請求項21～23のいずれか1項に記載の半導体装置の製造方法。

【請求項25】

前記パワーデバイスは、SiC系FETまたはGaN系FETであることを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項26】

前記パワーデバイスは、前記ゲートパッド電極および前記ソースパッド電極の配置面と対向する面に配置されたドレイン電極を備え、

前記ドレイン電極上に柱状電極を介してヒートスプレッダーを配置する工程をさらに有することを特徴とする請求項15～25のいずれか1項に記載の半導体装置の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、金属粒子層を介して実装基板と半導体デバイスとをワイヤレス接合する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

現在多くの研究機関において、シリコンカーバイド(SiC: Silicon Carbide)デバイスの研究開発が行われている。SiCデバイスの特徴として、低オン抵抗、高速スイッチングおよび高温動作などを挙げることができる。 40

【0003】

従来、半導体パワーモジュールの分野で使用されている絶縁ゲートバイポーラトランジスタ(IGBT: Insulated Gate Bipolar Transistor)などのSiデバイスでは、動作可能な温度範囲が150程度までであるため、従来のSn-Ag系などの低融点半田を使用しても駆動することが可能であった。

【0004】

SiCデバイスの相互接続方法および低熱抵抗パッケージについては、既に関示されている(例えば、特許文献1および特許文献2参照。)。特許文献1および特許文献2においては、SiCデバイスを収容するパッケージの形成方法が開示されており、SiCデバ 50

イスは、他の部品若しくは導電性表面に対して、液相拡散（TLP：Transient Liquid Phase）接合技術を用いて結合されている。

【0005】

また、半導体素子を裏面から冷却器を介して液体冷却する機器についても開示されている（例えば、特許文献3参照。）。

【0006】

また、半導体チップ上に柱状電極を形成し、その柱状電極の上に半田バンプを形成し、この柱状電極と半田バンプを介して基板と直接電気接続する実装技術がある（例えば、特許文献4参照。）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】国際公開第2006/074165号

【特許文献2】米国特許出願公開第2006/0151871号明細書

【特許文献3】特開2010-245329号公報

【特許文献4】特開2010-199255号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

SiCデバイスでは、理論的に、300以上もの高温動作が可能であり、従来のはんだ材では接合部が溶融し、電極間のショート、接合部の剥離などを生じ信頼性を損なうものとなっていた。

【0009】

また、SiCデバイスはIGBTに比べて低抵抗なため電力密度を高くできる。そのため、パワーデバイスに一般的に用いられているアルミもしくは銅ワイヤによるワイヤボンディング配線では電流集中により信頼性の確保が困難になるという問題があった。

【0010】

本発明の目的は、低コストで高い耐熱性ワイヤレス接合を有する半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

上記目的を達成するための本発明の一態様によれば、実装基板と、前記実装基板上に配置された信号配線電極と、前記実装基板上若しくは前記実装基板を貫通して配置されたパワー配線電極と、前記信号配線電極と電氣的に接合可能なゲートパッド電極と、前記パワー配線電極と電氣的に接合可能なソースパッド電極とを有するパワーデバイスと、前記信号配線電極と前記ゲートパッド電極との間に配置され、複数の金属微粒子と前記複数の金属微粒子を被覆する酸化防止膜とを有し、前記酸化防止膜が破砕した面において、前記複数の金属微粒子間が密着された状態で析出される金属により相互に接続されてなる第1金属粒子接合層と、前記パワー配線電極と前記ソースパッド電極との間に配置され、複数の金属微粒子と前記複数の金属微粒子を被覆する酸化防止膜とを有し、前記酸化防止膜が破砕した面において、前記複数の金属微粒子間が密着された状態で析出される金属により相互に接続されてなる第2金属粒子接合層とを備え、前記パワーデバイスが前記実装基板上にフリップチップ接続された半導体装置が提供される。

【0012】

本発明の他の態様によれば、実装基板上に信号配線電極を形成する工程と、前記実装基板上に若しくは前記実装基板を貫通してパワー配線電極を形成する工程と、前記信号配線電極と電氣的に接合可能なゲートパッド電極と、前記パワー配線電極と電氣的に接合可能なソースパッド電極とを有するパワーデバイスを形成する工程と、前記信号配線電極もしくは前記ゲートパッド電極の一方若しくは両方に、複数の金属微粒子と前記複数の金属微粒子を被覆する酸化防止膜とを有し、前記酸化防止膜が破砕した面において、前記複数の

10

20

30

40

50

金属微粒子間が密着された状態で析出される金属により相互に接続されてなる第1金属粒子接合層を形成する工程と、前記パワー配線電極もしくは前記ソースパッド電極の一方若しくは両方に、複数の金属微粒子と前記複数の金属微粒子を被覆する酸化防止膜とを有し、前記酸化防止膜が破碎した面において、前記複数の金属微粒子間が密着された状態で析出される金属により相互に接続されてなる第2金属粒子接合層を形成する工程と、前記パワーデバイスを前記実装基板上にフリップチップ接続する工程とを有する半導体装置の製造方法が提供される。

【発明の効果】

【0013】

本発明によれば、低コストで高い耐熱性ワイヤレス接合を有する半導体装置およびその製造方法を提供することができる。 10

【図面の簡単な説明】

【0014】

【図1】第1の実施の形態に係る半導体装置の模式的平面パターン構成図。

【図2】図1のI-I線に沿う模式的断面構造図。

【図3】(a)第1の実施の形態に係る半導体装置の製造方法の一工程であって、半導体デバイスのフリップチップ接合前の状態を示す模式的断面構造図、(b)実施の形態に係る半導体装置の製造方法の一工程であって、図3(a)に対応する実装基板の模式的断面構造図。

【図4】(a)第1の実施の形態の変形例1に係る半導体装置の製造方法の一工程であって、半導体デバイスのフリップチップ接合前の状態を示す模式的断面構造図、(b)図4(a)に対応する実装基板の模式的断面構造図。 20

【図5】(a)第1の実施の形態の変形例2に係る半導体装置の製造方法の一工程であって、半導体デバイスのフリップチップ接合前の状態を示す模式的断面構造図、(b)図5(a)に対応する実装基板の模式的断面構造図。

【図6】第1の実施の形態に係る半導体装置の製造方法の一工程であって、加圧工程を示す模式的断面構造図。

【図7】第2の実施の形態に係る半導体装置の模式的平面パターン構成図。

【図8】図7のII-II線に沿う模式的断面構造図。

【図9】(a)第2の実施の形態に係る半導体装置の製造方法の一工程であって、半導体デバイスのフリップチップ接合前の状態を示す模式的断面構造図、(b)実施の形態に係る半導体装置の製造方法の一工程であって、図9(a)に対応する実装基板の模式的断面構造図。 30

【図10】(a)第2の実施の形態の変形例1に係る半導体装置の製造方法の一工程であって、半導体デバイスのフリップチップ接合前の状態を示す模式的断面構造図、(b)図10(a)に対応する実装基板の模式的断面構造図。

【図11】(a)第2の実施の形態の変形例2に係る半導体装置の製造方法の一工程であって、半導体デバイスのフリップチップ接合前の状態を示す模式的断面構造図、(b)図11(a)に対応する実装基板の模式的断面構造図。

【図12】第2の実施の形態に係る半導体装置の製造方法の一工程であって、加圧工程を示す模式的断面構造図。 40

【図13】(a)第1～第2の実施の形態に係る半導体装置の製造方法の一工程において、塗布された金属粒子接合層として銀ナノペーストを加圧する前の状態を示す模式的断面図、(b)加圧後の銀ナノペーストの状態を示す模式的断面図。

【図14】第1～第2の実施の形態に係る半導体装置を適用して構成された3相インバータの模式的回路構成図。

【図15】第1～第2の実施の形態に係る半導体装置に適用する半導体デバイスの例であって、SiC・MOSFETの模式的断面構造図。

【図16】第1～第2の実施の形態に係る半導体装置に適用する半導体デバイスの例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC・MOSFETの模式 50

的断面構造図。

【図 17】(a) 第 1 ~ 第 2 の実施の形態に係る半導体装置の製造方法の一工程であって、半導体基板上にペースト層を塗布するためのマスクを配置した状態を示す模式的平面パターン構成図、(b) 図 17 (a) の I I I - I I I 線に沿う模式的断面構造図。

【図 18】第 1 ~ 第 2 の実施の形態に係る半導体装置の製造方法の一工程であって、開口部を有するマスク上にペースト層を堆積した状態を示す模式的断面構造図。

【図 19】第 1 ~ 第 2 の実施の形態に係る半導体装置の製造方法の一工程であって、スキージを移動させてペースト層をマスクの開口部に充填する工程を示す模式的断面構造図。

【図 20】第 1 ~ 第 2 の実施の形態に係る半導体装置の製造方法の一工程であって、マスクの開口部にペースト層が充填された状態を示す模式的断面構造図。

【図 21】第 1 の実施の形態に係る半導体装置において、ドレイン電極上に柱状電極およびヒートスプレッダーを配置した状態を示す模式的断面構造図。

【図 22】第 2 の実施の形態に係る半導体装置において、ドレイン電極上に柱状電極およびヒートスプレッダーを配置した状態を示す模式的断面構造図。

【図 23】比較例を示す模式的断面構造図。

【図 24】比較例を示す模式的断面構造図。

【図 25】比較例を示す模式的断面構造図。

【発明を実施するための形態】

【0015】

次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0016】

又、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

【0017】

【第 1 の実施の形態】

(半導体装置の構成)

第 1 の実施の形態に係る半導体装置 1 の模式的平面パターン構成は、図 1 に示すように表され、図 1 の I - I 線に沿う模式的断面構造は、図 2 に示すように表される。図 1 は、図 2 において、実装基板 8 上に配置された半導体デバイス 16 のドレイン電極 36 側から見た平面パターン構成に対応している。

【0018】

第 1 の実施の形態に係る半導体装置 1 は、図 1 および図 2 に示すように、実装基板 8 と、実装基板 8 上に配置された信号配線電極 12 と、実装基板 8 上に配置されたパワー配線電極 13 と、信号配線電極 12 と電氣的に接合可能なゲートパッド電極 GP およびパワー配線電極 13 と電氣的に接合可能なソースパッド電極 SP を有する半導体デバイス 16 と、信号配線電極 12 とゲートパッド電極 GP との間に配置された第 1 金属粒子接合層 18 G と、パワー配線電極 13 とソースパッド電極 SP との間に配置された第 2 金属粒子接合層 18 S とを備える。ここで、半導体デバイス 16 は、実装基板 8 上にフリップチップ接続されている。すなわち、半導体デバイス 16 は、ゲートパッド電極 GP およびソースパッド電極 SP が実装基板 8 の表面に対してフェースダウン (Face Down) に接続され、ドレイン電極 36 は、ゲートパッド電極 GP およびソースパッド電極 SP が配置される半導体基板 26 の面に対向する面 (実装基板 8 とは反対側の面) に配置される。

【0019】

10

20

30

40

50

ここで、第1金属粒子接合層18Gおよび第2金属粒子接合層18Sは、導電性粒子を含むペースト材料を焼成して形成される。ペースト材料の焼成温度は、例えば、約200~400である。

【0020】

導電性粒子は、金属微粒子であり、例えば、銀粒子、金粒子またはニッケルや銅粒子などである。

【0021】

例えば、金属微粒子として銀粒子を適用する場合、銀粒子の濃度は、例えば、約80質量%~約95質量%である。また、銀ナノ粒子の場合の平均粒径は、約10nm~約100nm程度である。

10

【0022】

尚、図示は省略されているが、パワー配線電極13上の第2金属粒子接合層18Sと接する界面には、銀メッキ層を形成して、パワー配線電極13と第2金属粒子接合層18Sとの密着性をさらに確保しても良い。

【0023】

図2において、半導体基板26の上方にはドレイン電極36が配置されている。また、ドレイン電極36と対向する半導体基板26の表面には、ゲートパッド電極GP、ソースパッド電極SPがそれぞれ配置されている。

【0024】

なお、特に限定されないが、ドレイン電極36、ゲートパッド電極GPおよびソースパッド電極SPは、ポリシリコン、Al、Ni等で構成される。

20

【0025】

第1の実施の形態においては、実装基板8は、絶縁体基材から成る板状のプリント基板であり、実装基板8上の所定位置にパワー配線電極13が配置されている。図2に示すように、半導体デバイス16のソースパッド電極SPと対向する位置にパワー配線電極13が配置されている。パワー配線電極13は、厚銅箔で形成される。パワー配線電極13により、低抵抗で放熱性にも優れた厚銅箔を介して、例えば、約数百アンペア程度の大電流も通電可能である。

【0026】

また、半導体デバイス16のゲートパッド電極GPと対向する実装基板8の表面には、信号配線電極12が配置されている。ここで、信号配線電極12は、例えば、銅の薄膜で形成されていても良い。この銅の薄膜の厚さは、例えば、約30~70μmである。

30

【0027】

(銀ナノペーストおよびその焼結体)

銀ナノペーストは、例えば、粒径約30nm~約100nmの銀ナノ粒子を所定の溶媒に拡散させたものである。溶媒としては、例えばテルピネオール等の極性溶媒、テトラデカン等の炭化水素系溶媒、水系溶媒、ケトン系溶媒等が適用される。

【0028】

銀ナノ粒子は、核としての銀の微粒子の表面を、有機化合物等で構成されるシェル(有機殻)で覆った構成となっている。これにより、溶媒における分散性を向上させると共に、銀の微粒子の酸化を防ぐことができる。また、焼成処理を行う前工程において、銀ナノペーストから成るペースト層を加圧して、シェルを破碎することにより、銀の微粒子の密度を高めることができ、焼結体としての金属粒子接合層の緻密性を向上させることができる。具体的な加圧の仕方については、図13を参照して後述する。

40

【0029】

また、第1の実施の形態では、例えば、銀ナノ粒子の濃度が約80質量%~約95質量%の比較的高濃度の銀ナノペーストを用いても良い。焼成によって析出される金属銀を緻密にして良好な導電性および接合性を確保するためである。

【0030】

また、第1の実施の形態では、銀ナノペーストから成るペースト層の焼成温度は、例え

50

ば、約 200 ~ 400 程度である。

【0031】

この焼成処理により、高融点の金属銀（融点約 960 ）が析出して、金属粒子接合層 18S、18G を形成する。この結果、金属粒子接合層 18S を介して、ソースパッド電極 SP とパワー配線電極 13 との間が強固に接合され、金属粒子接合層 18G を介して、ゲートパッド電極 GP と信号配線電極 12 との間が強固に接合される。

【0032】

しかも、この金属粒子接合層 18S、18G は、金属銀（Ag）と同等の特性を発揮することから、電氣的に低抵抗（100 で、約 2.08×10^{-8} [m]）で、優れた熱伝導率（300K で、約 429W/mK）を有し、上記のように融点約 960 という高い耐熱性を備えている。

10

【0033】

したがって、SiC デバイスを例えば約 400 近くの高温で駆動した場合であっても、接合部が溶融することが無く、デバイス特性の信頼性、実装時の信頼性を向上することができる。

【0034】

（半導体装置の製造方法）

第 1 の実施の形態に係る半導体装置 1 の製造方法の一工程であって、半導体デバイス 16 のフリップチップ接合前の状態を示す模式的断面構造は、図 3 (a) に示すように表され、図 3 (a) に対応する実装基板 8 の模式的断面構造は、図 3 (b) に示すように表される。

20

【0035】

また、第 1 の実施の形態の変形例 1 に係る半導体装置 1 の製造方法の一工程であって、半導体デバイス 16 のフリップチップ接合前の状態を示す模式的断面構造は、図 4 (a) に示すように表され、図 4 (a) に対応する実装基板 8 の模式的断面構造は、図 4 (b) に示すように表される。

【0036】

また、第 1 の実施の形態の変形例 2 に係る半導体装置 1 の製造方法の一工程であって、半導体デバイス 16 のフリップチップ接合前の状態を示す模式的断面構造は、図 5 (a) に示すように表され、図 5 (a) に対応する実装基板 8 の模式的断面構造は、図 5 (b) に示すように表される。

30

【0037】

第 1 の実施の形態に係る半導体装置の製造方法は、図 3 ~ 図 5 に示すように、実装基板 8 上に信号配線電極 12 を形成する工程と、実装基板 8 上にパワー配線電極 13 を形成する工程と、信号配線電極 12 と電氣的に接合可能なゲートパッド電極 GP およびパワー配線電極 13 と電氣的に接合可能なソースパッド電極 SP とを有する半導体デバイス 16 を形成する工程と、信号配線電極 12 もしくはゲートパッド電極 GP の一方若しくは両方に第 1 金属粒子接合層 18G を形成する工程と、パワー配線電極 13 もしくはソースパッド電極 SP の一方若しくは両方に第 2 金属粒子接合層 18S を形成する工程と、半導体デバイス 16 を実装基板 8 上にフリップチップ接続する工程とを有する。

40

【0038】

また、第 1 の実施の形態に係る半導体装置の製造方法において、第 1 金属粒子接合層 18G を形成する工程は、導電性粒子を含むペースト層 18 を信号配線電極 12 もしくはゲートパッド電極 GP の一方若しくは両方に塗布する工程を有し、第 2 金属粒子接合層 18S を形成する工程は、導電性粒子を含むペースト層 18 をパワー配線電極 13 もしくはソースパッド電極 SP の一方若しくは両方に塗布する工程を有する。

【0039】

また、第 1 の実施の形態に係る半導体装置の製造方法において、半導体デバイス 16 を実装基板 8 上にフリップチップ接続する工程は、ペースト層 18 を介して信号配線電極 12 とゲートパッド電極 GP とを当接させ、当接状態においてペースト層 18 を所定温度で

50

焼成し、信号配線電極 1 2 とゲートパッド電極 G P とを接合する工程と、ペースト層 1 8 を介してパワー配線電極 1 3 とソースパッド電極 S P とを当接させ、当接状態においてペースト層 1 8 を所定温度で焼成し、パワー配線電極 1 3 とソースパッド電極 S P とを接合する工程とを有する。

【 0 0 4 0 】

第 1 の実施の形態においては、図 3 に示すように、実装基板 8 側に金属粒子接合層 1 8 G、1 8 S が配置されている。より具体的には、パワー配線電極 1 3 の表面上に、金属粒子接合層 1 8 S が設けられ、信号配線電極 1 2 の表面上に、金属粒子接合層 1 8 G が配置されている。

【 0 0 4 1 】

第 1 の実施の形態の変形例 1 においては、図 4 に示すように、半導体デバイス 1 6 側に金属粒子接合層 1 8 G、1 8 S が配置されている。より具体的には、ソースパッド電極 S P の上に金属粒子接合層 1 8 S が配置され、ゲートパッド電極 G P の上に金属粒子接合層 1 8 G が配置されている。

【 0 0 4 2 】

第 1 の実施の形態の変形例 2 においては、図 5 に示すように、半導体デバイス 1 6 および実装基板 8 の両側に金属粒子接合層 1 8 G 1、1 8 G 2、1 8 S 1 および 1 8 S 2 がそれぞれ配置されている。より具体的には、ソースパッド電極 S P 上に金属粒子接合層 1 8 S 1 が配置され、ゲートパッド電極 G P 上に金属粒子接合層 1 8 G 1 が配置され、パワー配線電極 1 3 上に、金属粒子接合層 1 8 S 2 が配置され、信号配線電極 1 2 上に金属粒子接合層 1 8 G 2 が配置されている。なお、1 8 G 1 と 1 8 G 2、1 8 G 2 と 1 8 S 1 が密着された状態で焼成されて形成される金属粒子接合層の厚さを勘案して、1 8 G 1、1 8 G 2、1 8 S 1 および 1 8 S 2 の厚さは、それぞれ約 5 μm ~ 約 5 0 μm 程度とされる。

【 0 0 4 3 】

第 1 の実施の形態に係る半導体装置の製造方法の一工程において、塗布された金属粒子接合層として銀ナノペーストを加圧する前の状態は、図 1 3 (a) に示すように模式的に表され、加圧後の銀ナノペーストの状態は、図 1 3 (b) に示すように模式的に表される。

【 0 0 4 4 】

図 1 3 (a) において、各銀ナノ粒子 2 2 は、有機化合物等で構成されるシェル (有機殻) 2 0 a で被覆された形態で、例えば、テルピネオール等の溶媒 2 0 中において拡散した状態となっている。

【 0 0 4 5 】

この状態からペースト層 1 8 を上下方向から圧力 P を加えて圧縮すると、図 1 3 (b) に示す状態に変化する。即ち、有機化合物等で構成されるシェル 2 0 a が加圧によって破砕され、各銀ナノ粒子 2 2 が密着した状態となる。これにより、ペースト層 1 8 の厚さは、L 1 から L 2 に縮まった状態となる。

【 0 0 4 6 】

金属粒子接合層 1 8 G、1 8 S を形成するペースト層 1 8 の塗布には、後述するマスク 2 5 およびスキージ (ヘラ部材) 2 7 を用いたスクリーン印刷の手法が適用される。

【 0 0 4 7 】

また、ペースト層 1 8 の厚さは、例えば約 1 0 μm ~ 約 5 0 μm とされる。なお、金属粒子接合層 1 8 G、1 8 S の厚さは、焼成時の収縮によりペースト層 1 8 の厚さの半分程度となる。即ち、例えばペースト層 1 8 の厚さが約 5 0 μm の場合に、焼成後の金属粒子接合層 1 8 G、1 8 S の厚さは約 2 0 μm ~ 約 3 0 μm 程度となることが実験により確認されている。

【 0 0 4 8 】

(加圧および加熱工程)

第 1 の実施の形態に係る半導体装置の製造方法の一工程であって、加圧工程を示す模式的断面構造は、図 6 に示すように表される。

10

20

30

40

50

【 0 0 4 9 】

第 1 の実施の形態若しくは変形例 1 ~ 2 において、図 6 に示すように、金属粒子接合層 1 8 G ・ 1 8 S (加熱・加圧前は、ペースト層 1 8) を挟んで、実装基板 8 上に半導体デバイス 1 6 をフェースダウン状態で位置合わせして載置し、その状態で、プレス加工機 1 2 0 (1 2 0 a 、 1 2 0 b) にセットして矢印 P 方向に圧力を加える。

【 0 0 5 0 】

この際の圧力は、例えば、約 2 M P a ~ 約 3 0 M P a とされる。これにより、ペースト層 1 8 は、図 1 3 (a) の状態から図 1 3 (b) のように、各銀ナノ粒子 2 2 が密着した状態となる。

【 0 0 5 1 】

尚、上記の加圧工程では、加圧と加熱を同時に行うために、図示は省略するが、所定のベーキング装置などによって半導体装置全体を約 2 0 0 ~ 約 4 0 0 で所定時間にわたって加熱する。

【 0 0 5 2 】

これにより、ペースト層 1 8 が焼成され、金属銀が析出して金属粒子接合層 1 8 G ・ 1 8 S が形成される。

【 0 0 5 3 】

この金属銀から成る金属粒子接合層 1 8 G ・ 1 8 S は、ゲートパッド電極 G P ・ 信号配線電極 1 2 間、およびソースパッド電極 S P ・ パワー配線電極 1 3 間を強固に接合し、実装基板 8 の上に半導体デバイス 1 6 がフェースダウン状態で電氣的に接合される。

【 0 0 5 4 】

第 1 の実施の形態およびその変形例 1 ~ 2 によれば、銀ナノペーストを塗布して焼成するという簡易な工程により高い耐熱性を備えたワイヤレス接合を形成することができる。

【 0 0 5 5 】

また、第 1 の実施の形態およびその変形例 1 ~ 2 によれば、銀ナノペーストの焼結体である金属銀によって金属粒子接合層を形成することにより、金属粒子接合層の耐熱性、熱伝導性等を高めることができ、S i C 系 F E T 、 G a N 系 F E T などの半導体デバイス等に適した半導体装置を提供することができる。

【 0 0 5 6 】

また、第 1 の実施の形態およびその変形例 1 ~ 2 によれば、金属粒子接合層は金属銀で形成され、鉛 (P b) を用いることが無いので、鉛フリーとなり公害対策に資することができる。

【 0 0 5 7 】

第 1 の実施の形態およびその変形例 1 ~ 2 によれば、低コストで高い耐熱性ワイヤレスを有する半導体装置およびその製造方法を提供することができる。

【 0 0 5 8 】

【 第 2 の実施の形態 】

(半導体装置の構成)

第 2 の実施の形態に係る半導体装置 1 の模式的平面パターン構成は、図 7 に示すように表され、図 7 の I I - I I 線に沿う模式的断面構造は、図 8 に示すように表される。図 7 は、図 8 において、実装基板 8 上に配置された半導体デバイス 1 6 のドレイン電極 3 6 側から見た平面パターン構成に対応している。

【 0 0 5 9 】

第 2 の実施の形態に係る半導体装置 1 は、図 7 および図 8 に示すように、実装基板 8 と、実装基板 8 上に配置された信号配線電極 1 2 と、実装基板 8 を貫通して配置されたパワー配線電極 6 と、信号配線電極 1 2 と電氣的に接合可能なゲートパッド電極 G P およびパワー配線電極 6 と電氣的に接合可能なソースパッド電極 S P を有する半導体デバイス 1 6 と、信号配線電極 1 2 とゲートパッド電極 G P との間に配置された第 1 金属粒子接合層 1 8 G と、パワー配線電極 6 とソースパッド電極 S P との間に配置された第 2 金属粒子接合層 1 8 S とを備える。ここで、半導体デバイス 1 6 は、実装基板 8 上にフリップチップ接

10

20

30

40

50

続されている。すなわち、半導体デバイス 16 は、ゲートパッド電極 GP およびソースパッド電極 SP が実装基板 8 の表面に対してフェースダウン (Face Down) に接続され、ドレイン電極 36 は、ゲートパッド電極 GP およびソースパッド電極 SP が配置される半導体基板 26 の面に対向する面 (実装基板 8 とは反対側の面) に配置される。

【0060】

第 2 の実施の形態においては、実装基板 8 を貫通して配置されたパワー配線電極 6 を備えることによって、第 1 の実施の形態に比べ、さらに大電流の半導体デバイス 16 を実装基板 8 上に搭載可能である。

【0061】

ここで、第 1 金属粒子接合層 18G および第 2 金属粒子接合層 18S は、導電性粒子を含むペースト材料を焼成して形成される。ペースト材料の焼成温度は、例えば、約 200 ~ 400 である。

10

【0062】

導電性粒子は、金属微粒子であり、例えば、銀粒子、金粒子、銅粒子またはニッケル粒子のいずれかである。

【0063】

例えば、金属微粒子として銀ナノ粒子を適用する場合、銀ナノ粒子の濃度は、例えば、約 80 質量% ~ 約 95 質量% である。また、銀ナノ粒子の粒径は、約 10 nm ~ 約 100 nm である。

【0064】

第 2 の実施の形態においては、実装基板 8 は、絶縁体基材から成る板状のプリント基板であり、実装基板 8 の所定位置にパワー配線電極 6 が埋め込まれた構成を有する。図 8 に示すように、半導体デバイス 16 のソースパッド電極 SP と対向する位置にパワー配線電極 6 が埋め込まれている。パワー配線電極 6 は、例えば、厚さ 0.5 ~ 1.0 mm 程度の厚銅板で形成される。パワー配線電極 6 により、低抵抗で放熱性にも優れる厚銅板を介して、例えば、約数百アンペア程度の大電流も実装基板 8 の厚さ方向及び平面方向への通電が可能である。

20

【0065】

なお、第 2 金属粒子接合層 18S として、例えば、銀ナノペーストから成るペースト層およびその焼結体を適用する場合には、第 2 金属粒子接合層 18S との接合性を向上させるために、ソースパッド電極 SP と対向するパワー配線電極 6 の表面に、銀メッキ層 19 が形成されていても良い。

30

【0066】

第 2 の実施の形態に係る半導体装置 1 においては、銀メッキ層 19 とソースパッド電極 SP との間および信号配線電極 12 とゲートパッド電極 GP との間には、金属ナノペーストとして、例えば、銀ナノペーストを焼成して得られる金属粒子接合層 18S、18G がそれぞれ配置されている。

【0067】

この金属粒子接合層 18S、18G を介して、銀メッキ層 19 とソースパッド電極 SP との間および信号配線電極 12 とゲートパッド電極 GP との間を電氣的に接合している。

40

【0068】

また、半導体デバイス 16 のゲートパッド電極 GP と対向する実装基板 8 の表面には、信号配線電極 12 が配置されている。ここで、信号配線電極 12 は、例えば、銅の薄膜で形成されていても良い。この銅の薄膜の厚さは、例えば、約 15 ~ 約 70 μm である。

【0069】

第 2 の実施の形態に係る半導体装置 1 において適用可能な銀ナノペーストおよびその焼結体については、第 1 の実施の形態と同様であるため、重複説明は省略する。

【0070】

(半導体装置の製造方法)

第 2 の実施の形態に係る半導体装置 1 の製造方法の一工程であって、半導体デバイス 1

50

6のフリップチップ接合前の状態を示す模式的断面構造は、図9(a)に示すように表され、図9(a)に対応する実装基板8の模式的断面構造は、図9(b)に示すように表される。

【0071】

また、第2の実施の形態の変形例1に係る半導体装置1の製造方法の一工程であって、半導体デバイス16のフリップチップ接合前の状態を示す模式的断面構造は、図10(a)に示すように表され、図10(a)に対応する実装基板8の模式的断面構造は、図10(b)に示すように表される。

【0072】

また、第2の実施の形態の変形例2に係る半導体装置1の製造方法の一工程であって、半導体デバイス16のフリップチップ接合前の状態を示す模式的断面構造は、図11(a)に示すように表され、図11(a)に対応する実装基板8の模式的断面構造は、図11(b)に示すように表される。

10

【0073】

第2の実施の形態に係る半導体装置の製造方法は、図9～図11に示すように、実装基板8上に信号配線電極12を形成する工程と、実装基板8を貫通してパワー配線電極6を形成する工程と、信号配線電極12と電氣的に接合可能なゲートパッド電極GPおよびパワー配線電極6と電氣的に接合可能なソースパッド電極SPとを有する半導体デバイス16を形成する工程と、信号配線電極12もしくはゲートパッド電極GPの一方若しくは両方に第1金属粒子接合層18Gを形成する工程と、パワー配線電極6もしくはソースパッド電極SPの一方若しくは両方に第2金属粒子接合層18Sを形成する工程と、半導体デバイス16を実装基板8上にフリップチップ接続する工程とを有する。

20

【0074】

また、第2の実施の形態に係る半導体装置の製造方法において、第1金属粒子接合層18Gを形成する工程は、導電性粒子を含むペースト層18を信号配線電極12もしくはゲートパッド電極GPの一方若しくは両方に塗布する工程を有し、第2金属粒子接合層18Sを形成する工程は、導電性粒子を含むペースト層18をパワー配線電極6もしくはソースパッド電極SPの一方若しくは両方に塗布する工程を有する。

【0075】

また、第2の実施の形態に係る半導体装置の製造方法において、半導体デバイス16を実装基板8上にフリップチップ接続する工程は、ペースト層18を介して信号配線電極12とゲートパッド電極GPとを当接させ、当接状態においてペースト層18を所定温度で焼成し、信号配線電極12とゲートパッド電極GPとを接合する工程と、ペースト層18を介してパワー配線電極6とソースパッド電極SPとを当接させ、当接状態においてペースト層18を所定温度で焼成し、パワー配線電極6とソースパッド電極SPとを接合する工程とを有する。

30

【0076】

第2の実施の形態においては、図9に示すように、実装基板8側に金属粒子接合層18G、18Sが配置されている。より具体的には、パワー配線電極13の表面上に、金属粒子接合層18Sが設けられ、信号配線電極12の表面上に、金属粒子接合層18Gが配置されている。

40

【0077】

第2の実施の形態の変形例1においては、図10に示すように、半導体デバイス16側に金属粒子接合層18G、18Sが配置されている。より具体的には、ソースパッド電極SPの上に金属粒子接合層18Sが配置され、ゲートパッド電極GPの上に金属粒子接合層18Gが配置されている。

【0078】

第2の実施の形態の変形例2においては、図11に示すように、半導体デバイス16および実装基板8の両側に金属粒子接合層18G1、18G2、18S1および18S2がそれぞれ配置されている。より具体的には、ソースパッド電極SP上に金属粒子接合層1

50

8 S 1 が配置され、ゲートパッド電極 G P 上に金属粒子接合層 1 8 G 1 が配置され、パワー配線電極 6 上に、金属粒子接合層 1 8 S 2 が配置され、信号配線電極 1 2 上に金属粒子接合層 1 8 G 2 が配置されている。なお、1 8 G 1 と 1 8 G 2、1 8 G 2 と 1 8 S 1 が密着された状態で焼成されて形成される金属粒子接合層の厚さを勘案して、1 8 G 1、1 8 G 2、1 8 S 1 および 1 8 S 2 の厚さは、それぞれ 5 ~ 2 5 μ m 程度とされる。

【 0 0 7 9 】

第 2 の実施の形態に係る半導体装置の製造方法の一工程において、塗布された金属粒子接合層として銀ナノペーストを加圧する前の状態は、図 1 3 (a) に示すように表され、加圧後の銀ナノペーストの状態は、図 1 3 (b) に示すように表される。その他の説明は、第 1 の実施の形態と同様であるため、重複説明は省略する。

10

【 0 0 8 0 】

(加圧および加熱工程)

第 2 の実施の形態に係る半導体装置の製造方法の一工程であって、加圧工程を示す模式的断面構造は、図 1 2 に示すように表される。

【 0 0 8 1 】

第 2 の実施の形態若しくは変形例 1 ~ 2 において、図 1 2 に示すように、金属粒子接合層 1 8 G ・ 1 8 S (加熱・加圧前は、ペースト層 1 8) を挟んで、実装基板 8 上に半導体デバイス 1 6 をフェースダウン状態で位置合わせして載置し、その状態で、プレス加工機 1 2 0 (1 2 0 a、1 2 0 b) にセットして矢印 P 方向に圧力を加える。

【 0 0 8 2 】

この際の圧力は、例えば、約 2 M P a ~ 約 3 0 M P a とされる。これにより、ペースト層 1 8 は、図 1 3 (a) の状態から図 1 3 (b) のように、各金属粒子 2 2 が密着した状態となる。

20

【 0 0 8 3 】

尚、上記の加圧工程では、加圧と加熱を同時に行うために、図示は省略するが、所定のベーキング装置などによって半導体装置全体を 2 0 0 ~ 4 0 0 で所定時間にわたって加熱する。

【 0 0 8 4 】

これにより、ペースト層 1 8 が焼成され、金属銀が析出して金属粒子接合層 1 8 G ・ 1 8 S が形成される。

30

【 0 0 8 5 】

この金属銀から成る金属粒子接合層 1 8 G ・ 1 8 S は、ゲートパッド電極 G P ・ 信号配線電極 1 2 間、およびソースパッド電極 S P ・ パワー配線電極 1 3 間を強固に接合し、実装基板 8 の上に半導体デバイス 1 6 がフェースダウン状態で電氣的に接合される。

【 0 0 8 6 】

第 2 の実施の形態およびその変形例 1 ~ 2 によれば、低コストで高い耐熱性を有する半導体装置およびその製造方法を提供することができる。

【 0 0 8 7 】

(半導体装置を適用した応用例)

次に、図 1 4 を参照して、第 1 ~ 第 2 の実施の形態に係る半導体装置 1 を用いて構成した 3 相インバータについて説明する。

40

【 0 0 8 8 】

図 1 4 に示すように、3 相インバータは、ゲートドライブ部 5 0 と、ゲートドライブ部 5 0 に接続されたパワーモジュール部 5 2 と、3 相モータ部 5 4 とを備える。パワーモジュール部 5 2 は、3 相モータ部 5 4 の U 相、V 相、W 相に対応して、U、V、W 相のインバータが接続されている。

【 0 0 8 9 】

パワーモジュール部 5 2 は、コンデンサ C が接続されたプラス端子 (+) とマイナス端子 (-) 間に、インバータ構成の S i C ・ M O S F E T Q 1 ・ Q 2、Q 3 ・ Q 4、および Q 5 ・ Q 6 が接続されている。さらに、S i C ・ M O S F E T Q 1 ~ Q 6 のソース・ドレ

50

イン間には、ダイオード D 1 ~ D 6 がそれぞれ逆並列に接続されている。

【 0 0 9 0 】

第 1 ~ 第 2 の実施の形態に係る半導体装置 1 に適用される半導体デバイス 1 6 に相当する S i C ・ M O S F E T Q 1 ~ Q 6 は、上述のように、金属粒子接合層 1 8 S ・ 1 8 G を介して実装基板 8 の上にフリップチップ構成に電氣的に接続される。

【 0 0 9 1 】

(半導体デバイスの構成例)

第 1 ~ 第 2 の実施の形態に係る半導体装置 1 に適用する半導体デバイス 1 6 の例として、S i C ・ M O S F E T の模式的断面構造は、図 1 5 に示すように、n⁻高抵抗層からなる半導体基板 2 6 と、半導体基板 2 6 の表面側に形成された p ベース領域 2 8 と、p ベース領域 2 8 の表面に形成されたソース領域 3 0 と、p ベース領域 2 8 間の半導体基板 2 6 の表面上に配置されたゲート絶縁膜 3 2 と、ゲート絶縁膜 3 2 上に配置されたゲート電極 3 8 と、ソース領域 3 0 に接続されたソース電極 3 4 と、半導体基板 2 6 の表面と反対側の裏面に配置された n⁺ドレイン領域 2 4 と、n⁺ドレイン領域 2 4 に接続されたドレイン電極 3 6 とを備える。

【 0 0 9 2 】

図 1 5 では、半導体デバイス 1 6 は、プレーナゲート型 n チャネル縦型 S i C ・ M O S F E T で構成されているが、トレンチゲート型 n チャネル縦型 S i C ・ M O S F E T などでも構成されていても良い。

【 0 0 9 3 】

また、第 1 ~ 第 2 の実施の形態に係る半導体装置 1 に適用する半導体デバイス 1 6 には、S i C ・ M O S F E T の代わりに、G a N 系 F E T などを適用することもできる。

【 0 0 9 4 】

更には、第 1 ~ 第 2 の実施の形態に係る半導体装置 1 に適用する半導体デバイス 1 6 には、バンドギャップエネルギーが、例えば、1 . 1 e V ~ 8 e V の半導体を用いることができる。

【 0 0 9 5 】

第 1 ~ 第 2 の実施の形態に係る半導体装置によれば、金属粒子ペースト層を焼成して形成される金属粒子接合層 1 8 G ・ 1 8 S として、例えば、金属銀の融点が約 9 6 0 と高い耐熱性を備えているため、この金属粒子接合層 1 8 G ・ 1 8 S を S i C 系 F E T や G a N 系 F E T などのパワーデバイスに適用することによって、パワーデバイスを高温で駆動することができる。

【 0 0 9 6 】

第 1 ~ 第 2 の実施の形態に係るに適用する半導体デバイス 1 6 の例であって、ソースパッド電極 S P、ゲートパッド電極 G P を含む S i C ・ M O S F E T の模式的断面構造は、図 1 6 に示すように表される。ゲートパッド電極 G P は、ゲート絶縁膜 3 2 上に配置されたゲート電極 3 8 に接続され、ソースパッド電極 S P は、ソース領域 3 0 に接続されたソース電極 3 4 に接続される。

【 0 0 9 7 】

また、ゲートパッド電極 G P およびソースパッド電極 S P は、図 1 6 に示すように、半導体デバイス 1 6 の表面を覆うパッシベーション用の層間絶縁膜 4 4 上に配置される。尚、ゲートパッド電極 G P およびソースパッド電極 S P の下方の半導体基板 2 6 内には、図 1 6 の構成例では、図示を省略しているが、図 1 5 或いは、図 1 6 の中央部と同様に、微細構造のトランジスタ構造が形成されていても良い。

【 0 0 9 8 】

さらに、図 1 6 の構成例では、図示を省略しているが、図 1 6 の中央部のトランジスタ構造においても、パッシベーション用の層間絶縁膜 4 4 上にソースパッド電極 S P 若しくはゲートパッド電極 G P が延在して配置されていても良い。

【 0 0 9 9 】

さらに、実装時には、半導体デバイス 1 6 がフェースダウンされ、ゲートパッド電極 G

10

20

30

40

50

P・ソースパッド電極SPが、図2若しくは図8に示すように、それぞれ金属粒子接合層18G・18Sを介して実装基板8に接合される。

【0100】

(ペースト層塗布工程)

第1～第2の実施の形態に係る半導体装置の製造方法の一工程であって、半導体基板26上にペースト層18を塗布するためのマスク25を配置した状態を示す模式的平面パターン構成は、図17(a)に示すように表され、図17(a)のIII-III線に沿う模式的断面構造は、図17(b)に示すように表される。

【0101】

第1～第2の実施の形態に係る半導体装置の製造方法の一工程であって、開口部25aを有するマスク25上にペースト層18を堆積した状態を示す模式的断面構造は、図18に示すように表される。

10

【0102】

第1～第2の実施の形態に係る半導体装置の製造方法の一工程であって、スキージ27を矢印A方向に移動させてペースト層18をマスク25の開口部25aに充填する工程を示す模式的断面構造は、図19に示すように表される。

【0103】

第1～第2の実施の形態に係る半導体装置の製造方法の一工程であって、マスク25の開口部25aにペースト層18が充填された状態を示す模式的断面構造は、図20に示すように表される。

20

【0104】

第1～第2の実施の形態に係る半導体装置の製造方法において、ペースト層18を信号配線電極12もしくはゲートパッド電極GPの一方に塗布する工程は、信号配線電極12もしくはゲートパッド電極GPの一方に、各電極位置に合わせた開口部25aを有するマスク25を位置合わせして重ね合わせる工程と、マスク25の上にペースト層18を堆積する工程と、スキージ27によってペースト層18を開口部25aに充填する工程と、マスク25を取り除く工程とを有する。

【0105】

また、第1～第2の実施の形態に係る半導体装置の製造方法において、ペースト層18をパワー配線電極6・13もしくはソースパッド電極SPの一方に塗布する工程は、パワー配線電極6・13もしくはソースパッド電極SPの一方に、各電極位置に合わせた開口部25aを有するマスク25を位置合わせして重ね合わせる工程と、マスク25の上にペースト層18を堆積する工程と、スキージ27によってペースト層18を開口部25aに充填する工程と、マスク25を取り除く工程とを有する。

30

【0106】

以下、ペースト層塗布工程を詳述する。

【0107】

(a)まず、図17(a)および図17(b)に示すように、半導体デバイス16のゲートパッド電極GPおよびソースパッド電極SPを含む部位にマスク(例えば、金属製のマスク)25を重ね合わせ、マスク25の開口部25aを介してゲートパッド電極GPおよびソースパッド電極SPの所定の領域のみが露出するようにする。なお、ゲートパッド電極GPおよびソースパッド電極SPの表面からマスク25の表面までの距離が、形成するペースト層18の厚さと等しい値、例えば、約10 μ m～約100 μ m程度となるように、マスク25の厚さが設定される。

40

【0108】

(b)次に、図18に示すように、所定の量の金属微粒子ペーストからなるペースト層18をキャピラリやディスペンサなどを用いて、マスク25および開口部25a上に堆積する。

【0109】

(c)次に、図19に示すように、スキージ(ヘラ部材)27の先端部をマスク25の

50

表面に当接させ、矢印 A 方向（図 19 上では左側から右側）に移動させて、余分なペースト層 18 を除去すると共に、マスク 25 の開口部 25 a 内にペースト層 18 を充填させる。

【0110】

結果として、図 20 に示すように、マスク 25 の開口部 25 a の内壁に沿って、ゲートパッド電極 GP 上およびソースパッド電極 SP 上にペースト層 18 がそれぞれ形成される。

【0111】

そして、この後、マスク 25 を半導体デバイス 16 側から取り外し、半導体デバイス 16 をフェースダウン状態として、実装基板 8 との接合工程に移行する（図 4 若しくは図 10 参照）。

10

【0112】

なお、ペースト層 18 の粘度等の性質に応じて、図 20 の状態で所定時間にわたって乾燥させ、ペースト層 18 を半乾きの状態としてからマスク 25 を取り外した方が良い場合もある。この乾燥工程では、自然乾燥であって、或いは、所定温度で昇温加熱工程を実施しても良い。

【0113】

また、図 17 ~ 図 20 の例では、半導体デバイス 16 側にペースト層 18 を塗布する工程について説明したが、同様の手法で、実装基板 8 上の信号配線電極 12 やパワー配線電極 13・6 上にペースト層 18 を形成することもできる（図 3 (b) 若しくは図 9 (b) 参照）。

20

【0114】

また、図 5 若しくは図 11 に示すように、同様の手法で、半導体デバイス 16 側と実装基板 8 側の両方にペースト層 18 を形成し、18 G1 と 18 G2、18 S1 と 18 S2 とを対向させて接合することもできる。この際に、18 G1、18 G2 側および 18 S1、18 S2 側の少なくとも一方については、所定時間にわたって乾燥させて半乾きの状態とした方が、より良好に接合できる。

【0115】

第 2 の実施の形態およびその変形例 1 ~ 2 によれば、金属微粒子ペーストを塗布して焼成するという簡易な工程により高い耐熱性を備えたワイヤレス接合を形成することができる。

30

【0116】

また、第 2 の実施の形態およびその変形例 1 ~ 2 によれば、金属微粒子ペーストの焼結体である金属によって接合層を形成することにより、金属粒子接合層の耐熱性、熱伝導性等を高めることができ、SiC 系 FET、GaN 系 FET などの半導体デバイス等に適した半導体装置を提供することができる。

【0117】

また、第 2 の実施の形態およびその変形例 1 ~ 2 によれば、金属接合層は銀、金、銅またはニッケルで形成され、鉛 (Pb) を用いることが無いので、鉛フリーとなり公害対策に資することができる。

40

【0118】

第 2 の実施の形態およびその変形例 1 ~ 2 によれば、低コストで高い耐熱性ワイヤレス接合を有する半導体装置およびその製造方法を提供することができる。

【0119】

また、第 2 の実施の形態およびその変形例 1 ~ 2 によれば、実装基板を貫通して配置されたパワー配線電極を備えるため、第 1 の実施の形態に比べ、さらに大電流の半導体デバイスを実装基板上に搭載可能である。

【0120】

さらに、第 1 ~ 第 2 の実施の形態に係る半導体装置においては、図 21 ~ 図 22 に示すように、ドレイン電極 36 上に半田などのドレイン電極接合層 36 a を介して柱状電極 4

50

を配置しても良い。柱状電極 4 は、例えば、銅モリブデン (CuMo) などの SiC と相対的に線膨張係数の値の近い金属材料を選択する。ドレイン電極接合層 36a は、金属粒子接合層 18S・18G と同様の導電性粒子を含むペースト材料を焼成して形成しても良い。ペースト材料の焼成温度は、例えば、約 200 ~ 400 である。導電性粒子は、金属微粒子であり、例えば、銀粒子、金粒子またはニッケルや銅粒子などである。

【0121】

柱状電極 4 上には、さらにヒートスプレッダー 2 が配置される。さらに、実装基板 8 を搭載するヒートスプレッダーを配置することで、第 1 ~ 第 2 の実施の形態に係る半導体装置においては、両面冷却を実施可能である。

【0122】

10

[比較例]

図 23 ~ 図 25 を参照して、比較例について簡単に説明する。

【0123】

図 23 に示す比較例は、絶縁基板 100 上に形成された半導体デバイス 140 のソースパッド電極 SP の上に柱状電極 180 を形成すると共に、ゲートパッド電極 GP については橋状のリード部材 160 を介して配線部 125 との接合を図った構成を示す。

【0124】

この構成では、従来のワイヤボンディングを行わなくて良いという利点がある反面、リード部材 160 自体が微細部品であり、マウントが難しいという問題がある。

【0125】

20

また、リード部材 160 自体が比較的高価であるため、コストが嵩むという不都合もある。

【0126】

また、半導体デバイス 140 側と配線部 125 側とに高低差を生じた場合には、図 23 の (b) に示すようにリード部材 160 の端部が浮いてしまい、接続不良を生じるという難点もある。

【0127】

図 22 に示す比較例は、絶縁基板 100 上に形成された半導体デバイス 140 のソースパッド電極 SP の上に柱状電極 180 を形成すると共に、ゲートパッド電極 GP については銀ナノペーストの焼結体 18A を介して配線部 125 との接合を図った構成を示す。

30

【0128】

この構成では、従来のワイヤボンディングを行わなくても良く、また図 23 の比較例のように配線部品を用いなくても良いという利点がある。

【0129】

しかしながら、銀ナノペーストの焼結体 18A と半導体デバイス 140 の側面や、銀ナノペーストの焼結体 18A の下方の絶縁性確保が難しいという問題がある。

【0130】

図 25 に示す比較例は、絶縁基板 100 上に形成された半導体デバイス 140 のソースパッド電極 SP の上に柱状電極 180 を、ゲートパッド電極 GP の上に柱状電極 200 をそれぞれ形成し、柱状電極 180 および柱状電極 200 の上部端面を介して絶縁基板 100 と対向する実装基板 (図示省略) 等との接合を図る構成を示す。

40

【0131】

しかしながら、微細加工の柱状電極が必要であり、特に約 500 μm 角以下の柱状電極を形成することが難しいという問題がある。

【0132】

また、柱状電極を用いる場合には、垂直方向の配線に限定され、水平方向の配線には適用できないという不都合もある。

【0133】

また、柱状電極 180 および柱状電極 200 の上部端面と実装基板等との接合を半田を介して行う場合には、高耐熱接合技術の応用が困難であり、SiC デバイス等の高温での

50

動作に対応できないという不都合もある。

【0134】

本実施の形態によれば、低コストで高い耐熱性を有する半導体装置の実装構造を提供することができる。

【0135】

また、本実施の形態によれば、簡易な工程により高い耐熱性を有するワイヤレス接合を実施可能な半導体装置の実装方法を提供することができる。

【0136】

[その他の実施の形態]

上記のように、実施の形態および変形例によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

10

【0137】

このように、本発明はここでは記載していない様々な実施の形態などを含む。

【0138】

例えば、上記実施の形態では、導電性粒子を含むペースト材料として銀ナノペーストを用いる場合について説明したが、これに限定されず、金ナノ粒子またはニッケルナノ粒子を所定の溶媒に分散させた金属ナノ粒子ペーストを用いるようにしてもよい。

【産業上の利用可能性】

20

【0139】

本発明の半導体装置は、パワー半導体モジュール、インテリジェントパワーモジュールなどパワーデバイス全般に利用可能である。

【符号の説明】

【0140】

- 1 ... 半導体装置
- 2 ... ヒートスプレッダー
- 4 ... 柱状電極
- 6、13 ... パワー配線電極
- 8 ... 実装基板
- 12 ... 信号配線電極
- 16 ... 半導体デバイス
- 18 ... ペースト層
- 18 G、18 S ... 金属粒子接合層
- 19 ... 銀メッキ層
- 20 ... 溶媒
- 20 a ... シェル
- 22 ... 銀ナノ粒子
- 24 ... n^+ ドレイン領域
- 25 ... マスク
- 25 a ... 開口部
- 26 ... 半導体基板
- 27 ... スキージ (ヘラ部材)
- 28 ... p ベース領域
- 30 ... ソース領域
- 32 ... ゲート絶縁膜
- 34 ... ソース電極
- 36 ... ドレイン電極
- 36 a ... ドレイン電極接合層
- 38 ... ゲート電極

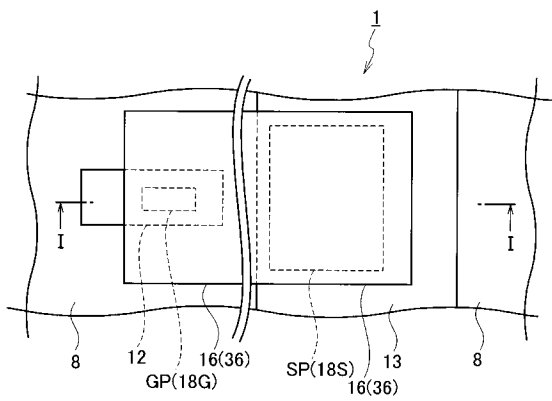
30

40

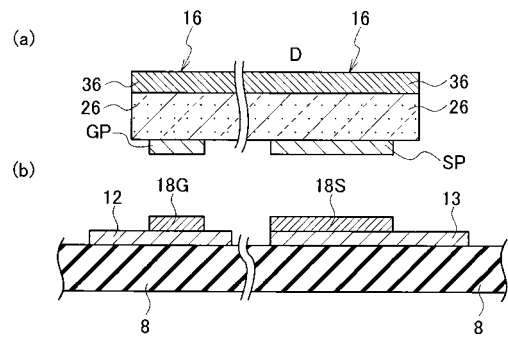
50

- 4 4 ... 層間絶縁膜
- 5 0 ... ゲートドライブ部
- 5 2 ... パワーモジュール部
- 5 4 ... 三相モータ部
- 1 2 0 ... プレス加工機
- C ... コンデンサ
- D 1 ~ D 6 ... ダイオード
- GP ... ゲートパッド電極
- SP ... ソースパッド電極

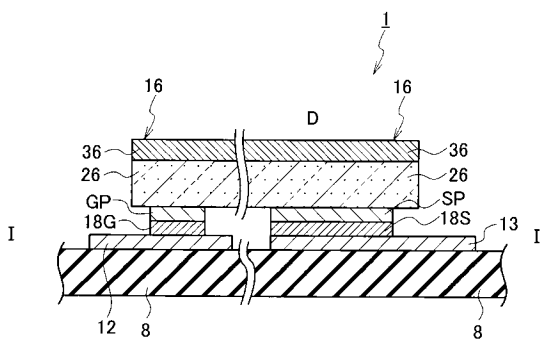
【 図 1 】



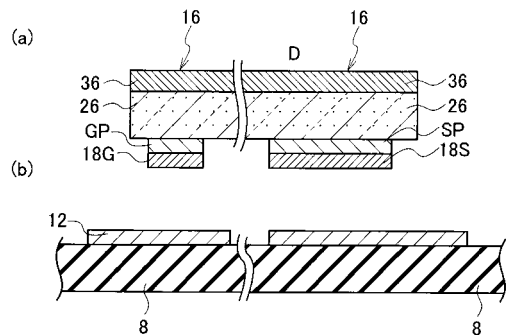
【 図 3 】



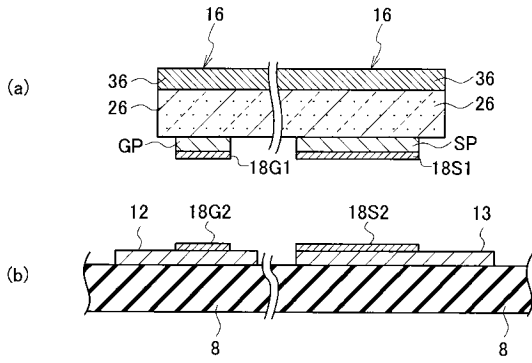
【 図 2 】



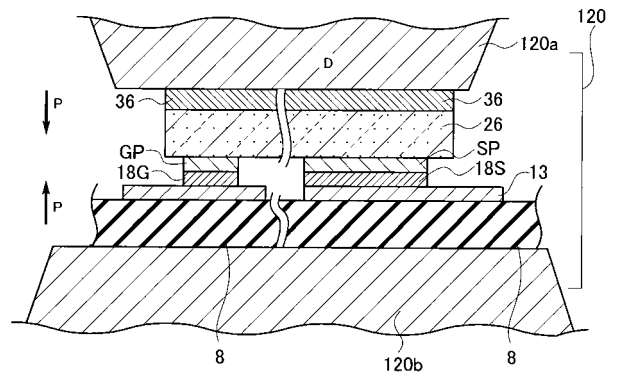
【 図 4 】



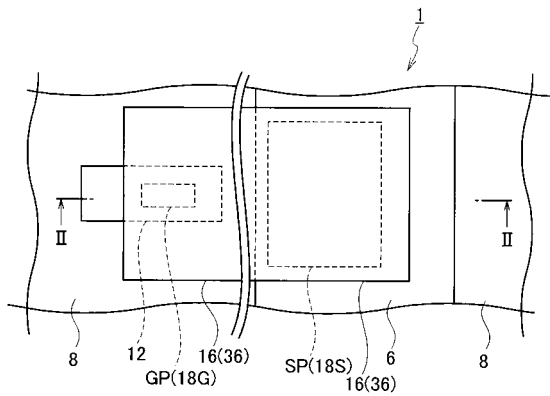
【 図 5 】



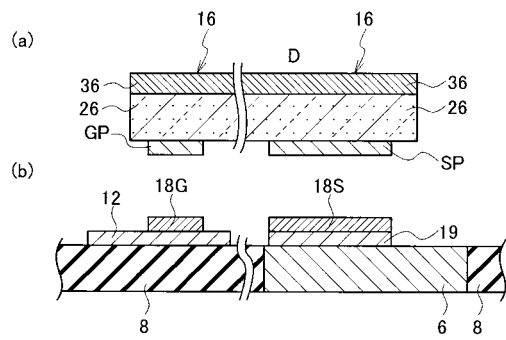
【 図 6 】



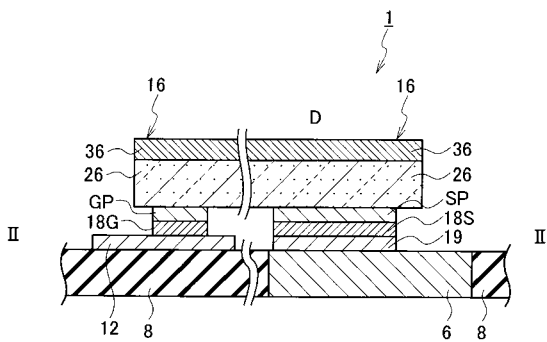
【 図 7 】



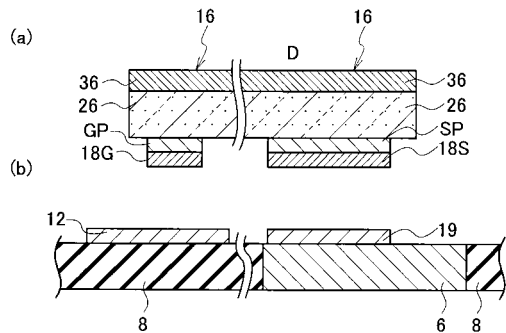
【 図 9 】



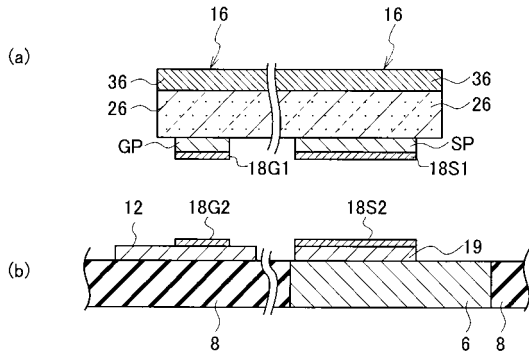
【 図 8 】



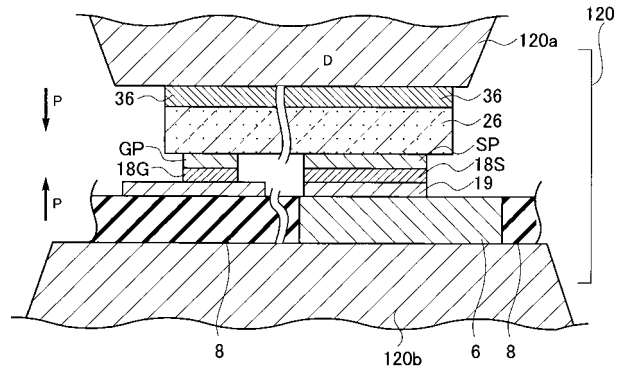
【 図 10 】



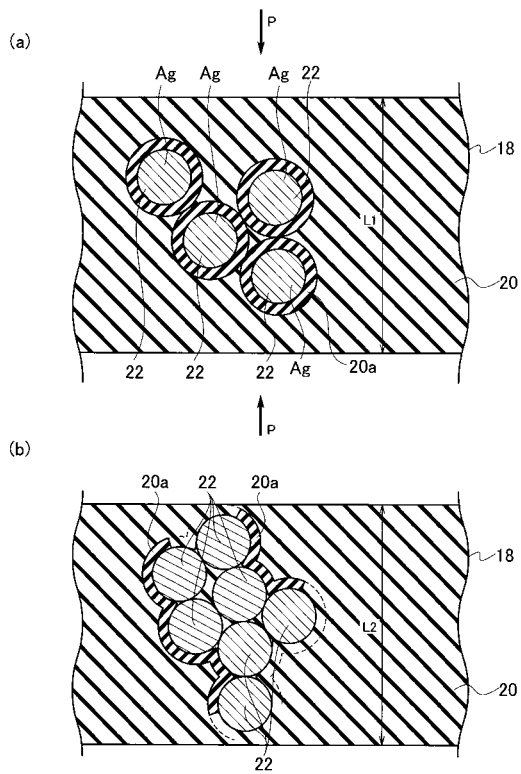
【図 1 1】



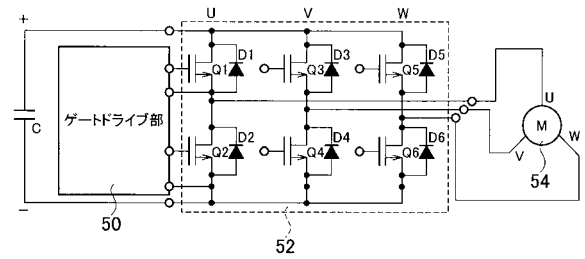
【図 1 2】



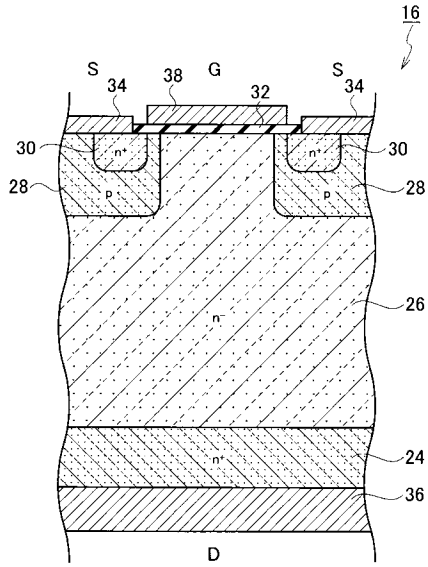
【図 1 3】



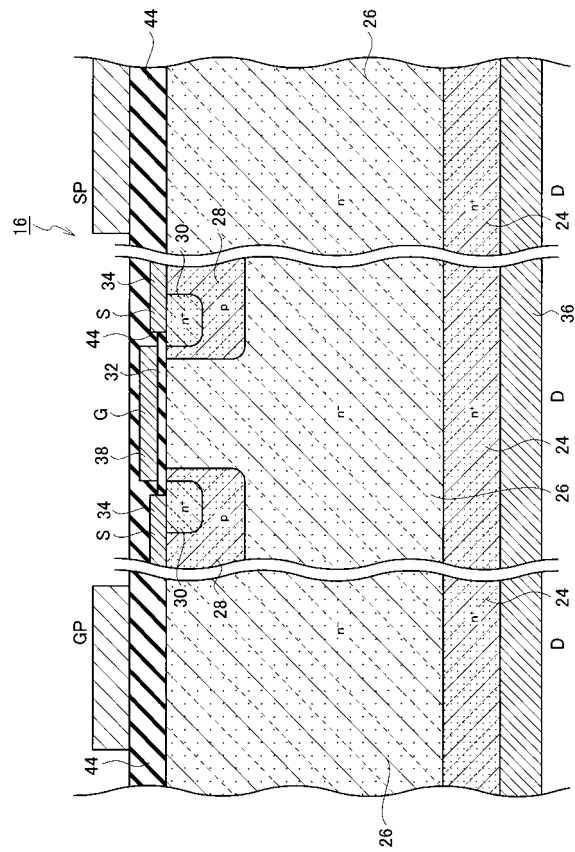
【図 1 4】



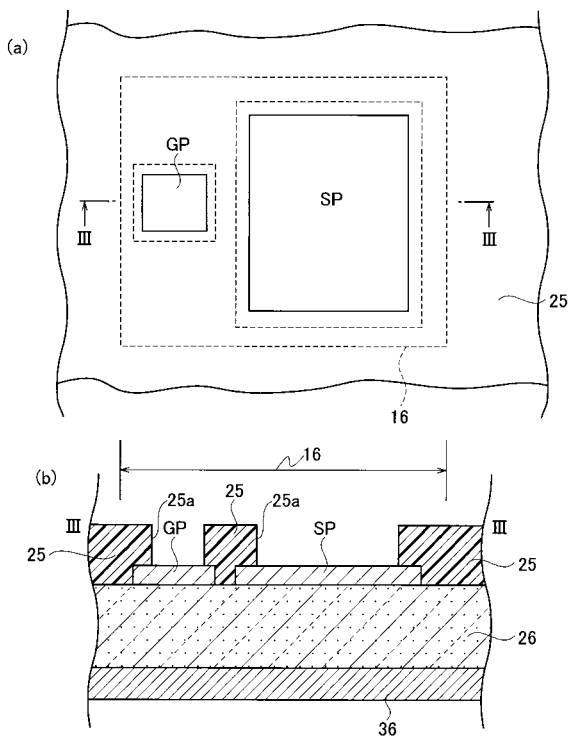
【 図 1 5 】



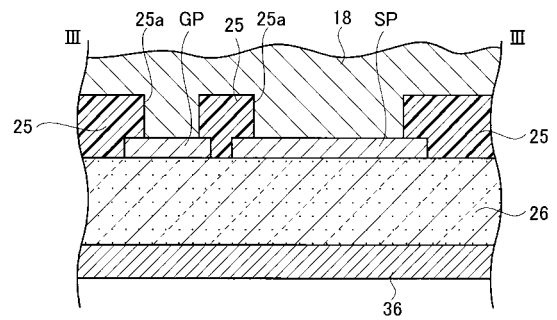
【 図 1 6 】



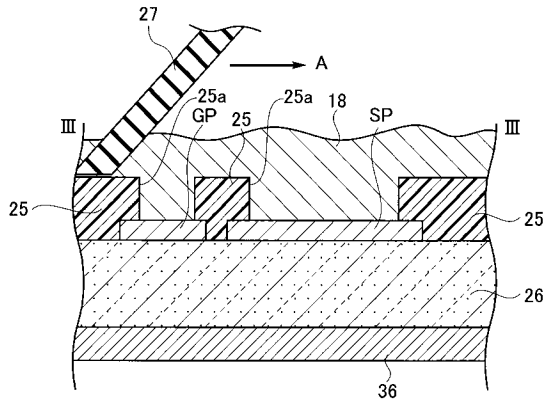
【 図 1 7 】



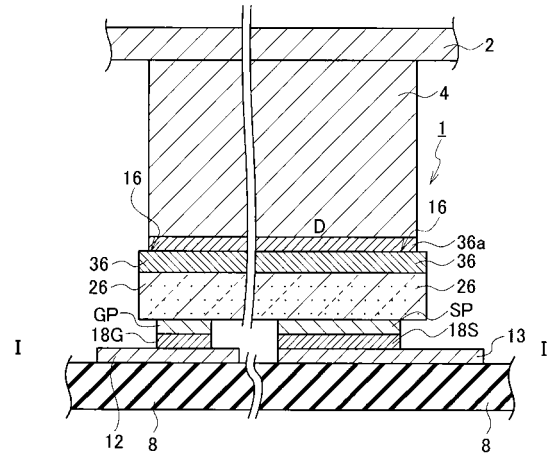
【 図 1 8 】



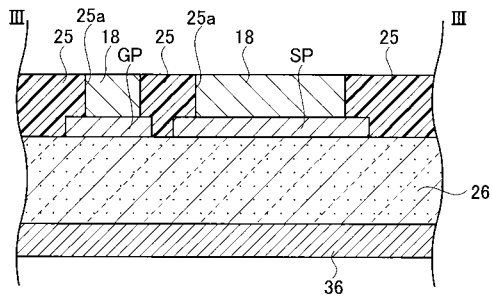
【 図 1 9 】



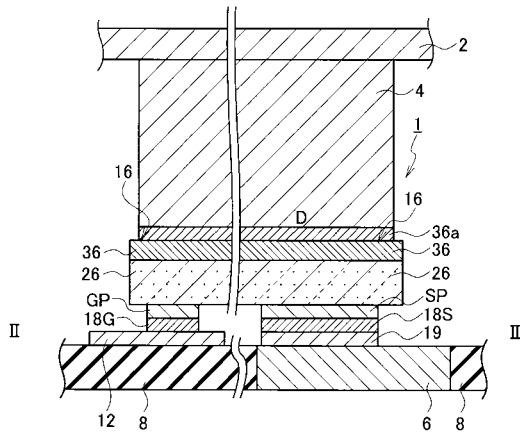
【 図 2 1 】



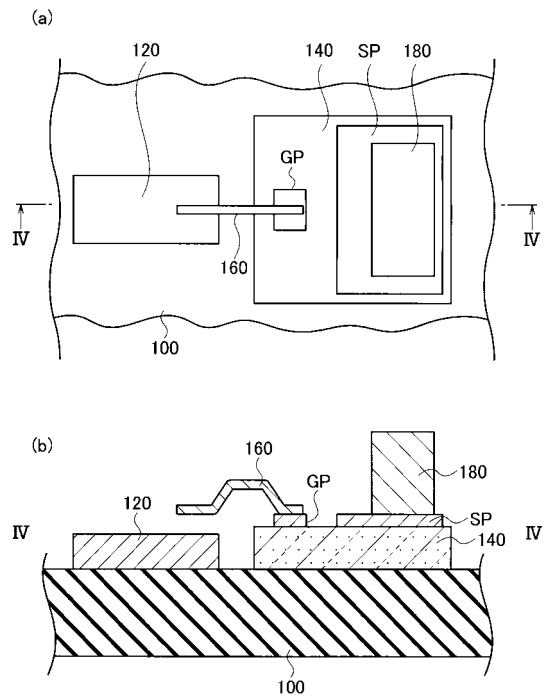
【 図 2 0 】



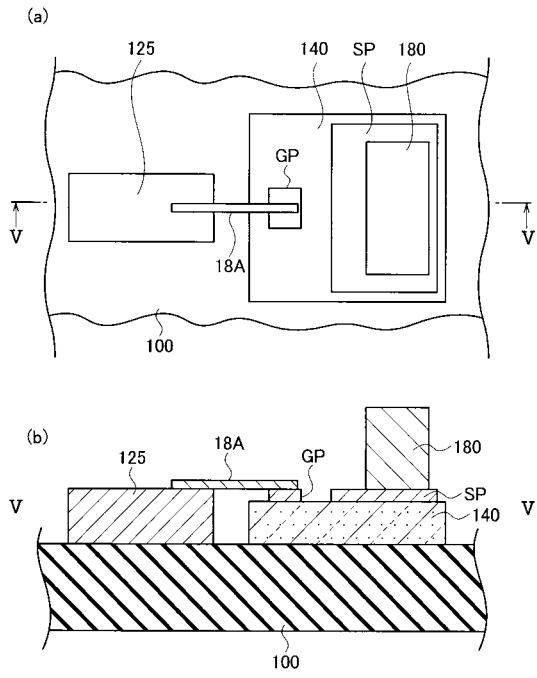
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



【 図 2 5 】

