



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0026781
(43) 공개일자 2017년03월09일

(51) 국제특허분류(Int. Cl.)
G02F 1/1333 (2006.01) G09F 9/30 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
G02F 1/1333 (2013.01)
G09F 9/30 (2013.01)
(21) 출원번호 10-2015-0121236
(22) 출원일자 2015년08월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최희동
충청남도 서산시 음암면 음암로 499 110동 401호
(부장리, 서산수림미소가아파트)
(74) 대리인
김은구, 송해모

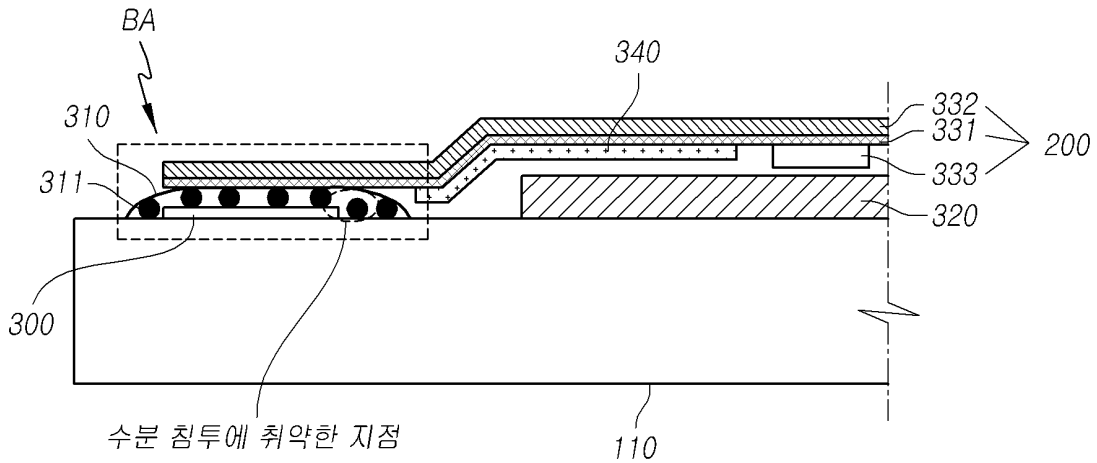
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 표시장치 및 표시패널

(57) 요약

본 실시예들은, 구동 회로 유닛이 본딩되는 표시패널의 패널 패드부가 표시패널의 액티브 영역 내 신호 라인과 전기적으로 연결되는 제1 도전 라인과, 제1 도전 라인과 컨택된 제2 도전 라인과, 제2 도전 라인과 컨택된 제3 도전 라인과, 제3 도전 라인과 필름 패드부를 연결해주는 도전 필름을 포함할 때, 제1 도전 라인 및 제2 도전 라인 간의 컨택 영역이 도전 필름 영역의 적어도 일부 영역과 오버랩 되어 형성되는 구조를 가짐으로써, 수분 침투에 의한 부식에 강인한 표시장치 및 표시패널에 관한 것이다.

대표도 - 도3



(52) CPC특허분류

H01L 51/5237 (2013.01)

G02F 2001/133311 (2013.01)

명세서

청구범위

청구항 1

구동 칩과, 상기 구동 칩이 실장된 필름 패드부로 구성된 구동 회로 유닛; 및
 상기 필름 패드부가 패널 패드부에 본딩된 표시패널을 포함하되,
 상기 패널 패드부는,
 상기 표시패널의 액티브 영역 내 신호 라인과 전기적으로 연결되는 제1 도전 라인과,
 상기 제1 도전 라인과 접촉된 제2 도전 라인과,
 상기 제2 도전 라인과 접촉된 제3 도전 라인과,
 상기 제3 도전 라인과 상기 필름 패드부를 연결해주는 도전 필름을 포함하고,
 상기 제1 도전 라인 및 상기 제2 도전 라인 간의 접촉 영역은 도전 필름 영역의 적어도 일부 영역과 오버랩 되어 형성되는 표시장치.

청구항 2

제1항에 있어서,
 상기 제1 도전 라인은 게이트 물질로 되어 있고, 상기 제2 도전 라인은 소스-드레인 물질로 되어 있으며, 상기 제3 도전 라인은 픽셀 전극 물질로 된 표시장치.

청구항 3

제1항에 있어서,
 상기 제1 도전 라인과 상기 제2 도전 라인은 제1 절연막의 제1 콘택홀을 통해 콘택하고,
 상기 제2 도전 라인과 상기 제3 도전 라인은 제2 절연막의 제2 콘택홀을 통해 콘택하는 표시장치.

청구항 4

제3항에 있어서,
 박막 트랜지스터가 배치되는 기관 상에, 상기 제1 도전 라인, 상기 제1 절연막, 상기 제2 도전 라인, 상기 제2 절연막, 상기 제3 도전 라인 및 상기 도전 필름이 순서대로 적층되는 표시장치.

청구항 5

제3항에 있어서,
 상기 제1 콘택홀 및 상기 제2 콘택홀은 둘 이상 존재하는 표시장치.

청구항 6

제1항에 있어서,
 상기 제3 도전 라인의 폭은 상기 제2 도전 라인의 폭보다 넓은 표시장치.

청구항 7

제1항에 있어서,
 상기 제1 도전 라인과 전기적으로 연결되는 상기 액티브 영역 내 상기 신호 라인은 상기 제1 도전 라인과 다른 물질로 된 데이터 라인인 표시장치.

청구항 8

제7항에 있어서,

상기 데이터 라인과 상기 제1 도전 라인은 제1 절연막의 컨택홀을 통해 컨택되는 표시장치.

청구항 9

제1항에 있어서,

상기 제1 도전 라인과 전기적으로 연결되는 상기 액티브 영역 내 상기 신호 라인은 상기 제1 도전 라인과 동일 물질로 된 게이트 라인인 표시장치.

청구항 10

제1항에 있어서,

상기 필름 패드부의 배면에 절연막이 부착되고,

상기 절연막이 오픈되어 노출된 상기 필름 패드부의 배면에 상기 구동 칩이 실장되는 표시장치.

청구항 11

액티브 영역에 배치되는 신호 라인; 및

상기 액티브 영역의 외부 영역에 해당하는 넌-액티브 영역에 배치되며, 구동 칩이 실장된 필름 패드부가 본딩되는 패널 패드부를 포함하되,

상기 패널 패드부는,

상기 신호 라인과 전기적으로 연결되는 제1 도전 라인과,

상기 제1 도전 라인과 컨택된 제2 도전 라인과,

상기 제2 도전 라인과 컨택된 제3 도전 라인과,

상기 제3 도전 라인 위에 위치한 도전 필름을 포함하고,

상기 제1 도전 라인 및 상기 제2 도전 라인 간의 컨택 영역은 도전 필름 영역의 적어도 일부 영역과 오버랩되어 형성되는 표시패널.

발명의 설명

기술 분야

[0001] 본 실시예들은 표시장치 및 표시패널에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display Device), 플라즈마 표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 여러 가지 표시장치가 활용되고 있다.

[0003] 이러한 표시장치는 다수의 데이터 라인 및 다수의 게이트 라인이 배치된 표시패널과, 다수의 데이터 라인을 구동하기 위한 데이터 드라이버와, 다수의 게이트 라인을 구동하기 위한 게이트 드라이버 등을 포함한다.

[0004] 데이터 드라이버 및 게이트 드라이버 각각은 적어도 하나의 구동 회로 유닛을 포함할 수 있으며, 데이터 드라이버 또는 게이트 드라이버에 포함되는 구동 회로 유닛은 표시패널에서의 패널 패드부와 본딩될 수 있다.

[0005] 표시패널에는 각종 절연막 등이 배치되더라도, 구동 회로 유닛이 본딩되는 패널 패드부는 수분 등이 침투할 가능성이 높은 곳이다.

[0006] 따라서, 표시패널에서 구동 회로 유닛이 본딩되는 패널 패드부는 수분 침투에 의해 부식이 되고, 이로 인해 제

품 신뢰성 불량을 야기하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0007] 본 실시예들의 목적은, 수분 침투에 의한 부식에 강인한 패드부 구조를 갖는 표시장치 및 표시패널을 제공하는 데 있다.

과제의 해결 수단

[0008] 일 측면에서, 본 실시예들은, 구동 칩과, 구동 칩이 실장된 필름 패드부로 구성된 구동 회로 유닛과, 필름 패드부가 패널 패드부에 본딩된 표시패널을 포함하는 표시장치를 제공할 수 있다.

[0009] 이러한 표시장치에서, 패널 패드부는, 표시패널의 액티브 영역 내 신호 라인과 전기적으로 연결되는 제1 도전 라인과, 제1 도전 라인과 접촉된 제2 도전 라인과, 제2 도전 라인과 접촉된 제3 도전 라인과, 제3 도전 라인과 필름 패드부를 연결해주는 도전 필름을 포함할 수 있다.

[0010] 패널 패드부에서 제1 도전 라인 및 제2 도전 라인 간의 접촉 영역은 도전 필름 영역의 적어도 일부 영역과 오버랩 되어 형성될 수 있다.

[0011] 다른 측면에서, 본 실시예들은, 액티브 영역에 배치되는 신호 라인과, 액티브 영역의 외부 영역에 해당하는 비-액티브 영역에 배치되며, 구동 칩이 실장된 필름 패드부가 본딩되는 패널 패드부를 포함하는 표시패널을 제공할 수 있다.

[0012] 이러한 표시패널에서의 패널 패드부는, 신호 라인과 전기적으로 연결되는 제1 도전 라인과, 제1 도전 라인과 접촉된 제2 도전 라인과, 제2 도전 라인과 접촉된 제3 도전 라인과, 제3 도전 라인 위에 위치한 도전 필름을 포함할 수 있다.

[0013] 패널 패드부에서, 제1 도전 라인 및 제2 도전 라인 간의 접촉 영역은 도전 필름 영역의 적어도 일부 영역과 오버랩 되어 형성될 수 있다.

발명의 효과

[0014] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 수분 침투에 의한 부식에 강인한 패드부 구조를 갖는 표시장치 및 표시패널을 제공할 수 있다.

도면의 간단한 설명

- [0015] 도 1은 본 실시예들에 따른 표시장치의 개략적인 시스템 구성도이다.
- 도 2는 본 실시예들에 따른 표시패널의 신호 라인과 구동 칩 간의 신호 전달 구조를 나타낸 도면이다.
- 도 3은 본 실시예들에 따른 표시장치에서 표시패널의 패널 패드부에 구동 회로 유닛이 본딩되는 영역을 나타낸 도면이다.
- 도 4 및 도 5는 본 실시예들에 따른 표시패널의 패널 패드부의 평면도이다.
- 도 6은 본 실시예들에 따른 표시패널의 패널 패드부의 단면도이다.
- 도 7은 본 실시예들에 따른 표시패널의 패널 패드부에 데이터 구동을 위한 구동 회로 유닛이 본딩되는 영역에 대한 단면도이다.
- 도 8은 본 실시예들에 따른 표시패널의 패널 패드부에 게이트 구동을 위한 구동 회로 유닛이 본딩되는 영역에 대한 단면도이다.
- 도 9는 본 실시예들에 따른 표시패널에 배치된 박막 트랜지스터를 나타낸 도면이다.
- 도 10은 본 실시예들에 따른 표시패널의 패널 패드부 구조에 따른 수분에 의한 부식 방지 효과를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0017] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0018] 도 1은 본 실시예들에 따른 표시장치(100)의 개략적인 시스템 구성도이다.
- [0019] 도 1을 참조하면, 본 실시예들에 따른 표시장치(100)는, 다수의 데이터 라인(DL1~DLm) 및 다수의 게이트 라인(GL1~GLn)이 배치되고, 다수의 서브픽셀(Sub Pixel)이 배치된 표시패널(110)과, 다수의 데이터 라인(DL1~DLm)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL1~GLn)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.
- [0020] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.
- [0021] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0022] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행할 수 있는 제어장치일 수 있다.
- [0023] 이러한 컨트롤러(140)는 데이터 드라이버(120)에 포함될 수도 있다.
- [0024] 데이터 드라이버(120)는, 다수의 데이터 라인(DL1~DLm)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL1~DLm)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.
- [0025] 게이트 드라이버(130)는, 다수의 게이트 라인(GL1~GLn)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL1~GLn)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.
- [0026] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL1~GLn)으로 순차적으로 공급한다.
- [0027] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL1~DLm)으로 공급한다.
- [0028] 데이터 드라이버(120)는, 도 1에서는 표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0029] 게이트 드라이버(130)는, 도 1에서는 표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0030] 전술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0031] 컨트롤러(140)는, 외부로부터 입력된 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하는 것 이외에, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0032] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable)

등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.

- [0033] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 구동 칩의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 구동 칩에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 구동 칩의 타이밍 정보를 지정하고 있다.
- [0034] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0035] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 데이터 구동 칩의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 데이터 구동 칩 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.
- [0036] 데이터 드라이버(120)는, 적어도 하나의 데이터 구동 칩을 포함하여 다수의 데이터 라인을 구동할 수 있다. 여기서, 데이터 구동 칩은 소스 드라이버 집적회로(Source Driver Integrated Circuit)라고도 한다.
- [0037] 각 데이터 구동 칩은, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 데이터 구동 칩은, 표시패널(110)에 연결된 필름 상에 실장 되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0038] 각 데이터 구동 칩은, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0039] 각 데이터 구동 칩은, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0040] 게이트 드라이버(130)는 적어도 하나의 게이트 구동 칩을 포함할 수 있다. 여기서, 게이트 구동 칩은 게이트 드라이버 집적회로(Gate Driver Integrated Circuit)라고도 한다.
- [0041] 각 게이트 구동 칩은, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 게이트 구동 칩은 표시패널(110)과 연결된 필름 상에 실장 되는 칩 온 필름(COF) 방식으로 구현될 수도 있다.
- [0042] 각 게이트 구동 칩은 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0043] 본 실시예들에 따른 표시장치(100)는 적어도 하나의 데이터 구동 칩에 대한 회로적인 연결을 위해 필요한 적어도 하나의 소스 인쇄회로기판(S-PCB: Source Printed Circuit Board)과 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(C-PCB: Control Printed Circuit Board)을 포함할 수 있다.
- [0044] 적어도 하나의 소스 인쇄회로기판(S-PCB)에는, 적어도 하나의 데이터 구동 칩이 실장 되거나 데이터 구동 칩이 실장 된 필름이 적어도 하나 연결될 수 있다.
- [0045] 컨트롤 인쇄회로기판(C-PCB)에는, 데이터 드라이버(120) 및 게이트 드라이버(130) 등의 동작을 제어하는 컨트롤러(140)와, 표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급 해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러 등이 실장 될 수 있다.
- [0046] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있다.
- [0047] 여기서, 연결 부재는 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible Flat Cable) 등일 수 있다.
- [0048] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.
- [0049] 본 실시예들에 따른 표시장치(100)는 액정표시장치(Liquid Crystal Display Device), 유기발광표시장치(Organic Light Emitting Display Device), 플라즈마 표시장치(Plasma Display Device) 등의 다양한 타입의 장

치일 수 있다.

- [0050] 표시패널(110)에 배치되는 각 서브픽셀은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.
- [0051] 일 예로, 표시패널(110)이 유기발광표시패널인 경우, 각 서브픽셀(SP)은 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0052] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.
- [0053] 한편, 데이터 구동 칩 및 게이트 구동 칩 중 적어도 한 종류의 구동 칩이 표시패널(110)에 연결되는 영역은, 수분 침투 시, 주변의 패턴이 부식될 위험성이 높은 위치이다.
- [0054] 이에, 본 실시예들은, 데이터 구동 칩 및 게이트 구동 칩 중 적어도 한 종류의 구동 칩이 표시패널(110)에 연결되는 영역에 수분이 침투하더라도 주변 패턴이 부식되는 것을 방지해줄 수 있는 구조를 제공한다.
- [0055] 아래에서는, 이에 대하여, 도 2 내지 도 10을 참조하여 상세하게 설명한다. 단, 아래에서는, 데이터 구동 칩 및 게이트 구동 칩 중 적어도 한 종류의 구동 칩이 COF(Chip On Film) 타입으로 구현된 경우로 가정하여 설명한다.
- [0056] 도 2는 본 실시예들에 따른 표시패널(110)의 신호 라인(SL)과 구동 칩(333) 간의 신호 전달 구조를 나타낸 도면이고, 도 3은 본 실시예들에 따른 표시장치(100)에서 표시패널(110)의 패널 패드부(300)에 구동 회로 유닛(200)이 본딩되는 영역(BA)을 나타낸 도면이고, 도 4 및 도 5는 본 실시예들에 따른 표시패널(110)의 패널 패드부(300)의 평면도이며, 도 6은 본 실시예들에 따른 표시패널(110)의 패널 패드부(300)의 단면도이다.
- [0057] 도 2를 참조하면, 본 실시예들에 따른 표시패널(110)은 화상이 표시되는 표시 영역에 해당하는 액티브 영역(A/A)과 액티브 영역(A/A)의 외부 영역(주변 영역)에 해당하고, 화상이 표시되지 않는 비-액티브 영역(N/A)을 이루어진다.
- [0058] 액티브 영역(A/A)에는 데이터 라인, 게이트 라인 등의 신호 라인(SL)이 배치될 수 있다.
- [0059] 비-액티브 영역(N/A)에는, 액티브 영역(A/A)에 배치된 신호 라인(SL)으로 전기적인 신호(예: 데이터 전압, 스캔 신호 등)를 출력하기 위한 구동 회로 유닛(200)이 연결되고, 구동 회로 유닛(200)과 액티브 영역(A/A)에 배치된 신호 라인(SL)을 전기적으로 연결해주는 링크 배선(LINK)이 배치될 수 있다.
- [0060] 비-액티브 영역(N/A)에서 구동 회로 유닛(200)이 표시패널(110)에 본딩되는 영역(BA)과, 구동 회로 유닛(200)에 대하여 도 3을 참조하여 더욱 상세하게 설명한다.
- [0061] 도 3을 참조하면, 구동 회로 유닛(200)은, 구동 칩(333)과, 이 구동 칩(333)이 실장된 필름 패드부(331)와, 필름 패드부(331)가 부착된 회로 필름(332)으로 구성된다.
- [0062] 그리고, 이러한 구동 회로 유닛(200)은 표시패널(110)에서의 패널 패드부(300)에 본딩된다.
- [0063] 표시패널(110)의 패널 패드부(300)와 구동 회로 유닛(200)에서의 필름 패드부(331)는 다수의 도전볼(311)을 포함하는 도전 필름(310)을 통해 서로 본딩된다.
- [0064] 다시 말해, 표시패널(110)의 패널 패드부(300)를 덮도록 도전 필름(310)을 도포하고(붙이고), 필름 패드부(331)가 패널 패드부(300)에 대응되어 위치하도록 정렬해놓고 압착함으로써, 표시패널(110)의 패널 패드부(300)와 구동 회로 유닛(200)에서의 필름 패드부(331)를 연결해줄 수 있다.
- [0065] 이때, 표시패널(110)의 패널 패드부(300)에서의 라인(예: 제3 도전 라인)과 구동 회로 유닛(200)에서의 필름 패드부(331)의 라인이 대응되어 연결된다.
- [0066] 위에서 언급한 도전 필름(310)은, 일 예로, 이방성 도전 필름(ACF: Anisotropic Conductive Film)일 수 있다.
- [0067] 도 3을 참조하면, 구동 회로 유닛(200)에서 필름 패드부(331)는 본딩 영역(BA)에서 표시패널(110)의 패널 패드부(300)와 본딩되고, 본딩 영역(BA)이 아닌 영역(즉, 표시패널(110)에서 패널 패드부(300)가 없는 영역)에서는 표시패널(330)이 이격되어 있다.
- [0068] 도 3을 참조하면, 구동 회로 유닛(200)의 필름 패드부(331)과 표시패널(330)이 이격된 공간에서, 봉지층(Encapsulation Layer, 320)이 표시패널(110) 상에 위치한다.

- [0069] 도 3을 참조하면, 구동 회로 유닛(200)의 필름 패드부(331)과 표시패널(330)이 이격된 공간에서, 구동 회로 유닛(200)에서 필름 패드부(331)의 배면에 절연막(340)이 부착된다.
- [0070] 또한, 절연막(340)이 오픈되어 필름 패드부(331)가 노출된 지점이 있다.
- [0071] 이와 같이, 절연막(340)이 오픈되어 필름 패드부(331)가 노출된 지점에는 구동 칩(333)이 실장될 수 있다.
- [0072] 전술한 바와 같이, 구동 회로 유닛(200)에서 필름 패드부(331)의 배면에 절연막(340)이 부착됨으로써, 구동 회로 유닛(200), 특히 필름 패드부(331) 등을 수분, 공기 등으로부터 보호해줄 수 있다.
- [0073] 또한, 구동 회로 유닛(200)의 필름 패드부(331)과 표시패널(330)이 이격된 공간에서 필름 패드부(331)의 노출 부분에 구동 칩(330)을 실장함으로써 표시장치(100)의 공간 활용도를 높일 수 있다.
- [0074] 도 3을 참조하면, 표시패널(110)의 패널 패드부(300)와 구동 회로 유닛(200)에서의 필름 패드부(331)가 본딩되는 본딩 영역(BA)에는, 표시패널(110)의 패널 패드부(300)와 구동 회로 유닛(200)에서의 필름 패드부(331)의 본딩 구조와 도전 필름(310)의 도포 영역의 위치에 따라 수분 침투 등에 취약한 지점이 있을 수 있다.
- [0075] 가령, 이러한 지점에 수분 침투가 발생하는 경우, 표시패널(110)의 패널 패드부(300)와 구동 회로 유닛(200)에서의 필름 패드부(331) 중 적어도 한 부분에 대한 부식이 발생할 수 있다.
- [0076] 이러한 부식 현상은 표시패널(110)의 패널 패드부(300)와 구동 회로 유닛(200)에서의 필름 패드부(331)의 전기적인 연결에 문제를 발생시켜 회로 오동작 등의 문제를 발생시키거나 부식 지점 주변의 구조에도 심각한 문제를 발생시킬 수 있다.
- [0077] 따라서, 본 실시예들은, 수분이 침투하더라도 수분 침투 지점과 그 주변의 금속 패턴에 부식이 생기지 않도록 해주는 패널 패드부(300)의 새로운 구조를 제공한다.
- [0078] 아래에서는, 본 실시예들에 따른 수분 침투에 따른 부식에 강한 구조를 갖는 패널 패드부(300)를 설명한다.
- [0079] 도 4 및 도 5를 참조하면, 구동 회로 유닛(200)의 패널 패드부(300)는, 표시패널(110)의 액티브 영역(A/A) 내 신호 라인(SL)과 전기적으로 연결되는 제1 도전 라인(410)과, 제1 도전 라인(410)과 컨택된 제2 도전 라인(420)과, 제2 도전 라인(420)과 컨택된 제3 도전 라인(430)과, 제3 도전 라인(430)과 필름 패드부(331)를 연결해주는 도전 필름(310) 등을 포함할 수 있다.
- [0080] 제1 도전 라인(410)은 표시패널(110)의 액티브 영역(A/A) 내 신호 라인(SL)과 구동 회로 유닛(200)의 구동 칩(330)을 전기적으로 연결해주는 링크 배선(LINK)의 역할을 한다.
- [0081] 제3 도전 라인(430)은 구동 회로 유닛(200)의 필름 패드부(331)와 접촉하는 도전 라인이다.
- [0082] 제2 도전 라인(420)은 제1 도전 라인(410)과 제3 도전 라인(430)을 연결해주는 도전 라인이다.
- [0083] 도 4를 참조하면, 제1 도전 라인(410)과 제2 도전 라인(420)은 제1 컨택홀(CNT1)을 통해 컨택되고, 제2 도전 라인(420)과 제3 도전 라인(430)은 제2 컨택홀(CNT2)을 통해 컨택된다.
- [0084] 도 4를 참조하면, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역(CA1)과, 제2 도전 라인(420) 및 제3 도전 라인(430) 간의 컨택 영역(CA2)은 수분 침투에 의해 부식이 발생할 가능성이 높다.
- [0085] 하지만, 도 4에 도시된 바와 같이, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역(CA1)과, 제2 도전 라인(420) 및 제3 도전 라인(430) 간의 컨택 영역(CA2)은 수분 침투를 막아줄 수 있는 도전 필름 영역(440)의 적어도 일부 영역과 오버랩 되어 형성될 수 있다.
- [0086] 이에 따라, 제1 도전 라인(410), 제2 도전 라인(420) 및 제3 도전 라인(430)에 수분이 집적적으로 접촉하는 것을 방지해주어, 제1 도전 라인(410), 제2 도전 라인(420) 및 제3 도전 라인(430)이 부식되는 것을 방지할 수 있다.
- [0087] 특히, 패널 설계 방식에 따라 제2 도전 라인(420)은 수분에 의한 부식에 취약한 소스-드레인 물질로 되어 있을 수 있는데, 이러한 경우에도, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역(CA1)이 도전 필름 영역(440)의 적어도 일부 영역과 오버랩 되어 형성될 수 있도록, 패널 패드부(300)를 설계함으로써, 수분에 의한 부식에 취약한 제2 도전 라인(420)의 부식을 방지할 수 있다.
- [0088] 여기서, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역(CA1)이 도전 필름 영역(440)의 적어도 일부

영역과 오버랩 되어 형성된다는 것은, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역(CA1)의 전체가 도전 필름 영역(440)에 오버랩 되거나, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역(CA1)의 일부가 도전 필름 영역(440)에 오버랩 되는 것을 의미할 수 있다.

- [0089] 또한, 상하 단면 관점에서 볼 때, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역(CA1)은 도전 필름 영역(440)의 아래에 위치하면서, 일부 영역 또는 전체 영역이 오버랩 될 수 있다.
- [0090] 도 4 내지 도 6을 참조하면, 패널 설계 방식에 따라, 제1 도전 라인(410)은 게이트 전극 및 게이트 라인 등과 동일한 게이트 물질로 되어 있고, 제2 도전 라인(420)은 소스 전극, 드레인 전극, 각종 전압 배선 등과 동일한 소스-드레인 물질로 되어 있으며, 제3 도전 라인(430)은 픽셀 전극 물질로 되어 있을 수 있다. 여기서, 픽셀 전극 물질은, 일 예로, 유기발광다이오드의 애노드 전극 물질 동일 수 있으며, 투명 도전 물질 등으로 되어 있을 수 있다.
- [0091] 전술한 바와 같이, 패널 설계 방식, 트랜지스터의 구조 및 타입 등에 따라, 제1 도전 라인(410)이 게이트 물질로 되어 있고, 제2 도전 라인(420)이 소스-드레인 물질로 되어 있으며, 제3 도전 라인(430)이 픽셀 전극 물질로 된 경우, 제3 도전 라인(430)이 구동 회로 유닛(200)의 필름 패드부(331)와 연결되기 위하여, 제3 도전 라인(430) 상에 도전 필름(310)이 위치한다.
- [0092] 이에 따라, 도전 필름(310)에 의해, 제3 도전 라인(430)에 수분이 침투되는 것이 어느 정도 방지될 수 있다.
- [0093] 하지만, 제2 도전 라인(420)의 경우, 구동 회로 유닛(200)의 필름 패드부(331)와 연결되지 않기 때문에, 도전 필름(310)이 제2 도전 라인(420) 상에 도전 필름(310)을 도포하지 않을 수도 있다. 이렇게 되면, 제2 도전 라인(420)은 수분 침투에 의한 부식에 취약하게 된다.
- [0094] 이러한 구조의 특징에도 불구하고, 전술한 바와 같이, 제2 도전 라인(420) 및 제1 도전 라인(410) 간의 컨택 영역(CA1)이 도전 필름 영역(440)의 적어도 일부 영역과 오버랩 되도록, 도전 필름(310)을 도포함으로써, 제2 도전 라인(420)이 수분에 의해 부식되는 것을 방지해줄 수 있다.
- [0095] 이러한 수분에 의한 부식 방지 효과를 도 6을 참조하여 뒤에서 다시 상세하게 설명한다.
- [0096] 도 4 및 도 5를 참조하면, 제1 컨택홀(CNT1) 및 제2 컨택홀(CNT2)은 둘 이상 존재할 수 있다.
- [0097] 이에 따라, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 저항과, 제2 도전 라인(420) 및 제3 도전 라인(430) 간의 컨택 저항을 줄여줄 수 있다. 따라서, 구동 유닛 회로(200)의 필름 패드부(331) 및 표시패널(110)의 패널 패드부(300) 간의 정확한 신호 전달에 도움을 줄 수 있다.
- [0098] 한편, 도 5를 참조하면, 구동 회로 유닛(200)의 필름 패드부(331)와 연결되는 제3 도전 라인(430)의 폭(W3)은 제2 도전 라인(420)의 폭(W2)보다 넓을 수 있다.
- [0099] 전술한 바와 같이, 제3 도전 라인(430)의 폭(W3)을 제2 도전 라인(420)의 폭(W2)보다 넓게 설계함으로써, 구동 회로 유닛(200)의 필름 패드부(331)와 제3 도전 라인(430) 간의 접촉 면적을 넓혀줄 수 있다. 이에 따라, 구동 회로 유닛(200)의 필름 패드부(331)와 제3 도전 라인(430) 간의 접촉 저항이 줄어들어 전달되는 신호의 세기(전압)가 감쇄하는 것을 방지해줄 수 있다.
- [0100] 도 6을 참조하여 패널 패드부(300)의 단면 구조를 아래에서 살펴본다. 단, 설명의 편의를 위해, 도 6은 도전볼(311)이 포함된 도전 필름(310)이 도포된 이후, 압착되기 이전 상태를 도시한 것이다.
- [0101] 박막 트랜지스터(TFT: Thin Film Transistor)가 배치되는 기판(600) 상에 버퍼층(610)이 위치한다.
- [0102] 버퍼층(610) 상에 게이트 절연막(620)에 의해 절연되고 게이트 물질로 된 제1 도전 라인(410)이 위치할 수 있다.
- [0103] 제1 도전 라인(410) 상에 제1 절연막(630)이 위치하고, 제1 절연막(630) 상에 제2 도전 라인(420)이 위치한다.
- [0104] 이러한 제2 도전 라인(420)의 일 단은 제1 도전 라인(410)과의 컨택 영역(CA1)에 위치할 수 있고, 제2 도전 라인(420)의 타 단은 구동 회로 유닛(200)의 필름 패드부(331)가 본딩되는 본딩 영역(BA)에 위치할 수 있다.
- [0105] 제1 절연막(630)을 사이에 두고 적층된 제1 도전 라인(410)과 제2 도전 라인(420)은 제1 절연막(630)의 제1 컨택홀(CNT1)을 통해 서로 컨택한다.
- [0106] 제2 도전 라인(420) 상에 제2 절연막(640)이 위치한다.

- [0107] 제2 절연막(640) 상에 제3 도전 라인(430)이 위치한다.
- [0108] 제2 절연막(640)은 제2 도전 라인(420)이 외기에 노출되는 것을 방지해줄 수 있다. 따라서, 제2 도전 라인(420)은 제2 절연막(640)에 의해 수분 접촉이 차단될 수 있다.
- [0109] 제3 도전 라인(430)은 구동 회로 유닛(200)의 필름 패드부(331)가 본딩되는 본딩 영역(BA)에 위치한다.
- [0110] 제2 도전 라인(420)과 제3 도전 라인(430)은 제2 절연막(640)의 제2 컨택홀(CNT2)을 통해 컨택한다.
- [0111] 제3 도전 라인(430)과 필름 패드부(331)의 연결을 위해, 제3 도전 라인(430)을 덮도록, 도전볼(311)이 포함된 도전 필름(310)이 도포된다.
- [0112] 이때, 도전 필름(310)은 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역의 윗부분까지 위치할 수 있다. 즉, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역은 도전 필름 영역(440)의 아래에 위치할 수 있다.
- [0113] 제2 절연막(640)이 제2 도전 라인(420)을 덮고 있다더라도, 제2 절연막(640)의 형성 상태에 따라서는, 제2 도전 라인(420)이 노출될 가능성이 존재한다.
- [0114] 하지만, 본 실시예들에 따르면, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역의 윗 부분, 즉, 제2 도전 라인(420)의 끝 부분까지 도전 필름(310)이 도포됨으로써, 제2 절연막(640)의 형성 상태에 따라 제2 절연막(640)이 제2 도전 라인(420)의 일부분을 완전히 절연시키지 못하는 상황이 발생해도, 제2 도전 라인(420)이 외기에 노출되는 것을 방지해주어 부식을 막을 수 있다.
- [0115] 도 6에 도시된 패널 패드부(300)의 적층 구조는, 박막 트랜지스터(TFT)가 배치되는 기관(600) 상에, 제1 도전 라인(410), 제1 절연막(630), 제2 도전 라인(420), 제2 절연막(640), 제3 도전 라인(430) 및 도전 필름(310)이 순서대로 적층되는 구조이다.
- [0116] 전술한 적층 구조 하에서, 제1 도전 라인(410), 제2 도전 라인(420) 및 제3 도전 라인(430) 모두에 대한 외기 노출 방지 구조를 정리해보면, 제1 도전 라인(410) 상에는 제1 절연막(410) 및 제2 절연막(420) 등의 보호 구조가 존재하여, 제1 도전 라인(410)이 외기에 노출되지 않음으로써, 수분에 의한 부식이 방지될 수 있다. 그리고, 제2 도전 라인(420) 상에는 제2 절연막(640) 및 도전 필름(310)이 존재하여, 제2 도전 라인(420)이 외기에 노출되지 않음으로써, 수분에 의한 부식이 방지될 수 있다. 그리고, 제3 도전 라인(420) 상에는 도전 필름(310)이 존재하여, 제3 도전 라인(430)이 외기에 노출되지 않음으로써, 수분에 의한 부식이 방지될 수 있다.
- [0117] 한편, 도 2 내지 도 6에서 예시된 구동 회로 유닛(200)은 데이터 드라이버(120)에 포함된 데이터 구동 회로 유닛일 수 있고, 게이트 드라이버(130)에 포함된 게이트 구동 회로 유닛일 수도 있다.
- [0118] 아래에서는, 도 7 및 도 8을 참조하여 구동 회로 유닛(200)이 데이터 구동 회로인 경우와 게이트 구동 회로인 경우 각각에 대하여, 구동 회로 유닛(200)과 패널 패드부(300) 간의 본딩 구조와, 패널 패드부(300)와 액티브 영역(A/A) 내 신호 라인(SL) 간의 링크 구조에 대하여 설명한다.
- [0119] 도 7은 본 실시예들에 따른 표시패널(110)의 패널 패드부(300)에 데이터 구동을 위한 구동 회로 유닛(200)이 본딩되는 영역(BA)에 대한 단면도이다.
- [0120] 도 7을 참조하면, 구동 회로 유닛(200)이 데이터 구동 회로인 경우, 구동 회로 유닛(200)에서 필름 패드부(331)에 실장된 구동 칩(333)은 데이터 구동 칩(소스 드라이버 집적회로)일 수 있다.
- [0121] 제1 도전 라인(410)은, 구동 칩(333)이 디스플레이 구동을 위해 필요한 전기적인 신호(예: 영상 신호에 해당하는 데이터 전압, 또는 디스플레이 구동에 필요한 구동전압 또는 기준전압 등)를 표시패널(110)의 액티브 영역(A/A)에 배치된 신호 라인(SL)으로 공급할 수 있도록, 즉, 구동 칩(333)에서 출력된 전기적 신호가 구동 칩(333)이 실장된 필름 패드부(321)에서 제3 도전 라인(430) 및 제2 도전 라인(420)을 거쳐 액티브 영역(A/A)에 배치된 신호 라인(SL)으로 전달될 수 있도록, 순방향 신호 전달(구동 칩->패널)의 링크 배선(LINK)의 역할을 할 수 있다.
- [0122] 이러한 제1 도전 라인(410)과 전기적으로 연결되는 액티브 영역(A/A) 내 신호 라인(SL)은, 제1 도전 라인(410)과 다른 물질로 된 데이터 라인(DL)일 수 있으며, 또는 데이터 라인(DL)과 동일한 방향으로 배치된 전압 배선(예: 구동전압 라인, 기준전압 라인 등)일 수도 있다.
- [0123] 데이터 라인(DL) 또는 이와 동일한 방향으로 배치된 전압 배선과 제1 도전 라인(410)은 제1 절연막(630)의 컨택

홀(CNTd1)을 통해 컨택될 수 있다.

- [0124] 전술한 바에 따르면, 패널 패드부(300)에 본딩된 구동 회로 유닛(200)가 데이터 구동 회로인 경우, 액티브 영역(A/A) 내 데이터 라인(DL) 등의 신호 라인(SL)과 패널 패드부(300) 간의 효율적인 연결 구조를 제공할 수 있다.
- [0125] 한편, 제1 도전 라인(410)은, 액티브 영역(A/A)에 배치된 신호 라인(SL)의 전압 신호가 제2 도전 라인(420) 및 제3 도전 라인(430)을 거쳐 필름 패드부(321)에 실장된 구동 칩(333)으로 전달될 수 있도록, 역방향 신호 전달(패널->구동 칩)을 위한 링크 배선(LINK)의 역할을 할 수도 있다.
- [0126] 예를 들어, 표시패널(110)이 유기발광표시패널인 경우, 서브픽셀 내 트랜지스터 또는 유기발광다이오드의 특성치(예: 문턱전압, 이동도 등)를 센싱하기 위하여, 구동 칩(333)에 포함된 아날로그 디지털 컨버터(Analog to Digital Converter)는 표시패널(110) 내 특정 노드(예: 구동 트랜지스터의 소스 노드 또는 유기발광다이오드의 제1전극 노드 등)의 전압을 제1 도전 라인(410) 등을 통해 측정할 수 있다.
- [0127] 도 8은 본 실시예들에 따른 표시패널(110)의 패널 패드부(300)에 게이트 구동을 위한 구동 회로 유닛(200)이 본딩되는 영역(BA)에 대한 단면도이다.
- [0128] 도 8을 참조하면, 구동 회로 유닛(200)가 게이트 드라이버(130)에 포함된 게이트 구동 회로 유닛인 경우, 구동 회로 유닛(200)에서 필름 패드부(331)에 실장된 구동 칩(333)은 게이트 구동 칩(게이트 드라이버 집적회로)일 수 있다.
- [0129] 제1 도전 라인(410)은, 구동 칩(333)이 디스플레이 구동을 위해 필요한 전기적인 신호(예: 게이트 신호 등)를 표시패널(110)의 액티브 영역(A/A)에 배치된 신호 라인(SL)으로 공급하기 위하여, 구동 칩(333)에서 출력된 전기적 신호가 구동 칩(333)이 실장된 필름 패드부(321)에서 제3 도전 라인(430) 및 제2 도전 라인(420)을 거쳐 액티브 영역(A/A)에 배치된 신호 라인(SL)으로 전달될 수 있도록 링크 배선(LINK)의 역할을 할 수 있다.
- [0130] 제1 도전 라인(410)과 전기적으로 연결되는 액티브 영역(A/A) 내 신호 라인(SL)은 제1 도전 라인(410)과 동일 물질로 된 게이트 라인(GL) 또는 게이트 라인(GL)과 동일 방향으로 배치된 전압 배선일 수도 있다.
- [0131] 전술한 바에 따르면, 패널 패드부(300)에 본딩된 구동 회로 유닛(200)가 게이트 구동 회로인 경우, 액티브 영역(A/A) 내 게이트 라인(GL) 등의 신호 라인(SL)과 패널 패드부(300) 간의 효율적인 연결 구조를 제공할 수 있다.
- [0132] 도 7에 도시된 데이터 구동 관련한 패널 패드부(300) 및 링크 구조에 따르면, 영상 신호(데이터 전압)는, 3가지의 컨택홀(CNT2, CNT1, CNTd1)을 통해 3차레의 층 간 이동을 통해 데이터 라인(DL)으로 전달된다.
- [0133] 더욱 상세하게 설명하면, 도 7을 참조하면, 영상 신호(데이터 전압)는, 픽셀 전극 형성 레이어(Layer)에 배치된 제3 도전 라인(430), 소스-드레인 형성 레이어에 배치된 제2 도전 라인(420), 게이트 형성 레이어에 배치된 링크 배선에 해당하는 제1 도전 라인(410)을 거쳐서 소스-드레인 형성 레이어로 다시 점프하여 데이터 라인(DL)으로 전달된다.
- [0134] 도 8에 도시된 게이트 구동 관련한 패널 패드부(300) 및 링크 구조에 따르면, 게이트 신호는, 2가지의 컨택홀(CNT2, CNT1)을 통해 2차레의 층 간 이동을 통해 게이트 라인(GL)으로 전달된다.
- [0135] 도 8을 참조하여 더욱 상세하게 설명하면, 게이트 신호는, 픽셀 전극 형성 레이어(Layer)에 배치된 제3 도전 라인(430), 소스-드레인 형성 레이어에 배치된 제2 도전 라인(420), 게이트 형성 레이어에 배치된 링크 배선에 해당하는 제1 도전 라인(410)을 거쳐서 동일한 게이트 형성 레이어에 배치된 게이트 라인(GL)으로 전달된다.
- [0136] 3차레의 층 간 이동을 통한 영상 신호(데이터 전압)의 전달과, 2차레의 층 간 이동을 통한 게이트 신호의 전달은, 기관(600) 상의 박막 트랜지스터(TFT)의 구조와 관련되어 있다.
- [0137] 도 9는 본 실시예들에 따른 표시패널(110)에 배치된 박막 트랜지스터(TFT)를 나타낸 도면이다.
- [0138] 본 실시예들에 따른 표시패널(110)의 기관(600) 상에 다수의 서브픽셀이 배치되며, 각 서브픽셀은 적어도 하나의 박막 트랜지스터(TFT)가 배치된다.
- [0139] 기관(600) 상에 액티브 층(920)이 위치한다.
- [0140] 액티브 층(920)의 하부에는 차광층(910)이 위치할 수 있다.
- [0141] 액티브 층(920)에서 박막 트랜지스터(TFT)의 소스-드레인 노드(C1, C2)가 될 부분만 도체화된다.
- [0142] 그리고, 액티브 층(920) 상에 게이트 절연막(620)과 그 위에 박막 트랜지스터(TFT)의 게이트 전극(930)이 위치

한다. 그 위에, 층간 절연막에 해당하는 제1 절연막(630)이 위치한다.

- [0143] 제1 절연막(630) 상에 소스-드레인 물질에 해당하는 소스-드레인 전극(940, 950)이 위치하며, 이 소스-드레인 전극(940, 950)은 컨택홀을 통해 액티브 층(920)에서 도체화 된 소스-드레인 노드(C1, C2)와 연결된다.
- [0144] 제1 절연막(630)과 소스-드레인 전극(940, 950)의 위에 제2 절연막(640)이 위치한다.
- [0145] 제2 절연막(640) 상에 제3 도전 라인(430)과 동일한 물질 층에 해당하는 픽셀 전극(960)이 위치하며, 픽셀 전극(960)은 제2 절연막(640)의 컨택홀을 통해 소스-드레인 전극(940, 950) 중 한 전극(950)과 연결된다.
- [0146] 액티브 층(920)의 하부에는 차광층(910)이 위치할 수 있다.
- [0147] 도 9를 참조하면, 박막 트랜지스터(TFT)는 탑 게이트(Top Gate) 형 트랜지스터일 수 있다.
- [0148] 도 10은 본 실시예들에 따른 표시패널(110)의 패널 패드부(300)의 구조에 따른 수분에 의한 부식 방지 효과를 설명하기 위한 도면이다.
- [0149] 도 10을 참조하면, 패널 패드부(300)에서, 도전 필름(310)이 도포된 영역(440)의 하부에 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역이 위치한다.
- [0150] 따라서, 제2 절연막(640)의 형성 상태에 따라 제2 절연막(640)이 제2 도전 라인(420)의 일부분을 완전히 절연시키지 못하는 상황이 발생하더라도, 도전 필름(310)에 의해, 제1 도전 라인(410) 및 제2 도전 라인(420) 간의 컨택 영역으로 수분이 침투하는 것을 방지해줄 수 있다. 따라서, 제2 도전 라인(420) 등이 수분에 의해 부식되는 것을 방지해줄 수 있다.
- [0151] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 수분 침투에 의한 부식에 강한 패드부 구조를 갖는 표시장치(100) 및 표시패널(110)을 제공할 수 있다.
- [0152] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

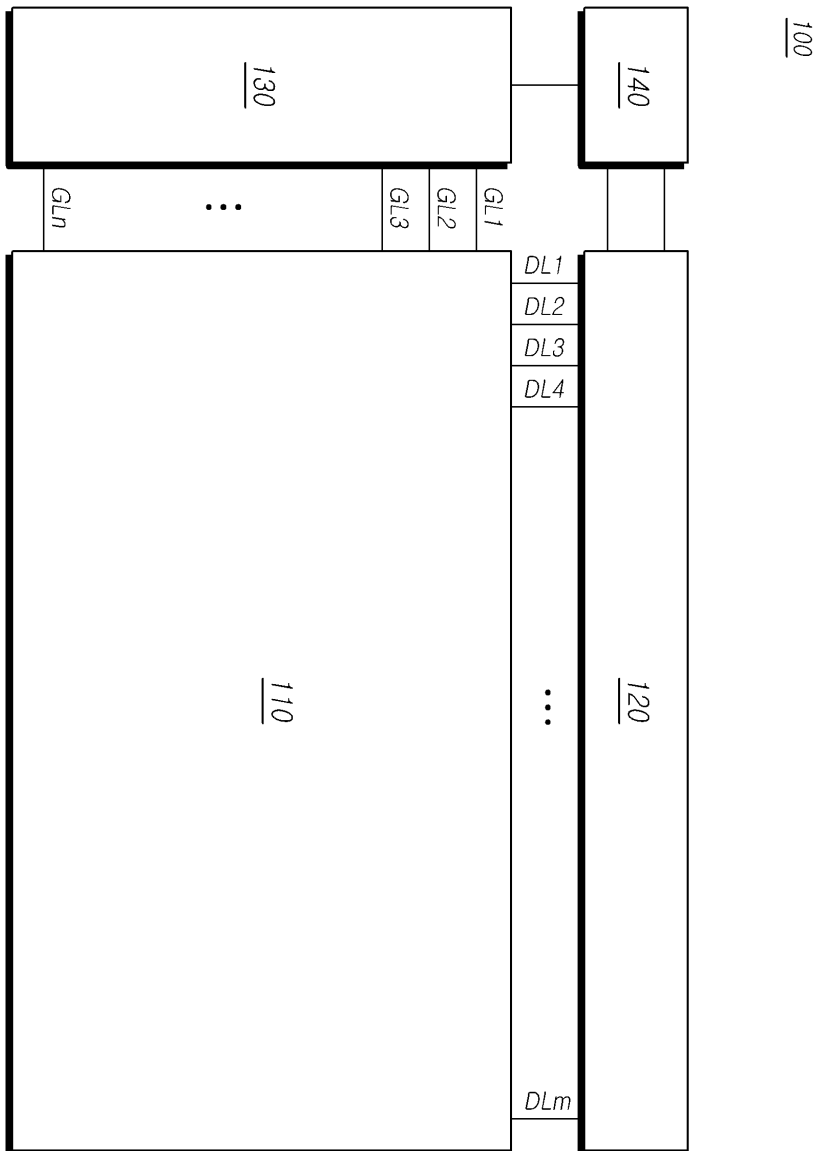
부호의 설명

- [0153] 100: 표시장치
- 110: 표시패널
- 120: 데이터 드라이버
- 130: 게이트 드라이버
- 140: 컨트롤러
- 200: 구동 회로 유닛
- 300: 패널 패드부
- 310: 도전 필름
- 311: 도전볼
- 331: 필름 패드부
- 332: 회로 필름
- 333: 구동 칩
- 340: 절연막
- 410: 제1 도전 라인

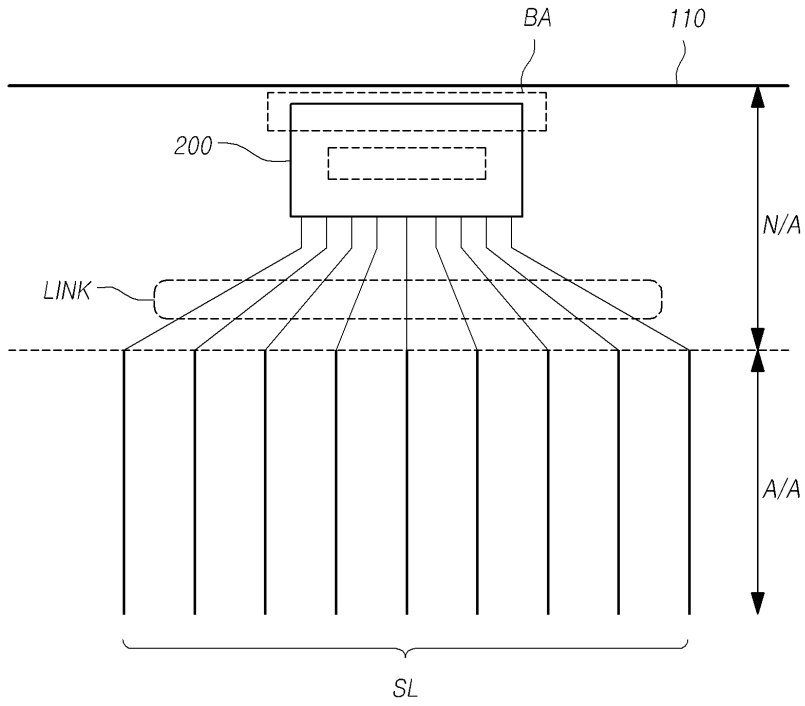
- 420: 제2 도전 라인
- 430: 제3 도전 라인
- 440: 도전 필름 영역
- 630: 제1 절연막
- 640: 제2 절연막

도면

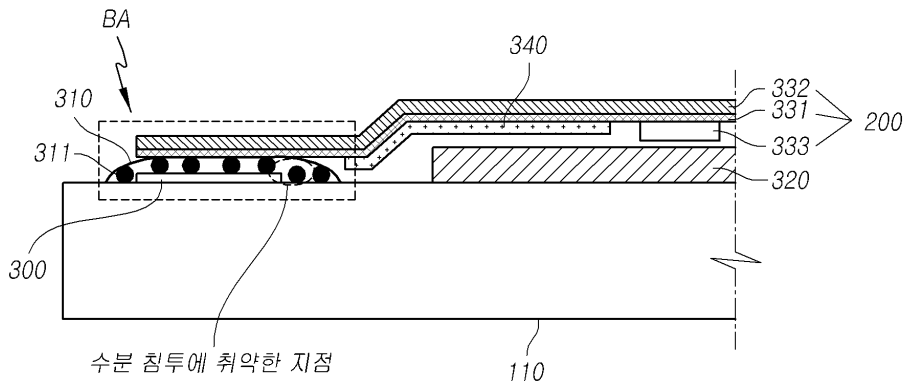
도면1



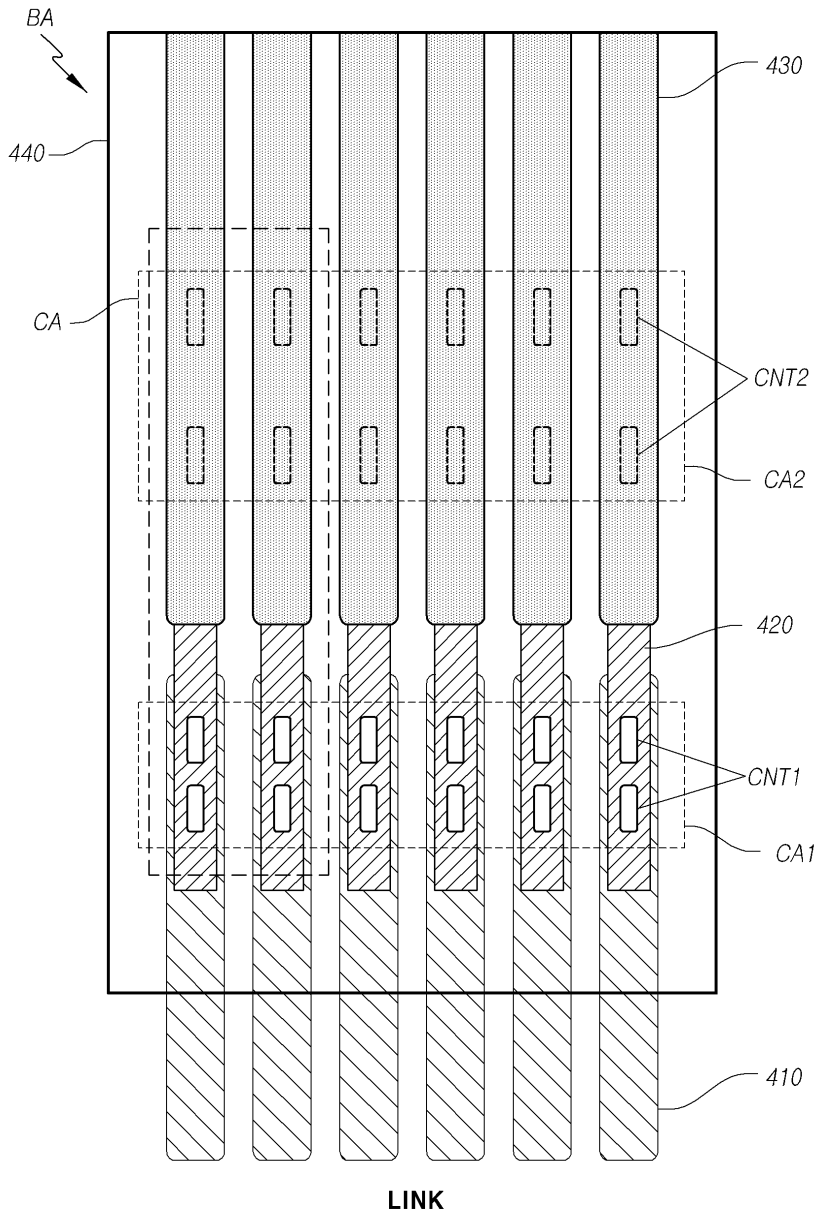
도면2



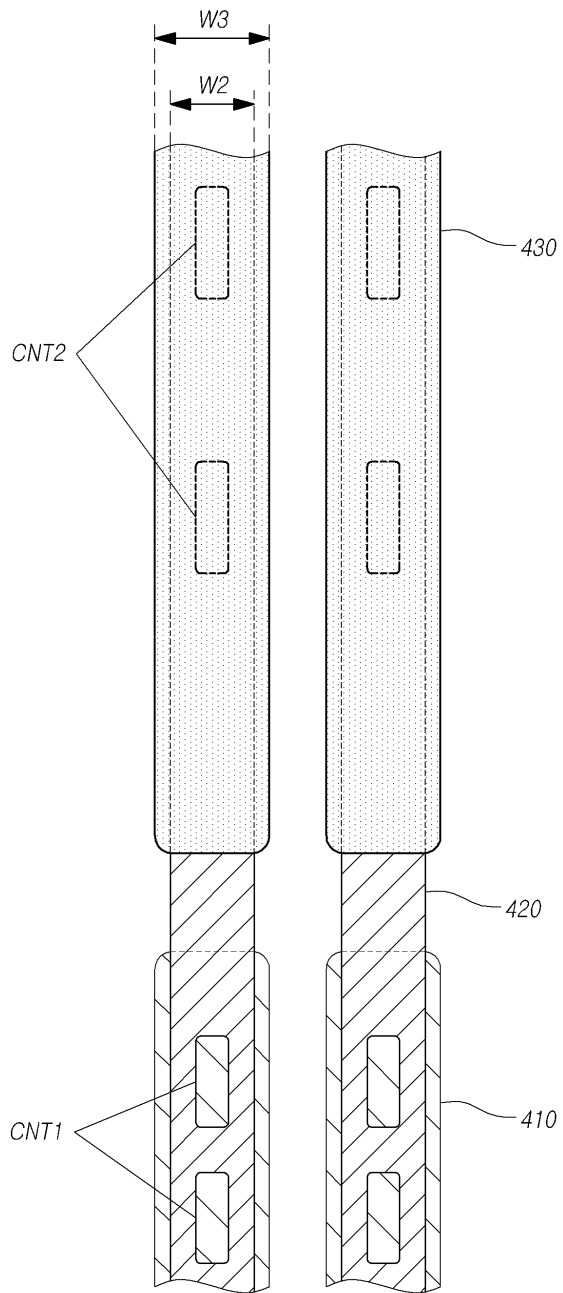
도면3



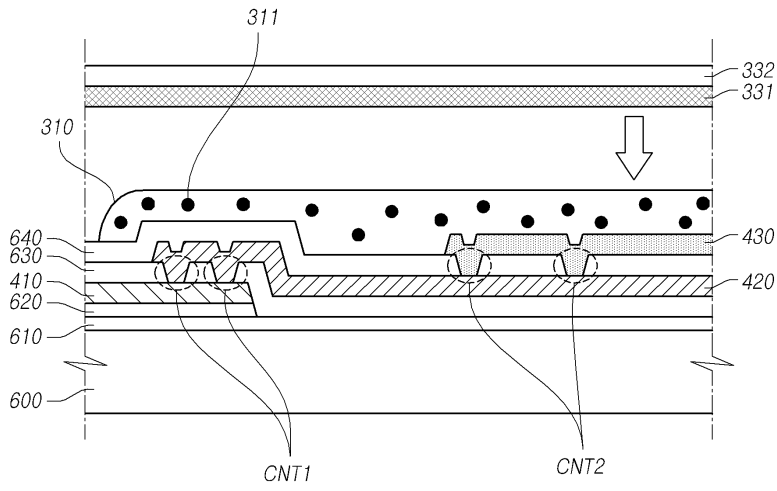
도면4



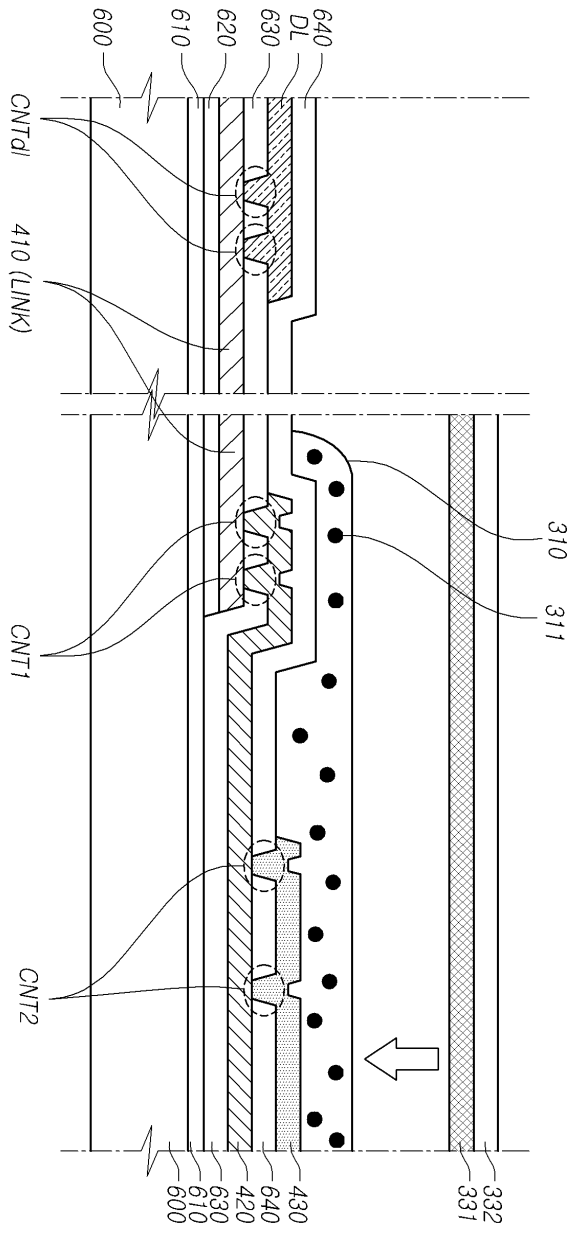
도면5



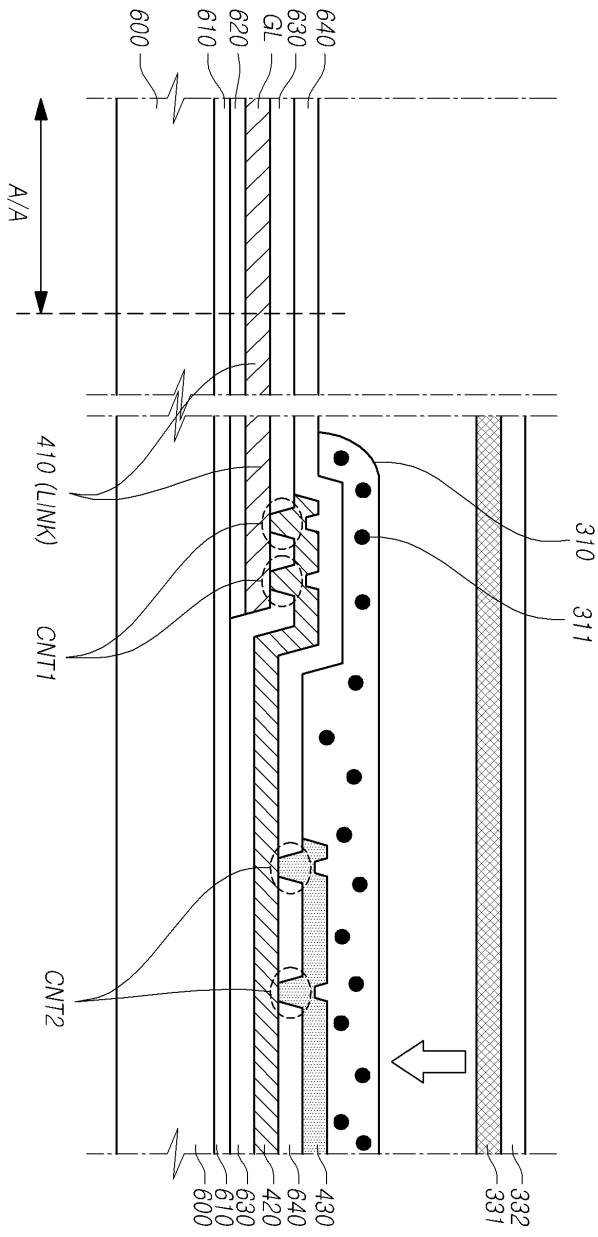
도면6



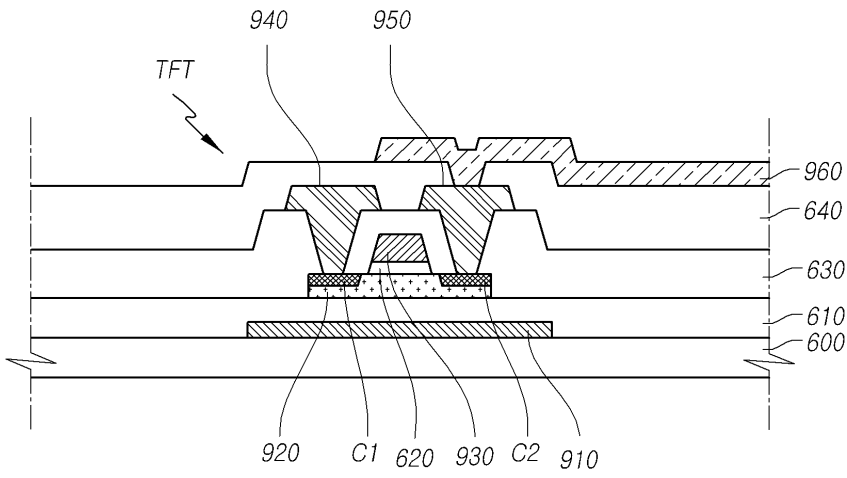
도면7



도면8



도면9



도면10

