

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

H01L 27/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 00122716.5

[45] 授权公告日 2006 年 7 月 12 日

[11] 授权公告号 CN 1264225C

[22] 申请日 2000.6.30 [21] 申请号 00122716.5

[30] 优先权

[32] 1999. 7. 1 [33] JP [31] 187970/1999

[71] 专利权人 株式会社东芝

地址 日本神奈川县

[72] 发明人 大内和也

审查员 赵立杰

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

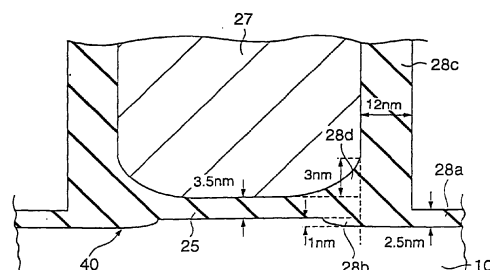
权利要求书 1 页 说明书 8 页 附图 11 页

[54] 发明名称

具有含氮栅绝缘膜的半导体器件及其制造方法

[57] 摘要

MOS 半导体器件包括：形成在半导体衬底上含氮的栅绝缘膜；栅电极选择性地形成在栅绝缘膜上；以及形成在栅电极和半导体衬底表面上的氧化膜，其中第二部分中的位于第一平行线和衬底之间的那一部分的厚度为第二部分中位于第二平行线和栅极之间的另外一部分的厚度的三分之一以下。由于栅绝缘膜含氮，可以抑制栅绝缘膜厚度的增加超出需要的厚度，也可以防止栅电压降低，同时可以提高 MOS 晶体管的控制能力。



1. 一种半导体器件, 包括:

半导体衬底;

形成在所述半导体衬底上的栅绝缘膜, 所述栅绝缘膜的氮浓度峰值设置在所述半导体衬底的表面附近;

形成在所述栅绝缘膜上的栅电极; 以及

形成在所述栅电极表面和所述半导体衬底上的氧化膜,

其中所述栅绝缘膜有位于所述栅电极的中心部分下的第一部分, 以及位于所述栅电极边缘下面的第二部分, 所述第二部分厚于所述第一部分, 所述第一部分的第一表面和第二表面限定了与所述第二部分交叉的第一和第二平行线, 所述第一平行线位于所述第一部分和所述衬底之间, 所述第二平行线位于所述第一部分和所述栅电极之间, 所述第二部分中的位于所述第一平行线和所述衬底之间的那一部分厚度为所述第二部分中的位于所述第二平行线和所述栅电极之间的另一部分厚度的三分之一以下。

2. 根据权利要求 1 的半导体器件, 其中所述栅绝缘膜为含有浓度范围为 2% 到 10% 氮的氧化膜。

3. 一种半导体器件的制造方法, 包括以下步骤:

在半导体衬底上形成栅绝缘膜, 所述栅绝缘膜的氮浓度峰值设置在半导体衬底的表面附近;

在所述栅绝缘膜上选择性地形成栅电极; 以及

氧化所述栅电极和所述半导体衬底的表面, 由此在所述栅电极表面和所述半导体衬底的表面上形成氧化膜, 以使得在所述栅电极的角部的栅绝缘膜上, 所述半导体衬底一侧的膜厚是所述栅电极一侧的膜厚的 $1/3$ 以下。

4. 根据权利要求 3 的半导体器件的制造方法, 其中正位于所述栅电极下的所述栅绝缘膜含有浓度范围为 2% 到 10% 氮的氧化膜。

具有含氮栅绝缘膜的半导体器件及其制造方法

技术领域

本发明涉及在栅电极和半导体衬底的表面上形成柱(post)状氧化膜的MOS半导体器件。

背景技术

作为防止硅MOSFET的栅绝缘膜耐压退化的方法,到目前为止存在一种称做柱状氧化的技术。柱状氧化膜是指形成在栅电极和半导体衬底的表面上的氧化膜,以保护栅电极角部中的栅绝缘膜。其中形成有柱状氧化膜的MOS半导体器件的简图显示在图1-A中。柱状氧化膜128形成在栅电极127、n型扩散层135以及p型扩散层136上。

图1-B示出了在MOS半导体器件的制造步骤中进行柱状氧化之后的结构剖面图,示出了栅电极127的角部。如图1-B所示,栅绝缘膜125形成在硅衬底110上,由多晶硅形成的栅电极(多晶硅栅电极)127选择性地形成在栅绝缘膜125上。此后,进行柱状氧化,之后栅柱状氧化膜128形成在栅电极127和半导体衬底110上。

在形成所述栅氧化膜的柱状氧化步骤中,栅电极127与硅衬底110也一起被氧化,因此栅电极127角部的厚度增加。因此,栅电极127角部的曲率半径变大,从而可以避免MOS晶体管栅电极角部的电场集中。

此外,可以防止在MOS晶体管的制造步骤中栅电极角部的栅绝缘膜退化。

然而,在形成栅柱状氧化膜128的步骤中,硅衬底110也和形成栅电极127的多晶硅一起氧化,比要求厚度大的氧化膜125形成在栅电极127的角部中。由此,由于栅电极氧化膜125的视在厚度很大,因此施加到栅氧化膜125的电压变弱,栅电压降低,导致MOS晶体管控制能力退化。当MOS晶体管工作在该状态中时,微观制造的沟道区处的阈值电压的绝对值基本上降低了。为此,在关断的MOS晶体管中流动的关断漏电流会增加。

要形成源/漏电极的延伸扩散层132,在离子注入中使用柱状氧化膜128作为保护氧化膜。此时,杂质离子进入柱状氧化膜128内,因此注入到硅衬底110内的杂质剂量减少。此外,由于以上原因,进行离子注入时必须考虑栅柱状氧

化膜的厚度，并且注入的离子形成宽杂质分布，因此，不可能形成精确的杂质浓度分布。

发明内容

本发明的一个目的是提供一种半导体器件及其制造方法，能够抑制在栅电极角部发生漏电流，并且可以抑制离子注入形成源/漏扩散层时注入到衬底内杂质剂量的减少。

本发明的半导体器件具有以下结构以达到以上和其它目的。

本发明的半导体器件包括：半导体衬底；形成在半导体衬底上的栅绝缘膜，栅绝缘膜含有氮；栅电极选择性地形成在栅绝缘膜上；以及形成在栅电极和半导体衬底表面上的氧化膜，其中靠近半导体衬底的那部分栅绝缘膜的厚度为靠近栅电极角部的栅绝缘膜厚度的三分之一以下。

栅绝缘膜允许含有氮，以便可以控制栅电极角部的栅绝缘膜的厚度。由此，可以防止栅电压降低。

此外，在本发明的半导体器件中，形成在栅电极下的栅绝缘膜为含有浓度范围为约 2%到 10%氮的氧化膜。

通过将氮浓度设置在以上范围，可以降低栅绝缘膜的介质常数，因此可以防止源-漏电流降低。

此外，在本发明的半导体器件中，栅绝缘膜的氮浓度峰值设置在半导体衬底的表面附近。

由于氮浓度的峰值位置设置在半导体衬底的表面内，不对半导体衬底进行氧化，同时对栅电极的侧面进行氧化。

本发明的制造方法包括以下步骤：在半导体衬底上形成栅绝缘膜，栅绝缘膜含有氮；在栅绝缘膜上选择性地形成栅电极；以及形成栅电极以在栅电极和半导体衬底表面上形成氧化膜之后，进行柱状氧化。

通过使栅绝缘膜含氮，可以抑制栅绝缘膜厚度的增加超出需要的厚度，也可以防止栅电压降低，同时可以提高 MOS 晶体管的控制能力。

此外，在本发明的制造方法中，靠近半导体衬底的那部分栅绝缘膜的厚度为靠近栅电极角部的栅绝缘膜厚度的三分之一以下。

而且，在本发明的制造方法中，在栅电极下的栅绝缘膜为含有浓度范围为约 2%到 10%氮的氧化膜。

此外，在本发明的制造方法中，栅绝缘膜的氮浓度峰值设置在半导体衬底

的表面附近。

由于氮浓度的峰值位置设置在半导体衬底的表面内，不对半导体衬底进行氧化，同时对栅电极的侧面进行氧化。

从下面的详细说明中，本发明的其它目的、特点及优点将变得很显然。然而，应该理解仅为了说明的目的给出了详细的说明和具体的例子，同时表示本发明的优选实施例。对于本领域的技术人员来说很显然可以在本发明的精神和范围内对所述详细的说明进行各种修改和变形。

通过下面参考附图的详细说明将容易得到本发明更完整的理解和许多附带优点，其中：

附图说明

图 1-A 示出了具有栅柱状氧化膜的常规 MOS 半导体器件的剖面图；

图 1-B 为图 1-A 中示出的 MOS 半导体器件的栅电极角部的局部放大剖面图；

图 2-A 示出了根据本发明具有栅柱状氧化膜的 MOS 半导体器件的剖面图；

图 2-B 为图 2-A 中示出的 MOS 半导体器件的栅电极角部的局部放大剖面图；

图 3 示出了根据本发明半导体器件的制造步骤剖面图；

图 4 示出了图 3 之后的半导体器件的制造步骤剖面图；

图 5 示出了图 4 之后的半导体器件的制造步骤剖面图；

图 6 示出了图 5 之后的半导体器件的制造步骤剖面图；

图 7 示出了图 6 之后的半导体器件的制造步骤剖面图；

图 8 示出了图 7 之后的半导体器件的制造步骤剖面图；

图 9 示出了图 8 之后的半导体器件的制造步骤剖面图；

图 10 示出了图 9 之后的半导体器件的制造步骤剖面图；

图 11 示出了图 10 之后的半导体器件的制造步骤剖面图；

图 12 示出了图 11 之后的半导体器件的制造步骤剖面图；

图 13 示出了图 12 之后的半导体器件的制造步骤剖面图；

图 14 示出了图 13 之后的半导体器件的制造步骤剖面图；以及

图 15 示出了图 14 之后的半导体器件的制造步骤剖面图；

图 16 示出了根据本发明的半导体器件的栅角部的剖面图；

图 17 示出了氮浓度和从栅氧化膜延伸到半导体衬底内的深度之间的关系

图;

图 18 示出了根据本发明的半导体器件的栅角部的剖面图;

图 19 示出了含在根据本发明的半导体器件的栅氧化膜中的氮浓度和 MOS 晶体管性能之间的相关图。

具体实施方式

下面参考附图介绍本发明的半导体器件及其制造方法的实施例。

作为防止 MOS 半导体器件的栅绝缘膜的耐压退化的方法, 现在已有一种称做柱状氧化的技术。柱状氧化膜为形成在栅电极表面和半导体衬底上的氧化膜, 以保护位于栅电极角部的栅绝缘膜。其内形成有栅柱状氧化膜(下文称做柱状氧化膜 28)的 MOS 半导体器件的剖面显示在图 2-A 中。

n 型扩散层 35 和 p 型扩散层 36 形成在半导体衬底 10 中, 栅氧化膜 25 和栅电极 27 形成在半导体衬底的表面上。栅氧化膜 25 含有浓度范围从约 2% 到 10% 的氮。柱状氧化膜 28 形成在栅电极 27、n 型扩散层 35 以及 p 型扩散层 36 的表面上。

图 2-B 示出了在 MOS 晶体管的制造步骤中进行柱状氧化之后的结构, 其中详细地示出了栅电极 27 的角部。如图 2-B 所示, 栅绝缘膜 25 形成在半导体(硅)衬底 10 上, 由多晶硅制成的栅电极(多晶硅栅电极 27)选择性地形成在栅绝缘膜 25 上。此后, 氧化栅电极 27 和半导体衬底 10 的表面, 由此在栅电极 27 和半导体衬底 10 上形成氧化膜 28。

在形成柱状氧化膜 28 的柱状氧化步骤中, 由多晶硅形成的栅电极 27 和半导体衬底 10 也一起被氧化, 靠近栅电极 27 角部的氧化膜厚度增加, 导致靠近栅电极 27 角部的氧化膜翘曲。因此, 栅电极 27 角部的曲率半径变大, 因此可以防止 MOS 晶体管栅电极角部的电场集中。

下面根据具体的制造步骤顺序介绍本发明的半导体器件的制造方法。图 3 到 6 示出了形成本发明的元件隔离区的制造步骤的剖面图。

如图 3 所示, 氧化硅膜 11 首先形成在半导体衬底 10 上, 氮化硅膜 12 形成在氧化硅膜 11 上。氧化硅膜 13 形成在氮化硅膜 12 上。

接下来, 如图 4 所示, 构图的光刻胶膜 14 形成在氧化硅膜 13 上。使用光刻胶膜 14 做为掩模选择性地除去氧化硅膜 11 和 13 以及氮化硅膜 12。此后, 除去光刻胶膜 14。

接下来, 如图 5 所示, 使用氧化硅膜 11 和 13 以及氮化硅膜 12 做为掩模通

过反应离子腐蚀 (RIE) 除去对应于元件隔离区的部分半导体衬底 10, 由此在半导体衬底 10 中形成沟槽 15。

随后, 如图 6 所示, 氧化硅膜 16 形成在所得结构的整个表面上, 由此用氧化硅膜 16 填充沟槽 15。

接下来, 如图 7 所示, 通过化学机械抛光 (CMP) 法平坦氧化硅膜 16, 抛光直到露出氮化硅膜 12 的表面。

之后, 通过湿腐蚀除去氧化硅膜 11 和 16 以及氮化硅膜 12, 由此露出半导体衬底 10 的表面。

通过这种处理, 如图 8 所示, 元件隔离区 17 形成在半导体衬底 10 中, 此后, 氧化硅膜 18 形成在所得结构的整个表面上。

图 9 到 15 示出了栅电极形成步骤的剖面图。

如图 9 所示, 首先构图的光刻胶膜 (未示出) 形成在半导体衬底 10 上。使用光刻胶膜作为掩模进行离子注入和扩散, 在半导体衬底 10 的表面内形成 p 型阱 21。此后, 除去光刻胶膜。以与上面介绍的相同方式, 在 p 型阱 21 上形成构图的光刻胶膜 (未示出)。使用光刻胶膜作为掩模进行离子注入和扩散, 在半导体衬底 10 的表面内形成 n 型阱 22。此后, 除去光刻胶膜。随后, 在半导体衬底 10 中 P 和 N 型阱 21 和 22 的表面内分别形成 n 沟道区 23 和 p 沟道区 24。然后除去氧化膜 18。接下来, 在半导体衬底 10 上形成栅绝缘膜 25。形成栅绝缘膜 25 时, 使用单一气体或由氧和含有 NO、N₂O 以及 NH₃ 中任何一种氮制成的混合气体进行氧化/氮化反应。因此, 形成由含氮浓度为约 2% 到 10% 的氧化硅膜形成的栅绝缘膜 25。注意形成栅氧化膜 25 和高浓度区的方法不限于以上方法。例如, 以形成氧化硅膜作为基底材料然后通过含有以上 NO、N₂O 以及 NH₃ 中任何一种气体氮化氧化硅膜的方式形成栅绝缘膜 25。

随后, 在栅绝缘膜 25 上形成多晶硅膜 26。

接下来, 在多晶硅膜 26 上形成光刻胶膜 (未示出)。此后, 如图 10 所示, 使用光刻胶膜作为掩模通过 RIE 选择性地除去多晶硅膜 26 和栅绝缘膜 25。由此, 形成多晶硅栅电极 27。

随后, 如图 11 所示, 多晶硅栅电极 27 和半导体衬底 10 的表面被气氛柱状氧化, 由此在所得结构的整个表面上形成栅柱状氧化膜 28。

栅绝缘膜 25 含有氮气, 与半导体衬底 10 接触的栅绝缘膜 25 表面处的氮浓

度显示出浓度最高。由此氮气的分子键比氧气的分子键稳固，因此抑制了硅的氧化。

因此，由于氧化了栅电极 27，抑制了半导体衬底 10 表面附近的氧化，因此控制了半导体衬底 10 上栅柱状氧化膜 28 的生长。相反，对多晶硅栅电极 27 的表面和扩散层 32 表面的氧化多于栅电极 27 下半导体衬底 10 的氧化。

例如，当在 800℃ 的温度下和 30 分钟的处理时间的条件下通过退火进行氧化，当栅氧化膜不含氮时半导体衬底 10 被氧化约 6nm。另一方面，在具有 3.5nm 厚含有浓度约 2% 氮的栅绝缘膜的半导体器件中，半导体衬底 10 仅氧化约 1nm。

接下来，如图 12 所示，在 P 阱 21 上形成构图的光刻胶膜 29。使用光刻胶膜 29 作掩模在半导体衬底 10 的表面引入杂质，由此在对应于 N 阱 22 的半导体衬底 10 的表面中形成 P 型延伸区 30。此后，除去光刻胶膜 29。

随后，如图 13 所示，在 N 阱 22 上选择性地形成构图的光刻胶膜 31。使用光刻胶膜 31 作掩模在半导体衬底 10 的表面引入杂质，由此在对应于 P 阱 21 的半导体衬底 10 的表面中形成 N 型延伸区 32。此后，除去光刻胶膜 31。

在图 14 所示的所得结构的整个表面上形成氮化硅膜 33。

通过 RIE 选择性地除去氮化硅膜 33，在栅电极侧壁上形成栅侧壁（间隔层 34）。接下来，在 N 阱 22 上选择性地形成构图的光刻胶膜（未示出）。使用光刻胶膜作掩模在半导体衬底 10 的表面引入杂质，由此在对应于 P 阱 21 的半导体衬底 10 的表面中形成 N 型扩散区 35。此后，除去光刻胶膜。接下来，在 P 阱 21 上选择性地形成构图的光刻胶膜（未示出）。使用光刻胶膜作掩模在半导体衬底 10 的表面引入杂质，由此在对应于 N 阱 22 的半导体衬底 10 的表面中形成 P 型扩散区 36。此后，除去光刻胶膜。

以上面介绍的方式形成 CMOS FET，此后进行公知的硅化步骤和金属化步骤之后完成了 LSI 的形成。

下面参考图 16 和 17 介绍本发明的半导体器件中氮的浓度分布。在本发明中，栅绝缘膜 25 中的高浓度氮区接触半导体衬底 10 的表面。这是由于在半导体衬底 10 的表面中存在少量的氮，因此可以抑制半导体衬底 10 的氧化。此外，氮化硅通常显示出比氧化硅高的介电常数。当氮的含量太多时，栅氧化膜的介电常数变大，直通电流增加。实验表明如果氮的浓度约 10%，那么可以抑制 MOS 晶体管的直通电流。

在本实施例中,如图16所示,氮的高浓度区形成在靠近半导体衬底10的栅绝缘膜25的表面上。如图17所示,半导体衬底10的表面和栅绝缘膜25之间的边界部分显示出氮浓度最高。

根据本发明的半导体器件的剖面图详细地显示在图18中。首先,厚度为2.5nm的氧化膜28a形成在半导体器件的部分表面上,不与多晶硅栅电极27垂直地重叠,厚度为1nm以下的氧化膜28b形成在半导体衬底10的部分表面上,与多晶硅栅电极27垂直地重叠。厚度为12nm的氧化膜28c形成在多晶硅栅电极27的侧面,厚度为3nm以上的氧化膜28d形成在多晶硅栅电极27的角部,与栅绝缘膜25垂直地重叠。如上所述,参考形成在栅电极27角部的栅绝缘膜25,氧化膜28b的厚度为氧化膜28d厚度的三分之一以下。当栅氧化膜不含氮时,氧化膜28b的厚度增加。

图19示出了本发明的半导体器件中含在栅绝缘膜中的氮浓度和MOS晶体管的性能的关系图。在图19中,横坐标示出了含在栅绝缘膜中的氮浓度(%),纵坐标示出了由○表示的栅极漏电流和由■表示的漏电流退化率。漏电流退化率为当氮浓度为0%时漏电流设置为1的比例。

随着氮浓度的增加,泄露电流减少。然而,漏电流也减少。由于漏电流与驱动力成正比,因此MOS晶体管的驱动力减小。虽然泄露电流应该小,但氮浓度增加太多会使MOS晶体管不能工作。假设漏电流退化的极限为10%时,含在栅氧化膜中的氮浓度应为约2%到10%。

根据本发明,如图2B所示,虽然形成柱状氧化膜时进行栅电极27侧壁的氧化,但由于在半导体衬底10的表面中存在含氮的高浓度区40,所以可以控制对半导体衬底10的氧化。因此,可以将栅电极27角部氧化膜厚度的增加控制到约为现有技术的一半。换句话说,可以控制由于栅电极27角部氧化膜的厚度增加造成的电力线的泄露。因此,可以防止栅电极的降低,并可以提高晶体管的控制能力。此外,当形成源/漏电极的延伸扩散层时,栅绝缘膜可以用做离子注入时的保护氧化膜。由于可以控制栅绝缘膜厚度的增加,因此可以防止注入到半导体衬底内杂质剂量的减少。因此,与现有技术相比,离子的飞行距离缩短。由于可以控制注入的离子广泛的扩散。由此,可以形成精确的杂质浓度剖面。

在栅电极27的角部,由于氧化栅电极27角部的半径曲率变大,因此可以

缓和栅电极 27 角部中的电场集中。注意氧化栅电极的方法不限于退火，也可以在例如 1053℃ 的温度下例如 50 秒的处理时间的条件下通过 RT0 (快速热氧化) 对栅电极进行氧化。

如上所述，根据本发明，提供了一种半导体器件及其制造方法，能够控制在栅电极角部产生泄露电流，并可以减少形成源/漏扩散层时离子注入期间注入到半导体衬底内的杂质剂量的减少。

虽然示出和介绍了目前被认为是本发明的优选实施例，但是本领域的技术人员应该理解可以进行各种变化和修改，可以用等效物替代本发明的器件，而不脱离本发明的实际范围。此外，可以根据本发明的教导进行许多修改以适合特定的情况或材料，而不脱离本发明的主要范围。因此，本发明并不局限于作为实施本发明的最佳方式公开的特定实施例，实际上本发明包括落入附带权利要求书的范围内的所有实施例。

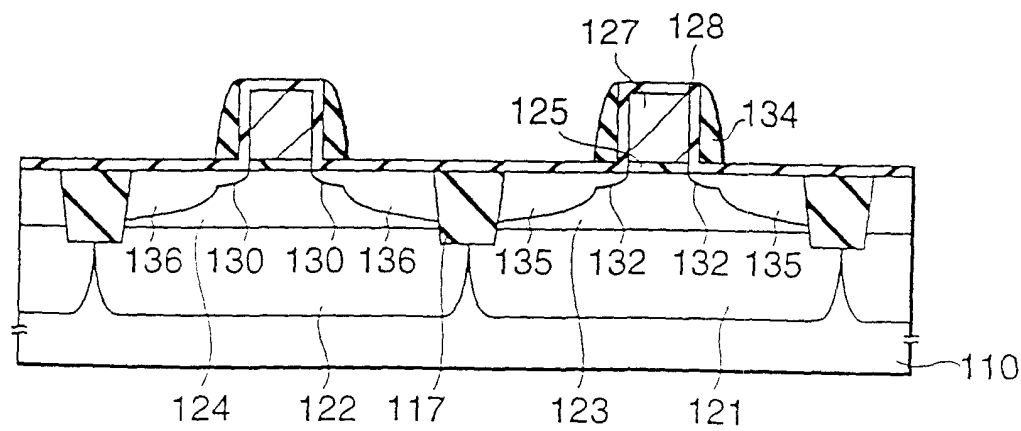


图 1-A 现有技术

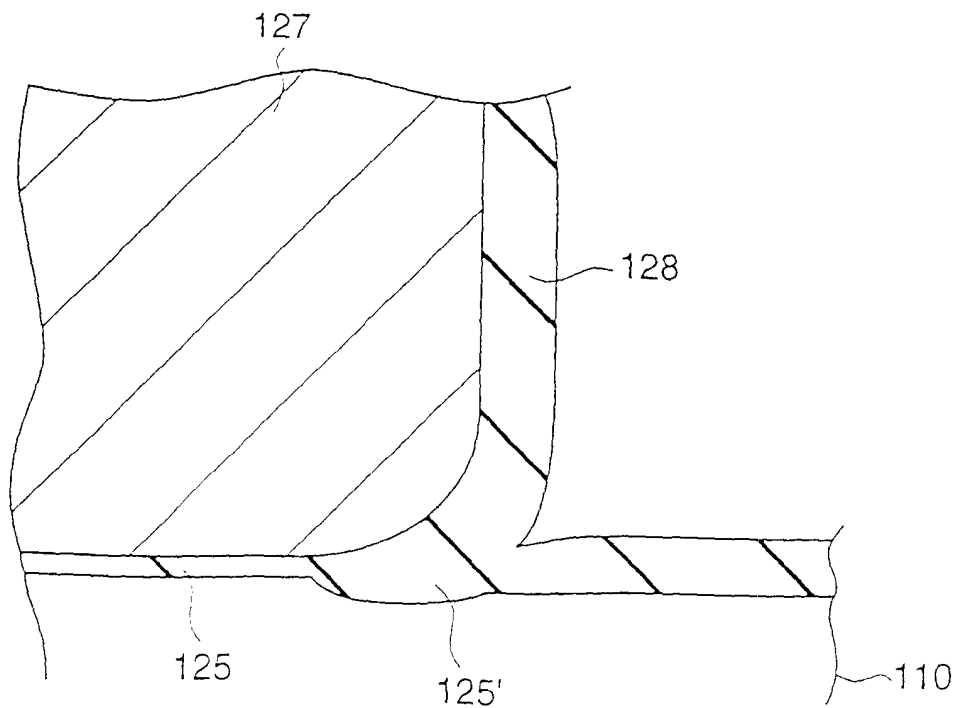


图 1-B 现有技术

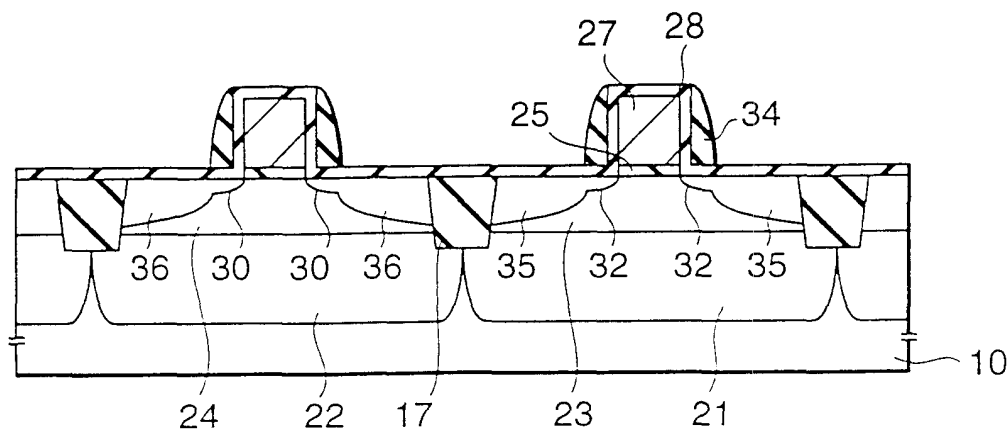


图 2-A

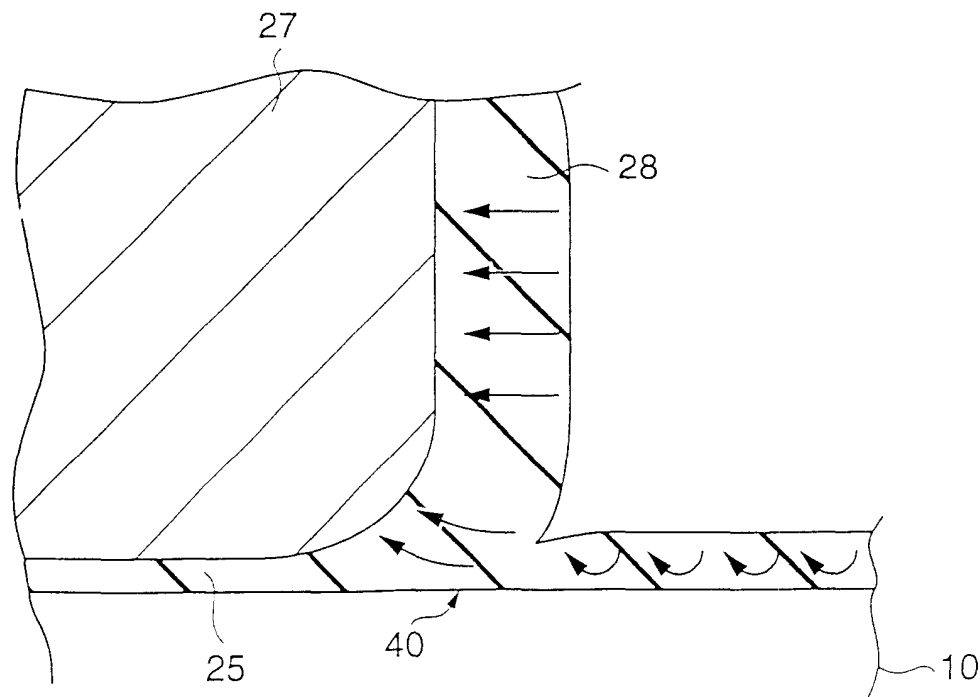


图 2-B

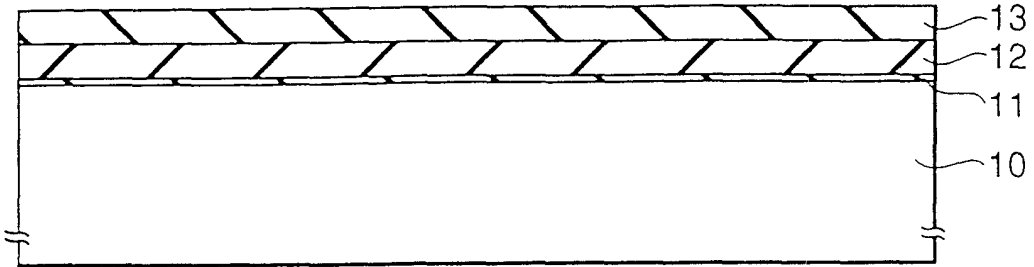


图 3

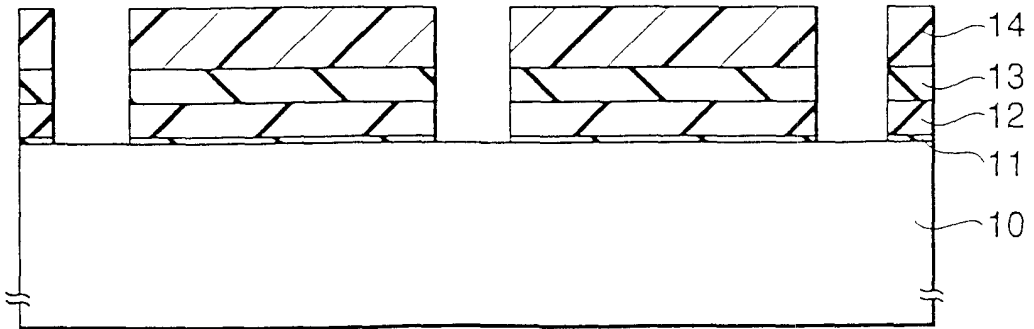


图 4

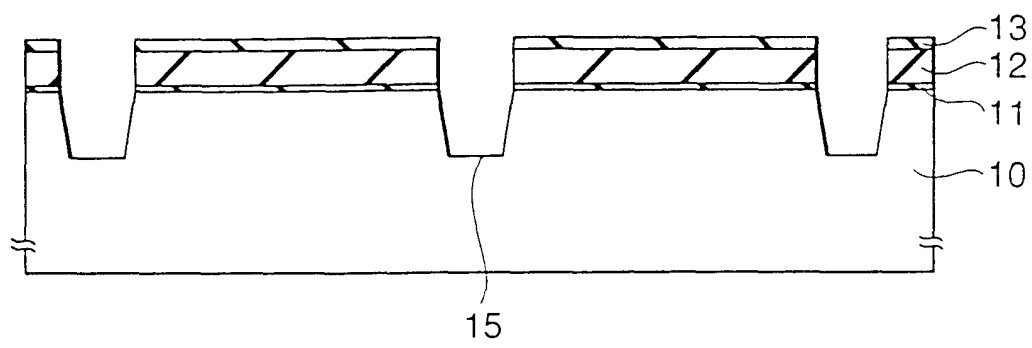


图 5

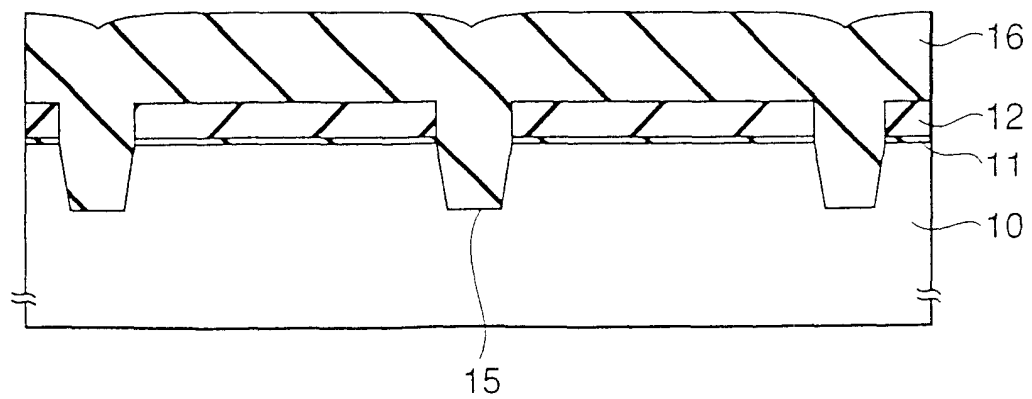


图 6

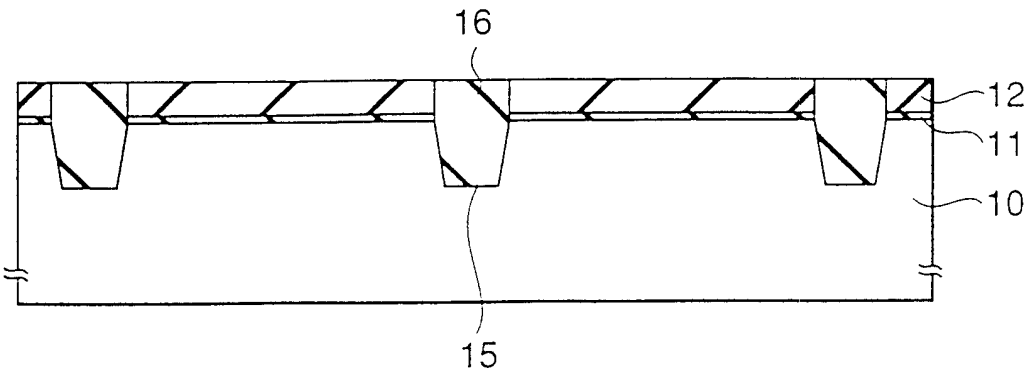


图 7

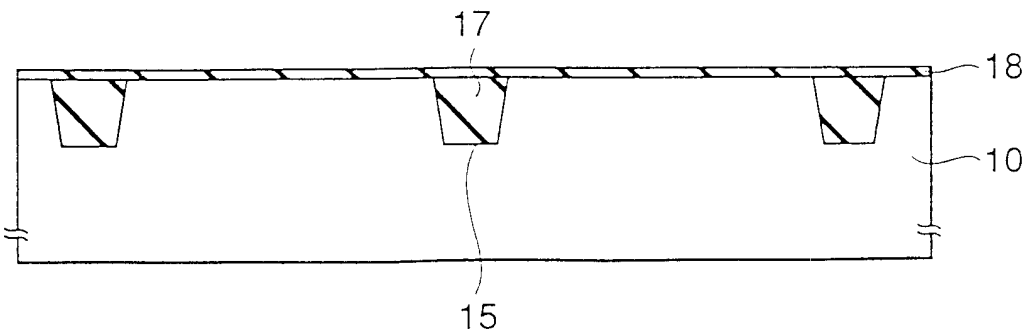


图 8

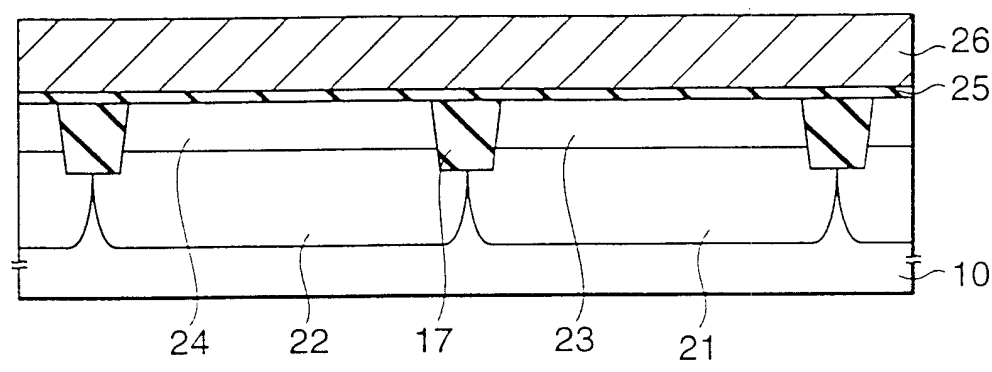


图 9

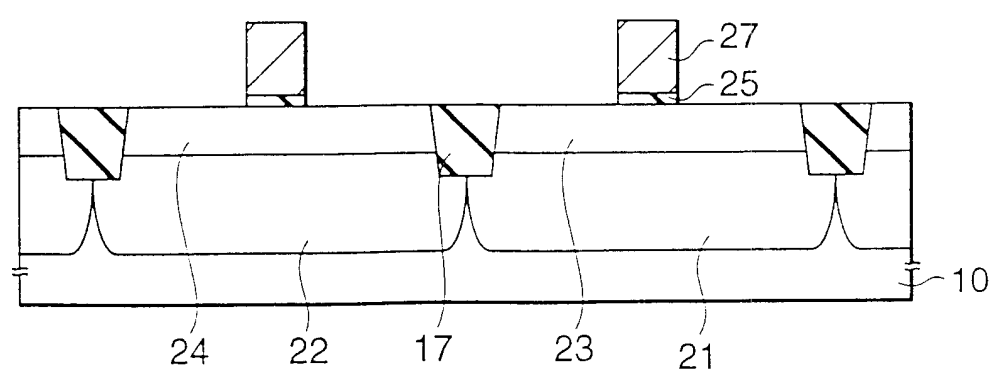


图 10

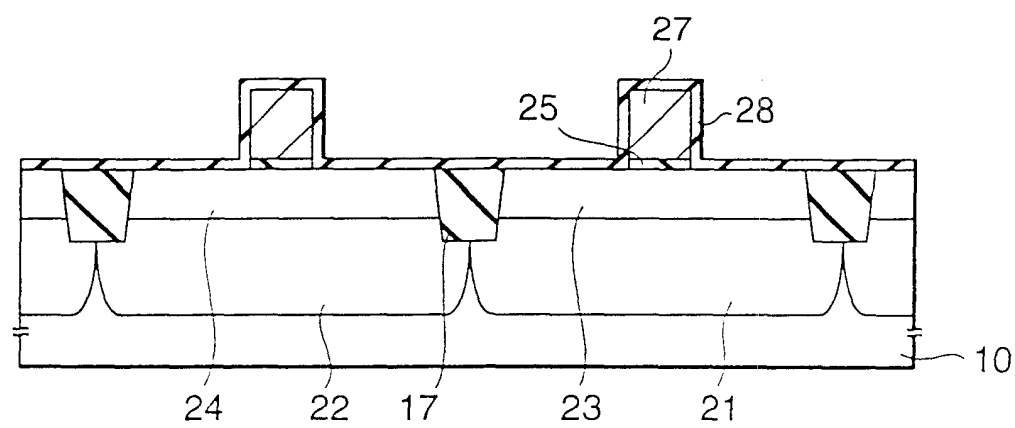


图 11

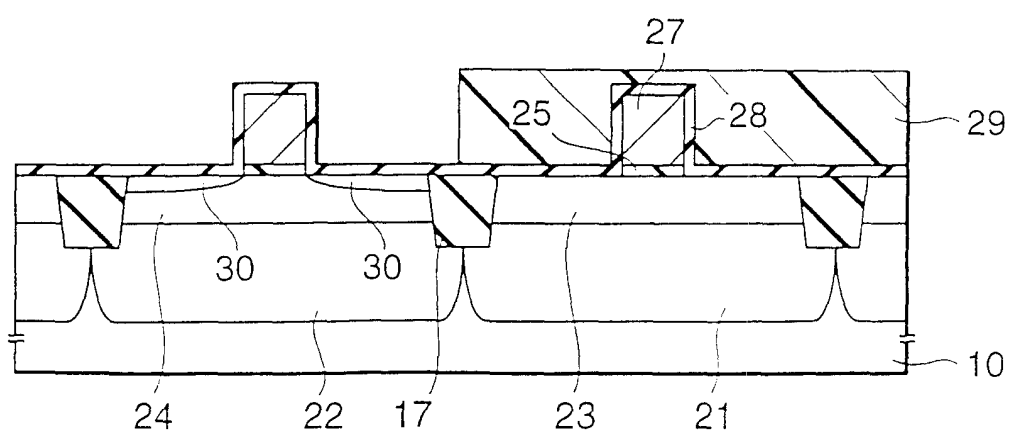


图 12

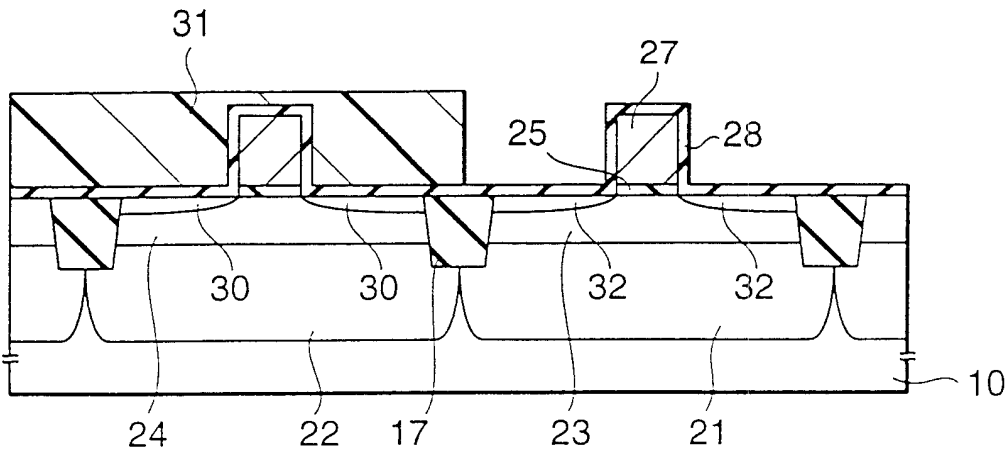


图 13

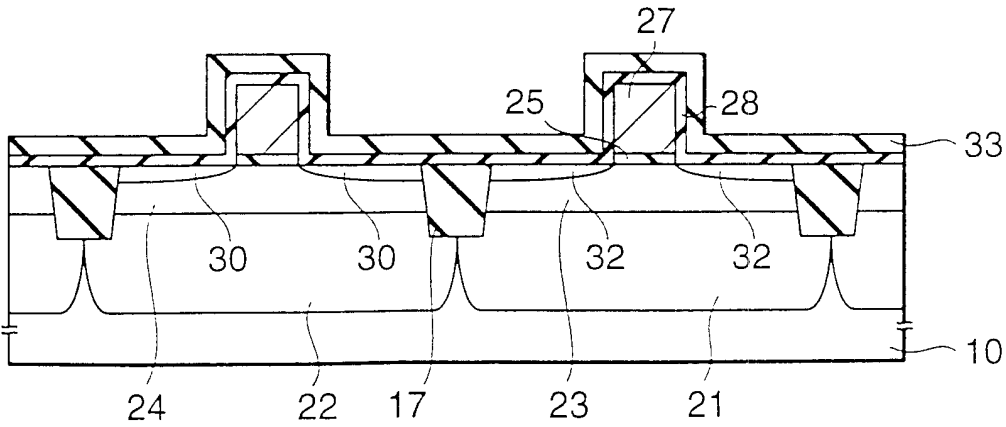


图 14

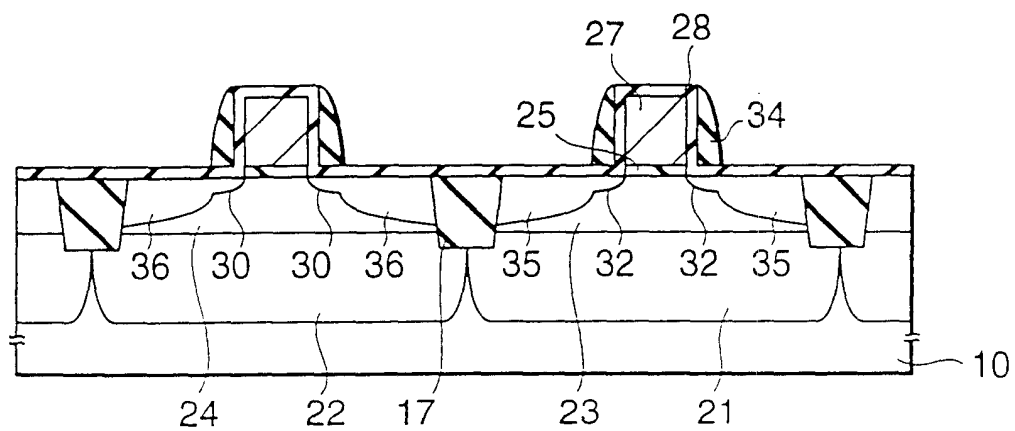


图 15

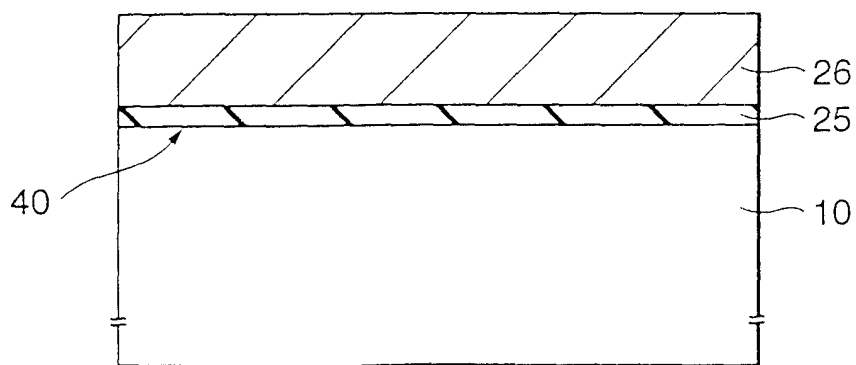


图 16

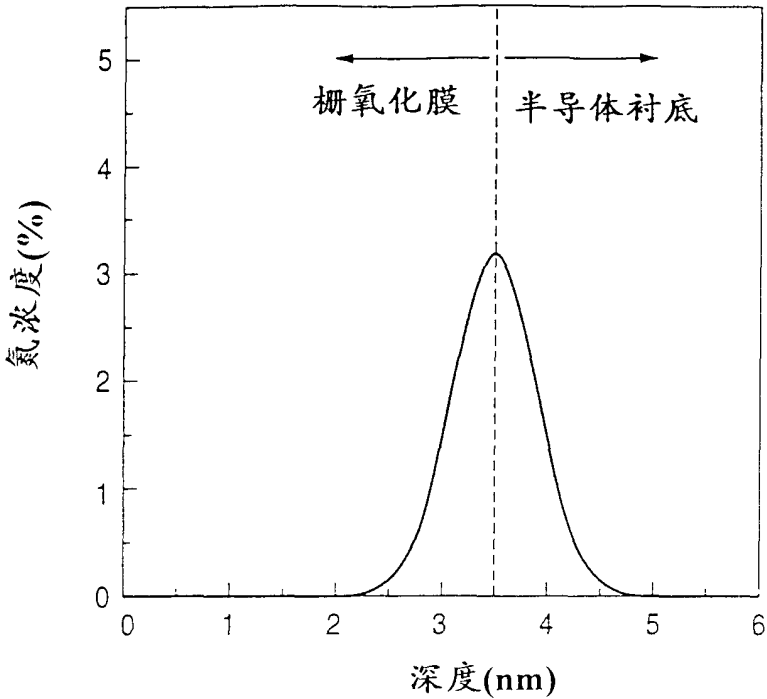


图 17

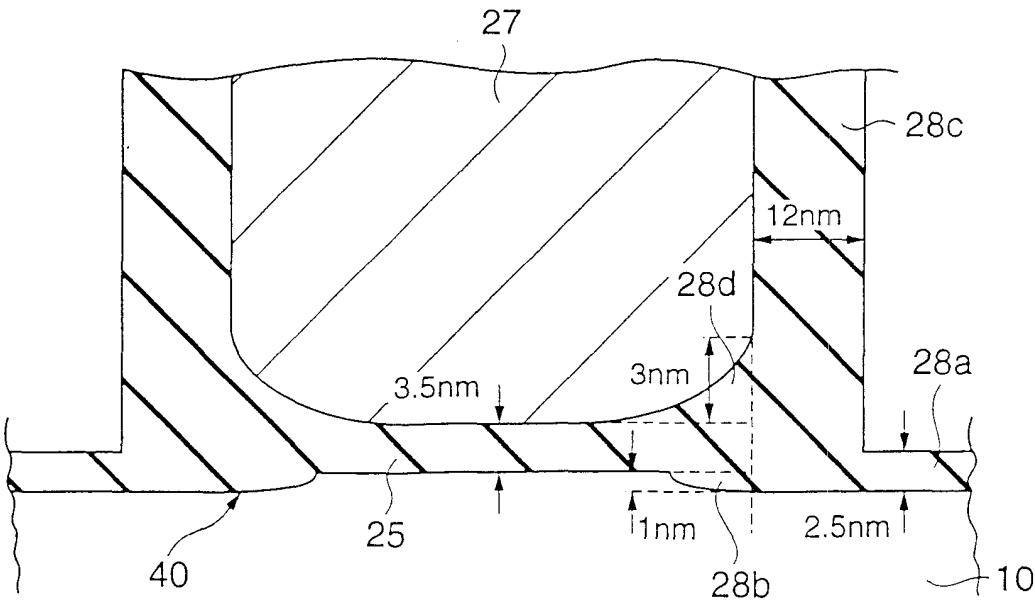


图 18

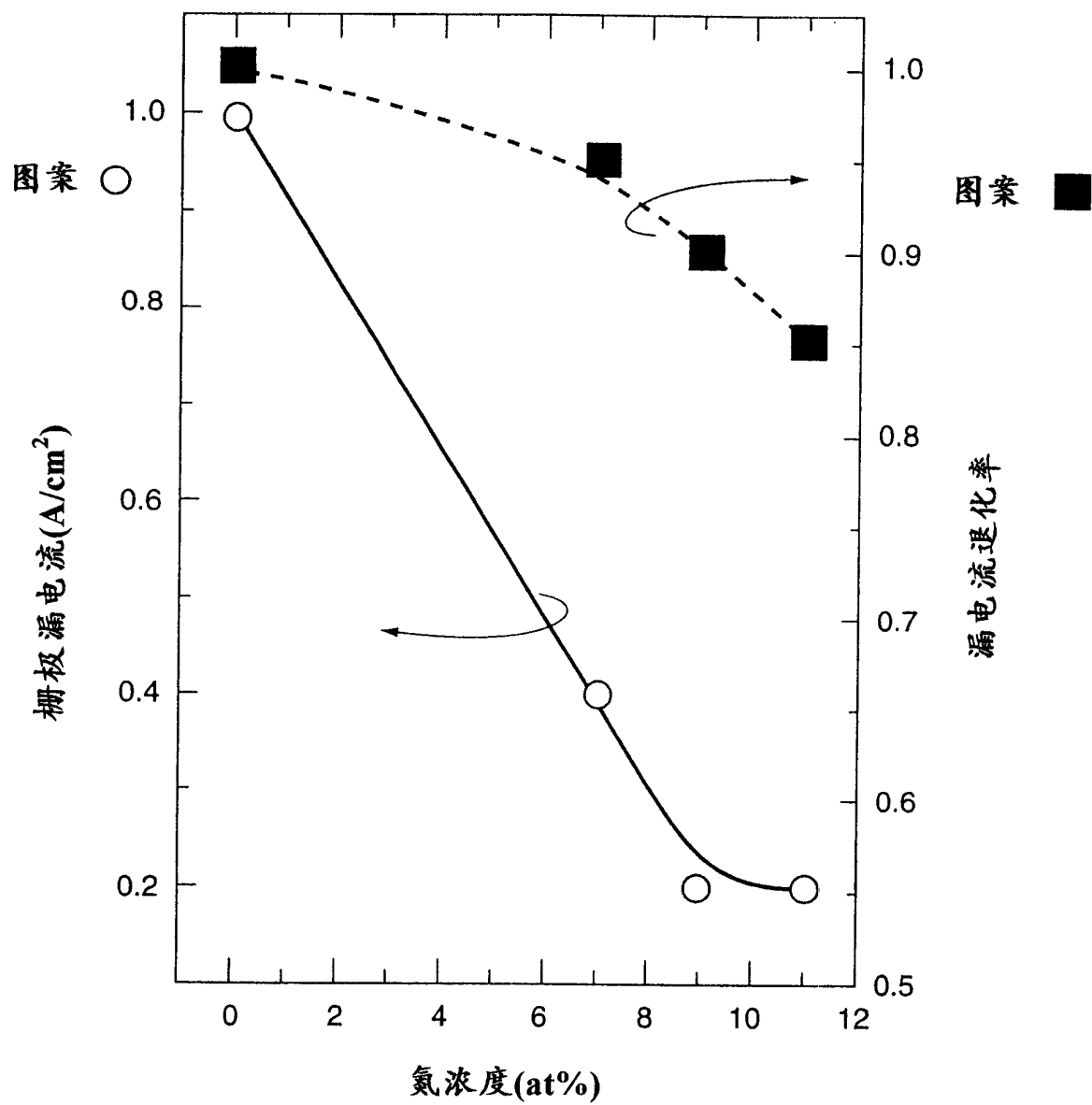


图 19