(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 5 月 31 日 (31.05.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/100822 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2018/105694

(22) 国际申请日: 2018 年 9 月 14 日 (14.09.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201711204895.0 2017年11月27日 (27.11.2017) CN

(71) 申请人: 京东方科技集团股份有限公司 (**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 鄂尔多斯市源盛光电有限责任公司 (**ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.**) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。

(72) 发明人: 山岳 (**SHAN, Yue**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王继国 (**WANG, Jiguo**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 樊君 (**FAN, Jun**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) **Title:** SHIFT REGISTER, DRIVE METHOD THEREFOR, GATE DRIVE CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器及其驱动方法、栅极驱动电路和显示装置

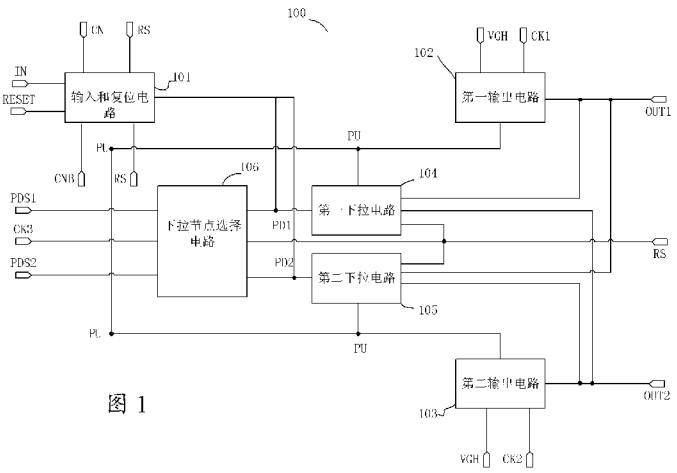


图 1

101	Input and reset circuit	104	First pull-down circuit
102	First output circuit	105	Second pull-down circuit
103	Second output circuit	106	Pull-down node selection circuit

(57) **Abstract:** A shift register, a drive method therefor, a corresponding gate drive circuit, and a display device. The shift register (100) comprises an input and reset circuit (101), a first output circuit (102), a second output circuit (103), a first pull-down circuit (104), and a second pull-down circuit (105). The first output circuit (102) and the second output circuit (103) respectively output gate drive signals according to an electrical potential of a first clock signal end (CK1) and an electrical potential of a second clock signal end (CK2). The first pull-down circuit (104) and the second pull-down circuit (105) respectively reset an electrical potential of a pull-up node (PU), an electrical potential of a first output end (OUT1) and an electrical potential of a second output end (OUT2) according to an electrical

WO 2019/100822 A1

[见续页]

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

potential of a first pull-down node (PD1) and an electrical potential of a second pull-down node (PD2).

(57) 摘要：一种移位寄存器及其驱动方法以及对应的栅极驱动电路和显示装置。移位寄存器(100)包括输入和复位电路(101)、第一输出电路(102)、第二输出电路(103)、第一下拉电路(104)和第二下拉电路(105)，其中，第一输出电路(102)和第二输出电路(103)分别根据第一时钟信号端(CK1)和第二时钟信号端(CK2)的电位，输出栅极驱动信号，第一下拉电路(104)和第二下拉电路(105)分别根据第一下拉节点(PD1)和第二下拉节点(PD2)的电位，对上拉节点(PU)、第一输出端(OUT1)和第二输出端(OUT2)的电位进行复位。

移位寄存器及其驱动方法、栅极驱动电路和显示装置

本申请要求于 2017 年 11 月 27 日递交的第 201711204895.0 号中国专利申请的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开涉及显示技术，具体地涉及一种移位寄存器以及对应的驱动方法、栅极驱动电路和显示装置。

背景技术

作为显示器中的主要驱动电路，栅极驱动电路（GOA）的各项性能直接影响到液晶显示的质量。在车载显示器件的情况下，针对 GOA 的可靠性要求更为苛刻。近年来，液晶显示器（LCD）面板的尺寸越来越大，集成化程度越来越高，电路结构越来越复杂。在降低功耗、增加系统稳定性等方面的需求也随之增加，低功耗和稳定性成为 GOA 技术领域关注的热点。用相对较少的开关元件，增强单级移位寄存器的驱动控制能力，提高 GOA 所驱动的显示器的可靠性，对于实现窄边框车载显示产品非常重要。

发明内容

本公开提供一种移位寄存器以及对应的驱动方法、栅极驱动电路和显示装置。

本公开的一方面涉及一种移位寄存器，该移位寄存器可以包括：输入和复位电路，与输入端、上拉节点、复位端相连，被配置为在输入端的电位为工作电位的情况下，将上拉节点的电位设置为工作电位，并且在复位端的电位为工作电位的情况下，将上拉节点的电位设置为复位电位；第一输出电路，与上拉节点、第一控制信号端、第一输出端相连，被配置为在上拉节点的电位和第一控制信号端的电位为工作电位的情况下，在第一输出端输出第一栅极驱动信号；第二输出电路，与上拉节点、第二控制信号端、第二输出端相连，被配置为在上拉节点的电位和第二控制信号端的电位为工作电位的情况

下，在第二输出端输出第二栅极驱动信号；第一下拉电路，与第一下拉节点、上拉节点、第一输出端、第二输出端相连，被配置为在第一下拉节点的电位为工作电位的情况下，将上拉节点、第一输出端和第二输出端的电位设置为复位电位；第二下拉电路，与第二下拉节点、上拉节点、第一输出端、第二输出端相连，被配置为在第二下拉节点的电位为工作电位的情况下，将上拉节点、第一输出端和第二输出端的电位设置为复位电位；以及下拉节点选择电路，与第一下拉节点选择信号端、第二下拉节点选择信号端、第一下拉节点、第二下拉节点相连，被配置为根据第一下拉节点选择信号端的电位和第二下拉节点选择信号端的电位，将第一下拉节点和第二下拉节点中的一个选择为活跃下拉节点。

在一个实施例中，下拉节点选择电路可以包括：第一下拉选择开关元件，其控制端与第一下拉节点选择信号端相连，其第一端和第二端中的一个与第一下拉节点相连；第二下拉选择开关元件，其控制端与第一下拉节点选择信号端相连，其第一端和第二端中的一个与第二下拉节点相连，其第一端和第二端中的另一个与参考信号端相连；第三下拉选择开关元件，其控制端与第二下拉节点选择信号端相连，其第一端和第二端中的一个与第二下拉节点相连，其第一端和第二端中的另一个与第一下拉选择开关元件的第一端和第二端中的另一个相连；以及第四下拉选择开关元件，其控制端与第二下拉节点选择信号端相连，其第一端和第二端中的一个与第一下拉节点相连，其第一端和第二端中的另一个与参考信号端相连。

在一个实施例中，下拉节点选择电路还可以包括：第一电容器，连接在第一下拉节点与参考信号端之间；以及第二电容器，连接在第二下拉节点与参考信号端之间。

在一个实施例中，下拉节点选择电路还可以包括：选择控制开关元件，其控制端以及第一端和第二端中的一个都与下拉选择控制信号端相连，其第一端和第二端中的另一个与第一下拉选择开关元件的第一端和第二端中的另一个相连，并且与第三下拉选择开关元件的第一端和第二端中的另一个相连。

在一个实施例中，输入和复位电路可以包括：第一输入开关元件，其控制端与输入端相连，其第一端和第二端中的一个与第一扫描控制信号端相连，其第一端和第二端中的另一个与上拉节点相连；以及，第二输入开关元件，其控制端与复位端相连，其第一端和第二端中的一个与第二扫描控制信号端

相连，其第一端和第二端中的另一个与上拉节点相连，其中，正向扫描时，第一扫描控制信号的电位为工作电位，第二扫描控制信号的电位为复位电位，而反向扫描时，第一扫描控制信号的电位为复位电位，第二扫描控制信号的电位为工作电位。

在一个实施例中，输入和复位电路还可以包括：第一下拉节点复位开关元件，其控制端与上拉节点相连，其第一端和第二端中的一个与第一下拉节点相连，其第一端和第二端中的另一个与参考信号端相连；以及，第二下拉节点复位开关元件，其控制端与上拉节点相连，其第一端和第二端中的一个与第二下拉节点相连，其第一端和第二端中的另一个与参考信号端相连。

在一个实施例中，第一输出电路可以包括：第一输出开关元件，其控制端与工作电位端相连，其第一端和第二端中的一个与上拉节点相连；第二输出开关元件，其控制端与第一输出开关元件的第一端和第二端中的另一个相连，其第一端和第二端中的一个与第一控制信号端相连，其第一端和第二端中的另一个与第一输出端相连；以及第一输出电容器，其连接在第二输出开关元件的控制端与第一输出端之间。

在一个实施例中，第二输出电路可以包括：第三输出开关元件，其控制端与工作电位端相连，其第一端和第二端中的一个与上拉节点相连；第四输出开关元件，其控制端与第三输出开关元件的第一端和第二端中的另一个相连，其第一端和第二端中的一个与第二控制信号端相连，其第一端和第二端中的另一个与第二输出端相连；以及第二输出电容器，其连接在第四输出开关元件的控制端与第二输出端之间。

在一个实施例中，第一下拉电路可以包括：第一下拉开关元件，其控制端与第一下拉节点相连，其第一端和第二端中的一个与上拉节点相连，其第一端和第二端中的另一个与参考信号端相连；第二下拉开关元件，其控制端与第一下拉节点相连，其第一端和第二端中的一个与第一输出端相连，其第一端和第二端中的另一个与参考信号端相连；以及第三下拉开关元件，其控制端与第一下拉节点相连，其第一端和第二端中的一个与第二输出端相连，其第一端和第二端中的另一个与参考信号端相连。

在一个实施例中，第二下拉电路可以包括：第四下拉开关元件，其控制端与第二下拉节点相连，其第一端和第二端中的一个与上拉节点相连，其第一端和第二端中的另一个与参考信号端相连；第五下拉开关元件，其控制端

与第二下拉节点相连，其第一端和第二端中的一个与第一输出端相连，其第一端和第二端中的另一个与参考信号端相连；以及第六下拉开关元件，其控制端与第二下拉节点相连，其第一端和第二端中的一个与第二输出端相连，其第一端和第二端中的另一个与参考信号端相连。

本公开的另一方面涉及一种栅极驱动电路，其包括多个级联的如上所述的移位寄存器，其中，除第一级以外，其它各级移位寄存器的输入端与级联在其前一级的移位寄存器的第二输出端相连，并且除最后一级以外，其它各级移位寄存器的复位端与级联在其后一级的移位寄存器的第一输出端相连。

本公开的又一方面涉及一种显示装置，其包括如上所述的栅极驱动电路。

本公开的又一方面涉及一种显示装置，该显示装置可以包括第一栅极驱动电路和第二栅极驱动电路，所述第一栅极驱动电路包括 N 个级联的如前所述的移位寄存器，所述第二栅极驱动电路包括 N 个级联的如前所述的移位寄存器；其中，第一栅极驱动电路的第 1 级移位寄存器的复位端连接第二栅极驱动电路的第 1 级移位寄存器的第一输出端；第一栅极驱动电路的第 i 级移位寄存器的输入端连接第二栅极驱动电路的第 i-1 级移位寄存器的第二输出端，第一栅极驱动电路的第 i 级移位寄存器的复位端连接第二栅极驱动电路的第 i 级移位寄存器的第一输出端，其中 $1<i\leq N$；第二栅极驱动电路的第 j 级移位寄存器的输入端连接第一栅极驱动电路的第 j 级移位寄存器的第二输出端，第二栅极驱动电路的第 j 级移位寄存器的复位端连接第一栅极驱动电路的第 j+1 级移位寄存器的第一输出端，其中，$1\leq j<N$。

本公开的又一方面涉及一种用于驱动如上所述的移位寄存器的方法，其包括：在相邻两帧中，将第一下拉节点和第二下拉节点中的一个交替设置为活跃下拉节点，在将其中一个下拉节点设置为活跃节点的情况下，将另一个下拉节点的电位设置为复位电位；在每一帧中，对于每级移位寄存器，第一阶段中，响应于接收到输入信号，将上拉节点的电位上拉为工作电位；第二阶段中，响应于接收到第一时钟信号，在第一输出端输出第一栅极驱动信号，并且响应于在第一时钟信号之后所接收的第二时钟信号，在第二输出端输出第二栅极驱动信号；第三阶段中，响应于在第二时钟信号之后所接收的参考信号，将活跃下拉节点的电位设置为工作电位；以及将上拉节点、第一输出端和第二输出端的电位设置为复位电位。

在一个实施例中，可以按照预先设定的数量的帧，交替使用第一下拉节

点和第二下拉节点作为活跃下拉节点。

附图说明

图 1 示出根据本公开的实施例的移位寄存器。

图 2 示出了如图 1 所示的移位寄存器的另一电路结构示意图。

图 3 示出根据本公开的另一实施例的移位寄存器。

图 4 示出根据本公开的实施例的移位寄存器的示例性的电路图。

图 5 示出根据本公开的实施例的移位寄存器的示例性的工作时序。

图 6 示出根据本公开的实施例的移位寄存器的示例性的驱动方法。

图 7 示出包括根据本公开的实施例的移位寄存器的栅极驱动电路的一种示例性的连接方式。

图 8 示意性地示出了如图 7 所示的栅极驱动电路在相邻两帧期间的工作时序图。

图 9 示出包括根据本公开的实施例的移位寄存器的栅极驱动电路的另一种示例性的连接方式。

图 10 示出根据本公开的实施例的显示装置。

具体实施方式

下面结合附图来描述本公开的实施例。所描述的实施例仅是示例性的，而不用于限制本公开的范围。

在本文中，序数词“第一”、“第二”等仅用于区分不同的端子、元件或电路，而不用于限定这些端子、元件或电路的次序和/或重要度。

在本文中，术语“工作电位”指能够使相应的开关元件导通或者能够使相应的电路工作的电位。例如，如果开关元件需要在其控制端的电位为高电平时才能够导通，则工作电位可以对应于高电平，而如果开关元件需要在其控制端的电位为低电平时才能够导通，则工作电位可以对应于低电位。术语“复位电位”表示与“工作电位”相对的电位，即能够使相应的开关元件切断或者能够使相应的电路不工作的电位。例如，如果工作电位对应于高电平，则复位电位可以对应于低电平；或者如果工作电位对应于低电平，则复位电位可以对应于高电平。工作电位和复位电位可以根据电路的实际情况下决定。在下文的描述中，为了简洁，选择高电平作为工作电位，并且选择低电平作为复

位电位。然而，本公开的技术方案不局限于这样的示例。

在本文中，在经由该端子接收到高电平的信号的情况下，或者在该端子与能够提供高电平的电源相连的情况下，端子的电位为高电平，或者该端子处于高电平。在经由该端子未接收到高电平的信号的情况下，或者在该端子与能够提供低电平的电源相连的情况下，端子的电位为低电平，或者该端子处于低电平。

在本文中，高电平和低电平是相对而言的。可以根据电路的实际情况和设计规范来选择低电平的电压值或电压范围，使得当电压为所选择的值，或者在所选择的范围内时，相应的开关元件被切断或者相应的电路不工作。高电平的电压值通常高于低电平。同样，可以根据电路的实际情况和设计规范来选择高电平的电压值或电压范围，使得当电压为所选择的值，或者在所选择的范围内时，相应的开关元件能够导通或者相应的电路能够工作。

另外，高电平和低电平均可以对应于在某个范围内的不同的电压值。例如，在需要进行区分的情况下，可能使用类似于“第一高电平”、“第二高电平”这样的术语来描述在高电平范围内具有不同的电压值的高电平。在本文中，为了描述上的方便，可能采用“1”来代替高电平，并且采用“0”来代替低电平。

另外，开关元件可以是带有控制端的、能够起到开关作用的任何元件或电路。这样的开关元件例如可以在其控制端的电位为高电平时导通，即其第一端和第二端之间形成通路，使得其第一端和第二端的电位相同或大致相同。在实际的情况下，当开关元件导通时，由于开关元件的导通电阻的作用，其第一端和第二端的电位未必完全相同，而是可能存在一些差异。在本文中，为了描述上的简洁，除非特别指出或者需要考虑导通电阻的影响，否则简单地假设开关元件的第一端和第二端的电位在该开关元件导通时是相同的。

在实际的电路中，这样的开关元件可以根据需要采用薄膜晶体管或场效应块等各种类型的、具有控制端的开关器件，并且可以根据需要采用 N 沟道型或 P 沟道型。在本文中，将以采用 N 沟道型薄膜晶体管的开关元件为例进行描述。在本文的示例中，开关元件的控制端可以对应于晶体管的栅极、第一端和第二端中的一个可以对应于晶体管的源极和漏极中的一个，第一端和第二端中的另一个可以对应于晶体管的源极和漏极中的另一个。在本文中，开关的第一端和第二端是可以互换的。然而，本公开的技术方案不局限于这样的示例。

图 1 示出根据本公开的实施例的示例性移位寄存器 100。移位寄存器 100 包括输入和复位电路 101、第一输出电路 102、第二输出电路 103、第一下拉电路 104、第二下拉电路 105 和下拉节点选择电路 106。如图 1 所示，移位寄存器 100 还包括第一下拉节点 PD1 和第二下拉节点 PD2。

该输入和复位电路 101 与输入端、上拉节点、复位端相连，在整体上被配置为在输入端的电位为工作电位的情况下，将上拉节点的电位设置为工作电位，并且在复位端的电位为工作电位的情况下，将上拉节点的电位设置为复位电位。

具体地，图 1 所示的输入和复位电路 101 可以包括输入电路 101_1 和复位电路 101_2，如图 2 所示。应当了解，图 1 和图 2 所示的移位寄存器的区别在于：图 1 中的输入和复位电路被拆分成如图 2 所示的输出电路 101_1 和复位电路 101_2。

如图 2 所示，输入电路 101_1 与移位寄存器 100 的输入端 IN、第一扫描方向控制端 CN 和上拉节点 PU 相连。在经由输入端 IN 接收到信号时，输入电路 101_1 可以通过将其内部的开关元件导通，使上拉节点 PU 与输入端 IN 和/或第一扫描方向控制端 CN 连通，从而使上拉节点 PU 的电位成为工作电位，例如高电平。

输入电路 101_1 可以通过不同的方式来实现，并且可以根据需要和实现方式，与移位寄存器 100 的不同端子相连，从而在经由输入端 IN 接收到输入信号时，将上拉节点 PU 的电位设置为工作电位。

在一个示例中，输入电路 101_1 也可以与工作电位端 VGH 相连，其中，在经由输入端 IN 接收到信号时，输入电路 101_1 可以通过将其内部的开关元件导通，使上拉节点 PU 与工作电位端 VGH 连通，从而使上拉节点 PU 的电位成为工作电位。

在另外的示例中，输入电路 101_1 也可以与一个时钟信号端相连，该时钟信号端在经由输入端 IN 接收到信号时提供高电平的时钟信号，其中，在经由输入端 IN 接收到信号时，输入电路 101_1 可以通过将其内部的开关元件导通，使上拉节点 PU 与该时钟信号端连通，从而使上拉节点 PU 的电位成为工作电位。

在一个示例中，输入电路 101_1 可以包括至少一个开关元件，并且例如可以将该开关元件的控制端与输入端 IN 相连，将其第一端和第二端中的一

个与上拉节点 PU 相连，并且根据情况将其第一端和第二端中的另一个与第一扫描方向控制端 CN 或工作电位端 VGH 或前述的时钟信号端相连。

在图 1 所示的示例中，输入电路 101_1 还与第一下拉节点 PD1 和参考信号端 RS 相连。在将上拉节点 PU 设置为高电平的同时，输入电路 101_1 可以例如通过导通内部的开关元件，使参考信号端 RS 和第一下拉节点 PD1 连通，从而将第一下拉节点 PD1 设置为低电平。

在另外的示例中，输入电路 101_1 可以不与第一下拉节点 PD1 和参考信号端 RS 相连，或者移位寄存器 100 可以采用另外的方式来实现类似的功能。例如，可以在移位寄存器 100 中设置单独的元件、电路和子电路，用以在将上拉节点 PU 设置为高电平的同时，确保将第一下拉节点 PD1 设置为低电平。在一个示例中，可以在输入电路 101_1 的外部设置单独的开关元件，将该开关元件的控制端、第一端分别与上拉节点 PU 和第一下拉节点 PD1 相连，并使该开关元件的第二端的电位在移位寄存器 100 经由输入端 IN 接收到信号时为低电平。这样，在移位寄存器 100 经由输入端 IN 接收到信号时，输入电路 101_1 工作并使上拉节点 PU 成为高电平，该开关在上拉节点 PU 为高电平时导通，使得第一下拉节点 PD1 的电位为低电平。

在图 2 所示的示例中，复位电路 101_2 与移位寄存器 100 的复位端 RESET、第二扫描方向控制端 CNB 和上拉节点 PU 相连。在经由复位端 RESET 接收到信号时，复位电路 101_2 可以通过将其内部的开关元件导通，使上拉节点 PU 与复位端 RESET 和/或第二扫描方向控制端 CNB 连通，从而使上拉节点 PU 的电位成为复位电位，例如低电平。

复位电路 101_2 可以通过不同的方式来实现，并且可以根据需要和实现方式，与移位寄存器 100 的不同端子相连，从而在经由复位端 RESET 接收到信号时，将上拉节点 PU 的电位设置为复位电位。

例如，复位电路 101_2 可以与参考信号端 RS 相连，该参考信号端 RS 的信号可以是直流信号或交流信号，并且在复位阶段，该参考信号端 RS 的信号为低电位。

具体地，参考信号端 RS 可以是复位电位端 VGL，该复位电位端 VGL 输出直流低电平信号。在经由复位端 RESET 接收到信号时，复位电路 101_2 可以通过将其内部的开关元件导通，使上拉节点 PU 与复位电位端 VGL 连通，从而使上拉节点 PU 的电位成为复位电位。

在另外的示例中，参考信号端 RS 也可以是一个时钟信号端，该时钟信号端在复位端 RESET 接收到信号时提供低电平的时钟信号。在经由复位端 RESET 接收到信号时，复位电路 102 可以通过将其内部的开关元件导通，使上拉节点 PU 与该时钟信号端连通，从而使上拉节点 PU 的电位成为复位电位。

在一个示例中，复位电路 101_2 可以包括至少一个开关元件，并且例如可以将该开关元件的控制端与复位端 RESET 相连，将该开关元件的第一端和第二端中的一个与上拉节点 PU 相连，并且根据情况将该开关元件的第一端和第二端中的另一个与第二扫描方向控制端 CNB 或参考信号端 RS（例如 RS 为复位电位端 VGL 或前述的时钟信号端）相连。

在图 2 所示的示例中，复位电路 101_2 还与第二下拉节点 PD2 和参考信号端 RS 相连。在将上拉节点 PU 设置为高电平的同时，复位电路 102 可以例如通过导通其内部的开关元件，使参考信号端 RS 和第二下拉节点 PD2 连通，从而将第二下拉节点 PD2 设置为低电平。

在另外的示例中，复位电路 101_2 可以不与第二下拉节点 PD2 和参考信号端 RS 相连，或者移位寄存器 100 可以采用另外的方式来实现类似的功能。在一个示例中，可以在移位寄存器 100 中设置单独的元件、电路和子电路，用以在将上拉节点 PU 设置为高电平的同时，确保将第二下拉节点 PD2 设置为低电平。例如，可以在复位电路 101_2 的外部设置单独的开关元件，将该开关元件的控制端、第一端分别与上拉节点 PU 和第二下拉节点 PD2 相连，并使该开关元件的第二端的电位在移位寄存器 100 经由输入端 IN 接收到信号时为低电平。这样，在移位寄存器 100 经由输入端 IN 接收到信号时，输入电路 101_1 工作并使上拉节点 PU 的电路成为高电平，该开关在上拉节点 PU 为高电平时导通，使得第二下拉节点 PD2 的电位为低电平。

如图 1 所示的移位寄存器 100 可以支持双向扫描。

当第一扫描方向控制端 CN 为高电平而第二扫描方向控制端 CNB 为低电平时，移位寄存器 100 可以工作于正向扫描模式。在正向扫描模式下，当移位寄存器 100 经由输入端 IN 接收到信号时，输入电路 101_1 将上拉节点 PU 设置为高电平，当移位寄存器 100 经由复位端 RESET 接收到信号时，复位电路 101_2 将上拉节点 PU 设置为低电平。

当第一扫描方向控制端 CN 为低电平而第二扫描方向控制端 CNB 为高电

平时，移位寄存器 100 可以工作于反向扫描模式。在反向扫描模式下，就工作过程和功能而言，输入电路 101_1 可以对应于正向扫描模式下的复位电路 101_2，复位电路 101_2 可以对应于正向扫描模式下的输入电路 101_1，并且针对所需的时钟信号（如果有）可以做出相应的调整。

在支持双向扫描的情况下，输入电路 101_1 也可以被称为第一输入电路，而复位电路 101_2 也可以被称为第二输入电路。

在不需要支持双向扫描功能的情况下，根据本公开的实施例的移位寄存器中的输入电路和复位电路可以采用与图 1 所示的移位寄存器 100 中的输入电路和复位电路不同的设置方式。

例如，在不需要支持双向扫描功能的情况下，移位寄存器 100 可以不设置第一扫描方向控制端 CN 和第二扫描方向控制端 CNB，相应地，输入电路 101_1 和复位电路 101_2 可以不与第一扫描方向控制端 CN 和第二扫描方向控制端 CNB 相连，而是可以采用例如前文所述的其他实现方式。

另外，在不需要支持双向扫描功能的情况下，如图 3 所示，复位电路 101_2 还可以与移位寄存器的输出端（例如图 1 或图 2 中的第一输出端 OUT1 和/或第二输出端 OUT2）相连，并且在经由复位端 RESET 接收到信号时还将移位寄存器的输出端设置为低电平。例如，在一个示例中，复位电路 101_2 可以包括另外的开关元件，并将该开关元件的控制端、第一端和第二端分别与移位寄存器的复位端 RESET、输出端和参考信号端 RS 相连。

在移位寄存器 100 中，第一输出电路 102 与上拉节点 PU、第一时钟信号端 CK1 和第一输出端 OUT1 相连。当移位寄存器 100 经由输入端 IN 接收到信号时，上拉节点 PU 的电位在输入电路 101_1 的控制下成为高电平，第一输出电路 102 开始工作，将上拉节点 PU 的电位保持（或寄存）在高电平状态，但是不在第一输出端 OUT1 处输出栅极驱动信号。随后，当移位寄存器 100 经由第一时钟信号端 CK1 接收到第一时钟信号时，第一输出电路 102 在第一输出端 OUT1 处输出栅极驱动信号，从而完成移位输出。

在一个示例中，第一输出电路 102 可以包括电容器和至少一个开关元件，其中，例如，可以将电容器设置在上拉节点 PU 和第一输出端 OUT1 之间，将开关元件的控制端、第一端和第二端分别与上拉节点 PU、第一时钟信号端 CK1 和第一输出端 OUT1 相连，并且使第一时钟信号端 CK1 在移位寄存器 100 接收到输入信号时为低电平。

当移位寄存器 100 经由输入端 IN 接收到输入信号时，上拉节点 PU 的电位在输入电路 101_1 的控制下成为高电平，第一输出电路 102 中的电容器开始充电。然而，由于第一时钟信号端 CK1 此时为低电平，所以开关元件的第一端和第二端在导通后的电位均为低电平状态，从而在第一输出端 OUT1 处无栅极驱动信号输出。随后，上拉节点 PU 的电位通过第一输出电路 102 中的电容器的自举作用而保持为高电平状态，甚至可能会被进一步地拉高，并保持第一输出电路 102 中的开关元件处于导通状态。然后，当移位寄存器 100 接收到第一时钟信号（或者第一时钟信号端 CK1 为高电平）时，第一输出电路 102 中的开关元件的第一端和第二端的电位均成为高电平，从而在第一输出端 OUT1 处输出栅极驱动信号。

在另外的示例中，第一输出电路 102 也可以不包括电容器。

在移位寄存器 100 中，第二输出电路 103 与上拉节点 PU、第二时钟信号端 CK2 和第二输出端 OUT2 相连。第二输出电路 103 内部的电路结构可以与第一输出电路 102 相同，也可以不同。

第二输出电路 103 的工作原理以及其与移位寄存器 100 中的其他节点、电路或元件的连接方式与第一输出电路 102 类似，不同之处在于第二输出电路 103 根据经由第二时钟信号端 CK2 所接收到的第二时钟信号在第二输出端 OUT2 输出栅极驱动信号。

在一个示例中，可以将第二时钟信号设置为晚于第一时钟信号（例如，可以使第二时钟信号的高电平的上升沿与第一时钟信号的高电平的下降沿对齐），使得移位寄存器 100 能够先后通过第一输出端 OUT1 和第二输出端 OUT2 相继地输出多个栅极驱动信号。

虽然图 1 或图 2 仅示出两个输出电路 102 和 103，但是在需要支持多输出的情况下，根据本公开的实施例的移位寄存器可以包括三个或更多的输出电路，并且这些更多的输出电路可以采用与第一输出电路 102 和第二输出电路 103 类似的电路结构和连接方式，并且可以参考第一时钟信号端 CK1 和第二时钟信号端 CK2 以及第一时钟信号和第二时钟信号之间的关系，针对更多的输出电路设置更多的时钟端，并确定分别经由这些更多的时钟端所接收的时钟信号之间的关系。

在移位寄存器 100 中，设置两个下拉节点 PD1 和 PD2，并且包括第一下拉电路 104 和第二下拉电路 105，其中，第一下拉电路 104 与第一下拉节点

PD1、上拉节点 PU、第一输出端 OUT1、第二输出端 OUT2 和参考信号端 RS 相连，并且第二下拉电路 105 与第二下拉节点 PD2、上拉节点 PU、第一输出端 OUT1、第二输出端 OUT2 和参考信号端 RS 相连。

第一下拉电路 104 在第一下拉节点 PD1 的电位为高电平时工作，其内部的开关元件导通，分别将上拉节点 PU、第一输出端 OUT1、第二输出端 OUT2 与参考信号端 RS 连通，使得上拉节点 PU、第一输出端 OUT1 和第二输出端 OUT2 的电位均成为低电平。第二下拉电路 105 在第二下拉节点 PD2 的电位为高电平时工作，其内部的开关元件导通，分别将上拉节点 PU、第一输出端 OUT1、第二输出端 OUT2 与参考信号端 RS 连通，使得上拉节点 PU、第一输出端 OUT1 和第二输出端 OUT2 的电位均成为低电平。

在一个示例中，第一下拉电路 104 可以包括至少三个开关元件，其中，将这三个开关元件中的每一个的控制端与第一下拉节点 PD1 相连，将这三个开关元件中的每一个的第一端与复位信号端 RS 相连，并将这三个开关元件的第二端分别与上拉节点 PU、第一输出端 OUT1、第二输出端 OUT2 相连。第二下拉电路 105 可以采用类似的电路结构，不同之处在于第二下拉电路 105 中的开关元件的控制端与第二下拉节点 PD2 相连。

在一个示例中，可以同时使用多个下拉节点。例如，可以使图 1 或图 2 中的两个下拉节点 PD1 和 PD2 同时处于高电平或低电平状态，从而使得两个下拉电路 104 和 105 同时工作或不工作。由此，可以提高对上拉节点 PU、第一输出端 OUT1 和第二输出端 OUT2 的电位的下拉能力。

在另外的示例中，可以交替地使用多个下拉节点。例如，可以使用一帧为单位交替地使用多个下拉节点。在一个示例中，可以在第一帧期间内，使第二下拉节点 PD2 的电位始终为低电平，从而使得在该帧的期间内，仅第一下拉电路 104 能够工作，而第二下拉电路 105 始终不工作；在随后的第二帧期间内，使第一下拉节点 PD1 的电位始终为低电平，从而使得在该帧的期间内，仅第二下拉电路 105 能够工作，而第一下拉电路 104 始终不工作。也可以使用多个帧为单位来交替地使用多个下拉节点以及对应的多个下拉电路。例如，可以在第一帧和第二帧期间内，使第二下拉节点 PD2 的电位始终为低电平，从而使得在第一帧和第二帧期间内，仅第一下拉电路 104 能够工作，而第二下拉电路 105 始终不工作；在随后的第三帧和第四帧期间内，使第一下拉节点 PD1 的电位始终为低电平，从而使得在第三帧和第四帧期间内，仅

第二下拉电路 105 能够工作，而第一下拉电路 104 始终不工作。交替地使用多个下拉节点以及对应的下拉电路，有利于提高电路的可靠性。

虽然图 1 仅示出两个下拉节点和两个下拉电路，但是根据本公开的实施例的移位寄存器可以包括三个或更多的下拉节点和相应的下拉电路。

在设置有多个下拉节点的情况下，如图 1 所示，可以在移位寄存器 100 中设置下拉节点选择电路 106，并通过该下拉节点选择电路 106 来选择要使用的下拉节点，并控制所选择的下拉节点的电位。应当了解，由于根据本发明的实施例的移位寄存器可以具有多个下拉节点，并且可以选择使用该多个下拉节点中的一个或几个，由于被选择使用的下拉节点的电位可以被控制而改变，因此，在本文中，“下拉节点”也可以被称为“活跃下拉节点”。

在移位寄存器 100 中，下拉节点选择电路 106 与第一下拉节点选择信号端 PDS1、第二下拉节点选择信号端 PDS2、第一下拉节点 PD1、第二下拉节点 PD2、下拉选择控制信号端 CK3 和参考信号端 RS 相连。

下拉节点选择电路 106 可以被配置为在经由第一下拉节点选择信号端 PDS1 接收到信号时，使其内部连接第二下拉节点 PD2 和参考信号端 RS 的开关元件导通，使得在第一下拉节点选择信号端 PDS1 的电位为高电平期间内，第二下拉节点 PD2 的电位始终为低电平，并且在经由第二下拉节点选择信号端 PDS2 接收到信号时，使其内部连接第一下拉节点 PD1 和参考信号端 RS 的开关元件导通，使得在第二下拉节点选择信号端 PDS2 的电位为高电平期间内，第一下拉节点 PD1 的电位始终为低电平。

另外，在移位寄存器 100 包括三个或更多的下拉节点的情况下，可以针对移位寄存器 100 设置更多的下拉节点选择信号端，并将下拉节点选择电路 106 与这些下拉节点选择信号端和所有的下拉节点相连。

在一个示例中，可以在以一个或多个帧为单位所确定的一个时间段内，将多个下拉节点选择信号端（包括第一下拉节点选择信号端 PDS1 和第二下拉节点选择信号端 PDS2）中的一个下拉节点选择信号端的电位设置为高电平，并且通过下拉节点选择电路 106 将与该下拉节点选择信号端相对应的下拉节点选择为活跃下拉节点，同时保持其他非活跃下拉节点的电位为低电平。

在一个示例中，经由下拉选择控制信号端 CK3 所接收的第三时钟信号可以设置晚于经由第二时钟信号端 CK2 所接收的第二时钟信号（例如，可以使第三时钟信号的高电平的上升沿与第二时钟信号的高电平的下降沿对齐，并

且使第一时钟信号和第二时钟信号在第三时钟信号为高电平时均处于低电平状态），以确保第一下拉电路 104 和第二下拉电路 105 在第一输出电路 102 和第二输出电路 103 两者均完成输出操作之后才开始工作。在包含更多的输出电路的情况下，可以将第三时钟信号设置为晚于用于所有输出电路中最后完成输出的输出电路的时钟信号。例如，可以使第三时钟信号的高电平的上升沿与用于所有输出电路中最后完成输出的输出电路的时钟信号的高电平的下降沿对齐，并且使用于所有输出电路的时钟信号在第三时钟信号为高电平时均处于低电平状态，以确保所有下拉电路在所有输出电路均完成输出操作之后才开始工作。

图 4 示出移位寄存器 100 的一种示例性的电路结构。如图 4 所示，在移位寄存器 100 中，输入电路 101_1 可以包括第一输入开关元件 SW1 和第一下拉节点复位开关元件 SW2，其中，第一输入开关元件 SW1 的控制端、第一端和第二端分别与移位寄存器的输入端 IN、第一扫描方向控制端 CN 和上拉节点 PU0 相连，第一下拉节点复位开关元件 SW2 的控制端、第一端和第二端分别与上拉节点 PU0、第一下拉节点 PD1 和参考信号端 RS 相连。

复位电路 101_2 可以包括第二输入开关元件 SW8 和第二下拉节点复位开关元件 SW3，其中，第二输入开关元件 SW8 的控制端、第一端和第二端分别与移位寄存器的复位端 RESET、第二扫描方向控制端 CNB 和上拉节点 PU0 相连，第二下拉节点复位开关元件 SW3 的控制端、第一端和第二端分别与上拉节点 PU0、第二下拉节点 PD2 和参考信号端 RS 相连。

第一输出电路 102 可以包括第二输出开关元件 SW4、第一输出开关元件 SW5 和第一输出电容器 C1，其中，第二输出开关元件 SW4 的控制端、第一端和第二端分别与节点 PU1、第一时钟信号端 CK1 和第一输出端 OUT1 相连，第一输出电容器 C1 的两端分别与节点 PU1 和第一输出端 OUT1 相连，第一输出开关元件 SW5 的控制端、第一端和第二端分别与工作电位端 VGH、上拉节点 PU0 和节点 PU1 相连。

第二输出电路 103 可以包括第四输出开关元件 SW6、第三输出开关元件 SW7 和第二输出电容器 C2，其中，第四输出开关元件 SW6 的控制端、第一端和第二端分别与节点 PU2、第二时钟信号端 CK2 和第二输出端 OUT2 相连，第二输出电容器 C2 的两端分别与节点 PU2 和第二输出端 OUT2 相连，第三输出开关元件 SW7 的控制端、第一端和第二端分别与工作电位端 VGH、上

拉节点 PU0 和节点 PU2 相连。

在第一输出电路 102 和第二输出电路 103 中，第一输出开关元件 SW5 和第三输出开关元件 SW7 的控制端与工作电位端 VGH 相连，第一输出开关元件 SW5 和第三输出开关元件 SW7 始终处于导通状态，使得第一输出电路 103 中的节点 PU1 和第二输出电路 104 中的节点 PU2 的电位始终与上拉节点 PU0 的电位相同。另外，第一输出开关元件 SW5 和第三输出开关元件 SW7 是可选的，在不设置第一输出开关元件 SW5 和第三输出开关元件 SW7 的情况下，节点 PU1 与节点 PU0（或图 1 中的上拉节点 PU）为同一点。由于节点 PU0、PU1 和 PU2 的电位始终相同，所以可以将节点 PU0、PU1 和 PU2 视为移位寄存器 100 的上拉节点 PU 在移位寄存器电路中的不同位置处的反映。实际上，在图 4 所示的电路中，在任何时刻均与节点 PU0 和/或 PU1 和/或 PU2 具有相同电位的节点均可被视为上拉节点 PU，在下文中简单地使用“上拉节点 PU”来代表这些节点。

第一下拉电路 103 可以包括第一下拉开关元件 SW14、第二下拉开关元件 SW15 和第三下拉开关元件 SW16，其中，第一下拉开关元件 SW14、第二下拉开关元件 SW15 和第三下拉开关元件 SW16 的控制端均与第一下拉节点 PD1 相连，第一下拉开关元件 SW14、第二下拉开关元件 SW15 和第三下拉开关元件 SW16 的第一端均与参考信号端 RS 相连，第一下拉开关元件 SW14、第二下拉开关元件 SW15 和第三下拉开关元件 SW16 的第二端分别与节点 PU0（或上拉节点 PU）、第一输出端 OUT1 和第二输出端 OUT2 相连。

第二下拉电路 104 可以包括第四下拉开关元件 SW17、第六下拉开关元件 SW18 和第五下拉开关元件 SW19，其中，第四下拉开关元件 SW17、第六下拉开关元件 SW18 和第五下拉开关元件 SW19 的控制端均与第二下拉节点 PD2 相连，第四下拉开关元件 SW17、第六下拉开关元件 SW18 和第五下拉开关元件 SW19 的第一端均与参考信号端 RS 相连，第四下拉开关元件 SW17、第六下拉开关元件 SW18 和第五下拉开关元件 SW19 的第二端分别与节点 PU0（或上拉节点 PU）、第二输出端 OUT2 和第一输出端 OUT1 相连。

下拉节点选择电路 106 可以包括选择控制开关元件 SW9、第一下拉选择开关元件 SW10、第二下拉选择开关元件 SW11、第三下拉选择开关元件 SW12、第四下拉选择开关元件 SW13 和第一电容器 C3、第二电容器 C4，其中，选择控制开关元件 SW9 的控制端和第一端均连接到移位寄存器的下拉

选择控制信号端 CK3，选择控制开关元件 SW9 的第二端与第一下拉选择开关元件 SW10 的第一端和第三下拉选择开关元件 SW12 的第一端相连，第一下拉选择开关元件 SW10 的控制端和第二端分别与第一下拉节点选择信号端 PDS1 和第一下拉节点 PD1 相连，第三下拉选择开关元件 SW12 的控制端和第二端分别与第二下拉节点选择信号端 PDS2 和第二下拉节点 PD2 相连，第二下拉选择开关元件 SW11 的控制端、第一端和第二端分别与第一下拉节点选择信号端 PDS1、第二下拉节点 PD2 和参考信号端 RS 相连，第四下拉选择开关元件 SW13 的控制端、第一端和第二端分别与第二下拉节点选择信号端 PDS2、第一下拉节点 PD1 和参考信号端 RS 相连，第一电容器 C3 设置在第一下拉节点 PD1 和参考信号端 RS 之间，第二电容器 C4 设置在第二下拉节点 PD2 和参考信号端 RS 之间。

图 4 所示的结构仅是示例性的，根据本公开的实施例的移位寄存器 100 可以采用其他的实现方式。例如，在不需要支持双向扫描功能的情况下，在复位电路 101_2 中，开关元件 SW8 可以与参考信号端 RS 而不是第二扫描信号端 CNB 相连，并且还可以包括另外的开关元件，例如可以使该另外的开关元件的控制端、第一端和第二端分别与复位端 RESET、第一输出端 OUT1（和/或第二输出端 OUT2）和参考信号端 RS 相连。在另外的示例中，可以设置更多的下拉节点，并且相应地设置更多的下拉电路。在另外的示例中，可以设置更多的输出端，并且相应地设置更多的输出电路。本公开不局限于图 4 所示的示例性的电路结构。

图 5 示出采用图 1、图 2 或图 4 所示的移位寄存器 100 在正向扫描模式（第一扫描方向控制端 CN 为高电平，第二扫描方向控制端 CNB 为低电平）下的相继的两个帧（第 i 帧和第 i+1 帧）期间的工作时序。

在第 i 帧期间，第一下拉节点选择信号端 PDS1 为高电平，第二下拉节点选择信号端 PDS2 为低电平。在下拉节点选择电路 106 中，第一下拉选择开关元件 SW10 和第二下拉选择开关元件 SW11 导通，而第三下拉选择开关元件 SW12 和第四下拉选择开关元件 SW13 截止，从而选择第一下拉节点 PD1 作为活路下拉节点，并使得第二下拉节点 PD2 始终为低电平。相应地，在第 i 帧期间，控制端与第二下拉节点 PD2 相连的第二下拉电路 105 中的第四下拉选择开关元件 SW17、第五下拉选择开关元件 SW19 和第六下拉选择开关元件 SW18 均截止，使得第二下拉电路 105 在第 i 帧期间不工作。

当移位寄存器 100 经由输入端 IN 接收到输入信号时，输入电路 101_1 中的第一输入开关元件 SW1 和第一下拉节点复位开关元件 SW2 导通，使得上拉节点 PU 的电位成为高电平，第一下拉节点 PD1 的电位成为低电平。第一输出电路 102 和第二输出电路 103 中的第一输出电容器 C1 和第二输出电容器 C2 开始充电，并且第二输出开关元件 SW4 和第四输出开关元件 SW6 导通。此时，第一时钟信号端 CK1 和第二时钟信号端 CK2 的电位均为低电平，因此在第一输出端 OUT1 和第二输出端 OUT2 均无栅极驱动信号输出。

随后，输入端 IN 的电位成为低电平。上拉节点 PU 的电位通过第一输出电容器 C1 和第二输出电容器 C2 继续保持为高电平状态，使得第一输出电路 102 中的第二输出开关元件 SW4 和第二输出电路 103 中的第四输出开关元件 SW6 仍处于导通状态。此时，第一时钟信号端 CK1 的电位成为高电平，使得第一输出端 OUT1 的电位成为高电平，从而在第一输出端 OUT1 输出栅极驱动信号，而第二时钟信号端 CK2 仍为低电平，因此在第二输出端 OUT2 仍无栅极驱动信号输出。随后，第一时钟信号端 CK1 的电位成为低电平，而第二时钟信号端 CK2 的电位成为高电平，使得第一输出端 OUT1 的电位成为低电平，而第二输出端 OUT2 的电位成为高电平，从而在第二输出端 OUT2 输出栅极驱动信号。

在第一输出电路 102 和第二输出电路 103 分别通过第一输出端 OUT1 和第二输出端 OUT2 相继地输出栅极驱动信号之后，移位寄存器 100 的复位端 RESET 的电位成为高电平，使得复位电路 101_2 中第二输入开关元件 SW8 导通，从而使上拉节点 PU 的电位成为低电平。与此同时，下拉选择控制信号端 CK3 的电位成为高电平，下拉节点选择电路 106 中的选择控制开关元件 SW9 导通，使得第一下拉节点 PD1 成为高电平，并且下拉节点选择电路 106 中的第一电容器 C3 开始充电。当第一下拉节点 PD1 成为高电平时，第一下拉电路 104 中的第一下拉开关元件 SW14、第二下拉开关元件 SW15 和第三下拉开关元件 SW16 导通，使得上拉节点 PU、第一输出端 OUT1 和第二输出端 OUT2 的电位成为低电平。

随后，当下拉选择控制信号端 CK3 的电位成为低电平时，第一下拉节点 PD1 的电位通过下拉节点选择电路 106 中的第一电容器 C3 而继续保持在高电平状态，当下拉选择控制信号端 CK3 的电位再次成为高电平时，第一上拉节点 PD1 的电位为高电平，并且下拉节点选择电路 106 中的第一电容器 C3

再次开始充电。如此反复，使得第一下拉节点 PD1 的电位一直处于高电平状态。

在第 i 帧之后的第 i+1 帧期间，第一下拉节点选择信号端 PDS1 为低电平，第二下拉节点选择信号端 PDS2 为高电平。在下拉节点选择电路 106 中，第一下拉选择开关元件 SW10 和第二下拉选择开关元件 SW11 截止，而第三下拉选择开关元件 SW12 和第四下拉选择开关元件 SW13 导通，从而选择第二下拉节点 PD2 作为活跃下拉节点，并使得第一下拉节点 PD1 始终为低电平。相应地，在第 i+1 帧期间，控制端与第一下拉节点 PD1 相连的第一下拉电路 104 中的第一下拉开关元件 SW14、第二下拉开关元件 SW15 和第三下拉开关元件 SW16 均截止，使得第一下拉电路 104 在第 i+1 帧期间不工作。

在第 i+1 帧期间，移位寄存器的工作时序与第 i 帧期间的工作时序相似，相同之处不再重复。不同之于在于，当下拉选择控制信号端 CK3 的电位成为高电平时，下拉节点选择电路 106 中的选择控制开关元件 SW9 导通，第二下拉节点 PD2 成为高电平，并且下拉节点选择电路 106 中的第二电容器 C4 开始充电。当第二下拉节点 PD2 成为高电平时，第二下拉电路 105 中的第四下拉开关元件 SW17、第六下拉开关元件 SW18 和第五下拉开关元件 SW19 导通，使得上拉节点 PU、第二输出端 OUT2 和第一输出端 OUT1 的电位成为低电平。

随后，当下拉选择控制信号端 CK3 的电位成为低电平时，第二下拉节点 PD2 的电位通过下拉节点选择电路 106 中的第二电容器 C4 而继续保持在高电平状态，当下拉选择控制信号端 CK3 的电位再次成为高电平时，第二上拉节点 PD2 的电位为高电平，并且下拉节点选择电路 106 中的第二电容器 C4 再次开始充电。如此反复，使得第二下拉节点 PD2 的电位一直处于高电平状态。

通过定期地改变第一下拉节点选择信号端 PDS1 和第二下拉节点选择信号端 PDS2 的电位，能够交替地使用移位寄存器内的两个下拉节点和两个下拉电路，从而有利于提高电路的可靠性。

在反向扫描模式下，移位寄存器的第一扫描方向控制端 CN 为低电平，而第二扫描方向控制端 CNB 为高电平。此时，复位电路 101_2 相当于正向扫描的情况下的输入电路 101_1，输入电路 101_1 相当于正向扫描的情况下的复位电路 101_2。移位寄存器在反向扫描模式下的工作时序与其在正向扫

描模式下的工作时序类似，在本文中省略相关描述。

图 5 仅示出了以一个帧为单位交替地使用两个下拉节点的情况。如前文所述，还可以根据需要以多个帧为单位交替地使用两个下拉节点（例如，可以在相邻的两帧和两帧之间交替使用两个下拉节点，或者也可以在相邻的一帧和三帧之间交替使用两个下拉节点，等等），或者设置更多的下拉节点，并且以预先设置的一个或多个帧为单位依次使用这些下拉节点。这些变型的移位寄存器的工作时序与图 5 所示的情况类似，不同之处于下拉节点的切换的周期和/或下拉节点的数量，在本文中省略相关描述。

在图 5 所示的示例中，每个时钟信号的占空比可以为 1/3。在考虑多个移位寄存器一起工作（例如，在下文中参照图 7 描述的栅极驱动电路）的情况下，或者在考虑支持更多的输出端/输出电路的情况下，每个时钟信号的占空比可以根据需要设置为更小，例如 1/4。例如，在使多个移位寄存器 100（包括两个输出端 OUT1 和 OUT2）一起工作的情况下，可以将每个时钟信号的占空比设置为 1/4。在考虑使每个移位寄存器支持三个输出的情况下，可以将每个时钟信号的占空比设置为 1/5，以此类推。

图 6 示出用于驱动根据本公开的实施例的移位寄存器的方法。

该示例性方法开始于步骤 601。在步骤 601 中，移位寄存器将第一下拉节点和第二下拉节点中的一个选择为活跃下拉节点，并将另一个的电位设置为复位电位。例如，对于图 1、图 2 或图 4 所示的示例性移位寄存器 100，可以向该移位寄存器 100 的第一下拉节点选择信号端 PDS1 和第二下拉节点选择信号端 PDS2 提供相应的信号。下拉节点选择电路 106 根据第一下拉节点选择信号端 PDS1 和第二下拉节点选择信号端 PDS2 的电位，将第一下拉节点 PD1 和第二下拉节点 PD2 中的一个设置为活跃下拉节点，并将另一个的电位设置为始终保持在低电平状态。如前文所述，可以按照预先设定的数量的帧，交替使用第一下拉节点 PD1 和第二下拉节点 PD2 作为活跃下拉节点。

在步骤 605 中，移位寄存器接收输入信号，并将上拉节点的电位设置为工作电位。例如，对于图 1、图 2 或图 4 所示的示例性移位寄存器 100，移位寄存器 100 可以在经由输入端 IN 接收到输入信号时，将上拉节点 PU（包括节点 PU0、PU1 和 PU2）的电位设置为高电平。此时，第一输出端 OUT1 和第二输出端 OUT2 均无栅极驱动信号输出。

然后，响应于接收到第一时钟信号，方法继续到步骤 610。在步骤 610

中，移位寄存器响应于接收到第一时钟信号，在第一输出端输出第一栅极驱动信号。例如，对于图 1、图 2 或图 4 所示的示例性移位寄存器 100，移位寄存器 100 可以在经由第一时钟信号端 CK1 端接收到第一时钟信号时，在第一输出端 OUT1 输出栅极驱动信号。此时，上拉节点 PU（包括节点 PU0、PU1 和 PU2）的电位可以通过第一输出电路 102 和第二输出电路 103 中的电容而保持在高电平状态，并且在第二输出端 OUT2 无栅极驱动信号输出。

然后，响应于在第一时钟信号之后所接收的第二时钟信号，方法继续到步骤 615。在步骤 615 中，移位寄存器响应于在第一时钟信号之后所接收的第二时钟信号，在第二输出端输出第二栅极驱动信号。例如，对于图 1、图 2 或图 4 所示的示例性移位寄存器 100，移位寄存器 100 可以在经由第二时钟信号端 CK2 端接收到第二时钟信号时，在第二输出端 OUT2 输出栅极驱动信号。此时，上拉节点 PU（包括节点 PU0、PU1 和 PU2）的电位仍然通过第一输出电路 102 和第二输出电路 103 中的电容器而保持在高电平状态，并且在第一输出端 OUT1 无栅极驱动信号输出。

然后，响应于在第二时钟信号之后所接收的参考信号，方法继续到步骤 620。在步骤 620 中，移位寄存器响应于在第二时钟信号之后所接收的参考信号，将活跃下拉节点的电位设置为工作电位。例如，对于图 1、图 2 或图 4 所示的示例性移位寄存器 100，移位寄存器 100 可以在经由复位端 RESET 接收到参考信号时，使上拉节点 PU（包括节点 PU0、PU1 和 PU2）成为低电平。同时，移位寄存器 100 中的下拉节点选择电路 106 可以响应于移位寄存器 100 经由下拉选择控制信号端 CK3 接收到第三时钟信号，将被选择为活跃下拉节点的第一下拉节点 PD1 或第二下拉节点 PD2 的电位设置为高电平。

然后，在步骤 625 中，移位寄存器将上拉节点、第一输出端和第二输出端的电位设置为复位电位。例如，对于图 1、图 2 或图 4 所示的示例性移位寄存器 100，当活跃下拉节点（第一下拉节点 PD1 或第二下拉节点 PD2）的电位被设置为高电平时，与活跃下拉节点相对应的下拉电路（第一下拉电路 104 或第二下拉电路 105）开始工作，并将上拉节点 PU（包括节点 PU0、PU1 和 PU2）、第一输出端 OUT1 和第二输出端 OUT2 的电位设置为低电平。当移位寄存器 100 经由下拉选择控制信号端 CK3 接收到第三时钟信号时，下拉节点选择电路 106 中的电容器在活跃下拉节点的电位被设置为高电平的同时被充电，当移位寄存器 100 的下拉选择控制信号端 CK3 的电位为低电平时，

活跃下拉节点的电位通过下拉节点选择电路 106 中的电容器而继续保持在高电平状态，使得活跃下拉节点相对应的下拉电路（第一下拉电路 104 或第二下拉电路 105）仍处于工作状态，从而使上拉节点 PU（包括节点 PU0、PU1 和 PU2）、第一输出端 OUT1 和第二输出端 OUT2 的电位继续保持在低电平状态。

图 7 示出包括根据本公开的实施例的移位寄存器的栅极驱动电路的一种示例性的连接方式。移位寄存器的参考信号端 RS、工作电位端 VGH、第一扫描方向控制端 CN、第二扫描方向控制端 CNB、第一下拉节点选择信号端 PDS1 和第二下拉节点选择信号端 PDS2 等端子主要用于接收外部控制信号，因此在用于例示移位寄存器的级联方式的图 7 中没有示出移位寄存器的这些端子。另外，在图 7 所示的示例中，每个移位寄存器为图 1、图 2 或图 4 所示的示例性移位寄存器 100。然而，如前文所述，根据本公开的实施例的移位寄存器可以具有其他变型，例如可以具有更多的输出端以及时钟信号端，并且可以根据前面所述的各时钟信号之间的关系来设置这些时钟信号。

如图 7 所示，在根据本公开的实施例的栅极驱动电路中，第一级移位寄存器 SR1 的输入端 IN 接收帧起始信号 STV。第一级之外的各级移位寄存器（例如，图 7 中的 SR2、SR3、SR4、SR5）的输入端 IN 分别与对应的上一级移位寄存器（例如，图 7 中的 SR1、SR2、SR3、SR4）的第二输出端 OUT2 相连，即第一级之外的各级移位寄存器接收来自对应的上一级移位寄存器的第二输出端 OUT2 的栅极驱动信号，作为其输入信号。最后一级之外的各级移位寄存器（例如，图 7 中的 SR1、SR2、SR3 和 SR4）的复位端 RESET 分别与对应的下一级移位寄存器（例如，图 7 中的 SR2、SR3、SR4 和 SR5）的第一输出端 OUT1 相连，即最后一级之外的各级移位寄存器接收来自对应的下一级移位寄存器的第一输出端 OUT1 的栅极驱动信号，作为其参考信号。最后一组的移位寄存器（图 7 中未示出）的复位端 RESET 例如可以接收反向扫描时的帧起始信号 STV（图 7 中未示出）。

另外，如图 7 所示，可以通过时序控制电路向栅极驱动电路的各级移位寄存器提供时钟信号。在通过如图 1、图 2 或图 4 所示的示例性的移位寄存器 100 形成栅极驱动电路的情况下，可以通过与时序控制电路 701 相连的四条时钟信号线（CLOCK1、CLOCK2、CLOCK3 和 CLOCK4）向各级移位寄存器的第一时钟信号端 CK1、第二时钟信号端 CK2 和下拉节点选择信号端

CK3 提供时钟信号。

例如，可以将每个时钟信号的占空比设置为 1/4，并且使经由 CLOCK1 所提供的时钟信号的高电平的下降沿与经由 CLOCK2 所提供的时钟信号的高电平的上升沿对齐，使经由 CLOCK2 所提供的时钟信号的高电平的下降沿与经由 CLOCK3 所提供的时钟信号的高电平的上升沿对齐，使经由 CLOCK3 所提供的时钟信号的高电平的下降沿与经由 CLOCK4 所提供的时钟信号的高电平的上升沿对齐，并且使经由 CLOCK4 所提供的时钟信号的高电平的下降沿与经由 CLOCK1 所提供的时钟信号的高电平的上升沿对齐。

可以将级联在奇数级的移位寄存器的第一时钟信号端 CK1、第二时钟信号端 CK2 和下拉节点选择信号端 CK3 分别与时钟信号线 CLOCK1、CLOCK2 和 CLOCK3 相连，将级联在偶数级的移位寄存器的第一时钟信号端 CK1、第二时钟信号端 CK2 和下拉节点选择信号端 CK3 分别与时钟信号线 CLOCK3、CLOCK4 和 CLOCK1 相连。通过如图 7 所示的配置方式向栅极驱动电路的各级移位寄存器提供时钟信号，可以实现单边栅极驱动电路的逐行扫描输出。

图 8 示意性地示出了如图 7 所示的栅极驱动电路在相邻两帧（第 i 帧和第 i+1 帧）期间的工作时序图。在图 8 中，CLOCK1 至 CLOCK4 是占空比为 1/4 的时钟信号，并且如前所述，CLOCK1 所提供的时钟信号的高电平的下降沿与 CLOCK2 所提供的时钟信号的高电平的上升沿对齐， CLOCK2 所提供的时钟信号的高电平的下降沿与 CLOCK3 所提供的时钟信号的高电平的上升沿对齐， CLOCK3 所提供的时钟信号的高电平的下降沿与 CLOCK4 所提供的时钟信号的高电平的上升沿对齐，并且 CLOCK4 所提供的时钟信号的高电平的下降沿与 CLOCK1 所提供的时钟信号的高电平的上升沿对齐。

在第 i 帧内，PSD1 为高电平，使得第一下拉节点 PD1 被选择为活跃下拉节点，而第二下拉节点 PD2 的电位被设置为复位电位，并且 PD1 节点的电位可以在下拉节点选择信号端 CK3 为高电平时被设置为工作电位。而在第 i+1 帧内，PSD2 为高电平，使得第二下拉节点 PD2 被选择为活跃下拉节点，而第一下拉节点 PD1 的电位被设置为复位电位，并且 PD2 节点的电位可以在下拉节点选择信号端 CK3 为高电平时被设置为工作电位。

按照如图 7 所示的时钟信号的配置方式，该栅极驱动电路可以实现如图 8 所示中 SR1 OUT1-SR4 OUT2 的 8 路逐行扫描输出。

图 9 示出包括根据本公开的实施例的移位寄存器的栅极驱动电路的另一种示例性的连接方式。具体地，图 9 示出了以每级移位寄存器具有两个输出端 OUT1 和 OUT2 为例的用于双边栅极驱动电路的逐行扫描输出的时钟信号的配置方式。如图 9 所示，该双边栅极驱动电路包括第一栅极驱动电路和第二栅极驱动电路，每个栅极驱动电路包括多个移位寄存器。图 9 仅示意性地示出了每个栅极驱动电路各包括 4 个移位寄存器（SR1-1、SR1-2、SR1-3、SR1-4 和 SR2-1、SR2-2、SR2-3、SR2-4），而实际应用中可以包括更多个移位寄存器。

图 9 所示的双边栅极驱动电路中各级移位寄存器的连接如下:

第一栅极驱动电路的第一级移位寄存器的输入端连接帧起始信号，第一栅极驱动电路的第一级移位寄存器的复位端连接第二栅极驱动电路的第一级移位寄存器的第一输出端 OUT1;

第一栅极驱动电路的第 i 级移位寄存器的输入端连接第二栅极驱动电路的第 i-1 级移位寄存器的第二输出端 OUT2，第一栅极驱动电路的第 i 级移位寄存器的复位端连接第二栅极驱动电路的第 i 级移位寄存器的第一输出端 OUT1，其中 $1<i\leq N$;

第二栅极驱动电路的第 j 级移位寄存器的输入端连接第一栅极驱动电路的第 j 级移位寄存器的第二输出端 OUT2，第二栅极驱动电路的第 j 级移位寄存器的复位端连接第一栅极驱动电路的第 j+1 级移位寄存器的第一输出端 OUT1，其中，$1\leq j<N$。

具体地，如图 9 所示，SR1-1 的输入端 IN 与帧起始信号 STV 相连，SR1-1 的第二输出端 OUT2 与 SR2-1 的输入端 IN 相连，SR1-1 的复位端 RESET 与 SR2-1 的第一输出端 OUT1 相连，SR1-2 的输入端与 SR2-1 的第二输出端 OUT 相连，SR2-1 的复位端 RESET 与 SR1-2 的第一输出端 OUT1 相连，以此类推。

在时钟信号的配置方面，第一栅极驱动电路的各级移位寄存器的第一时钟信号端 CK1、第二时钟信号端 CK2 和下拉选择信号端 CK3 分别与由时序控制电路 901 提供的时钟信号线 CLOCK1、CLOCK2 和 CLOCK3 相连，而第二栅极驱动电路的各级移位寄存器的第一时钟信号端 CK1、第二时钟信号端 CK2 和下拉选择信号端 CK3 分别与由时序控制电路 902 提供的时钟信号线 CLOCK7、CLOCK8 和 CLOCK5 相连。

应当了解，可以使用如图 9 所示的两个时序控制电路 901 和 902 分别输

出 4 路时钟信号（CLOCK1-CLOCK8）来控制各自的栅极驱动电路，也可以使用同一时序控制电路输出 4 路时钟信号来控制栅极驱动电路。具体地，在使用同一时序控制电路输出 4 路时钟信号时，图 9 所示的时钟信号线 CLOCK7 对应于 CLOCK3，时钟信号线 CLOCK8 对应于 CLOCK4，时钟信号线 CLOCK5 对应于 CLOCK1。

通过如图 9 所示的栅极驱动电路的各级移位寄存器的连接方式以及提供给各级移位寄存器的时钟信号的配置方式，该栅极驱动电路可以实现双边扫描输出。

图 7 或图 9 所示的栅极驱动电路中的每一级移位寄存器的工作过程与图 5 所示的示例性移位寄存器 100 的工作过程相似，不同之处在于，图 5 中的每个时钟信号的占空比为 1/3，而图 7 或图 9 中的每一级移位寄存器所接收的时钟信号的占空比为 1/4。

例如，在栅极驱动电路中的每一级移位寄存器支持 n（n 为正整数）个输出并相应地包括 n+1 个时钟信号端的情况下，可以通过时序控制电路向栅极驱动电路提供 2*n 个时钟信号，其中每个时钟信号的占空比可以设置为等于或小于 1/(2n)，并且按照与图 7 或图 9 类似的方式将这些时钟信号分别提供给每一级移位寄存器的 n+1 个时钟信号端。

图 10 示出根据本公开的实施例的显示装置，其包括两个栅极驱动电路：第一栅极驱动电路 1001 和第二栅极驱动电路 1002。在图 10 中未示出栅极驱动电路内部的级联结构，而仅是示例性地示出其中的若干移位寄存器 SR1-SR3。例如，图 10 所示的显示装置中的两个栅极驱动电路的各级移位寄存器的连接方式可以是图 9 所示出的方式。

如图 10 所示，在该示例性的显示装置的显示区域 1005 中，针对每对相交的数据信号线（也称为数据线，与数据信号提供电路 1003 相连）和扫描信号线（也称为栅线，与第一栅极驱动电路 1001 和第二栅极驱动电路 1002 相连），设置一个像素 P，并且时序控制器 1004 向数据信号提供电路 1003 和两个栅极驱动电路 1001、1002 提供时钟信号。

在从上到下对扫描信号线依次进行编号（例如，图 10 中的扫描线 1、扫描线 2、扫描线 3 等）的情况下，在第一栅极驱动电路 1001 中，级联在第 i 级（i 为正整数）的移位寄存器的第一输出端 OUT1 和第二输出端 OUT2 分别连接到第 4i-3 条和第 4i-2 条扫描信号线，在第二栅极驱动电路 1002 中，

级联在第 j 级（j 为正整数）的移位寄存器的第一输出端 OUT1 和第二输出端 OUT2 分别连接到第 4j-1 条和第 4j 条扫描信号线。例如，在图 10 所示的示例中，第一栅极驱动电路 1001 中的第 1 级移位寄存器 SR1 的第一输出端 OUT1 和第二输出端 OUT2 分别连接到扫描信号线 1 和扫描信号线 2，而第二栅极驱动电路 1002 中的第 1 级移位寄存器 SR1 的第一输出端 OUT1 和第二输出端 OUT2 分别连接到扫描信号线 3 和扫描信号线 4，以此类推。

例如，在第一栅极驱动电路 1001 和第二栅极驱动电路 1002 中的每个移位寄存器包括三个输出端的情况下，可以按照与图 10 所示相类似的方式，使第一栅极驱动电路 1001 中的第 1 级移位寄存器的三个输出端分别与第 1 至第 3 条扫描信号线相连，使第二栅极驱动电路 1002 中的第 1 级移位寄存器的三个输出端分别与第 4 至第 6 条扫描信号线相连，使第一栅极驱动电路 1001 中的第 2 级移位寄存器的三个输出端分别与第 7 至第 9 条扫描信号线相连，使第二栅极驱动电路 1002 中的第 2 级移位寄存器的三个输出端分别与第 10 至第 12 条扫描信号线相连，以此类推。

另外，在显示装置中，可以设置计数器（图 10 中未示出）。每当向第一栅极驱动电路 901 发出一个帧起始信号时，计数器的值就加 1。当计数器的值达到预先设置（例如，预先设置在显示装置的控制芯片或控制器中）的值时，可以通过显示装置中的控制电路或处理器（图 10 中未示出）改变提供给第一栅极驱动电路 1001 和第二栅极驱动电路 1002 中的各级移位寄存器的第一下拉节点选择信号端 PDS1 和第二下拉节点选择信号端 PDS2 的信号，从而使第一栅极驱动电路 1001 和第二栅极驱动电路 1002 中的所有移位寄存器改变相应的活跃下拉节点。

根据本公开的实施例的移位寄存器可以支持多输出；并且可以通过在移位寄存器中设置两个或多个下拉节点，并以预定数量的帧为单位交替地使用这些下拉节点，使电路的可靠性更高。根据本公开的实施例的移位寄存器可以通过相对较少的开关元件，增强单级移位寄存器的驱动控制能力。采用根据本公开的实施例的移位寄存器的栅极驱动电路和显示装置可靠性更高，更有利于实现窄边框车载显示产品。

以上描述了本公开的一些实施例。然而，本公开并不局限于所描述的这些示例，而是可以做出各种变型和改进，这些变型和改进也均在本公开的范围内。

权利要求书

1.一种移位寄存器，包括:

输入和复位电路，与输入端、上拉节点、复位端相连，被配置为在输入端的电位为工作电位的情况下，将上拉节点的电位设置为工作电位，并且在复位端的电位为工作电位的情况下，将上拉节点的电位设置为复位电位;

第一输出电路，与上拉节点、第一控制信号端、第一输出端相连，被配置为在上拉节点的电位和第一控制信号端的电位为工作电位的情况下，在第一输出端输出第一栅极驱动信号;

第二输出电路，与上拉节点、第二控制信号端、第二输出端相连，被配置为在上拉节点的电位和第二控制信号端的电位为工作电位的情况下，在第二输出端输出第二栅极驱动信号;

第一下拉电路，与第一下拉节点、上拉节点、第一输出端、第二输出端相连，被配置为在第一下拉节点的电位为工作电位的情况下，将上拉节点、第一输出端和第二输出端的电位设置为复位电位;

第二下拉电路，与第二下拉节点、上拉节点、第一输出端、第二输出端相连，被配置为在第二下拉节点的电位为工作电位的情况下，将上拉节点、第一输出端和第二输出端的电位设置为复位电位；以及

下拉节点选择电路，与第一下拉节点选择信号端、第二下拉节点选择信号端、第一下拉节点、第二下拉节点相连，被配置为根据第一下拉节点选择信号端的电位和第二下拉节点选择信号端的电位，将第一下拉节点和第二下拉节点中的一个选择为活跃下拉节点。

2.根据权利要求 1 所述的移位寄存器，其中，下拉节点选择电路包括:

第一下拉选择开关元件（SW10），其控制端与第一下拉节点选择信号端相连，其第一端和第二端中的一个与第一下拉节点相连;

第二下拉选择开关元件（SW11），其控制端与第一下拉节点选择信号端相连，其第一端和第二端中的一个与第二下拉节点相连，其第一端和第二端中的另一个与参考信号端相连;

第三下拉选择开关元件（SW12），其控制端与第二下拉节点选择信号端相连，其第一端和第二端中的一个与第二下拉节点相连，其第一端和第二端中的另一个与第一下拉选择开关元件的第一端和第二端中的另一个相连；以

及

第四下拉选择开关元件（SW13），其控制端与第二下拉节点选择信号端相连，其第一端和第二端中的一个与第一下拉节点相连，其第一端和第二端中的另一个与参考信号端相连。

3.根据权利要求 2 所述的移位寄存器，其中，下拉节点选择电路还包括：

第一电容器（C3），连接在第一下拉节点与参考信号端之间；以及

第二电容器（C4），连接在第二下拉节点与参考信号端之间。

4.根据权利要求 2 所述的移位寄存器，其中，下拉节点选择电路还包括：

选择控制开关元件（SW9），其控制端以及第一端和第二端中的一个都与下拉选择控制信号端相连，其第一端和第二端中的另一个与第一下拉选择开关元件（SW10）的第一端和第二端中的另一个相连，并且与第三下拉选择开关元件（SW12）的第一端和第二端中的另一个相连。

5.根据权利要求 1 至 3 中的任一项所述的移位寄存器，其中，输入和复位电路包括：

第一输入开关元件（SW1），其控制端与输入端相连，其第一端和第二端中的一个与第一扫描控制信号端相连，其第一端和第二端中的另一个与上拉节点相连；以及，

第二输入开关元件（SW8），其控制端与复位端相连，其第一端和第二端中的一个与第二扫描控制信号端相连，其第一端和第二端中的另一个与上拉节点相连，

其中，正向扫描时，第一扫描控制信号的电位为工作电位，第二扫描控制信号的电位为复位电位，而反向扫描时，第一扫描控制信号的电位为复位电位，第二扫描控制信号的电位为工作电位。

6.根据权利要求 5 所述的移位寄存器，其中，输入和复位电路还包括：

第一下拉节点复位开关元件（SW2），其控制端与上拉节点相连，其第一端和第二端中的一个与第一下拉节点相连，其第一端和第二端中的另一个与参考信号端相连；以及，

第二下拉节点复位开关元件（SW3），其控制端与上拉节点相连，其第一端和第二端中的一个与第二下拉节点相连，其第一端和第二端中的另一个与参考信号端相连。

7.根据权利要求 1 至 3 中的任一项所述的移位寄存器，其中，第一输出

电路包括:

第一输出开关元件（SW5），其控制端与工作电位端相连，其第一端和第二端中的一个与上拉节点相连;

第二输出开关元件（SW4），其控制端与第一输出开关元件的第一端和第二端中的另一个相连,其第一端和第二端中的一个与第一控制信号端相连，其第一端和第二端中的另一个与第一输出端相连；以及

第一输出电容器（C1），其连接在第二输出开关元件的控制端与第一输出端之间。

8.根据权利要求 1 至 4 中的任一项所述的移位寄存器，其中，第二输出电路包括:

第三输出开关元件（SW7），其控制端与工作电位端相连，其第一端和第二端中的一个与上拉节点相连;

第四输出开关元件（SW6），其控制端与第三输出开关元件的第一端和第二端中的另一个相连,其第一端和第二端中的一个与第二控制信号端相连，其第一端和第二端中的另一个与第二输出端相连；以及

第二输出电容器（C2），其连接在第四输出开关元件的控制端与第二输出端之间。

9.根据权利要求 1 至 4 中的任一项所述的移位寄存器，其中，第一下拉电路包括:

第一下拉开关元件（SW14），其控制端与第一下拉节点相连，其第一端和第二端中的一个与上拉节点相连，其第一端和第二端中的另一个与参考信号端相连;

第二下拉开关元件（SW15），其控制端与第一下拉节点相连，其第一端和第二端中的一个与第一输出端相连，其第一端和第二端中的另一个与参考信号端相连；以及

第三下拉开关元件（SW16），其控制端与第一下拉节点相连，其第一端和第二端中的一个与第二输出端相连，其第一端和第二端中的另一个与参考信号端相连。

10.根据权利要求 1 至 4 中的任一项所述的移位寄存器，其中，第二下拉电路包括:

第四下拉开关元件（SW17），其控制端与第二下拉节点相连，其第一端

和第二端中的一个与上拉节点相连，其第一端和第二端中的另一个与参考信号端相连;

第五下拉开关元件（SW19），其控制端与第二下拉节点相连，其第一端和第二端中的一个与第一输出端相连，其第一端和第二端中的另一个与参考信号端相连；以及

第六下拉开关元件（SW18），其控制端与第二下拉节点相连，其第一端和第二端中的一个与第二输出端相连，其第一端和第二端中的另一个与参考信号端相连。

11.一种栅极驱动电路，包括多个级联的根据权利要求 1 至 10 中的任一项所述的移位寄存器，其中，

除第一级移位寄存器以外，其它各级移位寄存器的输入端与级联在其前一级的移位寄存器的第二输出端相连，并且

除最后一级移位寄存器以外，其它各级移位寄存器的复位端与级联在其后一级的移位寄存器的第一输出端相连。

12.一种显示装置，包含第一栅极驱动电路和第二栅极驱动电路，所述第一栅极驱动电路包括 N 个级联的根据权利要求 1 至 10 中的任一项所述的移位寄存器，所述第二栅极驱动电路包括 N 个级联的根据权利要求 1 至 10 中的任一项所述的移位寄存器；其中，

第一栅极驱动电路的第 1 级移位寄存器的复位端连接第二栅极驱动电路的第 1 级移位寄存器的第一输出端;

第一栅极驱动电路的第 i 级移位寄存器的输入端连接第二栅极驱动电路的第 i-1 级移位寄存器的第二输出端，第一栅极驱动电路的第 i 级移位寄存器的复位端连接第二栅极驱动电路的第 i 级移位寄存器的第一输出端，其中 $1<i\leq N$;

第二栅极驱动电路的第 j 级移位寄存器的输入端连接第一栅极驱动电路的第 j 级移位寄存器的第二输出端，第二栅极驱动电路的第 j 级移位寄存器的复位端连接第一栅极驱动电路的第 j+1 级移位寄存器的第一输出端，其中，$1\leq j<N$。

13.一种用于驱动根据权利要求 1 至 10 中的任一项所述的移位寄存器的方法，包括:

在相邻两帧中，将第一下拉节点和第二下拉节点中的一个交替设置为活

跃下拉节点，在将其中一个下拉节点设置为活跃下拉节点的情况下，将另一个下拉节点的电位设置为复位电位；

在每一帧中，对于每级移位寄存器，

第一阶段中，响应于接收到输入信号，将上拉节点的电位上拉为工作电位；

第二阶段中，响应于接收到第一时钟信号，在第一输出端输出第一栅极驱动信号，并且响应于在第一时钟信号之后所接收的第二时钟信号，在第二输出端输出第二栅极驱动信号；

第三阶段中，响应于在第二时钟信号之后所接收的参考信号，将活跃下拉节点的电位设置为工作电位；以及

将上拉节点、第一输出端和第二输出端的电位设置为复位电位。

14.根据权利要求 13 所述的方法，其中，按照预先设定的数量的帧，交替使用第一下拉节点和第二下拉节点作为活跃下拉节点。

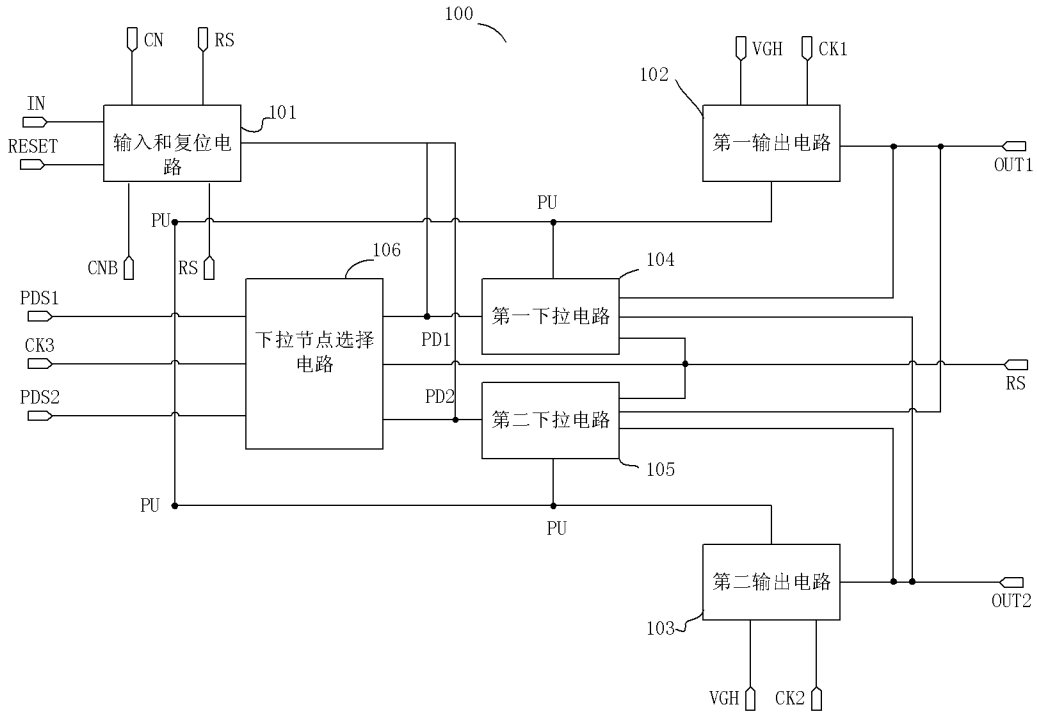

100
CN
RS
VGH
CK1
102
IN
RESET
输入和复位电路
101
第一输出电路
OUT1
PU
PU
CNB
RS
106
104
PDS1
CK3
PDS2
下拉节点选择电路
PD1
PD2
第一下拉电路
第二下拉电路
RS
105
PU
PU
第二输出电路
OUT2
103
VGH
CK2

图 1

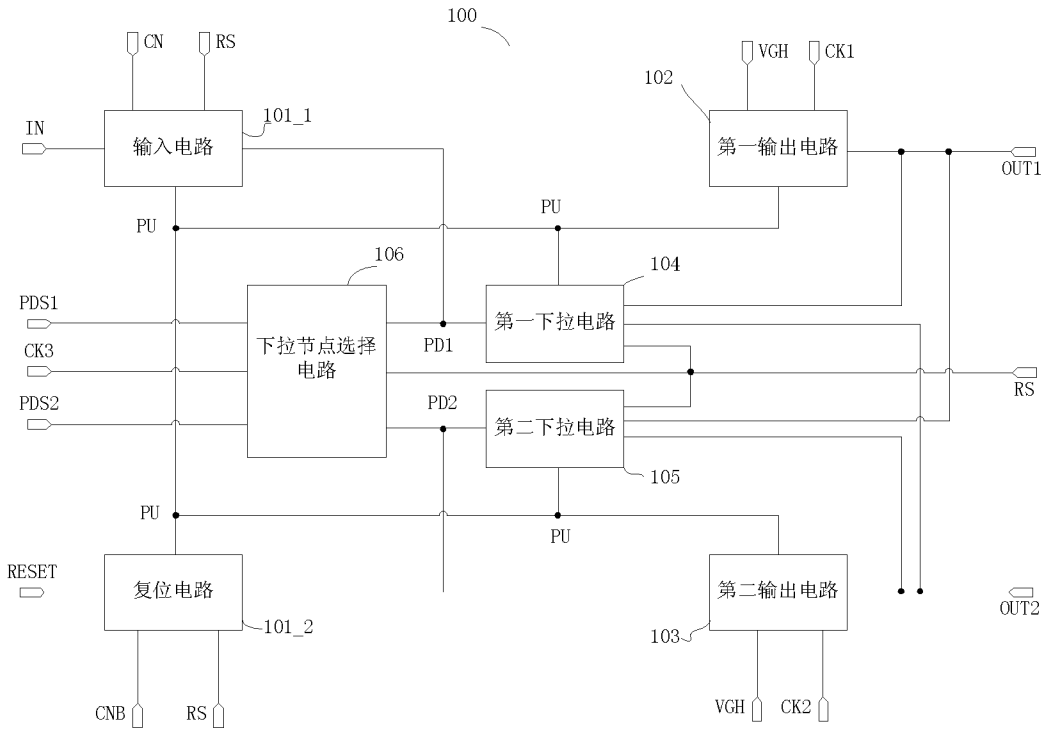

100
CN
RS
VGH
CK1
102
IN
输入电路
101_1
第一输出电路
OUT1
PU
PU
106
104
PDS1
CK3
PDS2
下拉节点选择电路
PD1
PD2
第一下拉电路
第二下拉电路
RS
105
PU
PU
RESET
复位电路
101_2
第二输出电路
OUT2
103
CNB
RS
VGH
CK2

图 2

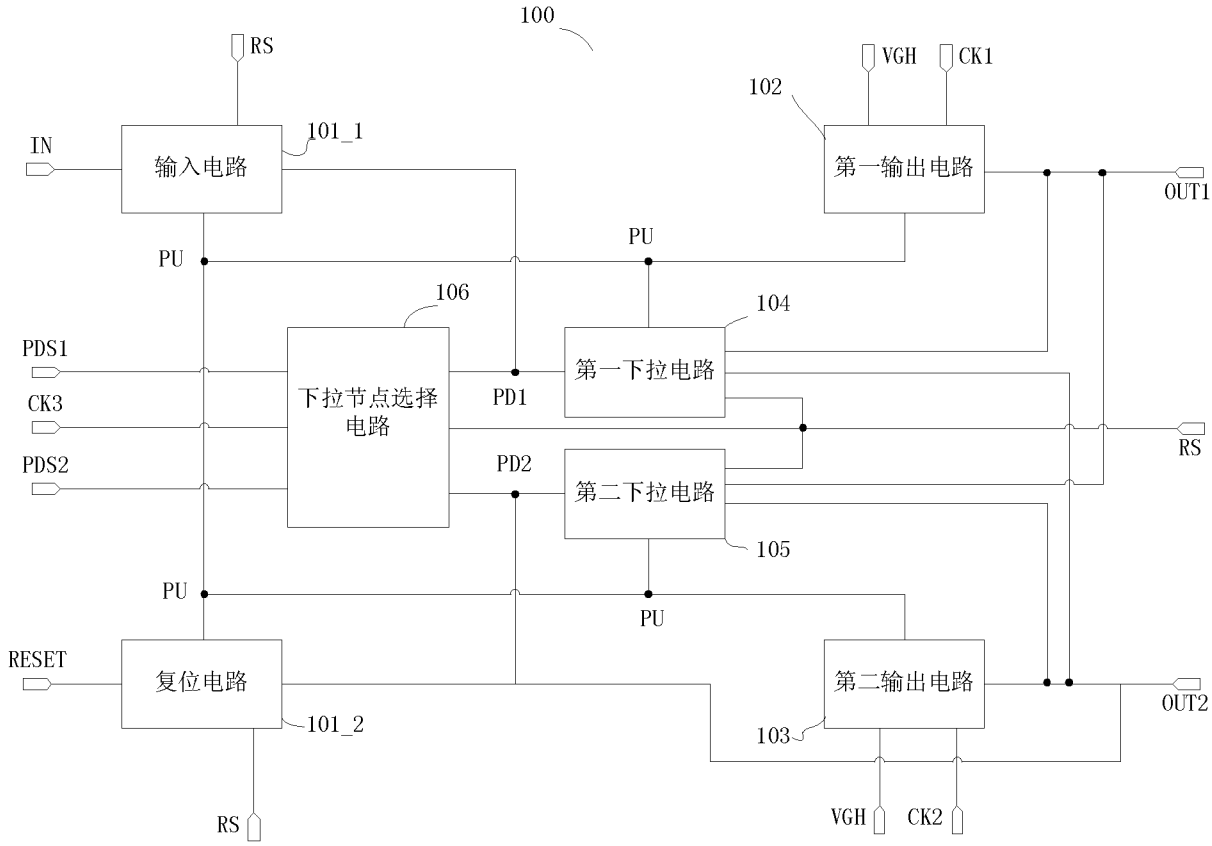

100
RS
VGH
CK1
102
IN
输入电路
101_1
第一输出电路
OUT1
PU
PU
106
104
PDS1
下拉节点选择电路
PD1
第一下拉电路
CK3
RS
PDS2
PD2
第二下拉电路
105
PU
PU
RESET
复位电路
第二输出电路
OUT2
101_2
103
RS
VGH
CK2

图 3

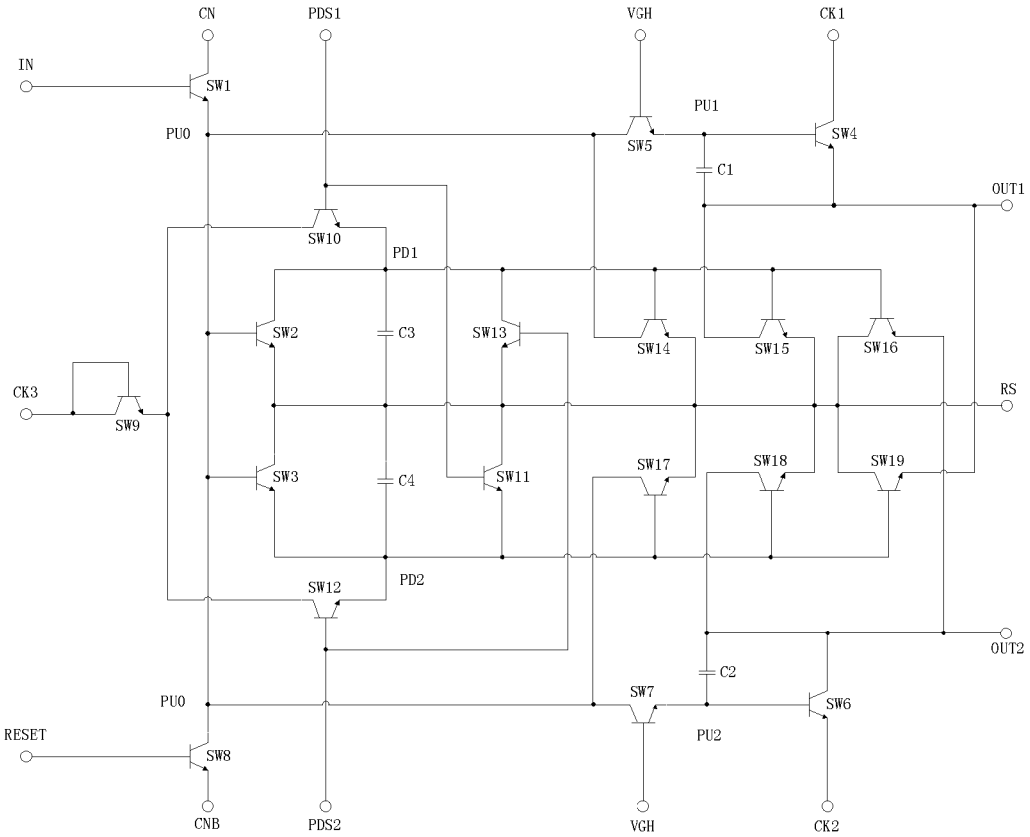

CN
PDS1
VGH
CK1
IN
SW1
PU1
PU0
SW5
SW4
C1
OUT1
SW10
PD1
SW2
C3
SW13
SW14
SW15
SW16
CK3
SW9
RS
SW3
C4
SW11
SW17
SW18
SW19
SW12
PD2
OUT2
C2
PU0
SW7
SW6
RESET
SW8
PU2
CNB
PDS2
VGH
CK2

图 4

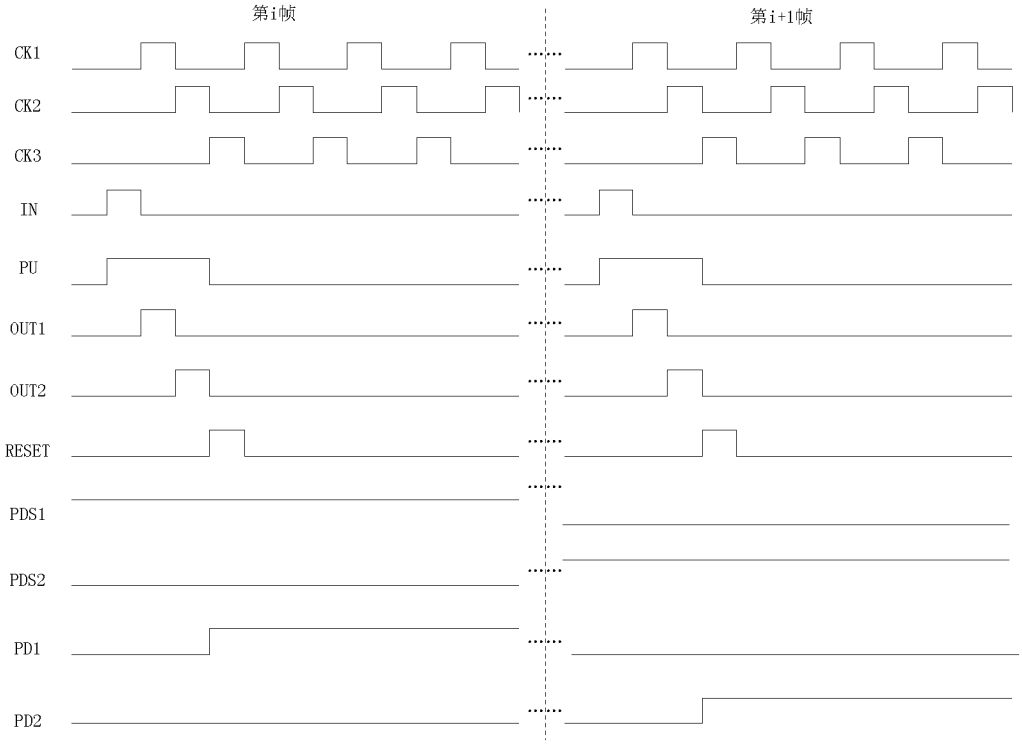


图 5

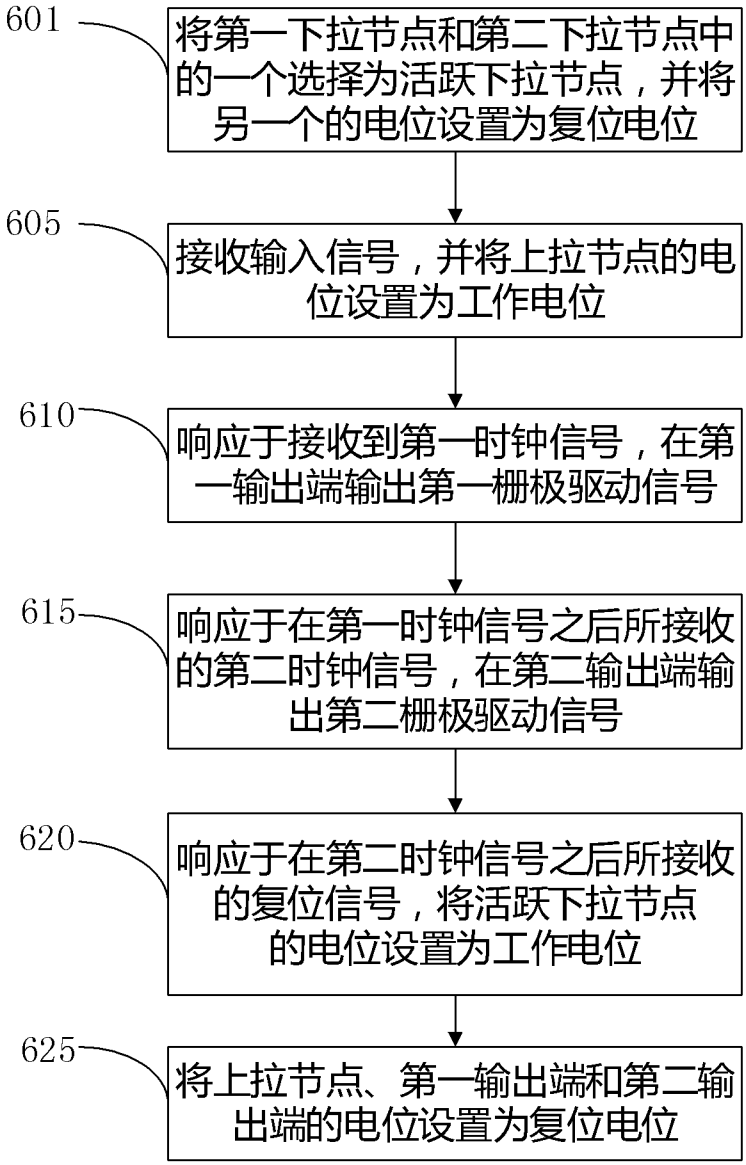

601
将第一下拉节点和第二下拉节点中的一个选择为活跃下拉节点，并将另一个的电位设置为复位电位
605
接收输入信号，并将上拉节点的电位设置为工作电位
610
响应于接收到第一时钟信号，在第一输出端输出第一栅极驱动信号
615
响应于在第一时钟信号之后所接收的第二时钟信号，在第二输出端输出第二栅极驱动信号
620
响应于在第二时钟信号之后所接收的复位信号，将活跃下拉节点的电位设置为工作电位
625
将上拉节点、第一输出端和第二输出端的电位设置为复位电位

图 6

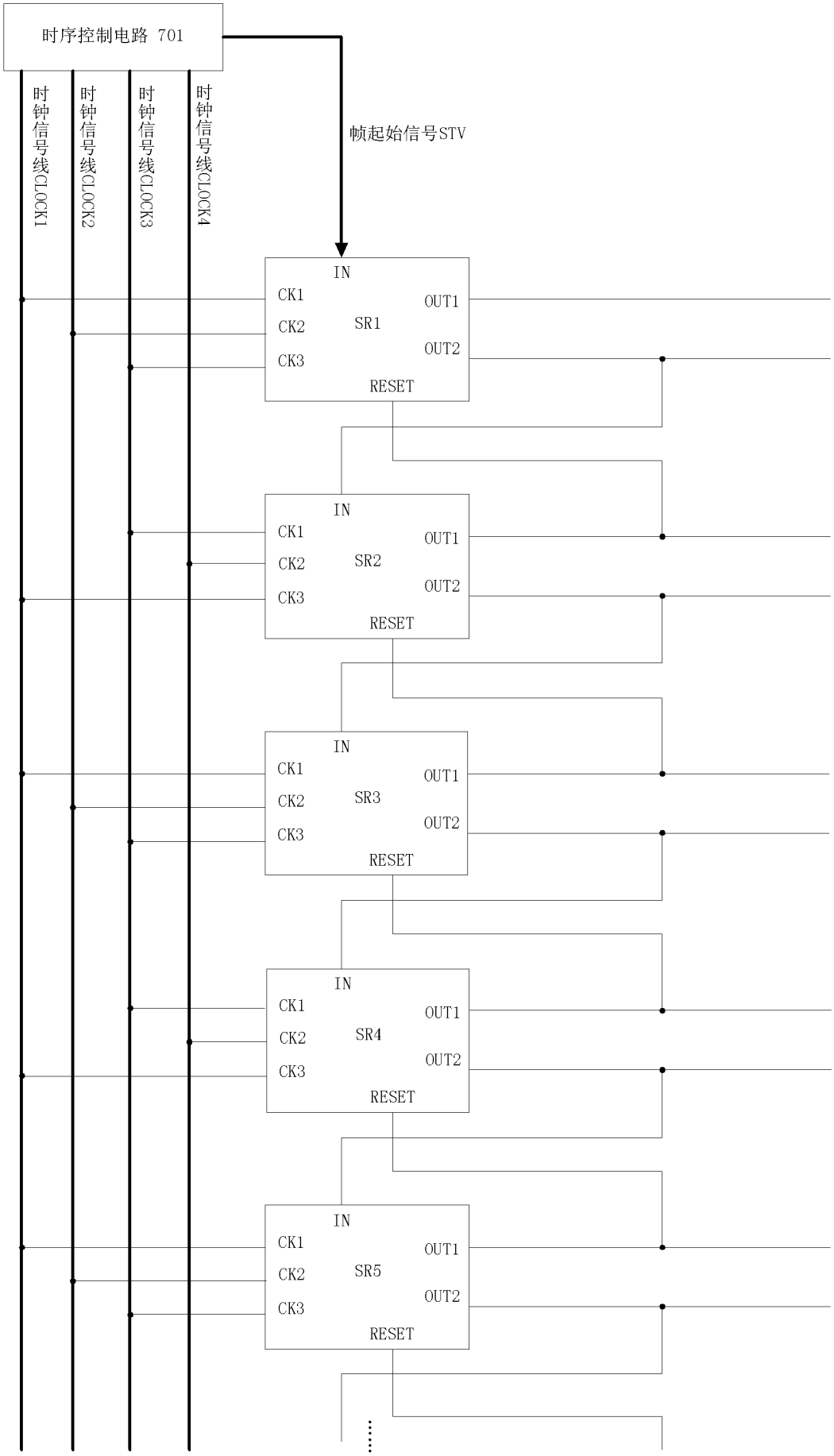

时序控制电路 701
时钟信号线CLOCK1
时钟信号线CLOCK2
时钟信号线CLOCK3
时钟信号线CLOCK4
帧起始信号STV
IN
CK1
CK2
CK3
SR1
OUT1
OUT2
RESET
IN
CK1
CK2
CK3
SR2
OUT1
OUT2
RESET
IN
CK1
CK2
CK3
SR3
OUT1
OUT2
RESET
IN
CK1
CK2
CK3
SR4
OUT1
OUT2
RESET
IN
CK1
CK2
CK3
SR5
OUT1
OUT2
RESET

图 7

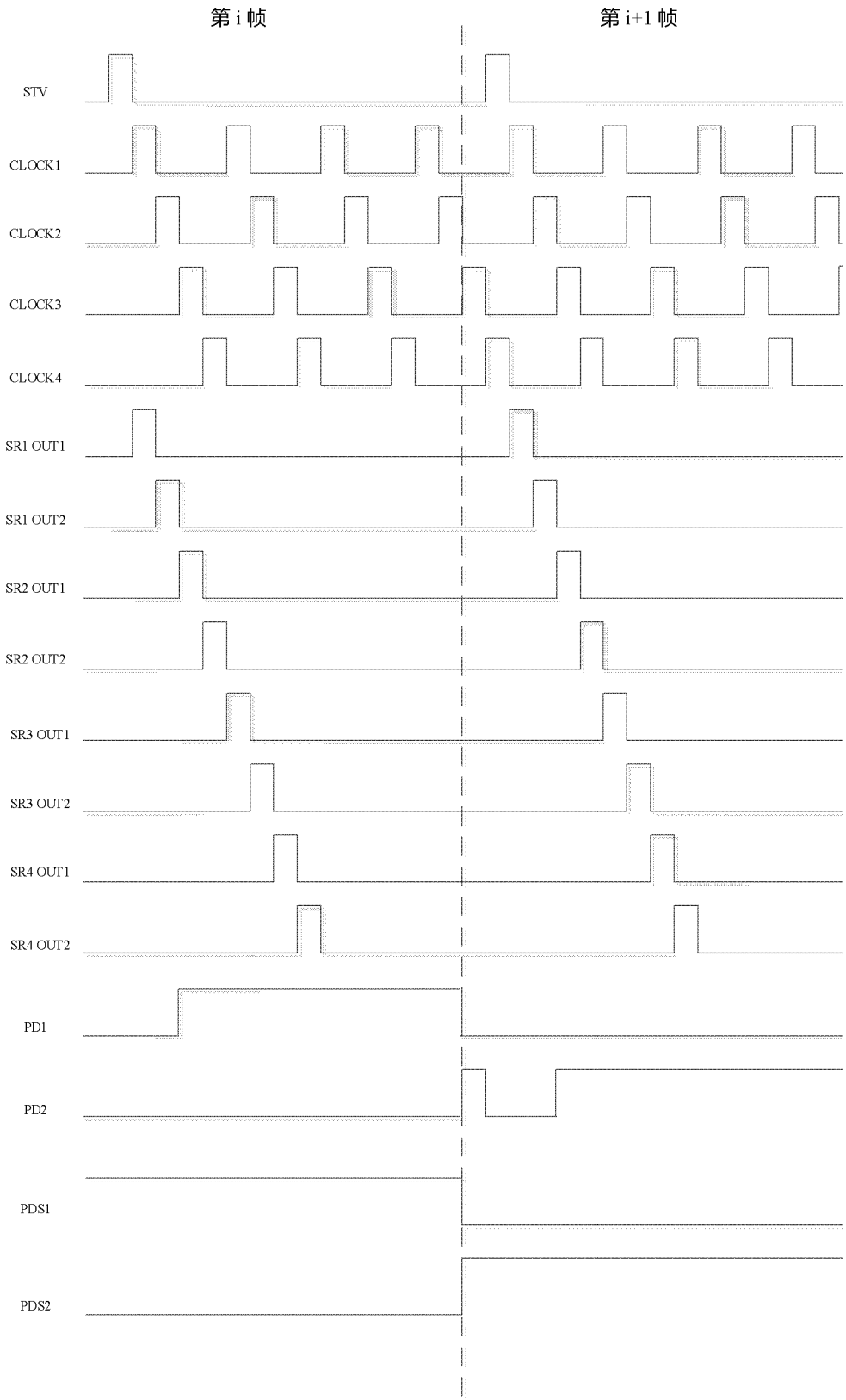

第 i 帧
第 i+1 帧
STV
CLOCK1
CLOCK2
CLOCK3
CLOCK4
SR1 OUT1
SR1 OUT2
SR2 OUT1
SR2 OUT2
SR3 OUT1
SR3 OUT2
SR4 OUT1
SR4 OUT2
PD1
PD2
PDS1
PDS2

图 8

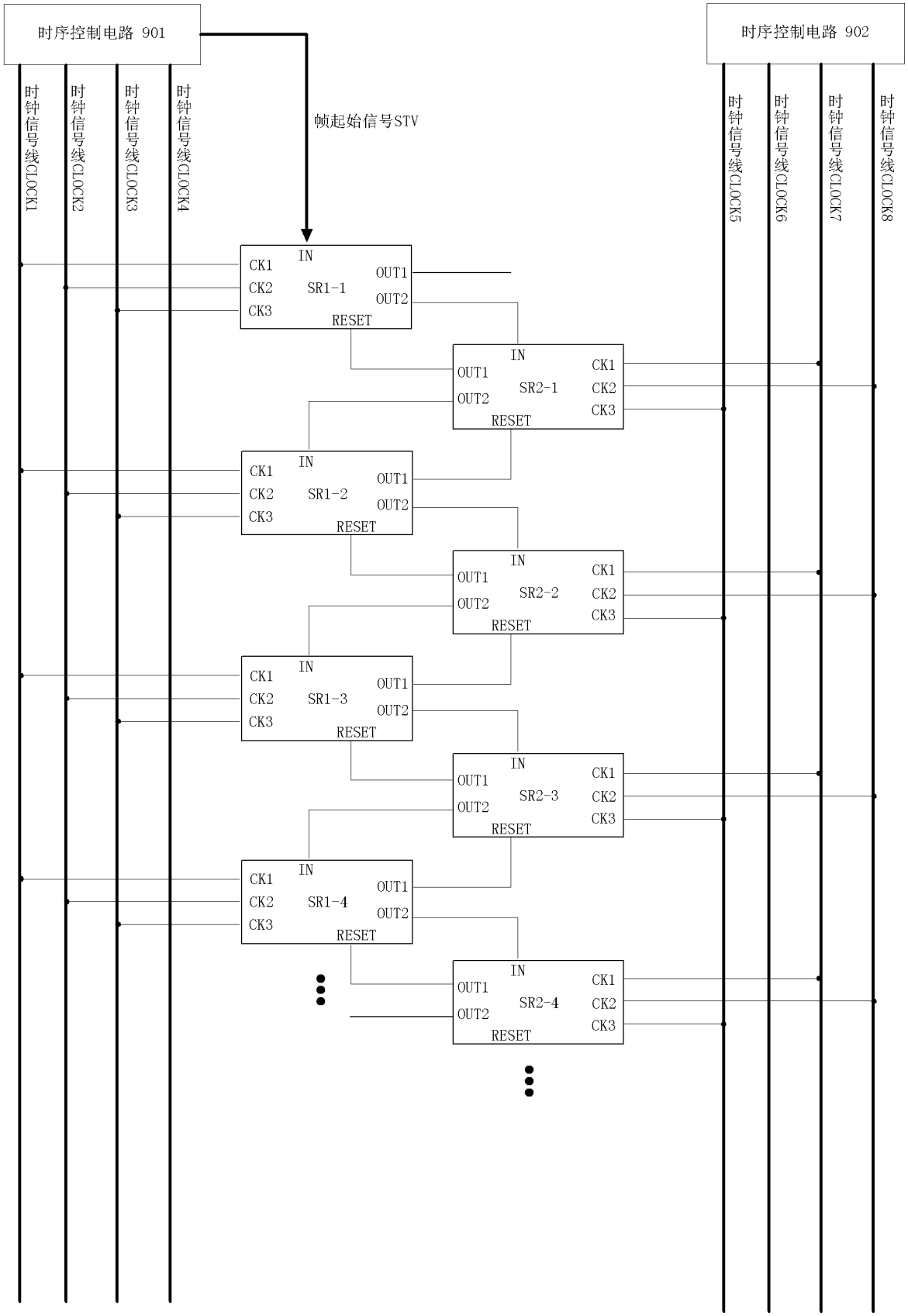

时序控制电路 901
时序控制电路 902
帧起始信号STV
时钟信号线CLOCK1
时钟信号线CLOCK2
时钟信号线CLOCK3
时钟信号线CLOCK4
时钟信号线CLOCK5
时钟信号线CLOCK6
时钟信号线CLOCK7
时钟信号线CLOCK8
IN
CK1
CK2
CK3
SR1-1
SR1-2
SR1-3
SR1-4
SR2-1
SR2-2
SR2-3
SR2-4
OUT1
OUT2
RESET

图 9

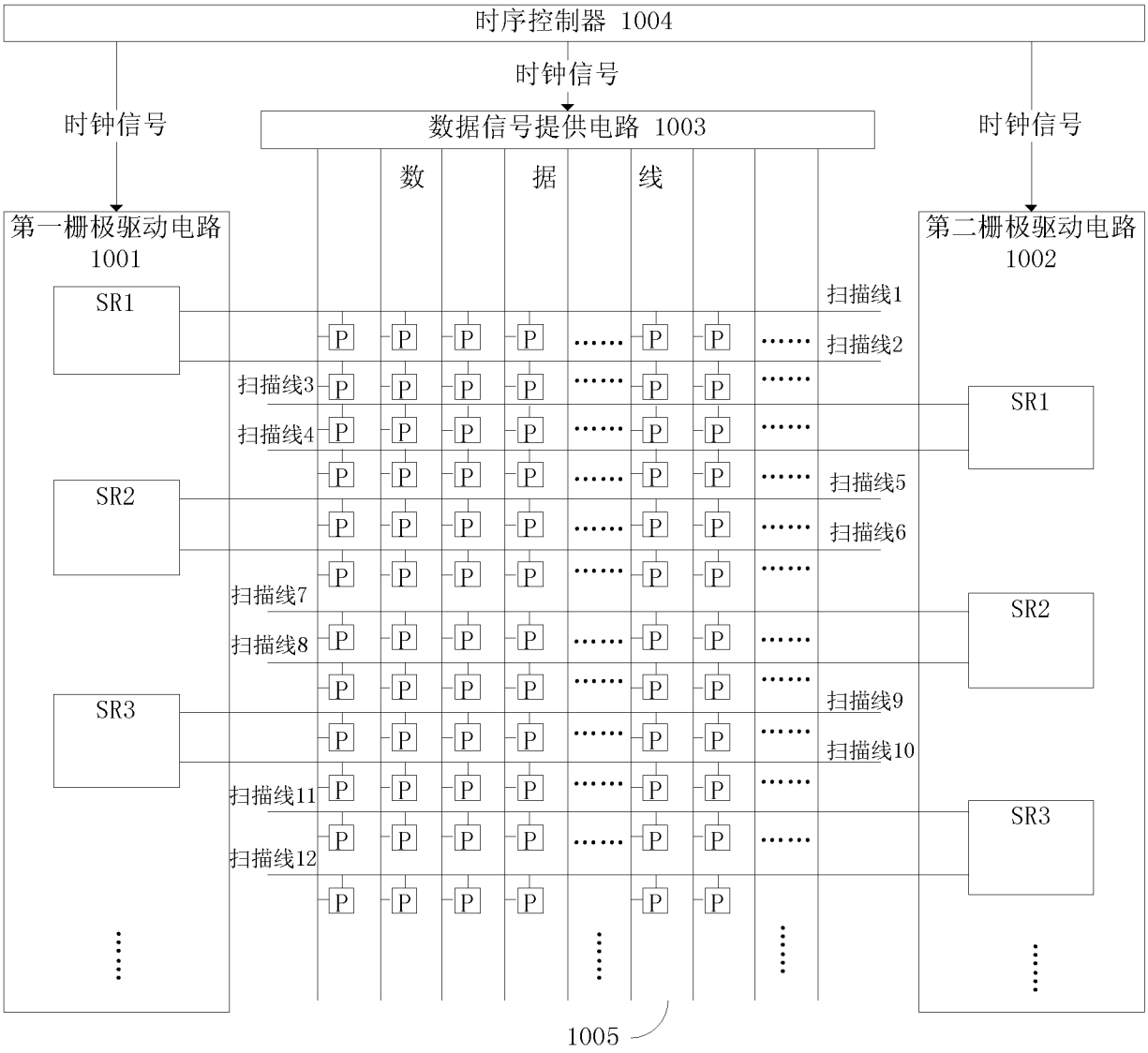

时序控制器 1004
时钟信号
时钟信号
数据信号提供电路 1003
时钟信号
数
据
线
第一栅极驱动电路
1001
第二栅极驱动电路
1002
SR1
SR2
SR3
SR1
SR2
SR3
扫描线1
扫描线2
扫描线3
扫描线4
扫描线5
扫描线6
扫描线7
扫描线8
扫描线9
扫描线10
扫描线11
扫描线12
P
1005

图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/105694

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: BOE, 京东方, 移位寄存器, GOA, 输入, 输出, 电路, 第二, 第一, 第三, 上拉, 控制, 节点, 下拉, 电压, 电位, 降低, 减小, 变小, 变低, 漏电, 栅极, 驱动, 交替, input, output, second, fourth, first, third, 1st, 3rd, 2nd, 4th, voltage, decrease, low+, reduc+, leakage, pull, up, down, control, shift, register, transistor, shif, gate, driv+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106601177 A (SHANGHAI TIANMA ORGANIC LIGHT-EMITTING DISPLAY TECHNOLOGY CO., LTD.) 26 April 2017 (2017-04-26) description, paragraphs [0103]-[0123], figures 2 and 3, and abstract	1-14
A	CN 106601168 A (SHANGHAI AVIC OPTOELECTRONICS CO., LTD. ET AL.) 26 April 2017 (2017-04-26) entire document	1-14
A	CN 105513525 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 20 April 2016 (2016-04-20) entire document	1-14
A	CN 105652535 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 June 2016 (2016-06-08) entire document	1-14
A	CN 106910451 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.) 30 June 2017 (2017-06-30) entire document	1-14

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 November 2018	**21 December 2018**

Name and mailing address of the ISA/CN	Authorized officer
State Intellectual Property Office of the P. R. China (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/105694

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005184763 A1 (OLYMPUS CORPORATION) 25 August 2005 (2005-08-25) entire document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/105694

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106601177	A	26 April 2017	None			
CN	106601168	A	26 April 2017	None			
CN	105513525	A	20 April 2016	US	2018151241	A1	31 May 2018
				WO	2017133084	A1	10 August 2017
				CN	105513525	B	27 March 2018
CN	105652535	A	08 June 2016	US	2017323609	A1	09 November 2017
				US	9898990	B2	20 February 2018
				CN	105652535	B	11 September 2018
				WO	2017124598	A1	27 July 2017
CN	106910451	A	30 June 2017	None			
US	2005184763	A1	25 August 2005	US	7202728	B2	10 April 2007
				JP	2005235311	A	02 September 2005

国际检索报告

国际申请号
PCT/CN2018/105694

A. 主题的分类

G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,WPI,EPODOC,CNKI: BOE，京东方，移位寄存器，GOA，输入，输出，电路，第二，第一，第三，上拉，控制，节点，下拉，电压，电位，降低，减小，变小，变低，漏电,栅极，驱动，交替，input，output，second，fourth，first，third，1st，3rd，2nd，4th，voltage，decrease，low+，reduc+，leakage，pull，up，down，control，shift，register，transistor，shif，gate，driv+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 106601177 A（上海天马有机发光显示技术有限公司）2017年 4月 26日（2017-04-26） 说明书第[0103]-[0123]段，附图2-3，摘要	1-14
A	CN 106601168 A（上海中航光电子有限公司 等）2017年 4月 26日（2017-04-26） 全文	1-14
A	CN 105513525 A（京东方科技集团股份有限公司 等）2016年 4月 20日（2016-04-20） 全文	1-14
A	CN 105652535 A（武汉华星光电技术有限公司）2016年 6月 8日（2016-06-08） 全文	1-14
A	CN 106910451 A（昆山龙腾光电有限公司）2017年 6月 30日（2017-06-30） 全文	1-14
A	US 2005184763 A1 (OLYMPUS CORPORATION) 2005年 8月 25日（2005-08-25） 全文	1-14

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2018年 11月 28日	2018年 12月 21日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 罗慧晶 电话号码 86-(10)-53961204

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/105694

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	106601177	A	2017年 4月 26日	无			
CN	106601168	A	2017年 4月 26日	无			
CN	105513525	A	2016年 4月 20日	US	2018151241	A1	2018年 5月 31日
				WO	2017133084	A1	2017年 8月 10日
				CN	105513525	B	2018年 3月 27日
CN	105652535	A	2016年 6月 8日	US	2017323609	A1	2017年 11月 9日
				US	9898990	B2	2018年 2月 20日
				CN	105652535	B	2018年 9月 11日
				WO	2017124598	A1	2017年 7月 27日
CN	106910451	A	2017年 6月 30日	无			
US	2005184763	A1	2005年 8月 25日	US	7202728	B2	2007年 4月 10日
				JP	2005235311	A	2005年 9月 2日