

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 30 日(30.12.2015)



(10) 国際公開番号

WO 2015/198512 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/78 (2006.01)
H01L 21/20 (2006.01) H01L 29/786 (2006.01)
H01L 21/336 (2006.01) H01L 29/812 (2006.01)
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2015/001761
- (22) 国際出願日: 2015 年 3 月 26 日(26.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-131692 2014 年 6 月 26 日(26.06.2014) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 土屋 義規(TSUCHIYA, Yoshinori); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 樽見 浩幸(TARUMI, Hiroyuki); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 星 真一(HOSHI, Shinichi); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 松井 正樹(MATSUI, Masaki); 〒4488661 愛知県刈谷

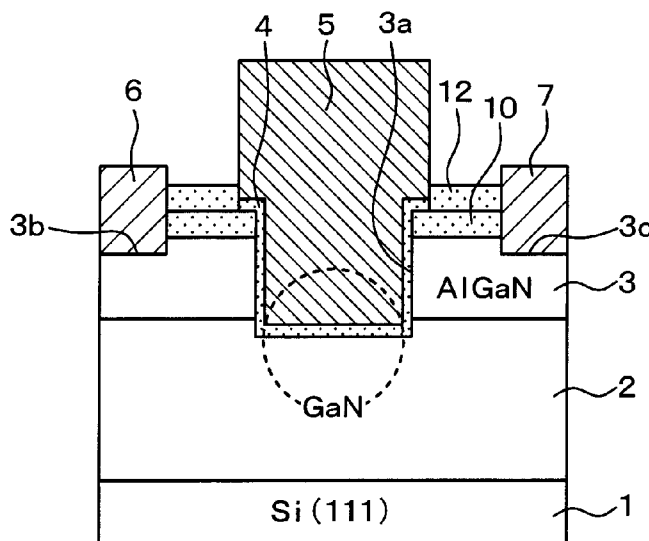
市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 伊藤 健治(ITO, Kenji); 〒4801192 愛知県長久手市横道 4 1 番地の 1 株式会社豊田中央研究所内 Aichi (JP). 成田 哲生(NARITA, Tetsuo); 〒4801192 愛知県長久手市横道 4 1 番地の 1 株式会社豊田中央研究所内 Aichi (JP). 加地 徹(KACHI, Tetsu); 〒4801192 愛知県長久手市横道 4 1 番地の 1 株式会社豊田中央研究所内 Aichi (JP).

- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: This semiconductor device comprises a GaN device including: a substrate (1) made of a semi-insulating material or a semiconductor; a channel-forming layer (2, 3) including a GaN layer (2) formed on the substrate; a gate structure (4, 5) in which a gate-insulating film (4) in contact with the GaN layer is formed on the channel-forming layer, the gate structure having a gate electrode (5) formed across the gate-insulating film; and a source electrode (6) and a drain electrode (7) that are arranged on the channel-forming layer and on opposite sides sandwiching the gate structure. The donor element concentration at the interface between the gate-insulating film and the GaN layer and at the lattice position on the GaN layer side with respect to the interface is set to less than or equal to $5.0 \times 10^{17} \text{ cm}^{-3}$.

(57) 要約: 半導体装置は、半絶縁性もしくは半導体にて構成される基板(1)と、前記基板上に形成されたGaN層(2)を含むチャネル形成層(2、3)と、前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜(4)が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極(5)とを有するゲート構造(4、5)と、前記チャネル形成層において、前記ゲート構造を挟んだ両側に配置されたソース電極(6)およびドレイン電極(7)と、を備えたGaNデバイスを含む。前記ゲート絶縁膜と前記GaN層との界面および該界面より前記GaN層側における格子位置でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている。

ト電極(5)とを有するゲート構造(4、5)と、前記チャネル形成層において、前記ゲート構造を挟んだ両側に配置されたソース電極(6)およびドレイン電極(7)と、を備えたGaNデバイスを含む。前記ゲート絶縁膜と前記GaN層との界面および該界面より前記GaN層側における格子位置でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている。

WO 2015/198512 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置およびその製造方法

関連出願の相互参照

[0001] 本開示は、2014年6月26日に出願された日本出願番号2014-131692号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、窒化ガリウム（以下、GaNという）を主成分とする化合物半導体を用いたGaNデバイスを有する半導体装置およびその製造方法に関するものである。

背景技術

[0003] 従来より、GaNを主成分とする化合物半導体を用いたGaNデバイスを有する半導体装置が知られている。GaNデバイスを形成する場合、GaN層の表面に大気暴露によって自然酸化膜が形成されることから、ゲート絶縁膜を形成する前に自然酸化膜を除去する必要がある。しかしながら、自然酸化膜をフッ酸によって除去した場合、GaN層にダメージが残る。

[0004] このため、特許文献1において、このダメージ層を低減できるGaNデバイスの形成方法が開示されている。具体的には、GaN層にて構成される第1の半導体層の上に、第1の半導体層よりも不純物の固溶度が高い第1の犠牲層を形成する工程と、第1の犠牲層および第1の半導体層をアニールする工程とを行う。続いて、第1の犠牲層をウェットエッチングによって除去する工程を行ったのち、第1の半導体層の少なくとも一部を絶縁層で覆う工程と第1の半導体層の一部をエッチングする工程の少なくとも一方の工程を行うことで、第1の半導体層の表面のダメージを除去する。その後、第1の半導体層に電氣的に接続される電極層を形成する。このようにして、GaN層の表面に形成されるダメージを除去している。

[0005] また、GaN層の表面に上部層が積層されている構造体を製造するときに、GaN層の表面が損傷しないように、その表面に形成されている自然酸化

膜を除去する方法もある。具体的には、GaN層の表面を非プラズマ状態のアンモニアを含むガスに曝す工程を行い、その後、アンモニアを含むガスに暴露されたGaN層の表面を大気暴露せずにシリコン酸化（SiO₂）層を積層する工程を行う。このようにして、アンモニアを含むガスを用いて自然酸化膜を除去した後、自然酸化膜が形成される前にGaN層の表面にシリコン酸化膜を除去することで、GaN層へのダメージを低減している。

[0006] しかしながら、上記したいずれの場合であっても、GaN層の表層部におけるドナー元素濃度（Si濃度もしくはO濃度）を低減することはできない。このため、GaN層の表層部に存在するSiもしくはOがドナー元素として働いてGaNデバイスの閾値電圧にバラツキが生じる。

先行技術文献

特許文献

[0007] 特許文献1：特開2012-156269号公報

発明の概要

[0008] 本開示は上記点に鑑みて、閾値電圧を適正值に制御でき、バラツキの少ないGaNデバイスを実現することができる構造の半導体装置およびその製造方法を提供することを目的とする。

[0009] 本開示の第一の態様において、半導体装置は、半絶縁性もしくは半導体にて構成される基板と、基板上に形成されたGaN層を含むチャネル形成層と、チャネル形成層上に、GaN層に接するゲート絶縁膜が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極とを有するゲート構造と、チャネル形成層上において、ゲート構造を挟んだ両側に配置されたソース電極およびドレイン電極と、を備えたGaNデバイスを含む。ゲート絶縁膜とGaN層との界面および該界面よりGaN層側における格子位置でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている。

[0010] このように、ゲート絶縁膜とGaN層との界面およびGaN層側の格子位置にあるドナー元素濃度が低い濃度に設定されているため、チャネル部のドナーに起因する閾値電圧の変動を抑制できる。したがって、閾値電圧を適正

値に制御することが可能となって、バラツキの少ないGaNデバイスを実現することができる構造の半導体装置とすることが可能となる。

[0011] 本開示の第二の態様において、半導体装置は、半絶縁性もしくは半導体にて構成される基板と、前記基板上に形成されたGaN層を含むチャネル形成層と、前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極とを有するゲート構造と、前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極およびドレイン電極と、を備えたGaNデバイスを含む。ゲート絶縁膜とGaN層との界面でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ を超えており、ゲート絶縁膜とGaN層との界面よりGaN層側における格子位置でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている。

[0012] このように、ゲート絶縁膜とGaN層との界面でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ を超えていても、ゲート絶縁膜とGaN層との界面よりGaN層側における格子位置でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されていれば、上記の第一の態様と同様の効果を得ることができる。

[0013] 本開示の第三の態様において、半絶縁性もしくは半導体にて構成される基板と、前記基板上に形成されたGaN層を含むチャネル形成層と、前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極とを有するゲート構造と、前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極およびドレイン電極と、を備えたGaNデバイスを有する半導体装置の製造方法では、基板上にGaN層を含むチャネル形成層を形成し、チャネル形成層上に、GaN層に接するゲート絶縁膜を形成し、チャネル形成層を形成し、ゲート絶縁膜を形成する前に、GaN層のうちゲート絶縁膜と接する部分に存在するドナー元素を除去し、ドナー元素を除去した後、ドナー元素を含む雰囲気暴露することなくゲート絶縁膜を形成する。

[0014] このように、GaN層のうちゲート絶縁膜と接する部分に存在するドナー

元素を除去し、ドナー元素を除去した後、ドナー元素を含む雰囲気暴露することなくゲート絶縁膜を形成する。これにより、上記の第一の態様に記載の構造を有する半導体装置を製造できる。

[0015] 本開示の第四の態様において、半絶縁性もしくは半導体にて構成される基板と、前記基板上に形成されたGaN層を含むチャネル形成層と、前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極とを有するゲート構造と、前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極およびドレイン電極と、を備えたGaNデバイスを有する半導体装置の製造方法では、基板上にGaN層を含むチャネル形成層を形成し、チャネル形成層上に、GaN層に接するゲート絶縁膜を形成し、チャネル形成層を形成した後、ゲート絶縁膜の形成の前もしくは後に、GaN層のうちゲート絶縁膜と接する部分に存在するドナー元素を不活性化する。

[0016] このように、チャネル形成層を形成した後、ゲート絶縁膜の形成の前もしくは後に、GaN層のうちゲート絶縁膜と接する部分に存在するドナー元素を不活性化する。これにより、上記の第二の態様に記載の構造を有する半導体装置を製造できる。

[0017] 本開示の第五の態様において、半絶縁性もしくは半導体にて構成される基板と、前記基板上に形成されたGaN層を含むチャネル形成層と、前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極とを有するゲート構造と、前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極およびドレイン電極と、を備えたGaNデバイスを有する半導体装置の製造方法では、基板上にGaN層を含むチャネル形成層を形成し、チャネル形成層上に、GaN層に接するゲート絶縁膜を形成し、チャネル形成層においてGaN層を形成したのち、GaN層のうちゲート絶縁膜と接する部分に存在するドナー元素が活性化する温度以下にサーマルバジェットを制限してGaNデバイスを形成する。

[0018] このように、GaN層のうちゲート絶縁膜と接する部分に存在するドナー元素が活性化する温度以下にサーマルバジェットを制限してGaNデバイスを形成するようにしても、上記の第二の態様に記載の構造の半導体装置を製造することができる。

図面の簡単な説明

[0019] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、本開示の第1実施形態にかかる半導体装置の断面図であり、
[図2]図2(a)から図2(d)は、図1に示す半導体装置の製造工程を示した断面図であり、
[図3]図3は、ゲート絶縁膜4とGaN層2の界面近傍での基板深さ方向に対するSi濃度を調べた結果を示した図であり、
[図4]図4は、ドナー元素の除去工程を行うことでGaN層2の表面洗浄を行ってから、大気へ暴露したときの経過時間とSi濃度の変化を調べた結果を示す図である。

発明を実施するための形態

[0020] (第1実施形態)

本開示の第1実施形態について説明する。本実施形態では、GaNを主成分とする化合物半導体を用いたGaNデバイスを有する半導体装置として、GaN-HEMT (High electron mobility transistor: 高電子移動度トランジスタ) デバイスの一つである横型のHEMTを備える半導体装置について説明する。

[0021] 図1に示すように、本実施形態にかかる半導体装置は、横型のHEMTを備えている。このHEMTは、以下のように構成されている。

[0022] 横型のHEMTは、基板1の表面に、GaN層2およびn型のAlGaN層3が積層された構造を化合物半導体基板として用いて形成されている。これらGaN層2およびAlGaN層3によるAlGaN/GaN界面のGaN層2側に、ピエゾ効果および分極効果により2次元電子ガス（以下、2D

E G) キャリアが誘起される。

[0023] 基板 1 は、図 1 中では Si (111) を例として挙げているが、例えば Si (111)、SiC、およびサファイヤなどの半絶縁性材料や半導体材料によって構成されている。この基板 1 の上に GaN 層 2 と AlGaIn 層 3 が例えばヘテロエピタキシャル成長によって形成されている。化合物半導体基板の比抵抗値については、目的とするデバイスの特性に応じて、化合物半導体基板を構成する各層の不純物濃度により任意に調整すれば良い。GaN 層 2 と基板 1 との間に AlGaIn-GaN 超格子層などを介在させ、GaN 層 2 の結晶性を良好なものにすることもできる。なお、ここでの結晶性とは、GaN 層 2 中の欠陥や転位などであり、電気的および光学的な特性に対して影響を及ぼすものである。

[0024] この化合物半導体基板におけるチャネル部上において、AlGaIn 層 3 の表面から GaN 層 2 に達するようにリセス形状部（凹部）3a が形成されている。また化合物半導体基板のうちリセス形状部 3a を挟んだ両側において、AlGaIn 層 3 の表面から所定深さの溝部 3b、3c が形成されている。

[0025] リセス形状部 3a が形成された場所には、リセス形状部 3a 内およびリセス形状部 3a の周囲に形成されたゲート絶縁膜 4 およびその上に形成されたゲート電極 5 にて構成されるゲート構造が備えられている。ゲート絶縁膜 4 は、酸化アルミニウム膜 (Al_2O_3) などによって構成されており、ゲート電極 5 は、アルミニウムまたは不純物がドーピングされた Poly-Si などによって構成されている。そして、図示しないが、ゲート電極 5 の表面には、Al などで構成されるゲート配線層が形成されている。ゲート電極およびゲート絶縁膜の材料は、目的とするデバイスの閾値電圧およびゲート耐圧、長期信頼性等を鑑みて、最適な材料およびその構造を選べばよい。

[0026] 一方、AlGaIn 層 3 の表面のうち溝部 3b が配置された場所には、溝部 3b 内に入り込むようにソース電極 6 が形成されており、溝部 3c が配置された場所には、溝部 3c 内に入り込むようにドレイン電極 7 が形成されている。そして、ソース電極 6 やドレイン電極 7 がそれぞれ溝部 3b、3c の表

面とオーミック接触させられている。このような構成により、本実施形態にかかる横型のHEMTが構成されている。このように構成される横型のHEMTの各部の寸法については任意であり、例えば、ソースゲート、ゲートドレイン間の距離は、目的とするデバイスのオン抵抗および耐圧を鑑みて決定すればよい。

[0027] さらに、このように構成された横型のHEMTにおいて、本実施形態では、ゲート絶縁膜4とGaN層2との界面およびGaN層2側（GaN層2の表層部）の格子位置にあるドナー元素（SiやO）濃度を $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下に設定している。好ましくは、ドナー元素濃度を $3.5 \times 10^{17} \text{ cm}^{-3}$ 以下に設定している。このように、ゲート絶縁膜4とGaN層2との界面およびGaN層2側の格子位置にあるドナー元素濃度が低い濃度に設定されているため、チャネル部のドナーに起因する閾値電圧の変動を抑制できる。特に、格子位置にあるドナー元素濃度を $3.5 \times 10^{17} \text{ cm}^{-3}$ 以下に設定すると、より効果的に閾値電圧の変動を抑制できる。したがって、閾値電圧を適正值に制御することが可能となって、バラツキの少ないGaNデバイスを実現することができる構造の半導体装置とすることが可能となる。

[0028] 具体的には、このように構成される横型のHEMTは、ゲート電極5に対してゲート電圧を印加することでスイッチング動作を行う。すなわち、ゲート電極5に対してゲート電圧を印加することで、ゲート電極5の下方におけるGaN層2とゲート絶縁膜4の界面に発生する電子層（チャネル）の密度を制御し、ソースドレイン間に電圧を加えることで、ソースドレイン間に電流を流すという動作を行う。

[0029] このような横型のHEMTでは、ゲート構造の下部におけるドナー元素濃度に応じて電子濃度などが変化し、閾値に影響を及ぼすことから、ドナー元素濃度が低い方が好ましい。これに対して、本実施形態では、ゲート絶縁膜4とGaN層2との界面およびGaN層2側の格子位置にあるドナー元素濃度を上記した低い値に設定している。このため、チャネル部のドナーに起因する閾値電圧の変動を抑制でき、閾値電圧を適正值に制御することが可能と

なる。これにより、バラツキの少ないGaNデバイスを実現することができ
る構造の半導体装置とすることが可能となる。

[0030] 続いて、本実施形態にかかる横型のHEMTの製造方法について、図2を
参照して説明する。

[0031] [図2(a)に示す工程]

Si(111)やSiCおよびサファイヤなどの基板1の表面に、GaN
層2およびn型のAlGaN層3が積層された構造を有する化合物半導体基
板を用意する。例えば、基板1の表面に、GaN層2およびAlGaN層3
をMOCVD(Metal Organic Chemical Vapor Deposition:有機金属気相成
長)法や超高純度、高精度にしたMBE(Molecular Beam Epitaxy:分子線
エピタキシー)法などによって形成する。

[0032] [図2(b)に示す工程]

AlGaN層3の表面に、層間膜となる酸化膜10を形成した後、酸化膜
10の表面に第2マスクとなるレジスト11を形成する。そして、フォトリ
ソグラフィ工程を経てレジスト11をパターニングしたのち、このレジスト
11をマスクとして酸化膜10をパターニングする。これにより、AlGaN
層3の表面のうちゲート構造の形成予定位置においてレジスト11および
酸化膜10が開口させられる。この後、レジスト11および酸化膜10をマ
スクとして用いたドライエッチング工程を行うことで、AlGaN層3の表
面をリセス加工して、GaN層2の表面を露出させたリセス形状部3aを形
成する。また、リセス形状部3aを形成した後、ドライエッチングのマスク
として用いたレジスト11を除去することで、ドライエッチング工程を終了
する。

[0033] [図2(c)に示す工程]

続いて、ゲート絶縁膜4の形成工程を行うが、上記のようにしてGaN層
2の表面を露出させたのち、ゲート絶縁膜4の形成工程の前に、リセス形状
部3aから露出させられたGaN層2の表面に存在するドナー元素の除去工
程を行う。

[0034] 例えば、ドナー元素としてS iを除去する場合には、 CF_4 などのF系ガス、 Cl_2 系ガス、 H_2 ガス、 HCl ガス中においてアニール処理を行うことにより、S i元素が吸着され、揮発性ガスとなって離脱していく。これにより、ドナー元素となるS iを除去することができる。

[0035] 例えば、 CHF_3 、 SF_6 や CF_4 などのF系ガスを用いる場合、 CF_4 を0.1～100 sccm程度の流量でチャンバー内に導入しつつ、チャンバー内を1～50 Paの減圧雰囲気とし、500℃以上に加熱する。このとき、 CF_4 と H_2 や O_2 の混合ガスを用いてもよい。 Cl_2 系ガスを用いる場合、 Cl_2 を5～100 sccm程度導入しつつ、チャンバー内を0.1～100 Paの減圧雰囲気とし、500℃以上に加熱する。また、 H_2 ガスや HCl ガスやそれらを含む混合ガスを用いてもよい。付着するS iは大気中の酸素と結合し、部分的に SiO_x の状態になっており、用いるガス種は、S iやS i酸化物をエッチングする性質のガス及び条件を用いればよい。また、加熱だけではS i、 SiO_x の除去が困難な場合には、プラズマ源を用いて活性なラジカルガスを用いても良い。

[0036] また、ドナー元素としてOを除去する場合には、Alによる酸素捕捉効果を用いてO元素を還元するのも有効である。例えば、5 nm以下の薄膜のAl若しくは AlO_x ($x < 1.5$)をGa N表面に成膜し、400℃以上に加熱することでGa N表面のOをAlもしくは AlO_x と反応させる。その後、 O_2 雰囲気アニールすることで Al_2O_3 に変質させる。こうすることで表面のOをすべて Al_2O_3 に吸着できる。Al—Oの結合エネルギーはGa—Oよりも安定であり一度 Al_2O_3 に取り込まれたOがGa N中に拡散することはない。

[0037] また、表面のS iやOが SiO_x や GaO_x の状態である場合には、 H_2 、 NF_3 （もしくは HF ）および NH_3 のプラズマによるラジカルガスに晒すことでGa N基板表面へのダメージなくエッチング除去することができる。この際に反応促進のために基板を加熱することも有効である。

[0038] この後、ドナー元素の除去工程からS iやOを含有する雰囲気中への暴露

工程を経ることなく、もしくは短時間しか経ないようにして、ゲート絶縁膜 4 の形成工程を行う。例えば、ドナー元素の除去工程とゲート絶縁膜 4 の形成工程を同じチャンバーで行いつつ、これらの工程を大気に曝さない真空一貫工程とすることにより、S i や O を含有する雰囲気中への暴露工程を経ないようにできる。また、ドナー元素の除去工程で用いるチャンバーからゲート絶縁膜 4 の形成工程で用いるチャンバーへの搬送を N₂ や A r 雰囲気での搬送によって行えるようにしたり、真空搬送によって行えるようにしても良い。

[0039] そして、リセス形状部 3 a 内を含め、A l G a N 層 3 の表面に A l₂O₃ などの絶縁膜、不純物をドーピングした P o l y - S i 、A l などの金属材料を順に成膜したのち、図示しないマスクを用いてこれらをパターニングする。これにより、ゲート絶縁膜 4、ゲート電極 5 が形成される。

[0040] このとき、ドナー元素の除去工程を行ってからゲート絶縁膜 4 を形成しているため、ゲート絶縁膜 4 と G a N 層 2 との界面および G a N 層 2 側の格子位置にあるドナー元素の濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $3.5 \times 10^{17} \text{ cm}^{-3}$ 以下となる。図 3 は、ゲート絶縁膜 4 と G a N 層 2 の界面近傍（図 1 中の破線部分）での基板深さ方向に対する S i 濃度を調べた結果を示している。この図に示すように、本実施形態のようなドナー元素の除去工程を行った場合、ゲート絶縁膜中 4 と G a N 層 2 との界面および G a N 層 2 側の格子位置においてドナー濃度が小さくなっていることが判る。具体的には、 $3.5 \times 10^{17} \text{ cm}^{-3}$ 以下となっている。これに対して、比較例としてドナー元素の除去工程を行わなかった場合（比較例）、ゲート絶縁膜中 4 と G a N 層 2 との界面および G a N 層 2 側の格子位置においてドナー濃度が高くなっていた。具体的には、 $5.0 \times 10^{17} \text{ cm}^{-3}$ を超えていた。

[0041] これは、ドナー元素の除去工程を行った後、S i や O などを含む雰囲気、例えば大気への暴露工程を行うことなくゲート絶縁膜 4 を形成したためである。図 4 は、ドナー元素の除去工程を行うことで G a N 層 2 の表面洗浄を行ってから、大気へ暴露したときの経過時間と S i 濃度の変化を調べた結果を

示す図である。この図に示すように、大気への暴露時間の増加に伴ってS i濃度が高くなっていき、例えば1時間程度でS i濃度が閾値電圧に影響を与え得る $5.0 \times 10^{17} \text{ cm}^{-3}$ を超える。このため、S i濃度を $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下とするためには、ドナー元素の除去工程を行ってから、1時間以内にゲート絶縁膜4の形成工程を行うか、S iやOを含む雰囲気への暴露工程を経ないようにしてゲート絶縁膜4の形成工程を行うようにすればよい。なお、O濃度については図示していないが、S i濃度と同様の結果となる。

[0042] したがって、本実施形態のように、ドナー元素の除去工程からS iやOを含有する雰囲気中への暴露工程を経ることなく、もしくは短時間しか経ないようにして、ゲート絶縁膜4の形成工程を行うことで、ドナー元素濃度を上記のように低い濃度に設定できる。

[0043] そして、このようにゲート絶縁膜4とGa N層2との界面およびGa N層2側の格子位置にあるドナー元素濃度が低い濃度に設定されることで、チャネル部のドナーに起因する閾値電圧の変動を抑制することが可能となる。したがって、従来のように、ドナー元素の除去工程を行わない場合と比較して、閾値電圧を適正值に制御することが可能となって、バラツキの少ないGa Nデバイスを実現することができる構造の半導体装置とすることが可能となる。

[0044] なお、基板1としてシリコン(111)を用いる場合には、基板表面からのS iの外方への放出も発生し得る。このため、基板1としてシリコン(111)を用いる場合には、基板1の上にGa N層2を成膜したのち、Ga N層2の表面以外の部分をマスクによって覆うことで、S iの外方への放出を抑制すると好ましい。これにより、よりドナー元素濃度を低く抑えることが可能となり、さらに閾値電圧を適正值に制御することが容易となる。

[0045] [図2(d)に示す工程]

ゲート絶縁膜4、ゲート電極5を覆いつつ、溝部3b、3cの形成予定領域が開口する絶縁膜およびマスクを形成する。例えば、絶縁膜については酸化膜12を形成した後、酸化膜12の表面にマスクとなるレジスト13を形

成することで構成することができる。

[0046] この後、レジスト13を用いて酸化膜12およびAlGaIn層3のドライエッチング工程を行うことで、AlGaIn層3の表面に溝部3b、3cを形成する。この後、レジスト13を除去する。

[0047] この後の工程については従来と同様であるが、層間絶縁膜形成工程やコンタクトホール形成工程、ソース電極6およびドレイン電極7の形成工程などを経て、図1に示した横型のHEMTを有する半導体装置が完成する。

[0048] (第2実施形態)

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対して化合物半導体基板中におけるドナー元素濃度が異なっているが、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0049] 本実施形態にかかる横型のHEMTを有する半導体装置では、ゲート絶縁膜4とGaIn層2との界面にあるドナー元素(SiやO)濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以上となっている。ただし、これらの界面におけるGaIn層2側(GaIn層2の表層部)の格子位置にあるドナー元素濃度を $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $3.5 \times 10^{17} \text{ cm}^{-3}$ 以下に設定している。このように、ゲート絶縁膜4とGaIn層2との界面にあるドナー元素濃度が高い濃度に設定されていたとしても、これらの界面におけるGaIn層2側の格子位置にあるドナー元素濃度が低くなるようにすれば、第1実施形態と同様の効果を得ることが可能となる。

[0050] このような構造の横型のHEMTを有する半導体装置は、基本的には第1実施形態と同様の製造工程によって製造される。ただし、ドナー元素の除去工程に代えて、GaIn層2中の格子位置のドナー元素を低くする工程を行うようにしている。

[0051] 例えば、酸化雰囲気、つまり O_2 や H_2O などのようにGaInを酸化する雰囲気でのアニール処理を行うことにより、GaIn中のSiよりも安定な SiO_2 で構成される SiO_2 安定層を形成する。SiとOとの結合の方がSiとNと

の結合よりも強いため、 SiO_2 を形成しておくことにより、 Si が拡散して GaN 層2中の格子位置を占めるドナー元素とならないように不活性化できる。これにより、ゲート絶縁膜4と GaN 層2との界面における GaN 層2側の格子位置にあるドナー元素濃度を低く設定することが可能となる。

[0052] なお、このようにゲート絶縁膜4と GaN 層2との界面における GaN 層2側の格子位置にあるドナー元素濃度を低くするための酸化雰囲気でのアニール処理は、ゲート絶縁膜4の成膜後に行っても構わない。ゲート絶縁膜4の成膜後に行ったとしても、 GaN 層2の格子位置に取り込まれた Si が酸化されることで SiO_2 になるため、格子位置にあるドナー元素として働かずに不活性化される。このため、閾値電圧の変動を抑制することが可能になる。また、このような酸化雰囲気でのアニール処理を行った場合には、後工程で他のアニール処理を行うときに、酸化雰囲気でのアニール処理によって形成した Si 安定層が乖離しない温度およびサーマルバジェット以下で行う必要がある。

[0053] (他の実施形態)

例えば、上記第2実施形態では、ドナー元素を不活性化する工程を行う場合について説明したが、ドナー元素が活性化しないように、 GaN 層2の形成工程以降のサーマルバジェット（累積加熱温度の積分値）をドナー元素を活性化させる温度以下に制限しても良い。

[0054] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1]

半絶縁性もしくは半導体にて構成される基板（１）と、
前記基板上に形成されたGaN層（２）を含むチャネル形成層（２、３）と、
前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜（４）が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極（５）とを有するゲート構造（４、５）と、
前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極（６）およびドレイン電極（７）と、を備えたGaNデバイスを含み、
前記ゲート絶縁膜と前記GaN層との界面および該界面より前記GaN層側における格子位置でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている半導体装置。

[請求項2]

半絶縁性もしくは半導体にて構成される基板（１）と、
前記基板上に形成されたGaN層（２）を含むチャネル形成層（２、３）と、
前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜（４）が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極（５）とを有するゲート構造（４、５）と、
前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極（６）およびドレイン電極（７）と、を備えたGaNデバイスを含み、
前記ゲート絶縁膜と前記GaN層との界面でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ を超えており、前記ゲート絶縁膜と前記GaN層との界面より前記GaN層側における格子位置でのドナー元素濃度が $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている半導体装置。

[請求項3]

前記ドナー元素はSiもしくはOである請求項１または２に記載の半導体装置。

[請求項4] 前記ドナー元素は、前記格子位置において $3.5 \times 10^{17} \text{ cm}^{-3}$ 以下に設定されている請求項1ないし3のいずれか1つに記載の半導体装置。

[請求項5] 半絶縁性もしくは半導体にて構成される基板（1）と、
前記基板上に形成されたGaN層（2）を含むチャネル形成層（2、3）と、
前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜（4）が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極（5）とを有するゲート構造（4、5）と、
前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極（6）およびドレイン電極（7）と、を備えたGaNデバイスを含む半導体装置の製造方法であって、
前記基板上に前記GaN層を含むチャネル形成層を形成し、
前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜を形成し、
前記チャネル形成層を形成した後、前記ゲート絶縁膜を形成する前に、前記GaN層のうち前記ゲート絶縁膜と接する部分に存在するドナー元素を除去することを備え、
前記ドナー元素の除去の後、前記ドナー元素を含む雰囲気暴露することなく前記ゲート絶縁膜の形成を行う半導体装置の製造方法。

[請求項6] 前記チャネル形成層の上に前記ゲート構造の形成予定位置が開口するマスク（10、11）を形成し、該マスクを用いたエッチングにより前記GaN層を露出させるリセス形状部（3a）を形成することをさらに備え、
前記リセス形状部を形成した後に、前記ドナー元素の除去を行う請求項5に記載の半導体装置の製造方法。

[請求項7] 前記ドナー元素の除去は、F系ガス、Cl₂系ガス、H₂ガス、HClガスのいずれかを用いたアニール処理である請求項5または6に記載

載の半導体装置の製造方法。

- [請求項8] 半絶縁性もしくは半導体にて構成される基板（１）と、
前記基板上に形成されたGaN層（２）を含むチャネル形成層（２、３）と、
前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜（４）が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極（５）とを有するゲート構造（４、５）と、
前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極（６）およびドレイン電極（７）と、を備えたGaNデバイスを有する半導体装置の製造方法であって、
前記基板上に前記GaN層を含むチャネル形成層を形成し、
前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜を形成し、
前記チャネル形成層の形成の後、前記ゲート絶縁膜の形成の前もしくは後に、前記GaN層のうち前記ゲート絶縁膜と接する部分に存在するドナー元素を不活性化することを備える半導体装置の製造方法。

- [請求項9] 前記ドナー元素の不活性化は、酸化雰囲気中でのアニール処理である請求項８に記載の半導体装置の製造方法。

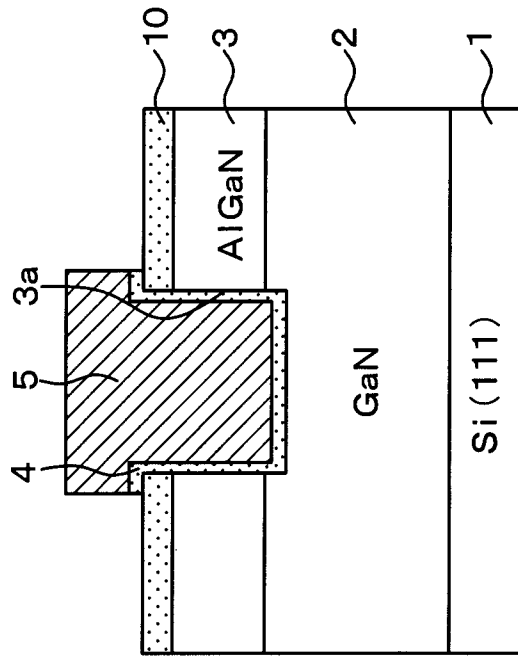
- [請求項10] 半絶縁性もしくは半導体にて構成される基板（１）と、
前記基板上に形成されたGaN層（２）を含むチャネル形成層（２、３）と、
前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜（４）が形成されていると共に、該ゲート絶縁膜を介して形成されたゲート電極（５）とを有するゲート構造（４、５）と、
前記チャネル形成層上において、前記ゲート構造を挟んだ両側に配置されたソース電極（６）およびドレイン電極（７）と、を備えたGaNデバイスを有する半導体装置の製造方法であって、
前記基板上に前記GaN層を含むチャネル形成層を形成し、

前記チャネル形成層上に、前記GaN層に接するゲート絶縁膜を形成し、

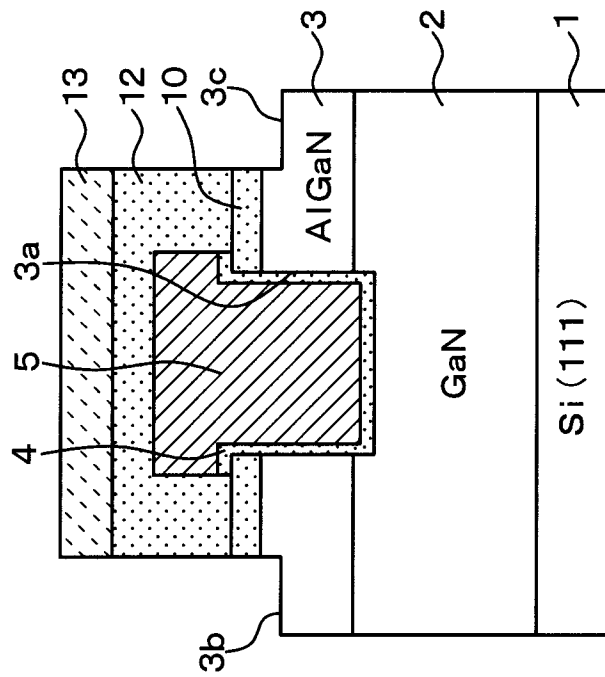
前記チャネル形成層において前記GaN層を形成したのち、前記GaN層のうち前記ゲート絶縁膜と接する部分に存在するドナー元素が活性化する温度以下にサーマルバジェットを制限して前記GaNデバイスを形成することを備える半導体装置の製造方法。

[illegible]

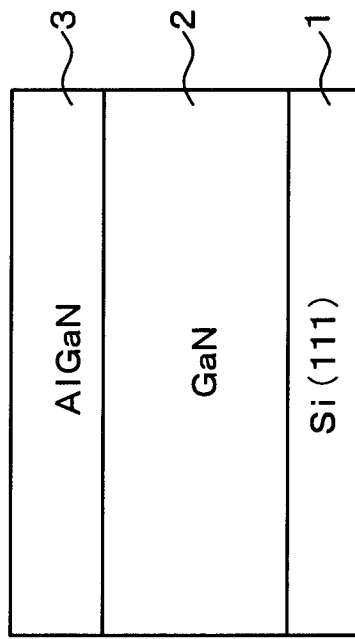
[図2]



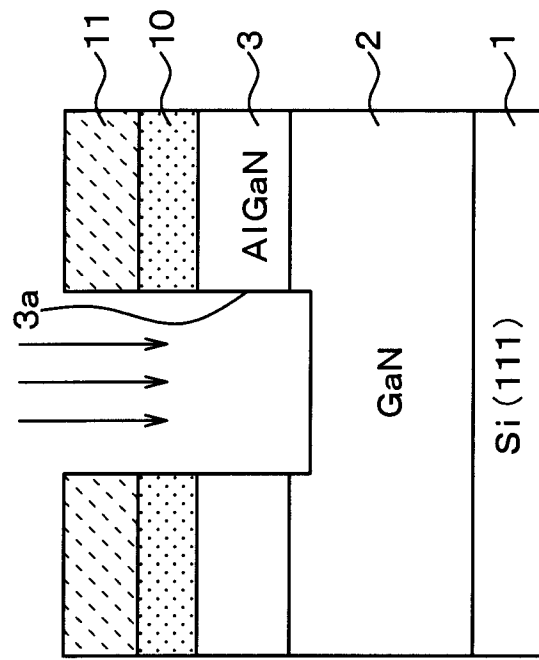
(c)



(d)

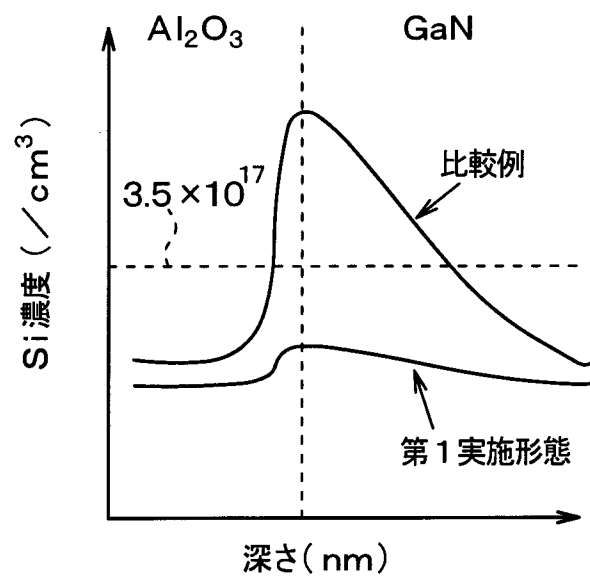


(a)

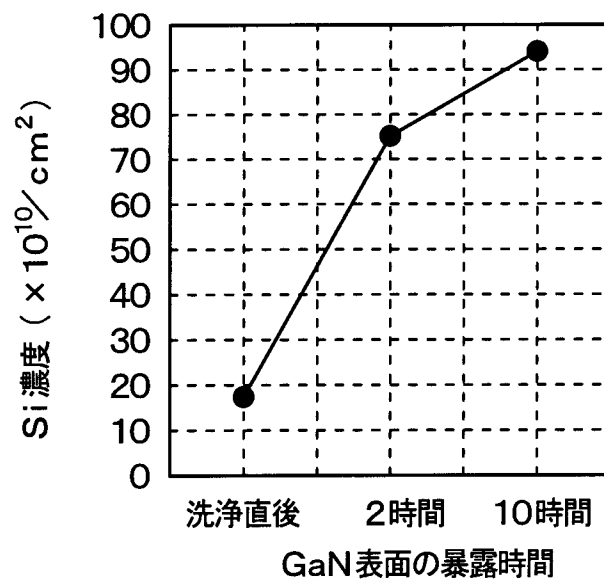


(b)

[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/001761

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/20(2006.01)i, H01L21/336(2006.01)i,
H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i,
H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/20, H01L21/336, H01L29/778, H01L29/78, H01L29/786,
H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2009/113612 A1 (NEC Corp.), 17 September 2009 (17.09.2009), paragraphs [0060] to [0351]; fig. 1 to 9 & JP 2014-212340 A & US 2011/0006346 A1 & CN 101971308 A	1-4 5-10
A	JP 2012-231003 A (Advanced Power Device Research Association), 22 November 2012 (22.11.2012), paragraphs [0006] to [0051]; fig. 1 to 7 & US 2012/0273795 A1	1-10
A	JP 2010-10584 A (Sharp Corp.), 14 January 2010 (14.01.2010), paragraphs [0015] to [0067]; fig. 1 to 5 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
12 May 2015 (12.05.15)

Date of mailing of the international search report
26 May 2015 (26.05.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/001761

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-78568 A (Sumitomo Electric Industries, Ltd.), 01 May 2014 (01.05.2014), paragraphs [0017] to [0057]; fig. 1 to 6 (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/338(2006.01)i, H01L21/20(2006.01)i, H01L21/336(2006.01)i, H01L29/778(2006.01)i,
H01L29/78(2006.01)i, H01L29/786(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/338, H01L21/20, H01L21/336, H01L29/778, H01L29/78, H01L29/786, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2009/113612 A1（日本電気株式会社）2009.09.17, 段落[0060]-[0351]、[図1]-[図9] & JP 2014-212340 A & US 2011/0006346 A1 & CN 101971308 A	1-4 5-10
A	JP 2012-231003 A（次世代パワーデバイス技術研究組合）2012.11.22, 段落[0006]-[0051]、[図1]-[図7] & US 2012/0273795 A1	1-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 5 . 2 0 1 5

国際調査報告の発送日

2 6 . 0 5 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

5 8 9 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-10584 A (シャープ株式会社) 2010. 01. 14, 段落[0015]-[0067]、[図 1]-[図 5] (ファミリーなし)	1-10
A	JP 2014-78568 A (住友電気工業株式会社) 2014. 05. 01, 段落[0017]-[0057]、[図 1]-[図 6] (ファミリーなし)	1-10