

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月7日(07.07.2022)



(10) 国際公開番号

WO 2022/145251 A1

(51) 国際特許分類:

G11C 11/16 (2006.01) *G11C 13/00* (2006.01)
G11C 5/14 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2021/046488

(22) 国際出願日: 2021年12月16日(16.12.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-218396 2020年12月28日(28.12.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

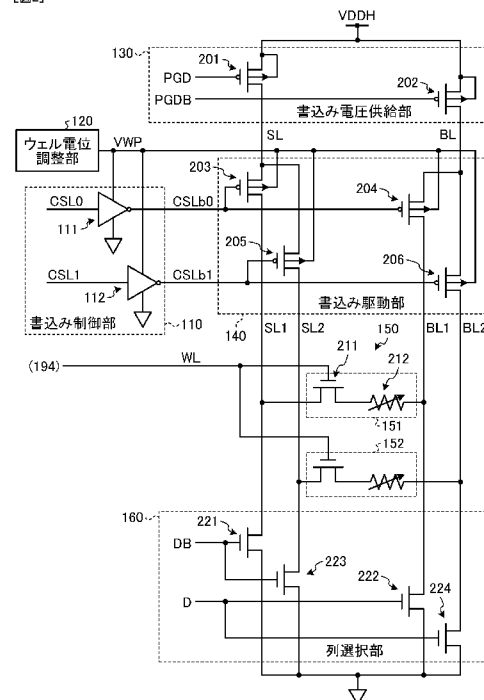
(72) 発明者: 高橋 治子(TAKAHASHI, Haruko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 黒田 真実(KURODA, Masami); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 手塚 宙之(TEZUKA, Hiroyuki); 〒1080075 東京都港区港南1丁目7番1号 ソニーグループ株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT

(54) Title: RESISTIVE RANDOM-ACCESS MEMORY, MEMORY DEVICE, AND MEMORY SYSTEM

(54) 発明の名称: 抵抗変化型メモリ、メモリ装置及びメモリシステム

[図2]



110 Write control unit
120 Well potential adjustment unit
130 Write voltage supply unit
140 Write drive unit
160 Column selection unit

(57) Abstract: The present invention reduces a leakage current of a MOS transistor which performs writing. This resistive random-access memory includes a memory cell, a write drive unit, a write control unit, and a well potential adjustment unit. The memory cell comprises a resistive random-access element. The write drive unit performs writing of data by applying a write voltage to the memory cell. The write control unit outputs a write control signal which controls the writing to the write drive unit. The well potential adjustment unit adjusts a well potential of a well region where an element which

[続葉有]

OFFICE); 〒1000013 東京都千代田区霞が
関 3 丁目 8 番 1 号 虎の門三井ビル
ディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

constitutes the write drive unit is arranged according to the write voltage at the time of writing.

(57) 要約：書込みを行う MOS トランジスタの漏れ電流を低減する。抵抗変化型メモリは、メモリセルと、書込み駆動部と、書込み制御部と、ウェル電位調整部とを有する。メモリセルは、抵抗変化型素子を備える。書込み駆動部は、メモリセルに書込み電圧を印加してデータの書込みを行う。書込み制御部は、書込みを制御する書込み制御信号を書込み駆動部に出力する。ウェル電位調整部は、書込みの際に書込み電圧に応じて書込み駆動部を構成する素子が配置されるウェル領域のウェル電位を調整する。

明 細 書

発明の名称：抵抗変化型メモリ、メモリ装置及びメモリシステム 技術分野

[0001] 本開示は、抵抗変化型メモリ、メモリ装置及びメモリシステムに関する。
具体的には、抵抗変化型メモリと、当該抵抗変化型メモリを使用するメモリ装置及びメモリシステムとに関する。

背景技術

[0002] 印加電圧に応じて抵抗値が変化する抵抗変化型素子を不揮発性記憶素子に採用する抵抗変化型メモリが使用されている。この抵抗変化型素子は、2端子の素子であり、抵抗値が高い状態（高抵抗状態）及び抵抗値が低い状態（低抵抗状態）の2つの状態を取ることができる。これら2つの状態により1ビットのデータを記憶する。データの書き込みは、抵抗変化型素子に書き込み電圧を印加し、高抵抗状態及び低抵抗状態に相互に遷移させることにより行うことができる。この書き込みの際、高抵抗状態への遷移及び低抵抗状態への遷移において異なる極性の書き込み電圧を印加する抵抗変化型メモリが提案されている（例えば、特許文献1参照）。

[0003] この抵抗変化型メモリにおいては、抵抗変化型素子（可変抵抗素子）の一方の端子に書き込み電圧を印加し、他方の端子を接地することにより書き込みを行う。この書き込み電圧の極性を変更する際には、書き込み電圧が印加される端子と接地される端子とを入れ替えることにより行うことができる。この書き込み電圧の印加はMOSトランジスタにより行うことができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2018-092696号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記の従来技術は、書き込みの際に書き込み電圧を可変抵抗素

子に印加するMOSトランジスタのウェル領域に漏れ電流が流れるという問題がある。上記の従来技術では、書込み電圧を印加するMOSトランジスタのバックゲートに可変抵抗素子への書込み電圧が印加される。このバックゲートが接続されるウェル領域を通じて順方向電流が流れるためである。

[0006] そこで、本開示では、書込みを行うMOSトランジスタの漏れ電流を低減する抵抗変化型メモリを提案する。

課題を解決するための手段

[0007] 本開示に係る抵抗変化型メモリは、抵抗変化型素子を備えるメモリセルと、上記メモリセルに書込み電圧を印加してデータの書込みを行う書込み駆動部と、上記書込みを制御する書込み制御信号を上記書込み駆動部に出力する書込み制御部と、上記書込みの際に上記書込み電圧に応じて上記書込み駆動部を構成する素子が配置されるウェル領域のウェル電位を調整するウェル電位調整部とを有する抵抗変化型メモリである。

図面の簡単な説明

[0008] [図1]本開示の実施形態に係る抵抗変化型メモリの構成例を示す図である。

[図2]本開示の第1の実施形態に係るメモリセル及び周辺回路の構成例を示す図である。

[図3]本開示の第1の実施形態に係るウェル電位調整部の構成例を示す図である。

[図4]本開示の第1の実施形態に係るデータの書込み動作例を示す図である。

[図5A]本開示の第1の実施形態に係るデータの書込み動作例を示す図である。

[図5B]本開示の第1の実施形態に係るデータの書込み動作例を示す図である。

[図6A]本開示の第1の実施形態に係る書込みの際のウェル電圧を説明する図である。

[図6B]本開示の第1の実施形態に係る書込みの際のウェル電圧を説明する図である。

[図6C]本開示の第1の実施形態に係る書込みの際のウェル電圧を説明する図である。

[図7]本開示の第1の実施形態に係る書込み駆動部の構成例を示す図である。

[図8]本開示の第1の実施形態に係る書込み処理の一例を示す図である。

[図9]本開示の第2の実施形態に係るウェル電位調整部の構成例を示す図である。

[図10]本開示の第3の実施形態に係るメモリセル及び周辺回路の構成例を示す図である。

[図11]本開示の第3の実施形態に係るデータの書込み動作例を示す図である。

[図12A]本開示の実施形態に係るメモリ装置の構成例を示す図である。

[図12B]本開示の実施形態に係るメモリ装置の構成例を示す図である。

[図13]本開示の実施形態に係る電子デバイスの構成例を示す図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。説明は、以下の順に行う。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

1. 第1の実施形態
2. 第2の実施形態
3. 第3の実施形態
4. メモリ装置及び電子デバイス

[0010] (1. 第1の実施形態)

[抵抗変化型メモリの構成]

図1は、本開示の実施形態に係る抵抗変化型メモリの構成例を示す図である。同図は、抵抗変化型メモリ100の構成例を表すブロック図である。抵抗変化型メモリ100は、データ入出力部191と、アドレスデコード部192と、制御部195と、メモリセルアレイ150と、書込み制御部110と、行選択部193と、ワード線駆動部194と、列選択部160とを備え

る。また、抵抗変化型メモリ１００は、書込み電圧供給部１３０と、書込み駆動部１４０と、ウェル電位調整部１２０とを更に備える。

[0011] データ入出力部１９１は、抵抗変化型メモリ１００の外部の回路とデータのやり取りを行うものである。このデータ入出力部１９１は、後述するメモリセルアレイ１５０から読み出したデータ及びメモリセルアレイ１５０に書き込むデータを外部の回路との間において入出力するものである。外部の回路から入力された書き込みデータは、書込み電圧供給部１３０及び列選択部１６０に出力される。

[0012] アドレスデコード部１９２は、外部の回路から入力されたアドレスから行アドレス及び列アドレスを生成するものである。生成された行アドレスは、行選択部１９３に出力される。また、生成された列アドレスは、書込み電圧供給部１３０、書込み制御部１１０及び列選択部１６０に出力される。

[0013] 制御部１９５は、抵抗変化型メモリ１００の全体を制御するものである。また、この制御部１９５は、外部の回路から入力されたコマンドに基づいて書込み及び読み出しの制御を行う。

[0014] ウェル電位調整部１２０は、後述する書込み駆動部１４０の素子が形成される半導体基板のウェル領域の電位を調整するものである。ウェル電位調整部１２０の構成の詳細については後述する。

[0015] メモリセルアレイ１５０は、複数のメモリセル（後述するメモリセル１５１等）が２次元行列状に配置されたものである。ここで、メモリセルは、１ビットのデータを記憶するものである。本開示のメモリセルは、抵抗変化型素子を備える。また、メモリセルアレイ１５０の行方向のワード線と列方向のビット線及びソース線とがＸＹマトリクス状に配置される。なお、ビット線及びソース線の間にメモリセルが接続される。ワード線は、メモリセルの制御端子に接続される。これらワード線並びにビット線及びソース線の交点にメモリセルが配置されて配線される。メモリセルの構成の詳細については後述する。

[0016] 書込み制御部１１０は、メモリセルアレイ１５０へのデータの書込みを制

御するものである。この書込み制御部 110 は、後述する書込み駆動部 140 に書込み制御信号を出力することによりデータの書込みを制御する。具体的には、書込み制御部 110 は、アドレスデコード部 192 から出力された列アドレスに基づいてメモリセルアレイ 150 の書込み対象のメモリセルが配置される列を選択する。次に、書込み制御部 110 は、この選択した列のメモリセルに対応する書込み駆動部 140 の素子を駆動する書込み制御信号を出力する。このように、書込み制御部 110 は、書込み駆動部 140 を制御して書込み処理を行わせることができる。

[0017] 行選択部 193 は、アドレスデコード部 192 から出力された行アドレスに基づいてメモリセルアレイ 150 の書込み対象のメモリセルが配置される行を選択する。更に、行選択部 193 は、この選択した行に対応するワード線に制御信号を出力する。

[0018] ワード線駆動部 194 は、メモリセルアレイ 150 に配置されたワード線を駆動するものである。このワード線駆動部 194 は、行選択部 193 とメモリセルアレイ 150 との間のワード線に配置されるバッファである。

[0019] 書込み電圧供給部 130 は、メモリセルアレイ 150 のメモリセルに書込み電圧を供給するものである。この書込み電圧供給部 130 は、アドレスデコード部 192 から出力された列アドレスに基づいてメモリセルアレイ 150 の列を選択する。更に、書込み電圧供給部 130 は、この選択した列のビット線及びソース線にデータ入出力部 191 から出力された書込みデータに基づいて書込み電圧を供給する。後述するように、書込み電圧供給部 130 は、書込みを行う時に書込み電圧を供給し、それ以外の時には書込み電圧の供給を停止することができる。このような書込み電圧供給部 130 を配置することにより、常時書込み電圧を供給する場合と比較して抵抗変化型メモリ 100 を低消費電力化することができる。このような書込み電圧の制御は、パワーゲーティング (Power Gating) と称される。

[0020] 書込み駆動部 140 は、書込み電圧供給部 130 とビット線及びソース線との間に配置されて書込み電圧供給部 130 から供給された書込み電圧をビ

ット線及びソース線に出力するものである。この書込み駆動部 140 は、書込み制御部 110 からの制御信号に基づいて選択された列のビット線及びソース線と書込み電圧供給部 130 との間を導通させることにより、選択された列のビット線及びソース線に接続されるメモリセルに書込み電圧を印加する。

[0021] 列選択部 160 は、アドレスデコード部 192 から出力された列アドレスに基づいてメモリセルアレイ 150 の列を選択する。更に、列選択部 160 は、この選択した列のビット線及びソース線にデータ入出力部 191 から出力された書込みデータに基づいて接地電位を供給する。具体的には、列選択部 160 は、選択したビット線及びソース線を書込みデータに基づいて接地する。

[0022] 書込みの際、メモリセルアレイ 150 の列に配置されたビット線及びソース線のうちの一方（例えば、ソース線）に書込み電圧供給部 130 からの書込み電圧が印加され、他方（ビット線）が接地される。これにより、ビット線及びソース線に接続されたメモリセルに書込み電圧が印加される。

[0023] なお、同図においては、メモリセルアレイ 150 からのデータの読出しを制御する部分の記載を便宜上省略した。

[0024] [メモリセル及び周辺回路の構成]

図 2 は、本開示の第 1 の実施形態に係るメモリセル及び周辺回路の構成例を示す図である。同図は、メモリセル及びメモリセルに書込みを行う周辺回路の構成例を表す回路図である。また、同図は、メモリセルアレイ 150 の 1 列分のメモリセル及び周辺回路を記載したものである。

[0025] 同図の略中央にメモリセルアレイ 150 を構成するメモリセル 151 及び 152 を記載した。メモリセル 151 を例に挙げてメモリセルの構成を説明する。メモリセル 151 は、直列に接続されたセルトランジスタ 211 及び抵抗変化型素子 212 により構成される。

[0026] 抵抗変化型素子 212 は、前述のように、相互に遷移可能な高抵抗状態及び低抵抗状態の 2 つの状態を取る記憶素子である。この抵抗変化型素子 21

2には、例えば、MTJ (Magnetic Tunnel Junction) 素子等の磁気抵抗効果素子を使用することができる。MTJ素子は、2つ強磁性体層の間に非磁性層が配置された素子であり、2つの強磁性体層の磁化の方向に応じて抵抗値が変化する素子である。MTJ素子は、これら2つの強磁性体層の磁化の向きが異なる場合に高抵抗状態になり、それぞれの磁化の向きが同じ場合に低抵抗状態になる。この磁化の向きは、MTJ素子に書込み電圧を印加することにより変化させることができる。MTJ素子の高抵抗状態及び低抵抗状態に、例えば、値「1」及び「0」をそれぞれ対応させて1ビットのデータを記憶させることができる。なお、値「1」及び「0」は、高レベル電圧(H)及び低レベル電圧(L)と称することもできる。

[0027] セルトランジスタ211は、抵抗変化型素子212の一端に接続されて抵抗変化型素子212への電圧の印加を制御する素子である。このセルトランジスタ211は、例えば、nチャネルMOSトランジスタにより構成することができる。セルトランジスタ211のゲートにはワード線WLが接続される。

[0028] メモリセル151は、ソース線SL1及びビット線BL1の間に接続される。メモリセル152は、ソース線SL2及びビット線BL2の間に接続される。

[0029] ウェル電位調整部120は、前述のように、書込み駆動部140の素子が形成される半導体基板のウェル領域の電位を調整するものである。このウェル電位調整部120は、書込み電圧に応じてウェル電位の調整を行い、調整後のウェル電位を信号線VWPに出力する。後述するように、信号線VWPには、書込み駆動部140のMOSトランジスタのサブストレータが接続される。また、同図の回路においては、書込み制御部110の反転ゲートの電源線として信号線VWPが配線される。

[0030] 書込み制御部110は、前述のように、アドレスデコード部192から出力された列アドレスに基づいて書込み制御信号を生成する。この書込み制御信号は、メモリセルアレイ150の列毎に配置される信号線CSL0及びC

SL1を介して伝達される。信号線CSL0及びCSL1は、それぞれ反転ゲート111及び112の入力端子に接続される。反転ゲート111及び112は、書込み制御信号のバッファである。反転ゲート111及び112の出力端子には、信号線CSLb0及びCSLb1が接続される。信号線CSLb0及びCSLb1は、書込み駆動部140に書込み制御信号を伝達する信号線である。また、同図の反転ゲート111及び112の電源端子には、信号線VWPが接続される。このため、反転ゲート111及び112は、信号線VWPにより供給されるウェル電位に応じた電圧の信号を出力する。

[0031] 書込み電圧供給部130は、MOSトランジスタ201及び202を備える。これらMOSトランジスタ201及び202は、例えば、pチャネルMOSトランジスタにより構成することができる。MOSトランジスタ201及び202のソースは、電源線VDDHに接続される。MOSトランジスタ201及び202のドレインは、それぞれソース線SL及びビット線BLに接続される。MOSトランジスタ201及び202のゲートは、それぞれ信号線PGD及びPGDBに接続される。MOSトランジスタ201及び202のサブストレート（バックゲート）は、電源線VDDHに共通に接続される。

[0032] 電源線VDDHは、書込み電圧を供給する電源線である。以下、電源線VDDHにより供給される書込み電圧をVDDHと記載する。信号線PGD及びPGDBは、メモリセル151及び152に書き込むデータに応じたMOSトランジスタ201等の駆動信号を伝達する。信号線PGDBには、信号線PGDの信号を反転した信号が印加される。

[0033] 書込み駆動部140は、MOSトランジスタ203乃至206を備える。これらMOSトランジスタ203乃至206は、例えば、pチャネルMOSトランジスタにより構成することができる。MOSトランジスタ203及び205のソースは、ソース線SLに共通に接続される。MOSトランジスタ203及び205のドレインは、それぞれソース線SL1及びソース線SL2に接続される。MOSトランジスタ204及び206のソースは、ビット

線BLに共通に接続される。MOSトランジスタ204及び206のドレインは、それぞれビット線BL1及びビット線BL2に接続される。MOSトランジスタ203及び204のゲートは、信号線CSLb0に共通に接続される。MOSトランジスタ205及び206のゲートは、信号線CSLb1に共通に接続される。MOSトランジスタ203乃至206のサブストレートは、信号線VWPに共通に接続される。

[0034] 同図に表したように、MOSトランジスタ203は、ソース線SL及びソース線SL1の間に配置される。MOSトランジスタ203を導通させることにより、ソース線SLにより伝達される書込み駆動部140からの書込み電圧をソース線SL1に出力することができる。同様に、MOSトランジスタ205は、ソース線SL及びソース線SL2の間に配置され、ソース線SLにより伝達される書込み電圧をソース線SL2に出力する。また、MOSトランジスタ204は、ビット線BL及びビット線BL1の間に配置される。MOSトランジスタ204を導通させることにより、ビット線BLにより伝達される書込み電圧をビット線BL1に出力することができる。同様に、MOSトランジスタ206は、ビット線BL及びビット線BL2の間に配置され、ビット線BLにより伝達される書込み電圧をビット線BL2に出力する。

[0035] 列選択部160は、MOSトランジスタ221乃至224を備える。これらMOSトランジスタ221乃至224は、例えば、nチャネルMOSトランジスタにより構成することができる。MOSトランジスタ221乃至224のソースは、接地される。MOSトランジスタ221及び223のドレインは、それぞれソース線SL1及びSL2に接続される。MOSトランジスタ222及び224のドレインは、それぞれビット線BL1及びBL2に接続される。MOSトランジスタ221及び223のゲートは、信号線DBに共通に接続される。MOSトランジスタ222及び224のゲートは、信号線Dに共通に接続される。

[0036] 信号線D及びDBは、メモリセル151及び152に書き込むデータに応

じたMOSトランジスタ221等の駆動信号を伝達する。信号線DBには、信号線Dの信号を反転した信号が印加される。

[0037] なお、後述するように、MOSトランジスタ203乃至206は、ウェル領域に信号線VWPが接続される。同図においては、便宜上、MOSトランジスタ203乃至206のサブストレートの端子に信号線VWPを接続している。MOSトランジスタ201及び202においては、ウェル領域をソースと同電位にすることができる。MOSトランジスタ201及び202は、MOSトランジスタ203乃至206とは異なるウェル領域に配置される。

[0038] [ウェル電位調整部の構成]

図3は、本開示の第1の実施形態に係るウェル電位調整部の構成例を示す図である。同図は、ウェル電位調整部120の構成例を表す回路図である。同図のウェル電位調整部120は、電圧源121と、選択部122とを備える。また、同図のウェル電位調整部120には、電源線VDDLが配線される。電源線VDDLは、書込み制御部110等におけるロジック回路の電源を供給する電源線である。便宜上、電源線VDDLにより供給される電源の電圧をVDDLと記載する。VDDLは、例えば、1.1Vにすることができる。

[0039] 電圧源121は、書込み駆動部140のMOSトランジスタ203乃至206のウェル電位を供給する電圧源である。電圧源121の電圧は、書込み電圧供給部130から供給される書込み電圧と略等しい電圧にすることができる。電圧源121が供給する電圧をVDDMと記載する。なお、電圧源121は、抵抗変化型メモリ100の任意の位置に配置することができる。また、電圧源121は、抵抗変化型メモリ100に内蔵されたDC-DCコンバータ（例えば、チャージポンプ回路）により構成することができる。また、抵抗変化型メモリ100の外部の回路から供給される電圧をVDDMとして使用することもできる。

[0040] 選択部122は、電源線VDDL及び電圧源121を選択してウェル電位調整部120の出力電圧として供給するものである。選択部122は、書込

みの時に電圧源 1 2 1 を選択し、書込み以外の時に電源線 V D D L を選択することができる。

[0041] このように、ウェル電位調整部 1 2 0 は、電源線 V D D L 及び電圧源 1 2 1 を選択してウェル電位を出力することにより、ウェル電位を調整する。

[0042] [データの書込み]

図 4 は、本開示の第 1 の実施形態に係るデータの書込み動作例を示す図である。同図は、図 2 の回路の信号の真理値表を表す図である。同図において、コマンドは、抵抗変化型メモリ 1 0 0 に入力されたコマンドを表す。このコマンドとして待機（スタンバイ）コマンドおよび書込みコマンドの例を記載した。また、データの書込みは、メモリセル 1 5 1 に対して行う例を記載した。書込みデータは、メモリセル 1 5 1 に書き込む 1 ビットのデータである。

[0043] また、同図の「D」、「DB」、「WL」、「PGD」及び「PGDB」は、それぞれ信号線 D、信号線 DB、信号線 WL、信号線 PGD 及び信号線 PGDB の信号を表す。図 2 において説明したように、これらの信号線は、MOS トランジスタのゲートに接続される。同図の「on」は、信号線が接続される MOS トランジスタを導通させるゲート駆動信号（以下、オン信号と称する）を表す。同図の「off」は、信号線が接続される MOS トランジスタを非導通にするゲート駆動信号（以下、オフ信号と称する）を表す。信号線 D、信号線 DB 及び信号線 WL のオン信号には、V D D L の電圧の信号を使用することができる。信号線 D、信号線 DB 及び信号線 WL のオフ信号には、接地電位（V S S）の信号を使用することができる。また、信号線 PGD 及び信号線 PGDB のオン信号には、接地電位の信号を使用することができる。信号線 WL のオフ信号には、V D D H の電圧の信号を使用することができる。

[0044] また、同図の「CSLb0」、「CSLb1」及び「VWP」は、それぞれ信号線 CSLb0、信号線 CSLb1 及び信号線 VWP の電圧を表す。

[0045] 待機コマンドの場合には、信号線 WL、信号線 PGD 及び信号線 PGDB

にオフ信号が出力される。また、信号線CSLb0及び信号線CSLb1は、VDDLの電圧になる。VDDLの電圧の信号は、信号線CSLb0及び信号線CSLb1が接続されるMOSトランジスタ203乃至206のオフ信号に該当する。また、ウェル電位調整部120は、VDDLのウェル電位を選択し、信号線VWPに出力する。

[0046] 書込みコマンドの場合には、信号線WLにオン信号が出力され、メモリセル151及び152のセルトランジスタ211が導通する。また、信号線CSLb0がVSS電位となり、信号線CSLb1にVDDMの電圧が印加される。このため、信号線CSLb0に接続されるMOSトランジスタ203及び204が選択されて導通し、ソース線SL1及びビット線BL1に書込み電圧が出力される。ソース線SL1及びビット線BL1に接続されるメモリセル151に書込み電圧が印加される。一方、信号線CSLb1に接続されるMOSトランジスタ205及び206は非導通の状態になり、非選択の状態になる。これため、ソース線SL2及びビット線BL2には書込み電圧が供給されない。また、ウェル電位調整部120は、VDDMのウェル電位を選択し、信号線VWPに出力する。

[0047] 一方、信号線D、信号線DB、信号線PGD及び信号線PGDBには、書き込むデータに応じて異なる信号が印加される。値「1」（H）のデータを書き込む場合には、信号線D及び信号線PGDにオン信号を出力し、信号線DB及び信号線PGDBにオフ信号を出力する。値「0」（L）のデータを書き込む場合には、信号線D及び信号線PGDにオフ信号を出力し、信号線DB及び信号線PGDBにオン信号を出力する。

[0048] 図5A及び5Bは、本開示の第1の実施形態に係るデータの書込み動作例を示す図である。図5A及び5Bは、メモリセル151を例に挙げて書込み電流を説明する図である。図4の真理値表の書込みコマンドの信号がメモリセル151及び周辺回路に印加される。図5Aは値「1」を書き込む場合を表し、図5Bは値「0」を書き込む場合を表す。

[0049] 図5Aにおいて、書込み電圧供給部130がソース線SLに書込み電圧を

供給する。セルトランジスタ 211 が導通するとともに MOS トランジスタ 203 及び 222 が導通し、MOS トランジスタ 204 及び 221 が非導通の状態になる。これにより、図 5 A の矢印の方向に書込み電流が流れる。

[0050] 一方、図 5 B においては、書込み電圧供給部 130 がビット線 BL に書込み電圧を供給する。セルトランジスタ 211 が導通するとともに MOS トランジスタ 204 及び 221 が導通し、MOS トランジスタ 203 及び 222 が非導通の状態になる。これにより、図 5 B の矢印の方向に書込み電流が流れる。

[0051] このように、抵抗変化型素子 212 には、書き込むデータに応じた極性の書込み電圧が印加される。

[0052] [書込みの際のウェル電圧]

図 6 A、6 B 及び 6 C は、本開示の第 1 の実施形態に係る書込みの際のウェル電圧を説明する図である。図 6 A、6 B 及び 6 C において、VDDH として 1.8 V の電圧が書込み電圧供給部 130 の MOS トランジスタ 201 のソースに印加される場合を想定する。

[0053] 図 6 A は、待機時の各部の電圧を表す図である。待機時において、書込み電圧供給部 130 の MOS トランジスタ 201 は、非導通の状態になる。ウェル電位調整部 120 は、信号線 VWP に VDDL の電圧を出力する。同図においては、VDDL として 1.1 V の電圧を想定する。MOS トランジスタ 203 及び 205 のウェル領域に VDDL の電圧が印加される。また、反転ゲート 111 及び 112 の電源端子にも VDDL が印加されるため、信号線 CSLb0 及び信号線 CSLb1 のオン信号も略 VDDL の電圧 (1.1 V) になる。

[0054] 図 6 B は、書込み時の各部の電圧を表す図である。書込みの際には、書込み電圧供給部 130 の MOS トランジスタ 201 が導通する。このため、MOS トランジスタ 203 及び 205 のソースには、書込み電圧が印加される。ウェル電位調整部 120 は、この書込み電圧に応じて調整したウェル電位である VDDM を信号線 VWP に出力する。この調整されたウェル電位は、

MOSトランジスタ203及び205のウェル領域に印加される。また、反転ゲート111及び112の電源端子にもVDDMが印加され、信号線CSLb1のオン信号も略VDDMの電圧になる。

[0055] なお、MOSトランジスタ201のドレインからは1.5Vの書込み電圧が出力される。これは、MOSトランジスタ201の電圧降下（略0.3V）によりVDDHの電圧が低下したものである。このため、ウェル電位調整部120は、書込み電圧供給部130の素子の電圧降下を加味したウェル電位を出力すると好適である。ウェル領域に印加する電圧を低減することができるためである。同図のウェル電位調整部120は、VDDMとして1.5Vを出力する。

[0056] MOSトランジスタ203及び205のウェル領域は、ソースと同電位（1.5V）になる。また、非選択のMOSトランジスタ205のゲート電圧もウェル領域と同電位になる。一方、選択されたMOSトランジスタ203のゲート及びウェル領域の間の電位差は1.5Vになる。

[0057] 図6Cは、比較例として記載した図であり、書込み時にウェル電位を調整しない場合の例を表す図である。同図の信号線VWPには、VDDL（1.1V）が出力される。このため、MOSトランジスタ203及び205のウェル領域には1.1Vが印加される。MOSトランジスタ203のウェル領域はソースより低い電圧となり、ソースからウェル領域に漏れ電流が流れる。また、非選択のMOSトランジスタ205のゲートにも1.1Vが印加される。MOSトランジスタ205のゲート電圧がソースより低い電圧となり、ソースからドレインに漏れ電流が流れる。

[0058] [書込み駆動部の漏れ電流]

図7は、本開示の第1の実施形態に係る書込み駆動部の構成例を示す図である。同図は、上述の図6Cにおける書込み駆動部140のMOSトランジスタの漏れ電流を説明する図である。MOSトランジスタ205を例に挙げて、漏れ電流を説明する。MOSトランジスタ205は、半導体基板301に形成されたウェル領域302に配置される。同図において、p型の導電型

に構成される半導体基板 301 を想定する。ウェル領域 302 は、n 型の導電型に構成される。この n 型のウェル領域に p 型の半導体領域 304 及び 305 が配置される。p 型の半導体領域 304 及び 305 は、それぞれドレイン領域及びソース領域を構成する。また、p 型の半導体領域 304 及び 305 の間のウェル領域 302 に隣接してゲート電極 306 が配置される。なお、ゲート電極 306 は、ゲート絶縁膜 307 を介してウェル領域に隣接して配置される。このゲート電極 306 直下のウェル領域にチャンネルが形成される。

[0059] また、ウェル領域 302 には、n 型の半導体領域 303 が配置される。この n 型の半導体領域 303 は、比較的高い不純物濃度に構成され、ウェルコンタクトを構成する。n 型の半導体領域 303 には、信号線 VWP が接続され、ウェル電位調整部 120 からウェル電位が供給される。

[0060] 上述の図 6C の場合において、ウェル領域 302 及びゲート電極 306 には、1.1 V が印加される。一方、ソース領域を構成する半導体領域 305 には、1.5 V が印加される。半導体領域 305 及びウェル領域 302 の間には、順方向の低い電圧が印加されることとなり、半導体領域 305 からウェル領域 302 に漏れ電流が流れる（ウェルリーク）。同図の実線の矢印は、この漏れ電流を表す。また、MOS トランジスタ 205 のゲートには、ソースより低い電圧が印加される。このため、半導体領域 305 及び 306 の間にチャンネルが形成され、MOS トランジスタ 205 が非選択であるにもかかわらずソースからドレインに向かう漏れ電流が流れる（チャンネルリーク）。同図の点線の矢印は、この漏れ電流を表す。このような漏れ電流が流れると消費電力が増加する。また、非選択の MOS トランジスタ 205 に電流が流れることにより、非選択のメモリセル 152 に書込みが行われる可能性がある。

[0061] ウェル電位として 1.5 V を常時印加することにより、上記のウェルリークの発生を防ぐことができる。しかし、この場合には、定常時（待機時）のゲート絶縁膜 307 に、1.5 V の電圧が印加される。図 6A においては、

待機時に1.1Vが印加されており、図6Bにおいて比較的高い電圧がゲート絶縁膜307に印加されることとなる。このため、1.5Vのウェル電位が印加されるMOSトランジスタ203のゲート絶縁膜307は、膜厚を厚くする必要がある。

[0062] 書込み電圧供給部130を配置して書込み時のみにVDDHを書込み駆動部140に印加するとともにウェル電位を調整する。これにより、書込み駆動部140のMOSトランジスタ203等のゲート絶縁膜307に高電圧(VDDH)が印加される期間を短くすることができる。ゲート絶縁膜307の膜厚が比較的薄い場合であっても劣化を軽減することができる。書込み駆動部140の漏れ電流を低減しながらMOSトランジスタ203等を小型化することが可能となる。また、書込み駆動部140の制御信号の電圧を書込み電圧に応じて調整することにより、非選択のMOSトランジスタ205のチャネルリークの発生を防ぐことができる。非選択のメモリセル152への書込みの誤動作を防ぐことができる。

[0063] [書込み処理]

図8は、本開示の第1の実施形態に係る書込み処理の一例を示す図である。同図は抵抗変化型メモリ100の書込処理を表す図である。まず、VDDLを供給するとともにウェル電位調整部120においてVDDMを生成する(ステップS101)。次に、書込みコマンドが入力されたかを判断する(ステップS102)。書込みコマンドが入力されない場合(ステップS102, No)、入力されたコマンドの処理を行い(ステップS108)、再度S102の処理に移行する。

[0064] S102において、書込みコマンドが入力された場合には(ステップS102, Yes)、書込み駆動部140のMOSトランジスタ203等にVDDMを供給する(ステップS103)。次に、書込み駆動部140のMOSトランジスタ203等をオン状態にする(ステップS104)。次に、メモリセル151等にデータの書込みを行う(ステップS105)。次に、書込み駆動部140のMOSトランジスタ203等をオフ状態にする(ステップ

S 1 0 6)。次に、書込み駆動部 1 4 0 の MOS トランジスタ 2 0 3 等に V D D L を供給する（ステップ S 1 0 7）。その後、S 1 0 2 の処理に移行する。以上の手順により書込処理を行うことができる。

[0065] このように、本開示の第 1 の実施形態の抵抗変化型メモリ 1 0 0 は、書込み駆動部 1 4 0 を構成する素子のウェル電位を書込み電圧に応じて調整することにより、漏れ電流を低減することができる。これにより、抵抗変化型メモリ 1 0 0 を低消費電力化することができる。

[0066] （2. 第 2 の実施形態）

上述の第 1 の実施形態の抵抗変化型メモリ 1 0 0 は、ウェル電位として V D D L 及び V D D M を書込み駆動部 1 4 0 に供給していた。これに対し、本開示の第 2 の実施形態の抵抗変化型メモリ 1 0 0 は、3 つ以上の電圧のウェル電位を供給する点で、上述の第 1 の実施形態と異なる。

[0067] [ウェル電位調整部の構成]

図 9 は、本開示の第 2 の実施形態に係るウェル電位調整部の構成例を示す図である。同図は、図 3 と同様に、ウェル電位調整部 1 2 0 の構成例を表す図である。図 9 のウェル電位調整部 1 2 0 は、電圧源 1 2 1 の代わりに電圧源 1 2 3 及び 1 2 4 を備え、選択部 1 2 2 の代わりに選択部 1 2 5 を備える点で、図 3 のウェル電位調整部 1 2 0 と異なる。

[0068] 電圧源 1 2 3 は、V D D M 1 の電圧を出力する。電圧源 1 2 4 は、V D D M 1 より高い電圧の V D D M 2 を出力する。選択部 1 2 5 は、V D D L、V D D M 1 及び V D D M 2 のうちの 1 つを選択して出力する。同図のウェル電位調整部 1 2 0 は、異なるウェル電位（V D D M 1 及び V D D M 2）を書込み時に出力する。

[0069] 抵抗変化型メモリ 1 0 0 は、書込処理の後に書込みを検証するベリファイ処理を行うことができる。このベリファイ処理において、書込みの失敗が検出された場合には、再度書込処理が行われる。これら最初の書込みと 2 回目以降の書込みとでは、書込み電圧を変更することができる。具体的には、2 回目以降の書込みでは、最初の書込みの際の書込み電圧より高い電圧の書込

み電圧をメモリセル 151 等に印加することができる。このように異なる書込み電圧が書込み駆動部 140 に印加される場合において、ウェル電位調整部 120 は、それぞれの書込み電圧に応じたウェル電位（VDDM1 及び VDDM2）を出力する。これにより、書込み電圧が異なる複数の書込み処理において書込み駆動部 140 の漏れ電流を低減することができる。なお、本開示の第 2 の実施形態における書込み電圧供給部 130 は、異なる書込み電圧を書込み駆動部 140 に供給することができる。

[0070] これ以外の抵抗変化型メモリ 100 の構成は本開示の第 1 の実施形態における抵抗変化型メモリ 100 の構成と同様であるため、説明を省略する。

[0071] このように、本開示の第 2 の実施形態の抵抗変化型メモリ 100 は、複数の書込み電圧に応じたウェル電位を書込み駆動部 140 に供給する。これにより、書込み不良を防ぎながら書込み駆動部 140 の漏れ電流を低減することができる。

[0072] （3. 第 3 の実施形態）

上述の第 1 の実施形態の抵抗変化型メモリ 100 は、値「1」及び値「0」の書込みにおいて同じ書込み電圧をメモリセル 151 等に印加していた。これに対し、本開示の第 3 の実施形態の抵抗変化型メモリ 100 は、書込みデータに応じて異なる書込み電圧をメモリセル 151 等に印加する点で、上述の第 1 の実施形態と異なる。

[0073] [メモリセル及び周辺回路の構成]

図 10 は、本開示の第 3 の実施形態に係るメモリセル及び周辺回路の構成例を示す図である。同図は、図 2 と同様に、メモリセル及びメモリセルに書込みを行う周辺回路の構成例を表す回路図である。同図の回路は、ウェル電位調整部 120 からの信号線 VWP1 及び VWP2 が配線される点で、図 2 の回路と異なる。なお、同図の回路は、書込み制御部 110 等の記載を省略している。

[0074] 同図のウェル電位調整部 120 は、信号線 VWP1 及び VWP2 を備える。信号線 VWP1 には、VDDL 及び VDDM1 の何れかが選択されて出力

される。また、信号線VWP 2には、VDDL及びVDDM2の何れかが選択されて出力される。信号線VWP 1は、MOSトランジスタ203及び205のサブストレートに接続される。信号線VWP 2は、MOSトランジスタ204及び206のサブストレートに接続される。また、書込み電圧供給部130のMOSトランジスタ201のソースには、VDDH1が印加される。また、書込み電圧供給部130のMOSトランジスタ202のソースには、VDDH2が印加される。VDDM2はVDDM1より高い電圧のウェル電位であり、VDDH2はVDDH1より高い電圧の書込み電圧である。

[0075] [データの書込み]

図11は、本開示の第3の実施形態に係るデータの書込み動作例を示す図である。同図は、図4と同様に、回路の信号の真理値表を表す図である。信号線VWP 1及びVWP 2が追加される点で図4の真理値表と異なる。

[0076] 値「1」(H)の書込みの際には、VDDH1が書込み電圧供給部130から出力され、MOSトランジスタ203及び205に印加される。MOSトランジスタ203及び205には、信号線VWP 1を介してVDDM1がウェル電位として印加される。一方、MOSトランジスタ204及び206には、信号線VWP 2を介してVDDLが印加される。MOSトランジスタ205及び206のゲートには、それぞれVDDM1及びVDDLが印加される。

[0077] 値「0」(L)の書込みの際には、VDDH2が書込み電圧供給部130から出力され、MOSトランジスタ204及び206に印加される。MOSトランジスタ204及び206には、信号線VWP 2を介してVDDM2がウェル電位として印加される。一方、MOSトランジスタ203及び205には、信号線VWP 1を介してVDDLが印加される。MOSトランジスタ205及び206のゲートには、それぞれVDDL及びVDDM2が印加される。

[0078] このように、書込みデータに応じて異なる書込み電圧がメモリセル151に印可される。書込みの際、メモリセル151のセルトランジスタ211に

は、双方向に書込み電流が流れる。ドレインからソースに流れる場合とソースからドレインに流れる場合とにおいて、セルトランジスタ 211 の伝達特性が異なる場合がある。例えば、ソースからドレインに流れる場合は、ドレインからソースに流れる場合よりもオン抵抗が高くなる。このように、書込みの際の電流の向きによりセルトランジスタ 211 のオン抵抗が異なる場合に、書込み電圧を調整する必要がある。すなわち、値「1」を書き込む場合と値「0」を書き込む場合とにおいて書込み電圧を変更する必要がある。このような、場合であっても、書込み電圧に応じてウェル電位を調整することにより、書込み駆動部 140 の素子の漏れ電流を低減することができる。

[0079] これ以外の抵抗変化型メモリ 100 の構成は本開示の第 1 の実施形態における抵抗変化型メモリ 100 の構成と同様であるため、説明を省略する。

[0080] このように、本開示の第 3 の実施形態の抵抗変化型メモリ 100 は、書き込むデータに応じて書込み電圧及びウェル電位を調整する。これにより、セルトランジスタ 211 のオン抵抗の影響を低減することができる。

[0081] (4. メモリ装置及び電子デバイス)

上述の抵抗変化型メモリ 100 を使用するメモリ装置及び電子デバイスについて説明する。

[0082] [メモリ装置]

図 12A 及び 12B は、本開示の実施形態に係るメモリ装置の構成例を示す図である。図 12A 及び 12B は、メモリ装置 10 の構成例を表すブロック図である。このメモリ装置 10 は、データの記憶を行う装置である。

[0083] 図 12A のメモリ装置 10 は、半導体装置 11 と、抵抗変化型メモリ 100a 及び 100b とを備える。

[0084] 半導体装置 11 は、半導体パッケージに構成される装置であり、メモリ制御部 12 を備える。メモリ制御部 12 は、抵抗変化型メモリ 100a 及び 100b を制御するものである。このメモリ制御部 12 は、抵抗変化型メモリ 100a 及び 100b におけるデータの書込み及び読出しを制御する。

[0085] 図 12B のメモリ装置 10 は、半導体装置 11 を備える。この半導体装置

11にメモリ制御部12並びに抵抗変化型メモリ100a及び100bが配置される。図12Bのメモリ装置10は、メモリ制御部12並びに抵抗変化型メモリ100a及び100bが1つの半導体パッケージに配置される例を表したものである。

[0086] [電子デバイス]

図13は、本開示の実施形態に係る電子デバイスの構成例を示す図である。同図は、上述のメモリ装置10を使用する電子デバイス1の構成例を表す図である。

[0087] 電子デバイス1は、プロセッサ30と、記憶装置10a、10b、10c、10d及び10eと、無線通信インターフェース21と、オーディオ回路22と、アンテナ23と、スピーカー24と、マイク25と、表示装置26とを備える。また、電子デバイス1は、入力装置27と、センサー28と、電源29とを更に備える。なお、プロセッサ30、記憶装置10a、10b及び10cと、無線通信インターフェース21とオーディオ回路22とはシステムインパッケージ2に配置される。

[0088] 記憶装置10a及び10dは、プロセッサ30によりアクセスされる記憶装置である。記憶装置10bは、無線通信インターフェース21によりアクセスされる記憶装置である。記憶装置10cは、オーディオ回路22によりアクセスされる記憶装置である。記憶装置10eは、センサー28によりアクセスされる記憶装置である。

[0089] プロセッサ30は、電子デバイス1の全体を制御するものである。

[0090] 無線通信インターフェース21は、アンテナ23により無線通信を行う。この無線通信インターフェース21は、移動体通信、WIFI又は近距離通信の機能を有する。

[0091] オーディオ回路22は、スピーカー24及びマイク25を制御する。

[0092] センサー28は、光学センサー、位置センサー、生態センサー、磁気センサー、機械量センサー、熱センサー、電気センサー又は化学センサーの機能を有する。

[0093] このような電子デバイス 1 は、スマートフォン、デジタルカメラ、デジタルビデオカメラ、音楽プレイヤー、セットトップボックス、コンピュータ、テレビ、時計、アクティブスピーカー、ヘッドセット、ゲーム機に適用することができる。また、電子デバイス 1 は、ラジオ、計測器、電子タグ又はビーコンに適用することもできる。なお、電子デバイス 1 は、請求の範囲に記載のメモリシステムの一例である。

[0094] (効果)

抵抗変化型メモリは、メモリセル 151、書込み駆動部 140、書込み制御部 110 及びウェル電位調整部 120 を有する。メモリセル 151 は、抵抗変化型素子 212 を備える。書込み駆動部 140 は、上記メモリセル 151 に書込み電圧を印加してデータの書込みを行う。書込み制御部 110 は、上記書込みを制御する書込み制御信号を上記書込み駆動部 140 に出力する。ウェル電位調整部 120 は、上記書込みの際に上記書込み電圧に応じて上記書込み駆動部 140 を構成する素子が配置されるウェル領域のウェル電位を調整する。これにより、書込み電圧に応じて書込み駆動部 140 の素子のウェル電位を調整することができる。

[0095] また、上記書込み電圧を供給する書込み電圧供給部 130 を更に有し、上記ウェル電位調整部 120 は、上記供給される書込み電圧に応じて上記ウェル電位を調整してもよい。これにより、供給される書込み電圧に応じて書込み駆動部 140 の素子のウェル電位を調整することができる。

[0096] また、上記書込み電圧供給部 130 は、上記書込の際に上記書込み電圧を供給してもよい。書込みの時に書込み電圧を供給することができる。

[0097] また、上記書込み制御部 110 は、上記書込の際に上記書込み電圧に応じた上記書込み制御信号を出力してもよい。これにより、書込み電圧に応じた制御信号を書込み駆動部 140 の素子に印加することができる。

[0098] また、上記ウェル電位調整部 120 は、複数の上記ウェル電位から選択したウェル電位を上記ウェル領域に印加することにより上記ウェル電位を調整してもよい。

- [0099] また、上記複数のウェル電位を上記ウェル電位調整部 120 に供給する基準電源を更に有してもよい。
- [0100] また、上記書込み駆動部 140 は、複数の上記書込み電圧から選択した上記書込み電圧を上記メモリセル 151 に印加し、上記ウェル電位調整部 120 は、上記選択された書込み電圧に応じて上記ウェル電位を調整してもよい。これにより、複数の書込み電圧に応じたウェル電位を供給することができる。
- [0101] また、上記書込み駆動部 140 は、上記データに応じた書込み電圧を上記メモリセル 151 に印加し、上記ウェル電位調整部 120 は、上記印加される書込み電圧に応じて上記ウェル電位を調整してもよい。これにより、データに応じて書込み電圧を変更する場合であっても、ウェル電位を調整することができる。
- [0102] また、上記書込駆動部は、MOS トランジスタによる上記素子により構成されてもよい。
- [0103] また、上記メモリセル 151 は、磁気抵抗効果素子を上記抵抗変化型素子 212 として備えてもよい。
- [0104] メモリ装置 10 は、メモリセル 151、書込み駆動部 140、書込み制御部 110 及びウェル電位調整部 120 を備える抵抗変化型メモリ 100 とメモリ制御部 12 とを有する。メモリセル 151 は、抵抗変化型素子 212 を備える。書込み駆動部 140 は、上記メモリセル 151 に書込み電圧を印加してデータの書込みを行う。書込み制御部 110 は、上記書込みを制御する書込み制御信号を上記書込み駆動部 140 に出力する。ウェル電位調整部 120 は、上記書込みの際に上記書込み電圧に応じて上記書込み駆動部 140 を構成する素子が配置されるウェル領域のウェル電位を調整する。メモリ制御部 12 は、上記抵抗変化型メモリ 100 を制御する。これにより、書込み電圧に応じて書込み駆動部 140 の素子のウェル電位を調整することができる。
- [0105] メモリシステム（電子デバイス 1）は、メモリセル 151、書込み駆動部

１４０、書込み制御部１１０及びウェル電位調整部１２０を備える抵抗変化型メモリ１００とメモリ制御部１２とプロセッサ３０とを有する。メモリセル１５１は、抵抗変化型素子２１２を備える。書込み駆動部１４０は、上記メモリセル１５１に書込み電圧を印加してデータの書込みを行う。書込み制御部１１０は、上記書込みを制御する書込み制御信号を上記書込み駆動部１４０に出力する。ウェル電位調整部１２０は、上記書込みの際に上記書込み電圧に応じて上記書込み駆動部１４０を構成する素子が配置されるウェル領域のウェル電位を調整する。メモリ制御部１０は、上記抵抗変化型メモリ１００を制御する。プロセッサ３０は、上記メモリ制御部を介して上記抵抗変化型メモリにアクセスする。これにより、書込み電圧に応じて書込み駆動部１４０の素子のウェル電位を調整することができる。

[0106] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0107] なお、本技術は以下のような構成も取ることができる。

(１)

抵抗変化型素子を備えるメモリセルと、

前記メモリセルに書込み電圧を印加してデータの書込みを行う書込み駆動部と、

前記書込みを制御する書込み制御信号を前記書込み駆動部に出力する書込み制御部と、

前記書込みの際に前記書込み電圧に応じて前記書込み駆動部を構成する素子が配置されるウェル領域のウェル電位を調整するウェル電位調整部とを有する抵抗変化型メモリ。

(２)

前記書込み電圧を供給する書込み電圧供給部を更に有し、

前記ウェル電位調整部は、前記供給される書込み電圧に応じて前記ウェル電位を調整する

前記（１）に記載の抵抗変化型メモリ。

(3)

前記書込み電圧供給部は、前記書込みの際に前記書込み電圧を供給する前記(2)に記載の抵抗変化型メモリ。

(4)

前記書込み制御部は、前記書込みの際に前記書込み電圧に応じた前記書込み制御信号を出力する前記(1)から(3)の何れかに記載の抵抗変化型メモリ。

(5)

前記ウェル電位調整部は、複数の前記ウェル電位から選択したウェル電位を前記ウェル領域に印加することにより前記ウェル電位を調整する前記(1)から(4)の何れかに記載の抵抗変化型メモリ。

(6)

前記複数のウェル電位を前記ウェル電位調整部に供給する基準電源を更に有する前記(5)に記載の抵抗変化型メモリ。

(7)

前記書込み駆動部は、複数の前記書込み電圧から選択した前記書込み電圧を前記メモリセルに印加し、

前記ウェル電位調整部は、前記選択された書込み電圧に応じて前記ウェル電位を調整する

前記(1)から(6)の何れかに記載の抵抗変化型メモリ。

(8)

前記書込み駆動部は、前記データに応じた書込み電圧を前記メモリセルに印加し、

前記ウェル電位調整部は、前記印加される書込み電圧に応じて前記ウェル電位を調整する

前記(1)から(7)の何れかに記載の抵抗変化型メモリ。

(9)

前記書込駆動部は、MOSトランジスタによる前記素子により構成される

前記（１）から（８）の何れかに記載の抵抗変化型メモリ。

（１０）

前記メモリセルは、磁気抵抗効果素子を前記抵抗変化型素子として備える
前記（１）から（９）の何れかに記載の抵抗変化型メモリ。

（１１）

抵抗変化型素子を備えるメモリセルと、
前記メモリセルに書込み電圧を印加してデータの書込みを行う書込み駆動部と、
前記書込みを制御する書込み制御信号を前記書込み駆動部に出力する書込み制御部と、
前記書込みの際に前記書込み電圧に応じて前記書込み駆動部を構成する素子が配置されるウェル領域のウェル電位を調整するウェル電位調整部とを備える抵抗変化型メモリと、
前記抵抗変化型メモリを制御するメモリ制御部とを有するメモリ装置。

（１２）

抵抗変化型素子を備えるメモリセルと、
前記メモリセルに書込み電圧を印加してデータの書込みを行う書込み駆動部と、
前記書込みを制御する書込み制御信号を前記書込み駆動部に出力する書込み制御部と、
前記書込みの際に前記書込み電圧に応じて前記書込み駆動部を構成する素子が配置されるウェル領域のウェル電位を調整するウェル電位調整部とを備える抵抗変化型メモリと、
前記抵抗変化型メモリを制御するメモリ制御部と、
前記メモリ制御部を介して前記抵抗変化型メモリにアクセスするプロセッサとを有するメモリシステム。

符号の説明

- [0108] 1 電子デバイス
- 2 システムインパッケージ
- 10 メモリ装置
- 10a、10b、10c、10e 記憶装置
- 11 半導体装置
- 12 メモリ制御部
- 30 プロセッサ
- 100、100a、100b 抵抗変化型メモリ
- 110 書込み制御部
- 111 反転ゲート
- 120 ウェル電位調整部
- 121、123、124 電圧源
- 122、125 選択部
- 130 書込み電圧供給部
- 140 書込み駆動部
- 150 メモリセルアレイ
- 151、152 メモリセル
- 211 セルトランジスタ
- 212 抵抗変化型素子
- 301 半導体基板
- 302 ウェル領域

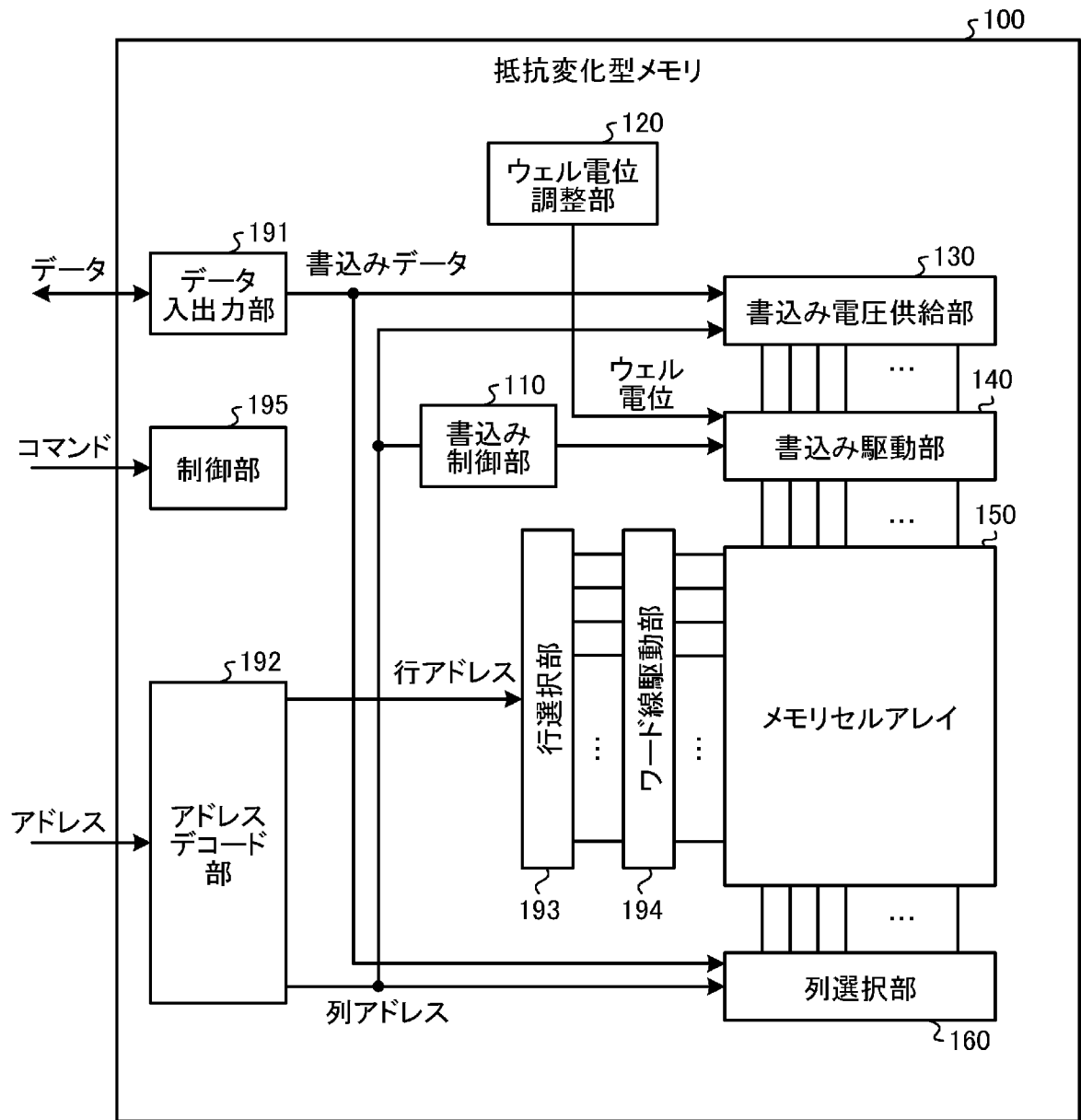
請求の範囲

- [請求項1] 抵抗変化型素子を備えるメモリセルと、
前記メモリセルに書込み電圧を印加してデータの書込みを行う書込み駆動部と、
前記書込みを制御する書込み制御信号を前記書込み駆動部に出力する書込み制御部と、
前記書込みの際に前記書込み電圧に応じて前記書込み駆動部を構成する素子が配置されるウェル領域のウェル電位を調整するウェル電位調整部と
を有する抵抗変化型メモリ。
- [請求項2] 前記書込み電圧を供給する書込み電圧供給部を更に有し、
前記ウェル電位調整部は、前記供給される書込み電圧に応じて前記ウェル電位を調整する
請求項1に記載の抵抗変化型メモリ。
- [請求項3] 前記書込み電圧供給部は、前記書込みの際に前記書込み電圧を供給する請求項2に記載の抵抗変化型メモリ。
- [請求項4] 前記書込み制御部は、前記書込みの際に前記書込み電圧に応じた前記書込み制御信号を出力する請求項1に記載の抵抗変化型メモリ。
- [請求項5] 前記ウェル電位調整部は、複数の前記ウェル電位から選択したウェル電位を前記ウェル領域に印加することにより前記ウェル電位を調整する請求項1に記載の抵抗変化型メモリ。
- [請求項6] 前記複数のウェル電位を前記ウェル電位調整部に供給する基準電源を更に有する請求項5に記載の抵抗変化型メモリ。
- [請求項7] 前記書込み駆動部は、複数の前記書込み電圧から選択した前記書込み電圧を前記メモリセルに印加し、
前記ウェル電位調整部は、前記選択された書込み電圧に応じて前記ウェル電位を調整する
請求項1に記載の抵抗変化型メモリ。

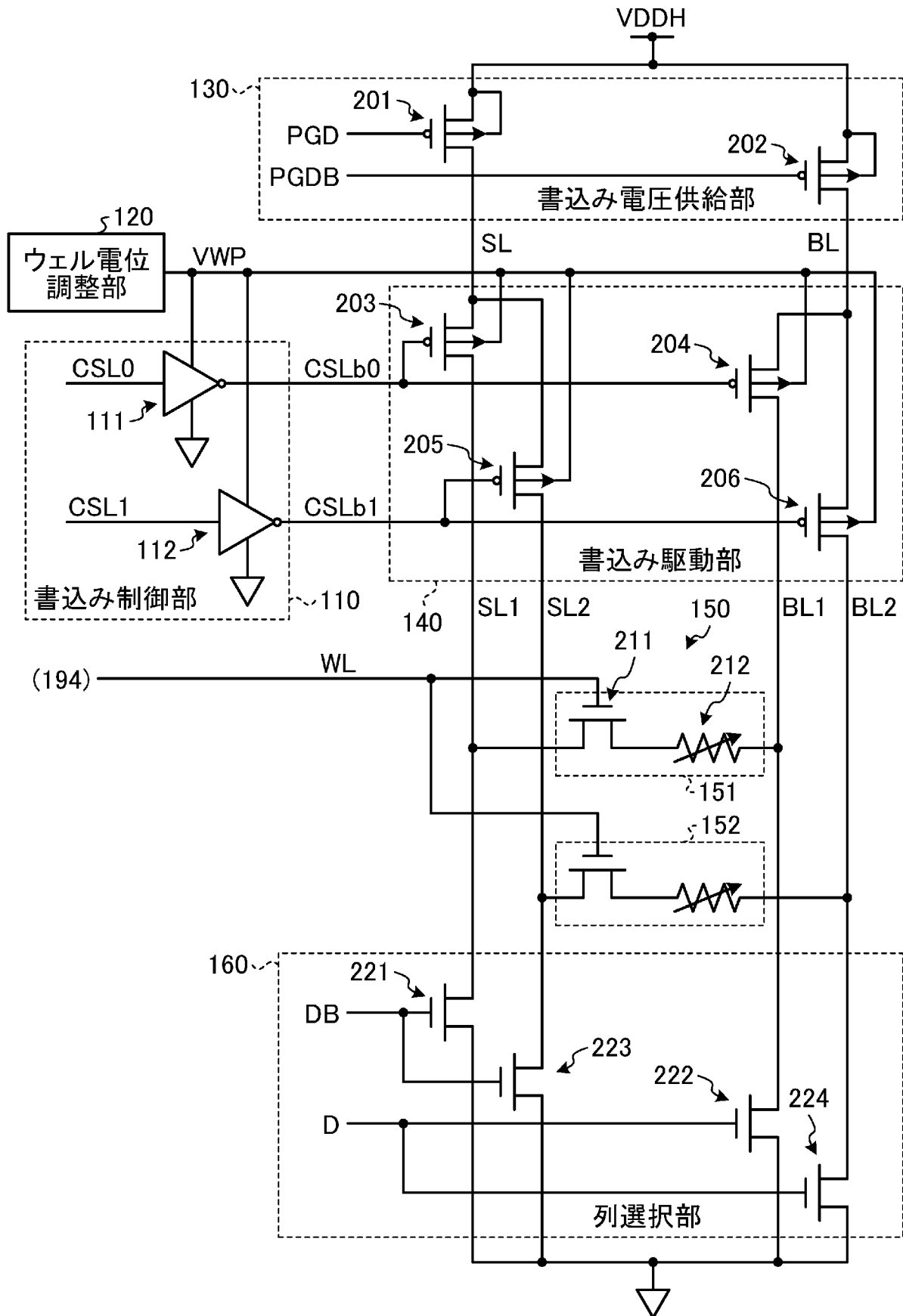
- [請求項8] 前記書込み駆動部は、前記データに応じた書込み電圧を前記メモリセルに印加し、
- 前記ウェル電位調整部は、前記印加される書込み電圧に応じて前記ウェル電位を調整する
- 請求項1に記載の抵抗変化型メモリ。
- [請求項9] 前記書込み駆動部は、MOSトランジスタによる前記素子により構成される請求項1に記載の抵抗変化型メモリ。
- [請求項10] 前記メモリセルは、磁気抵抗効果素子を前記抵抗変化型素子として備える請求項1に記載の抵抗変化型メモリ。
- [請求項11] 抵抗変化型素子を備えるメモリセルと、
- 前記メモリセルに書込み電圧を印加してデータの書込みを行う書込み駆動部と、
- 前記書込みを制御する書込み制御信号を前記書込み駆動部に出力する書込み制御部と、
- 前記書込みの際に前記書込み電圧に応じて前記書込み駆動部を構成する素子が配置されるウェル領域のウェル電位を調整するウェル電位調整部と
- を備える抵抗変化型メモリと、
- 前記抵抗変化型メモリを制御するメモリ制御部と
- を有するメモリ装置。
- [請求項12] 抵抗変化型素子を備えるメモリセルと、
- 前記メモリセルに書込み電圧を印加してデータの書込みを行う書込み駆動部と、
- 前記書込みを制御する書込み制御信号を前記書込み駆動部に出力する書込み制御部と、
- 前記書込みの際に前記書込み電圧に応じて前記書込み駆動部を構成する素子が配置されるウェル領域のウェル電位を調整するウェル電位調整部と

を備える抵抗変化型メモリと、
前記抵抗変化型メモリを制御するメモリ制御部と、
前記メモリ制御部を介して前記抵抗変化型メモリにアクセスするプロセッサと
を有するメモリシステム。

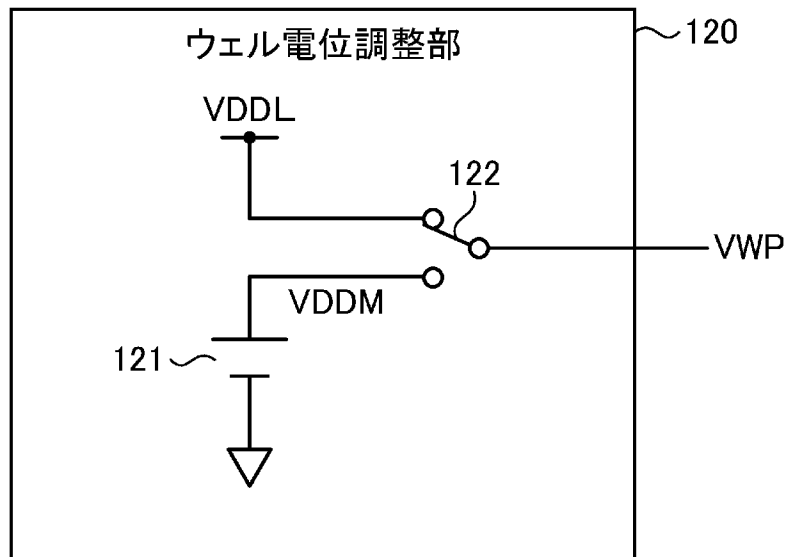
[図1]



[図2]



[図3]

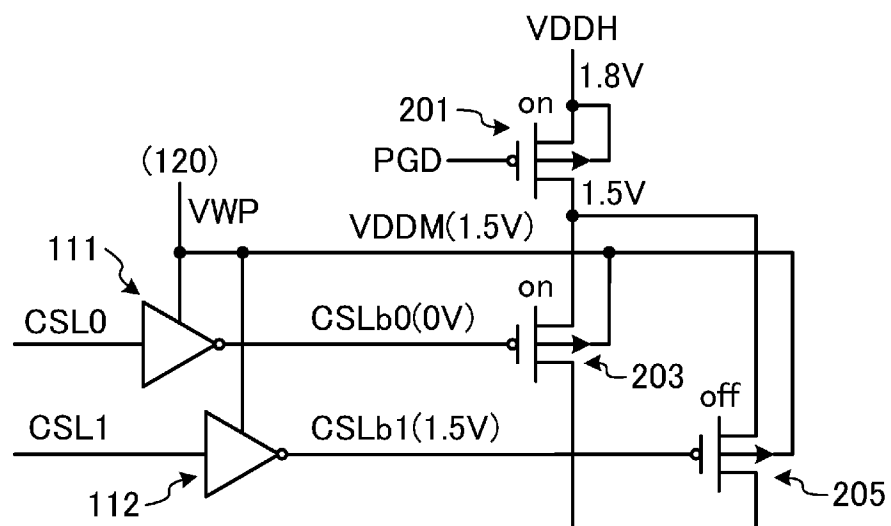


[図4]

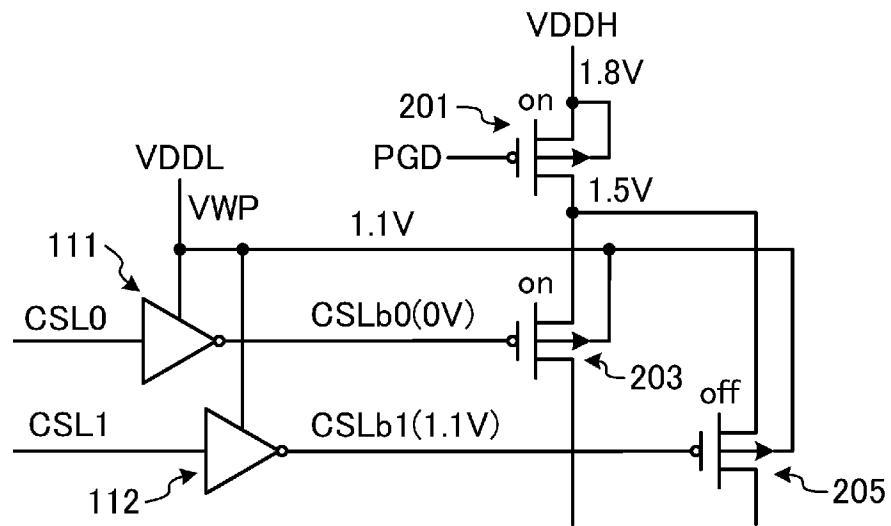
コマンド	待機	書込み	
書き込みデータ	—	1(H)	0(L)
D	—	on	off
DB	—	off	on
WL	off	on	on
PGD	off	on	off
PGDB	off	off	on
CSLb0	VDDL(off)	VSS(on)	VSS(on)
CSLb1	VDDL(off)	VDDM(off)	VDDM(off)
VWP	VDDL	VDDM	VDDM

※選択Tr

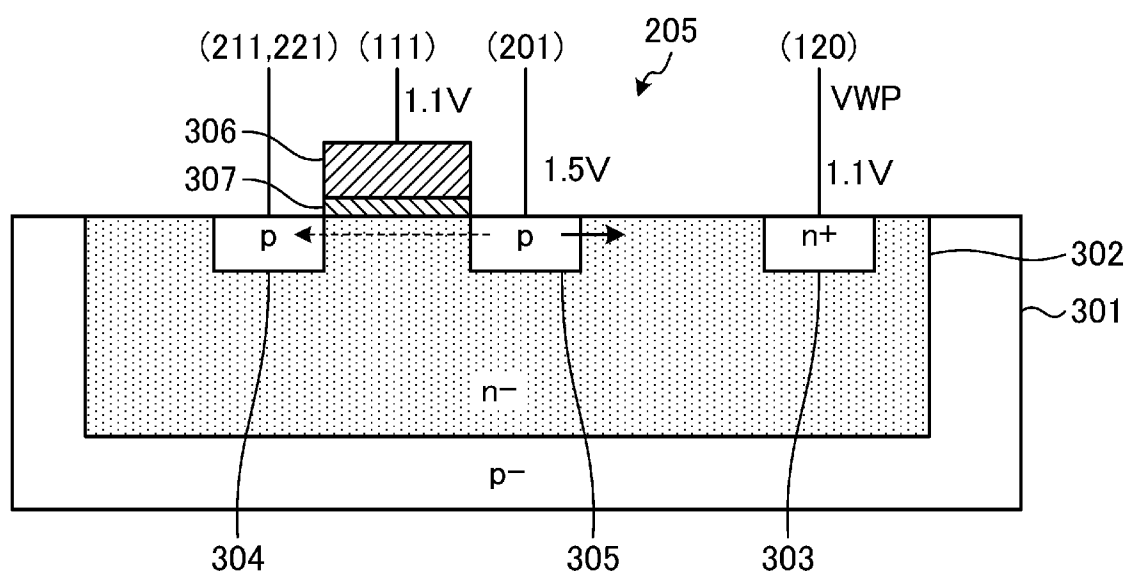
※非選択Tr



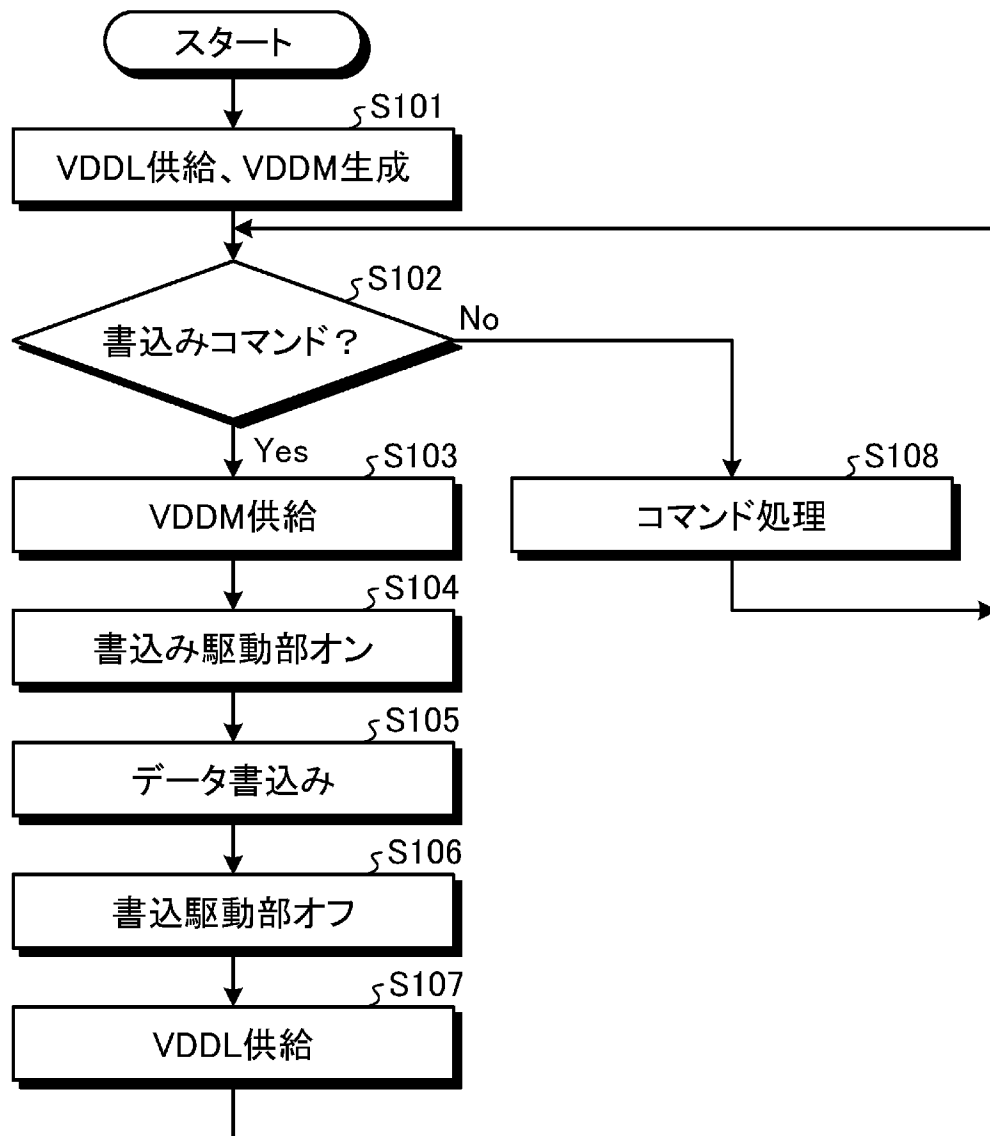
[図6C]



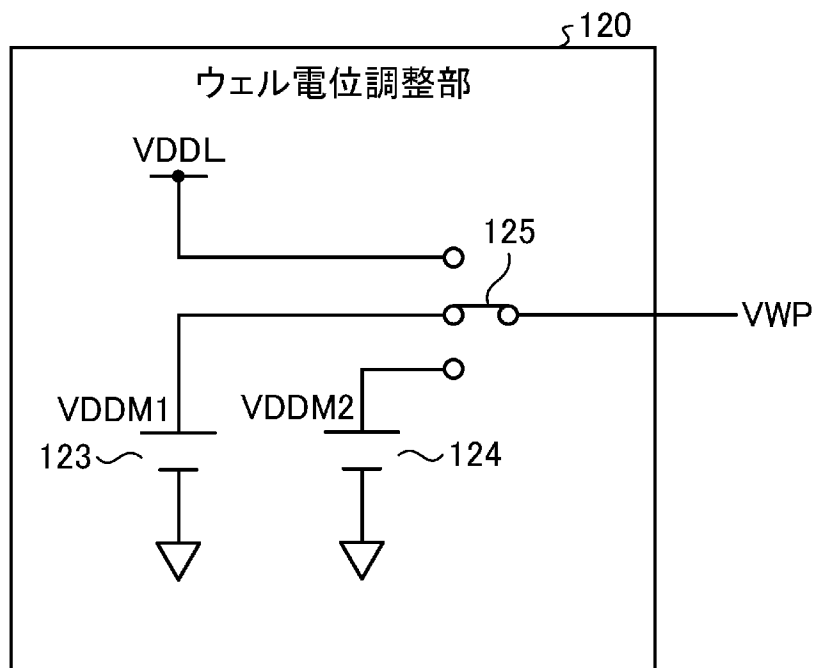
[図7]



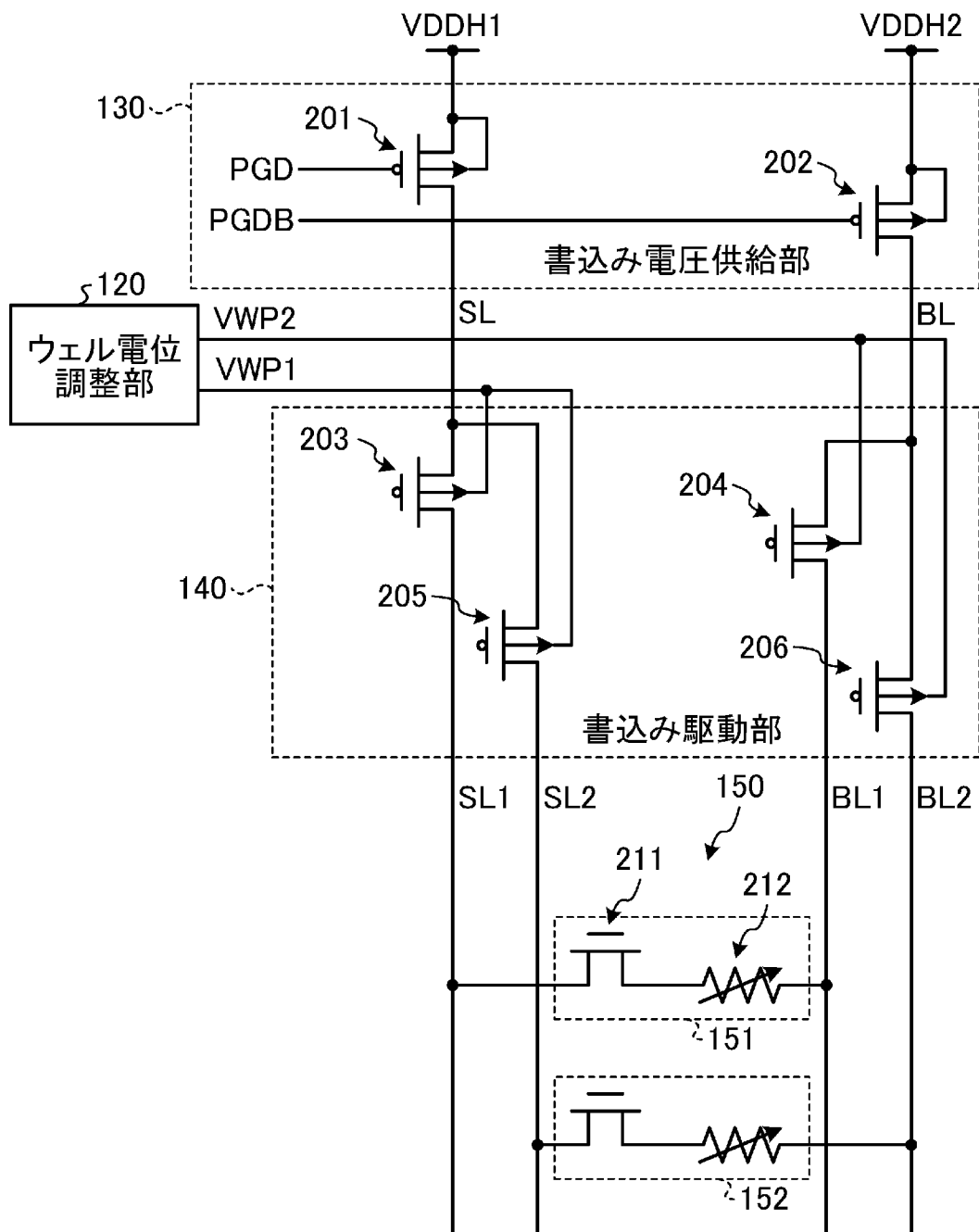
[図8]



[図9]



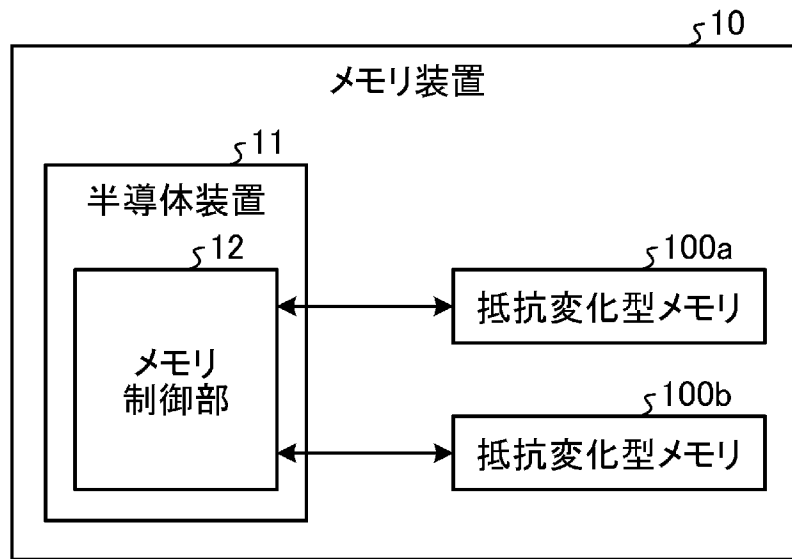
[図10]



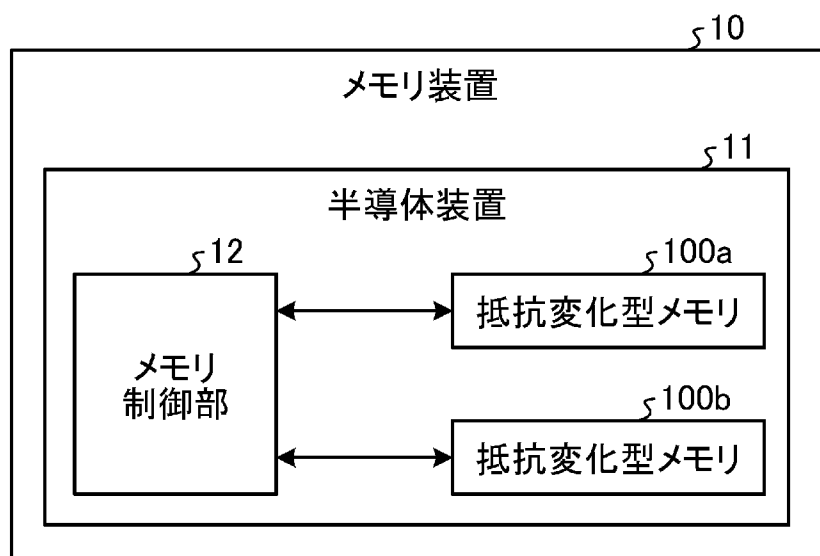
[図11]

コマンド	待機	書込み	
書き込みデータ	－	1(H)	0(L)
D	－	on	off
DB	－	off	on
WL	off	on	on
PGD	off	on	off
PGDB	off	off	on
VDDH	－	VDDH1	VDDH2
CSLb0	VDDL(off)	VSS(on)	VSS(on)
CSLb1	VDDL(off)	VDDM1/VDDL	VDDM2/VDDL
VWP1	VDDL	VDDM1	VDDL
VWP2	VDDL	VDDL	VDDM2

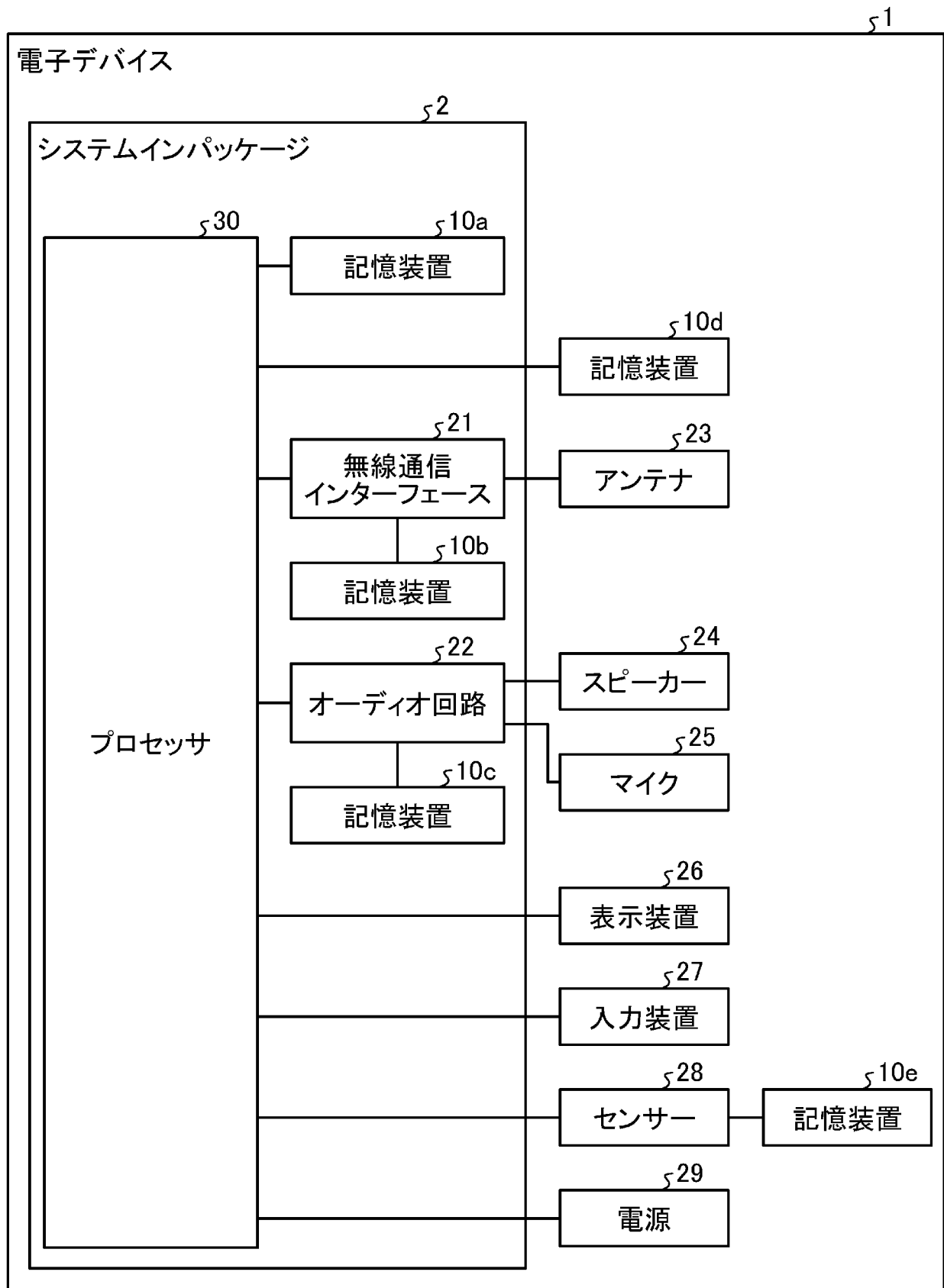
[図12A]



[図12B]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/046488

A. CLASSIFICATION OF SUBJECT MATTER <i>G11C 11/16</i> (2006.01)i; <i>G11C 5/14</i> (2006.01)i; <i>G11C 13/00</i> (2006.01)i FI: G11C11/16 240; G11C13/00 480B; G11C11/16 250; G11C13/00 270J; G11C13/00 464; G11C5/14 420 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C11/16; G11C5/14; G11C13/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/070895 A1 (PANASONIC CORPORATION) 24 June 2010 (2010-06-24) paragraphs [0046]-[0048], [0060]-[0063], [0078]-[0080], [0086]-[0090], fig. 3, 5, 8	1-12
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 January 2022		Date of mailing of the international search report 01 February 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/046488

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2010/070895	A1	24 June 2010	US 2010/0321982 A1 paragraphs [0074]-[0076], [0088]-[0091], [0108]-[0110], [0117]-[0121], fig. 3, 5, 8 CN 101946285 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 11/16(2006.01)i; G11C 5/14(2006.01)i; G11C 13/00(2006.01)i FI: G11C11/16 240; G11C13/00 480B; G11C11/16 250; G11C13/00 270J; G11C13/00 464; G11C5/14 420														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G11C11/16; G11C5/14; G11C13/00														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2022年													
日本国実用新案登録公報	1996 - 2022年													
日本国登録実用新案公報	1994 - 2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2010/070895 A1（パナソニック株式会社） 24.06.2010（2010 - 06 - 24） 段落[0046]-[0048], [0060]-[0063], [0078]-[0080], [0086]-[0090], 図3, 5, 8	1-12												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 21.01.2022	国際調査報告の発送日 01.02.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後藤 彰 5N 4226 電話番号 03-3581-1101 内線 3586													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/046488

引用文献			公表日	パテントファミリー文献			公表日
WO	2010/070895	A1	24.06.2010	US	2010/0321982	A1	
				段落[0074]-[0076], [0088]-[0091], [0108]-[0110], [0117]-[0121], 図3, 5, 8			
				CN	101946285	A	