

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5829317号
(P5829317)

(45) 発行日 平成27年12月9日(2015.12.9)

(24) 登録日 平成27年10月30日(2015.10.30)

(51) Int.Cl. F I
 HO 1 L 27/105 (2006.01) HO 1 L 27/10 4 4 8
 HO 1 L 45/00 (2006.01) HO 1 L 45/00 A

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2014-142996 (P2014-142996)	(73) 特許権者	390009531
(22) 出願日	平成26年7月11日 (2014.7.11)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(62) 分割の表示	特願2012-526794 (P2012-526794) の分割		INTERNATIONAL BUSINESS MACHINES CORPORATION
原出願日	平成22年7月29日 (2010.7.29)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(65) 公開番号	特開2014-222767 (P2014-222767A)		New Orchard Road, Armonk, New York 10504, United States of America
(43) 公開日	平成26年11月27日 (2014.11.27)	(74) 代理人	100108501
審査請求日	平成26年7月11日 (2014.7.11)		弁理士 上野 剛史
(31) 優先権主張番号	12/550,062		
(32) 優先日	平成21年8月28日 (2009.8.28)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 完全アモルファスの相変化メモリ細孔セルの化学機械研磨ストップ層

(57) 【特許請求の範囲】

【請求項 1】

下部電極を含む下部電極層と、
 前記下部電極層の上に形成されたメモリ・セル層と、
 を含む相変化メモリ細孔セルであって、前記メモリ・セル層は、
 前記下部電極層の上に形成された誘電体層と、
 前記誘電体層の上に形成され、前記下部電極から離れている上部電極と、
 を含み、前記誘電体層は、垂直配向され前記上部電極及び前記下部電極により境界を付けられている細孔を含み、前記細孔は、前記上部電極との境界の角部が丸みを帯びずに垂直配向されていて、前記上部電極及び前記下部電極と電気的に連絡しており、前記細孔は、電気特性状態間を切り替え可能な相変化物質を含み、
 前記細孔は、均一な幅であり、前記細孔の前記均一な幅は、1 nm ~ 40 nmの間である、
 相変化メモリ細孔セル。

【請求項 2】

前記細孔は、前記上部電極及び前記下部電極と直接接触している、請求項 1 に記載の相変化メモリ細孔セル。

【請求項 3】

前記細孔は、前記誘電体層の高さと同じ高さである、請求項 2 に記載の相変化メモリ細孔セル。

【請求項 4】

1つ以上の相変化メモリ要素と、
 前記1つ以上の相変化メモリ要素のうちの1つと接触している下部電極と、
 前記1つ以上の相変化メモリ要素のうちの1つと接触し、前記下部電極から離れている
 上部電極と、
 を含むメモリ・デバイスであって、
 相変化メモリ要素はそれぞれ、
 前記下部電極の上に形成された誘電体層
 を含み、前記誘電体層は、垂直配向され前記上部電極及び前記下部電極により境界を付
 けられている細孔を含み、前記細孔は、前記上部電極との境界の角部が丸みを帯びずに垂
 直配向されていて、前記上部電極及び前記下部電極と電氣的に連絡しており、前記細孔は
 、電気特性状態間を切り替え可能な相変化物質を含み、
 前記細孔は、均一な幅であり、前記細孔の前記均一な幅は、1 nm ~ 40 nmの間であ
 る、
 メモリ・デバイス。

10

【請求項 5】

前記細孔は、前記上部電極及び前記下部電極と直接接触している、請求項 4 に記載のメ
 モリ・デバイス。

【請求項 6】

前記細孔は、前記誘電体層の高さと同じ高さである、請求項 5 に記載のメモリ・デバイ
 ス。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、相変化メモリ・セルに関し、特に、完全アモルファスの相変化メモリ細孔セ
 ル (fully amorphous phase change memory po
 re cell) の化学機械研磨 (CMP: chemical mechanical
 polishing) ストップ層に関する。完全アモルファスの相変化メモリ細孔セルと
 は、細孔 (pore) 内に位置する相変化物質が、リセット動作の間、部分的に結晶の相
 変化物質を細孔の体積内に少しも残さずに完全にアモルファス相に変わることを意味する
 (リセット動作は、メモリ・セルの状態を高抵抗状態に変える動作である)。

30

【背景技術】

【0002】

高温データ保持は、相変化メモリの望まれる特徴である。保持は、アモルファス化した
 相変化物質の意図されない再結晶化により制限される。結晶化は、アモルファス - 結晶化
 境界で生じることがある。相変化物質内にアモルファス - 結晶境界がなければ、このデー
 タ損失の原因が解消される。したがって、リセット動作中に相変化物質のすべてをアモル
 ファス状態に変える相変化メモリ・セルは、より優れたデータ保持特徴を有する。相変化
 メモリでは、電流を使用して、相変化物質においてアモルファス状態と結晶状態との間の
 移行を生じさせることによって、データが記憶される。電流は、物質を加熱し、2つの状
 態間の移行を生じさせる。アモルファス状態から結晶状態への変化は、結晶状態からアモ
 ルファス状態への変化 (リセット電流と呼ばれる) と比較すると低電流の動作である。リ
 セット電流を最小限に抑えることが望ましい。

40

【0003】

図 1 ~ 9 は、従来の相変化メモリ細孔セル 1 を製造する方法を示す。具体的には、図 1
 ~ 9 は、典型的なキーホール転移 (keyhole transfer) 方法を示す。図
 1 では、下部電極層 10 と、下部電極層 10 の上のメモリ・セル層 12 とが設けられてい
 る。下部電極層 10 は、誘電体充填層 13 と、誘電体充填層 13 内の、典型的にはタンゲ
 ステン又は窒化チタンで作られた下部電極 14 とを含む。第 1 の誘電体層 15 が、下部電
 極層 10 上に形成され、絶縁層 16 が、第 1 の誘電体層 15 上に形成され、第 2 の誘電体

50

層 17 が、絶縁層 16 上に形成される。フォトレジスト層 18 が、第 2 の誘電体層 17 の上に形成される。ビア 20 が、第 1 の誘電体層 15 に向かって延在するよう形成される。図 2 では、フォトレジスト層 18 が除去され、絶縁層 16 が窪まされ、第 2 の誘電体層 17 の突出部 17 a 及び 17 b が作られている。図 3 では、コンフォーマル膜 (conformal film) 22 が、ビア 20 内に堆積され、ビア 20 の下方の領域に空隙 (すなわちキーホール構造 24) を形成するようピンチされる (pinched)。図 4 では、コンフォーマル膜 22 が窪まされ、キーホール構造 24 が、細孔 26 を形成するよう第 1 の誘電体層 15 の中へと、下方へ転移される。図 5 では、絶縁層 16、第 2 の誘電体層 17、及びコンフォーマル膜 22 が除去され、その結果、第 1 の誘電体層 15 内に形成された細孔 26 が露出する。図 6 では、相変化物質 28 が、第 1 の誘電体層 15 上に堆積され、細孔 26 内に充填されている。次に、図 7 では、平坦化プロセスが実行されて、細孔 26 の外に形成された相変化物質 28 が除去される。次に、続いて図 8 では、第 1 の誘電体層 15 上に上部電極層 30 が形成される。続いて図 9 では、上部電極層 30 がエッチングされて、上部電極 31 が形成され、これは細孔 26 及び下部電極 14 と電氣的に連絡 (electrical communication) する。

【発明の概要】

【発明が解決しようとする課題】

【0004】

図 1 ~ 9 に示した製造方法に関連する問題がいくつかある。例えば、細孔 26 がエッチングされ、絶縁層 16、第 2 の誘電体層 17、及びコンフォーマル膜 22 が除去された後、相変化物質 28 と、下部電極 14 との十分な電気伝導を確保するために、相変化物質 28 の堆積の前にスパッタリング・プロセスが利用される。図 6 に示されているように、スパッタリング・プロセスは、細孔 26 のテーパ角度 26 a 及び 26 b、並びに上部の角部 26 c の丸みを大きくする。細孔 26 の丸みが大きいほど、相変化メモリ細孔セル 1 を完全にアモルファスにするために必要なリセット電流が高くなる。細孔 26 の丸みが大きすぎると、セル 1 は完全アモルファスとなることができないこともある。

【課題を解決するための手段】

【0005】

本発明は、相変化メモリ細孔セル、及びそれを製造する方法を提供し、犠牲層が、相変化物質堆積の実行前に実行されるスパッタリング・プロセスによって生じる、細孔の角部が丸みを帯びる影響を吸収する層としての機能を果たし、制御可能な CMP ストップ層となる。したがって、本発明は、改善された相変化メモリ細孔構造を提供する。

【0006】

本発明の一実施形態によれば、相変化メモリ細孔セルを製造する方法が提供される。本方法は、下部電極を形成するステップと、下部電極上に第 1 の誘電体層を形成するステップと、第 1 の誘電体層上に犠牲層を形成するステップと、犠牲層上に絶縁層を形成するステップと、絶縁層上に第 2 の誘電体層を形成するステップとを含む。本方法はさらに、下部電極の上方に位置し (overlie) 犠牲層に向かって延在するビアを形成するステップと、犠牲層及び第 1 の誘電体層を貫いて延在する画定された細孔を形成するために、犠牲層を貫いて第 1 の誘電体層までをエッチングするステップと、犠牲層上及び細孔の中に相変化物質を堆積させ、細孔の外に形成された相変化物質を除去するステップと、細孔を露出させるために犠牲層を除去するステップであって、細孔は垂直配向されている (vertically aligned)、該ステップと、細孔の上に上部電極を形成するステップとを含む。

【0007】

本発明の別の実施形態によれば、相変化メモリ細孔セルが提供される。相変化メモリ細孔セルは、下部電極を含む下部電極層と、下部電極層の上に形成されたメモリ・セル層とを含む。メモリ・セル層は、下部電極層の上に形成された誘電体層と、誘電体層の上に形成された上部電極とを含み、上部電極は、下部電極から離れている。誘電体層は、垂直配向され上部電極及び下部電極により境界を付けられている細孔を含み、細孔は、上部電極

10

20

30

40

50

及び下部電極と電氣的に連絡しており、電気特性状態間を切り替え可能な相変化物質を含む。

【0008】

本発明の別の実施形態によれば、相変化メモリ・デバイスが提供される。相変化メモリ・デバイスは、1つ以上の相変化メモリ要素と、該1つ以上の相変化メモリ要素のうちの1つと接触している下部電極と、該1つ以上の相変化メモリ要素のうちの1つと接触し、下部電極から離れている上部電極とを含む。相変化メモリ要素はそれぞれ、下部電極の上に形成された誘電体層を含み、誘電体層は、垂直配向され上部電極及び下部電極によって境界を付けられている細孔を含み、細孔は、上部電極及び下部電極と電氣的に連絡しており、細孔は、電気特性状態間を切り替え可能な相変化物質を含む。

10

【0009】

さらなる特徴及び利点が、本発明の技術によって実現される。本発明の他の実施形態及び側面が、本願明細書に詳しく記載され、請求される発明の一部と見なされる。利点及び特徴と併せて本発明をより深く理解するには、本記載及び図面を参照されたい。

【0010】

本発明と見なされる主題は、本明細書の終わりにある特許請求の範囲において詳しく挙げられ、明確に請求されている。本発明の前述の特徴及び利点、並びに他の特徴及び利点は、添付の図面と併せて以下の詳細な説明を理解することによって明らかとなる。

【図面の簡単な説明】

【0011】

20

【図1】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図2】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図3】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図4】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図5】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図6】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図7】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図8】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図9】従来の相変化メモリ細孔セルを製造する製造方法を示す図である。

【図10】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

30

【図11】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

【図12】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

【図13】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

【図14】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

【図15】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

40

【図16】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

【図17】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

【図18】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

【図19】本発明の実施形態の中で実施可能な、相変化メモリ細孔セルを製造する製造方法を示す図である。

【発明を実施するための形態】

50

【0012】

以下、図10～19を参照する。本発明は、本発明の実施形態による相変化メモリ細孔セル100を製造する製造方法を提供する。図10では、メモリ細孔セル100が、下部電極層101と、下部電極層101の上のメモリ・セル層102を含む。下部電極層101は、典型的には二酸化ケイ素で作られる誘電体充填層103と、誘電体充填層103の中の、典型的にはタングステン(W)又は窒化チタン(TiN)で作られる下部電極104とを含む。メモリ・セル層102は、下部電極層101の上面上に第1の誘電体層105(すなわち分離層)を含む。第1の誘電体層105は、窒化ケイ素で作られてもよく、従来の薄膜堆積技術を使用して形成される。本発明は、窒化ケイ素の使用に限定されず、二酸化ケイ素など、他の誘電物質が使用されてもよい。犠牲層106が、第1の誘電体層105上に形成される。本発明の実施形態によれば、犠牲層106は、摂氏200度の加工温度(process temperature)で形成される、窒化ケイ素などの誘電物質から形成されてもよい。犠牲層106は、約10nm～約50nmの所定の厚さである。本発明は、窒化ケイ素に限定されず、ケイ素又は二酸化ケイ素など、他の誘電体使用されてもよい。

10

【0013】

二酸化ケイ素を含む絶縁層107が、犠牲層106上に形成され、第2の誘電体層110が、絶縁層107上に形成される。第2の誘電体層110は、例えば、窒化ケイ素で作られる。フォトレジスト層112が、第2の誘電体層110の上に形成される。次に、ビア114が、下部電極104の上に延在するように、リソグラフィ・プロセスによって、フォトレジスト層112、第2の誘電体層110、絶縁層107を貫いて犠牲層106まで形成される。犠牲層106は、この動作中、エッチング・ストップ層としての機能を果たす。下部電極104は、誘電体充填層103を貫き、トランジスタ又はダイオード・タイプの絶縁デバイスなどの絶縁デバイス(図示せず)まで延在する。現在の実施形態で示されているように、第1の誘電体層105は、単一の分離層であるが、本発明の別の実施形態によれば、第1の誘電体層105は、2つの層を含んでもよい。

20

【0014】

図11は、製造プロセスの次の段階を示す。具体的には、図11は、本発明の実施形態の中で実施可能な、相変化メモリ細孔セルの絶縁層107を窪ませる動作を示す図である。図11では、フォトレジスト層112が除去され、絶縁層107が窪まされている(すなわち、希薄BOE又はフッ化水素酸を塗布して二酸化ケイ素を除去するなどの、選択的エッチング・プロセスを使用して、第2の誘電体層110に対し後退するようエッチングされ、その結果、第2の誘電体層110の突出部110a及び110bが作られる)。フォトレジスト層112は、典型的には、ストリッピング技術を使用して除去される。

30

【0015】

図12は、製造プロセスの次の段階を示す。具体的には、図12は、本発明の実施形態の中で実施可能な、相変化メモリ細孔セルの中でのコンフォーマル膜の堆積を示す図である。図12に示されているように、アモルファス・シリコンを含むコンフォーマル膜116が、化学蒸着(CVD: chemical vapor deposition)を使用してビア114の中に形成され、ビア114の下方の領域に空隙(すなわちキーホール構造118)を形成するようピンチされる。キーホール構造118のサイズは、第2の誘電体層110に対して絶縁層107が窪まされる量によって決まる。原子層堆積、物理層堆積、低圧化学蒸着(LPCVD: low-pressure chemical vapor deposition)、又は高密度プラズマ化学蒸着(HDPCVD: high density plasma chemical vapor deposition)などの他の手段がコンフォーマル膜116の堆積に使用されてもよい。

40

【0016】

図13では、コンフォーマル膜116が、反応性イオン・エッチング(RIE: reactive ion etching)プロセスを使用して窪まされ、キーホール構造118が、細孔120を形成するよう第1の誘電体層105の中へと、下方へ転移されてい

50

る。すなわち、コンフォーマル膜 116 は、キーホール構造 118 の幅によって決定される穴を有する。図のように、第 1 の誘電体層 105 は、コンフォーマル膜 116 を使用してエッチングされ、その結果、下部電極 104 の上面が露出する。

【0017】

図 14 では、絶縁層 107 及びコンフォーマル層 116 が、ウェット・エッチング・プロセスによって除去されている。したがって、犠牲層 106 及び第 1 の誘電体層 105 の中に形成された細孔 120 が露出している。図 14 に示されているように、絶縁層 107、第 2 の誘電体層 110 及びコンフォーマル層 116 の除去後、細孔 120 は、犠牲層 106 と、第 1 の誘電体層 105 との高さの合計に相当する高さである。

【0018】

図 15 は、本発明の実施形態の中で実施可能な、相変化メモリ細孔セルにおける相変化物質の堆積動作を示す図である。相変化物質 122 の電着より前に、相変化物質 122 と、下部電極 104 との十分な電気伝導を確保するために、スパッタリング・プロセスが実行される。本発明の実施形態によれば、スパッタリング・プロセスの結果として、最上部の角部の丸み及びテーパ状の角度は、第 1 の誘電体層 105 ではなく犠牲層 106 にある。したがって、本発明の実施形態によれば、スパッタリング・プロセスによって生じることがある、細孔の角部が丸みを帯びる影響を吸収する層としての機能を、犠牲層 106 は果たす。図 15 に示されているように、相変化物質 122 が、犠牲層 106 の上に堆積され、細孔 120 内に充填される。相変化物質 122 は、エネルギーの印加によって電気特性状態間を切り替え可能な物質である。本発明の実施形態によれば、相変化物質 122 は、ゲルマニウム・アンチモン・テルル (GeSbTe)、又はガリウム (Ga) / Sb、インジウム (In) / Sb、In / セレン (Se)、Sb / Te、Ge / Te、In / Sb / Te、Ga / Se / Te、Sn / Sb / Te、In / Sb / Ge、銀 (Ag) / In / Sb / Te、Ge / Sb / Se / Te、Te / Ge / Sb / 硫黄 (S) の合金のうちの 1 つで作られていてもよい。広範囲の合金組成物が使用され得る。

【0019】

本発明の実施形態によれば、犠牲層 106 は、上のマスク層 (すなわち、絶縁層 107 及び第 2 の誘電体層 110) と比較して、選択的なウェット・エッチング速度を有する。本発明の実施形態によれば、犠牲層 106 は、摂氏約 200 度の加工温度を有する窒化ケイ素 (SiN) から形成され、第 1 の誘電体層 105 は、摂氏約 400 度の加工温度を有する窒化ケイ素から形成される。なお、本発明はこれに限定されず、適宜変化させてよい。

【0020】

図 16 は、本発明の実施形態の中で実施可能な、相変化メモリ細孔セルの製造中に実行される平坦化動作を示す図である。図 16 では、化学機械研磨 (CMP) 動作などの平坦化動作 (すなわち、第 1 の CMP ストップ・プロセス) が、細孔 120 の外の相変化物質 122 を除去するために実行され、細孔 120 は相変化物質 122 で充填されたままにされる。犠牲層 106 は、この動作中、CMP ストップ層としての機能を果たす。犠牲層 106 は、選ばれた相変化物質 122 よりも遅い CMP 速度、及び細孔 120 を含む第 1 の誘電体層 105 よりも速い CMP 速度を有する物質から成る。第 1 の誘電体層 105 及び犠牲層 106 がどちらも窒化ケイ素を含む場合、これはより強い CMP ストップ層を作る。

【0021】

図 17 では、第 2 の CMP ストップ・プロセスが、犠牲層 106 を除去するために実行されている。第 2 の CMP ストップ・プロセスは、犠牲層 106 を徐々に研磨除去して、第 1 の誘電体層 105 を残す。図 17 に示されているように、細孔 120 は、垂直配向され、これにより、相変化メモリ細孔セル 100 を完全アモルファス状態に変えるために必要なリセット電流の量が削減される。本発明の実施形態によれば、細孔 120 は均一な幅である。細孔 120 の均一な幅は、約 1 nm ~ 約 40 nm である。本発明の実施形態によれば、細孔 120 は、実質的に垂直な側壁 120a 及び 120b を含む。一実施形態によ

10

20

30

40

50

れば、側壁 120 a 及び 120 b それぞれの角度は、約 75 度～約 90 度である。さらに示されているように、第 2 の CMP ストップ・プロセスの結果として、細孔 120 は、第 1 の誘電体層 105 の高さと同じ高さである。本発明の細孔 120 は、改善されたプロファイルを有する。すなわち、角部の丸みが軽減され、従来技術のものよりも強く垂直配向される。

【0022】

図 18 は、製造プロセスの次の段階を示す。具体的には、図 18 では、上部電極層 124 がメモリ細孔セル 100 の上に形成されている。本発明の実施形態によれば、上部電極層 124 は、例えば窒化チタンから形成される。図 19 では、続いて上部電極層 124 が、分離のためにパターニングされ、その結果、上部電極 126 が形成される。細孔 120 は、上部電極 126 及び下部電極 104 と直接接触している。

10

【0023】

本発明は、相変化物質を堆積させる前に実行されるスパッタリング動作の実行によって通常生じる、細孔の角部が丸みを帯びる影響を吸収する層としての機能を果たす、犠牲層を用いる製造方法の結果として、改善された垂直の細孔構造を有する相変化メモリ細孔セルを提供する。さらに、犠牲層は、制御可能な CMP ストップ層ともなる。

【0024】

本願明細書で使用される専門用語は、特定の実施形態を説明するためのものでしかなく、本発明の限定となることは目的としていない。本願明細書で使用される、単数形「a」、「an」及び「the」は、文脈によりそうでないことが明確に示されていない限り、複数形も含むものとする。さらに、当然のことながら、「含む」若しくは「含んでいる」又はその両方の用語は、本明細書で使用されるとき、記載された機能、完全体、ステップ、動作、構成要素、若しくは部品、又はその何れかの組み合わせの存在を指定するが、1 つ以上の他の機能、完全体、ステップ、動作、構成部品、若しくはそのグループ、又はその何れかの組み合わせの存在又は追加を除外するものではない。

20

【0025】

以下の特許請求の範囲のミーンズ又はステップ・プラス・ファンクション構成要素すべての対応する構造、物質、動作、及び等価物は、明確に請求されている他の請求される構成要素とともに機能を実行する任意の構造、物質、又は動作を含むものとする。本発明の記載は、例証及び説明のために示されたものであるが、包括的であることも、開示された形態の発明に限定されることも目的としていない。当業者には、本発明の範囲及び意図から逸脱することのない、多数の変更及び変形が明らかであろう。実施形態は、本発明の原理及び実際の用途をもっともよく説明して、当業者が、意図される特定の用途に適する様々な変更を用いた様々な実施形態に関して、本発明を理解できるように選ばれ、記載された。

30

【0026】

本願明細書で示されたフロー図は、1 つの例にすぎない。この図又はそこに記載されているステップ（若しくは動作）には、本発明の意図から逸脱することのない、多数の変形があり得る。例えば、ステップが、異なる順序で実行されてもよく、又はステップが追加、削除、若しくは変更されてもよい。こうした変形のすべてが、請求される発明の一部と見なされる。

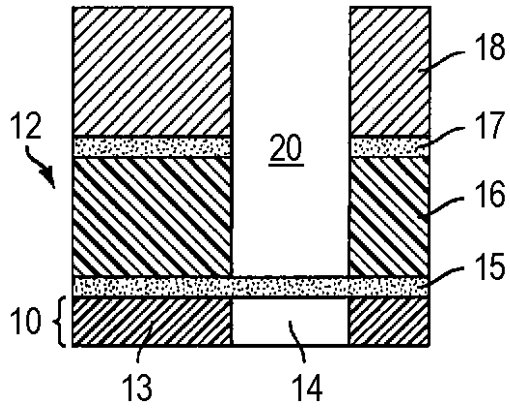
40

【0027】

本発明の好適な実施形態が記載されたが、当然のことながら、現在及び将来の両方において、当業者が、続く特許請求の範囲に記載の範囲内に入る様々な改良及び強化を行うことがあり得る。この特許請求の範囲は、最初に記載された本発明の適切な保護を維持すると解釈されるべきである。

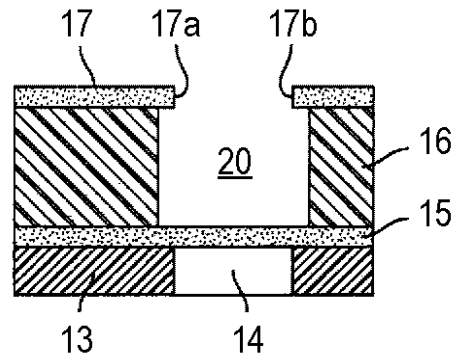
【図1】

従来技術



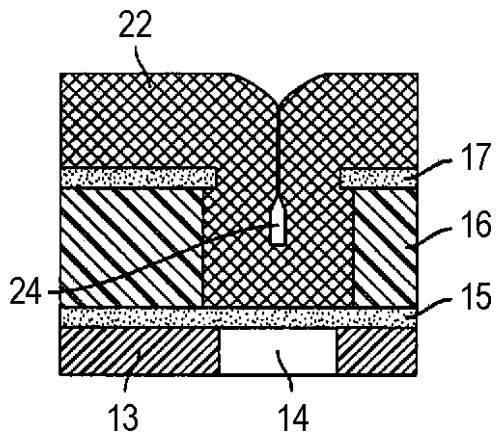
【図2】

従来技術



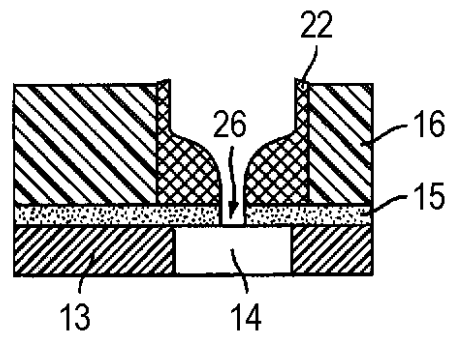
【図3】

従来技術



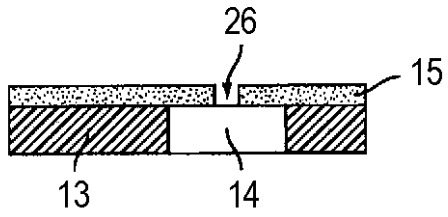
【図4】

従来技術



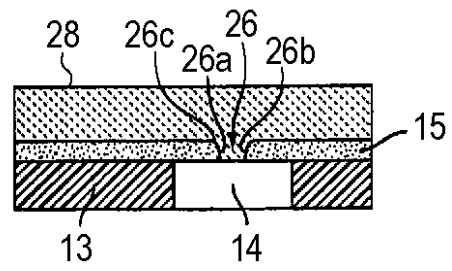
【図5】

従来技術



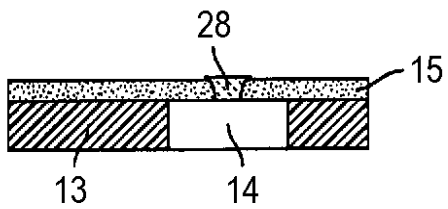
【図6】

従来技術



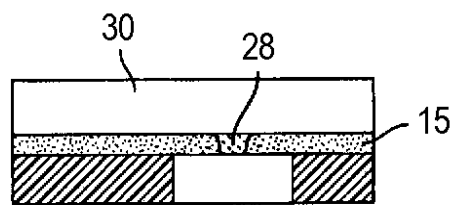
【図7】

従来技術



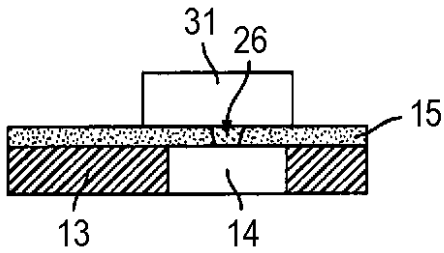
【図8】

従来技術

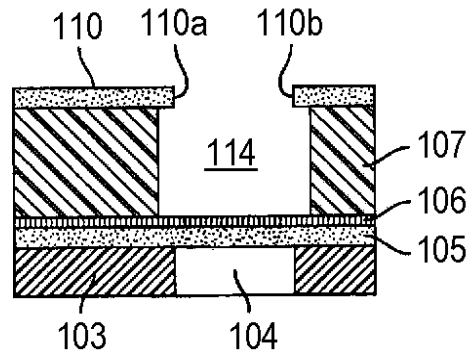


【図9】

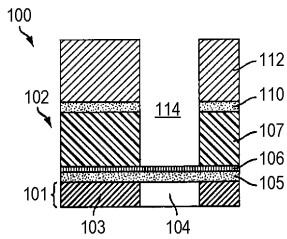
従来技術



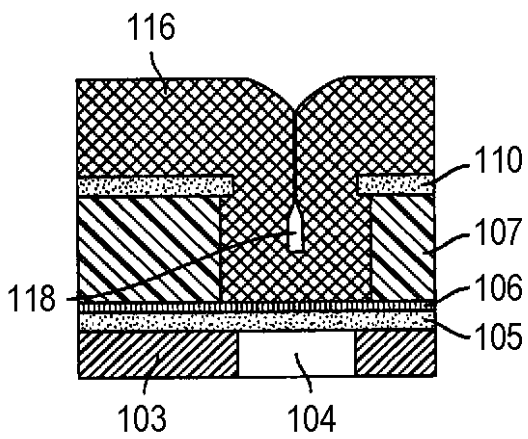
【図11】



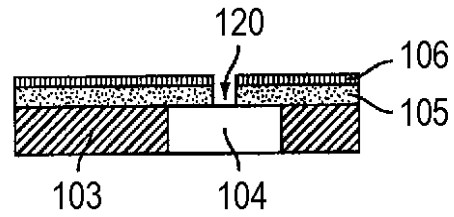
【図10】



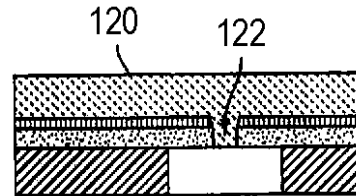
【図12】



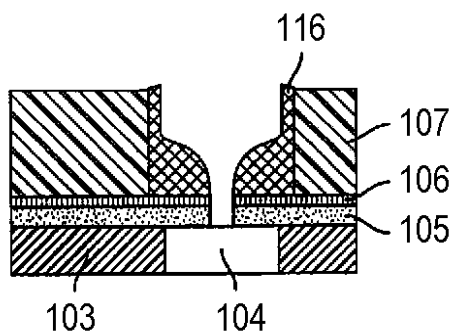
【図14】



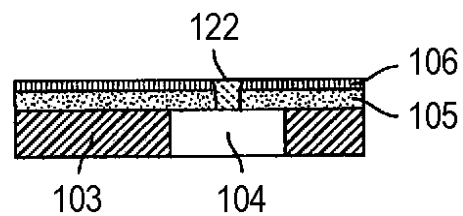
【図15】



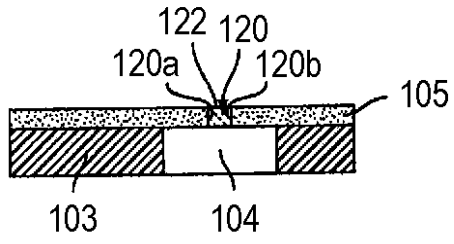
【図13】



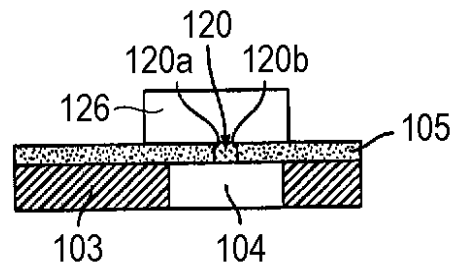
【図16】



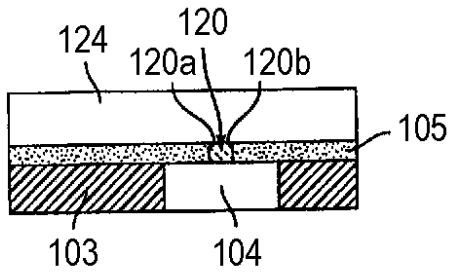
【図17】



【図19】



【図18】



フロントページの続き

(74)代理人 100112690

弁理士 太佐 種一

(74)復代理人 100110607

弁理士 間山 進也

(72)発明者 ブレイトウィッシュ、マシュー、ジェイ、

アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー・オーチャード・ロード

(72)発明者 ラム、チュン、エイチ、

アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー・オーチャード・ロード

審査官 小山 満

(56)参考文献 米国特許出願公開第2009/0196094(US, A1)

特開2007-186784(JP, A)

特開2007-123908(JP, A)

中国特許出願公開第101000946(CN, A)

米国特許出願公開第2007/0160760(US, A1)

欧州特許出願公開第01806427(EP, A2)

韓国登録特許第10-0695168(KR, B1)

米国特許出願公開第2007/0108488(US, A1)

韓国登録特許第10-0657972(KR, B1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/105

H01L 45/00