

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成23年1月20日(2011.1.20)

【公開番号】特開2009-146027(P2009-146027A)

【公開日】平成21年7月2日(2009.7.2)

【年通号数】公開・登録公報2009-026

【出願番号】特願2007-320628(P2007-320628)

【国際特許分類】

G 06 F 12/16 (2006.01)

【F I】

G 06 F 12/16 B

【手続補正書】

【提出日】平成22年11月26日(2010.11.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の半導体記憶装置と、前記複数の半導体記憶装置が所定の配列でそれぞれ装着され得る複数の装着部と、前記複数の装着部にそれぞれ装着された複数の半導体記憶装置をバス接続するための信号線とを備える電子装置であって、

前記複数の半導体記憶装置のそれぞれは、

前記信号線を介して受信した識別情報と、自身が格納している識別情報が一致するか否かを判定するID判定部と、

接続確認用の入力端子および出力端子と、

前記ID判定部により前記自身宛のアクセスを受けたと判定したときに前記入力端子と出力端子との間を電気的に切断するスイッチング素子と、

前記入力端子と基準点の間を所定のインピーダンスを介して電気的に接続するバイパス回路と、

を備え、

前記電子装置は、さらに、

前記各半導体記憶装置の入力端子および出力端子を、所定の半導体記憶装置の出力端子と他の半導体記憶装置の入力端子とを電気的に結ぶことによりディジーチェイン接続する信号線と、

前記ディジーチェイン接続の始点である前記入力端子に所定のインピーダンスを介して電力を供給する電力供給線と、

前記ディジーチェイン接続の終点である前記出力端子を前記基準点に電気的に接続する基準点接続線と、

前記始点である前記入力端子と前記基準点との間の電圧を検出する電圧検出部と、

前記複数の半導体記憶装置に対して順次アクセスを行うアクセス実行部と、

前記電圧検出部により検出された電圧に基づいて、前記複数の装着部に対する前記複数の半導体記憶装置の装着位置が正しいか否かを判定する装着位置判定部と、を備え、

前記電圧検出部は、前記アクセス実行部が各前記半導体記憶装置にアクセスする毎に、前記始点である前記入力端子と前記基準点との間の電圧を検出する、ことを特徴とする電子装置。

**【請求項 2】**

請求項 1 に記載の電子装置であって、  
前記電子装置は、さらに、  
前記複数の装着部に対して前記半導体記憶装置が全て装着されているか否かを判定する全装着判定部を備え、  
前記全装着判定部は、  
前記電子装置の電源がオンされるタイミングあるいは前記半導体記憶装置の装着が実行されるタイミングで、かつ、前記アクセス実行部が前記複数の半導体記憶装置に対してアクセスを実行していないタイミングで、前記電圧検出部が検出した電圧に基づき、前記複数の装着部に対して前記半導体記憶装置が全て装着されているか否かを判定する、  
ことを特徴とする電子装置。

**【請求項 3】**

請求項 1 または 2 に記載の電子装置であって、  
前記スイッチング素子は、P N P 型のトランジスタであり、  
前記トランジスタのエミッタは、前記入力端子に接続され、  
前記トランジスタのコレクタは、前記出力端子に接続され、  
前記トランジスタのベースは、前記 I D 判定部に接続され、  
前記 I D 判定部は、前記信号線を介して受信した識別情報と、自身が格納している識別情報が一致したと判定したときに、前記ベースに対して前記エミッタ - コレクタ間をタンオフするための信号を出力する、ことを特徴とする電子装置。

**【手続補正 2】**

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

〔適用例 1〕

複数の半導体記憶装置と、前記複数の半導体記憶装置が所定の配列でそれぞれ装着され得る複数の装着部と、前記複数の装着部にそれぞれ装着された複数の半導体記憶装置をバス接続するための信号線とを備える電子装置であって、

前記複数の半導体記憶装置のそれぞれは、  
前記信号線を介して受信した識別情報と、自身が格納している識別情報が一致するか否かを判定する I D 判定部と、

接続確認用の入力端子および出力端子と、  
前記 I D 判定部により前記自身宛のアクセスを受けたと判定したときに前記入力端子と出力端子との間を電気的に切断するスイッチング素子と、

前記入力端子と基準点の間を所定のインピーダンスを介して電気的に接続するバイパス回路と、

を備え、

前記電子装置は、さらに、

前記各半導体記憶装置の入力端子および出力端子を、所定の半導体記憶装置の出力端子と他の半導体記憶装置の入力端子とを電気的に結ぶことによりディジーチェイン接続する信号線と、

前記ディジーチェイン接続の始点である前記入力端子に所定のインピーダンスを介して電力を供給する電力供給線と、

前記ディジーチェイン接続の終点である前記出力端子を前記基準点に電気的に接続する基準点接続線と、

前記始点である前記入力端子と前記基準点との間の電圧を検出する電圧検出部と、  
前記複数の半導体記憶装置に対して順次アクセスを行うアクセス実行部と、  
前記電圧検出部により検出された電圧に基づいて、前記複数の装着部に対する

前記複数の半導体記憶装置の装着位置が正しいか否かを判定する装着位置判定部と、を備え、

前記電圧検出部は、前記アクセス実行部が各前記半導体記憶装置にアクセスする毎に、前記始点である前記入力端子と前記基準点との間の電圧を検出する、ことを特徴とする電子装置。