



(12) 发明专利

(10) 授权公告号 CN 101355100 B

(45) 授权公告日 2011. 01. 05

(21) 申请号 200810145685. 3

US 5596221 A, 1997. 01. 21, 全文.

(22) 申请日 2004. 03. 19

US 2002/0168829 A1, 2002. 11. 14, 说明书第 8-130 段、附图 1-12.

(30) 优先权数据

10318422. 8 2003. 04. 23 DE

Masao Kondo . etc. variation in emitter diffusion depth byTiSi2formationonpolysilicon emitters of Si bipolar transistors. IEEE Transactions on Electron Devices48 9. 2001, 48(9), 2108-2117.

(62) 分案原申请数据

200480010707. 5 2004. 03. 19

(73) 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

审查员 杨春光

(72) 发明人 J·贝克 T·梅斯特 R·施滕格尔

H·谢菲尔

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 李娜 魏军

(51) Int. Cl.

H01L 29/73 (2006. 01)

H01L 29/08 (2006. 01)

H01L 21/331 (2006. 01)

(56) 对比文件

US 2002/0149062 A1, 2002. 10. 17, 全文.

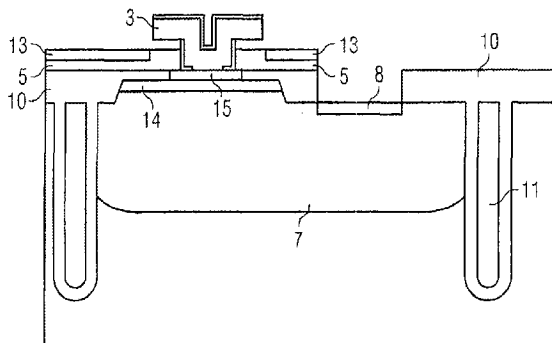
权利要求书 1 页 说明书 6 页 附图 4 页

(54) 发明名称

双极晶体管及其制造方法

(57) 摘要

本发明涉及一种高频双极晶体管 (1), 包括至少一个与发射极连接区 (3) 邻接的发射极接触 (2)、与基极连接区 (5) 邻接的基极接触 (4)、与集电极连接区 (7) 邻接的集电极接触 (6)。埋层 (7) 作为集电极连接区域提供, 用于连接集电极接触 (6) 和集电极区 (14)。本发明也涉及制造一个这种 (15) 高频双极晶体管 (1) 的方法。本发明的特征在于在埋层 (7) 上提供硅化物区域 (8), 所述硅化物区域以低电阻的方式将集电极接触 (6) 连接到集电极区 (14)。



1. 一种高频双极晶体管 (1), 包括:
  - 与发射极连接区域 (3) 电连接的发射极接触 (2),
  - 与基极连接区域 (5) 电连接的基极接触 (4),
  - 与集电极连接区域 (7) 电连接的集电极接触 (6), 埋层 (7) 作为集电极连接区域提供, 所述埋层将集电极接触 (6) 电连接到集电极区 (14), 以及在埋层 (7) 上提供过渡金属硅化物区域 (8), 所述过渡金属硅化物区域 (8) 将集电极接触 (6) 电连接到集电极区 (14),  
其中在该晶体管的平面图中该过渡金属硅化物区域 (8) 围绕基极连接区域 (5) 延伸, 并且  
其中仅在一侧上提供集电极接触。
2. 如权利要求 1 所述的双极晶体管, 其特征在于, 过渡金属硅化物区域 (8) 的厚度为 10-200nm。
3. 如权利要求 1 所述的双极晶体管, 其特征在于, 过渡金属硅化物区域 (8) 包含至少一种过渡金属。
4. 一种制造高频双极晶体管 (1) 的方法, 其中  
提供
  - 集电极连接区域 (7),
  - 集电极区 (14),
  - 至少位于集电极连接区域 (7) 之上的第一绝缘层 (10),
  - 基极区 (15),
  - 基极连接区域 (5),
  - 至少位于基极连接区域 (5) 之上的第二绝缘层 (9) 和
  - 发射极连接区域 (3),
  - 该集电极连接区域体现为埋层 (7),其特征在于
  - 至少部分地去除第一绝缘层 (10), 直到埋层 (7), 和
  - 直接在制造发射极接触 (2)、基极接触 (4) 和集电极接触 (6) 之前, 在埋层 (7) 上提供过渡金属硅化物区域 (8),
  - 过渡金属硅化物区域 (8) 以这样的方式形成, 即, 使得集电极接触 (6) 以低阻抗的方式连接到集电极区 (14),其中在该晶体管的平面图中过渡金属硅化物区域 (8) 围绕基极连接区域 (5) 延伸, 并且  
其中仅在一侧上提供集电极接触。
5. 如权利要求 4 所述的方法, 其特征在于, 过渡金属硅化物区域 (8) 以 10-200nm 的厚度形成。
6. 如权利要求 4 到 5 中的一个所述的方法, 其特征在于, 第二绝缘层 (9) 和第一绝缘层 (10) 都被至少部分地去除。
7. 如权利要求 4 到 5 中的一个所述的方法, 其特征在于, 过渡金属硅化物区域 (8) 相对于基极连接区域 (5) 以自对准的方式形成。

## 双极晶体管及其制造方法

[0001] 本申请是申请日为 2004 年 3 月 19 日、申请号为 200480010707.5、发明名称为“双极晶体管及其制造方法”的专利申请的分案申请。

### 技术领域

[0002] 本发明涉及一种高频双极晶体管，它至少包括与发射极连接区域邻接的发射极接触、与基极连接区域邻接的基极接触、与集电极连接区域邻接的集电极接触，提供埋层作为集电极连接区域，所述埋层连接集电极接触与集电极区。这种高频双极晶体管从 US 5, 773, 350 可知。

[0003] 本发明还涉及一种制造高频双极晶体管的方法，其中，提供集电极连接区域、集电极区、至少位于集电极连接区域上的第一绝缘层、基极区、基极连接区域、至少位于基极连接区域上的第二绝缘层和发射极连接区域，集电极连接区域体现为埋层。这种方法从 DE 19958062 可知。

### 背景技术

[0004] 下面的公式对于双极晶体管是正确的：

$$[0005] \quad \frac{1}{2\pi f_T} = \tau_f + (R_C + R_E)C_{BC} + \frac{C_{BE} + C_{BC}}{I_C} U_T$$

[0006] 其中， $f_T$  是过渡频率， $\delta_f$  是渡越时间， $R_C$  是集电极电阻， $R_E$  是发射极电阻， $C_{BC}$  是基极 - 集电极电容， $C_{BE}$  是基极 - 发射极电容， $I_C$  是集电极电流， $U_T$  是热电压。

[0007] 随着集电极电流  $I_C$  的增加，与  $1/I_C$  成正比的项变得越来越小。因此过渡频率  $f_T$  的主要部分，除了渡越时间  $\delta_f$ ，尤其由集电极电阻  $R_C$  和发射极电阻  $R_E$  给出。然而现在的晶体管中，过渡频率  $f_T$  除了由  $\delta_f$  给出，主要由集电极电阻  $R_C$  给出，其一般比发射极电阻  $R_E$  大一个数量级。因此，对于快速晶体管，集电极电阻必须被最小化。

[0008] 为了获得低阻抗的集电极连接，通常使用高掺杂的埋层。该层在晶体管制造的开始制造。此后，在所述低阻抗层上外延生长半导体层（其中制造发射极、基极和集电极区）。高掺杂的埋层通过金属集电极接触连接，并通向双极晶体管的表面。例如这在 US 5, 773, 350 和 DE19958062 中有所描述。

[0009] 一般而言，集电极接触仅在晶体管的一侧提供。如果埋层不是仅在一侧连接，而是在对侧或甚至环形围绕整个晶体管区都连接，则可以获得更低的集电极电阻。这种晶体管结构的电阻大约为仅具有单个集电极接触的结构电阻的一半或四分之一，因为集电极电流不仅可以流向一侧，而且可以流向两侧或四侧。

[0010] 然而，该实施例具有很大的缺点。首先，晶体管尺寸由于附加的集电极接触区域而增大。因为需要更大的衬底面积，这导致更高的制造成本。第二，该双极晶体管的集电极 - 衬底电容随埋层面积的增大而成比例地增大。因此导致了负面的影响，例如延长了门延迟时间或增加了集成电路的功耗。

## 发明内容

[0011] 因此,本发明的一个目标是提供一种高频双极晶体管,其将小的空间需求和低的集电极电阻相结合,因而产生高的过渡频率。而且,本发明的一个目标是获得一种制造这种双极晶体管的方法,而没有额外的工艺复杂性。

[0012] 根据本发明,该目标通过引言中提及类型的高频双极晶体管实现,其具有埋层上的硅化物区域,所述硅化物区域以低阻抗的方式连接集电极接触与集电极区。由此获得集电极电阻的降低,因为甚至仅在一侧提供集电极接触时,该双极晶体管的集电极区实际上从所有侧连接。

[0013] 本发明基于以下认识:通过埋层上的硅化物区域可以获得大约  $1\text{ohm/sq}$  的薄层电阻。与此对照,在掺杂之后的厚度为几个  $\mu\text{m}$  的相应的埋层,仅具有大约  $10\text{ohm/sq}$  的薄层电阻。埋层的薄层电阻以及集电极连接电阻因此可以通过硅化物区域减少大约一个数量级之多。由此,薄层电阻是如此低,甚至仅在晶体管的单侧上用埋层制造接触时,集电极连接区域通过硅化物区域以低阻抗的方式实际上从所有侧连接。

[0014] 根据本发明的双极晶体管的一个典型结构中,硅化物区域的厚度为  $10\text{nm}$ – $200\text{nm}$ ; 该硅化物区域的厚度优选大约为  $100\text{nm}$ 。

[0015] 该硅化物区域一般包含至少一种过渡金属。使用的过渡金属可以是例如钛、钴、镍、铂或钽,它们和硅形成相应的过渡硅化物。优选将与用于硅化其它区(例如,基极接触区域或 CMOS 晶体管的源极、漏极和栅极区)的全部工艺中所需要的金属相同的金属用于硅化。因此,用来形成硅化物区域的过渡金属可以没有附加成本地集成到晶体管中。

[0016] 根据本发明的双极晶体管的一个特别优选的结构中,硅化物区域包含钛或钴。这些过渡金属确保了埋层的特别低的薄层电阻。因此选择产生最小薄层电阻的金属。

[0017] 硅化物区域的硅化或形成一般使薄层电阻从  $100\text{nm}$  厚的掺杂多晶硅层的大约  $100\text{ohm/sq}$  减小到大约  $1\text{ohm/sq}$ 。与此相比,具有相同厚度的掺杂的硅层的薄层电阻大约为  $10\text{ohm/sq}$ ,金属层则在  $\text{mohm/sq}$  的范围内。

[0018] 而且,通过以下事实获得引言中提及的方法:

[0019] – 至少部分地去除第一绝缘层,直到埋层,和

[0020] – 在制造发射极接触、基极接触和集电极接触之前,直接在埋层上制造硅化物区域,

[0021] – 形成硅化物区域,使得集电极接触以低阻抗的方式连接到集电极区。

[0022] 这使得可能不增加工艺复杂度,制造一种高频双极晶体管,其结合了小的空间需求和低集电极电阻两方面,因而具有高的过渡频率。

[0023] 和已知方法,例如所谓的掩埋金属的方法(其中埋层在其制造之后直接被硅化,或甚至完全由金属组成)形成鲜明对照,在这种情况下,直到晶体管彻底完成、正好在(电极的)接触制造开始之前,才硅化埋层。这避免了晶体管实际制造过程中金属的使用以及金属的污染,这种污染使这种工艺实施与当前的晶体管制造方法不兼容和不相适应。

[0024] 硅化物区域一般以  $10$ – $200\text{nm}$  的厚度形成,优选地为  $100\text{nm}$ 。

[0025] 根据本发明的方法的另一种配置提供过渡金属,优选地为钛或钴,用来形成硅化物区域。所述过渡金属与硅形成相应的过渡金属硅化物。一般选择导致埋层的薄层电阻最小的过渡金属。

[0026] 根据本发明的方法的另一个发展中,第一绝缘层和第二绝缘层都被至少部分地去除,使得埋层和基极连接区域至少部分地不被覆盖并可以被硅化。绝缘层通常包括氧化硅或氮化硅。因此,这样绝缘层是氮化硅时可以使用磷酸去除,是氧化硅时可以使用氢氟酸去除。如果两个绝缘层由相同的材料组成,不需要额外的工艺步骤用来蚀刻。如果绝缘层由不同的材料组成,在蚀刻第一绝缘层之后改变蚀刻剂以蚀刻第二绝缘层。

[0027] 蚀刻之后,基极连接区域和埋层都至少部分地不被覆盖,并且可以被硅化。在刻蚀过程中,为了避免对其它芯片区域(例如,绝缘区域或其它部分)有不需要的初期蚀刻,可以借助于掩膜实现该蚀刻。掩膜在希望产生蚀刻的区域被去除,并在其它区域保留覆盖。

[0028] 蚀刻一般使用湿法化学蚀刻实现,因为其具有高度选择性。然而,原则上,可以使用干法化学蚀刻方法。

[0029] 根据本发明的方法的一个优选的发展提供相对于基极连接区域以自对准方式形成的硅化物区域。这种情况下,硅化物区域仅在硅上形成;例如氧化硅或氮化硅的区域不被硅化。这种所谓的“自对准硅化方法”从 DE 19958062 中以实例的方式获知。

[0030] 这样,埋层上硅化物区域的位置的定义在没有光刻的帮助下获得。这意味着硅化物区域可以保持相对很小,例如,为 0.25-0.35 $\mu\text{m}$ 。

#### 附图说明

[0031] 下面参照附图详细解释本发明的优选实例,附图中:

[0032] 图 1 示出了已知双极晶体管的示意性剖面图。

[0033] 图 2 示出了已知双极晶体管的示意性平面图,其中,在埋层的一侧上提供集电极接触。

[0034] 图 3 示出了已知双极晶体管的示意性平面图,其中,在埋层的两侧上提供集电极接触。

[0035] 图 4 示出了已知双极晶体管的示意性平面图,其中,环绕着晶体管的在埋层上提供集电极接触。

[0036] 图 5 示出了根据本发明的双极晶体管的示意性平面图,其具有相对于基极连接区域自对准地以环形方式硅化的埋层。

[0037] 图 6 示出了根据本发明的双极晶体管的示意性平面图,其具有相对于基极连接区域自对准地部分硅化的埋层。

[0038] 图 7 示出了图形化发射极连接区域之后的双极晶体管的示意性剖面图。

[0039] 图 8 示出了在蚀刻绝缘层之后并在形成硅化物区域之后根据本发明的双极晶体管的示意性剖面图。

#### 具体实施方式

[0040] 图 1 示出了已知双极晶体管 1 的示意性剖面图,其中,在半导体衬底 12 中设置被两个绝缘区 11(这里构造为深沟槽 11)限定的埋层。埋层 7 通过集电极接触 6 连接,该接触电学直通向双极晶体管 1 的表面。这使得双极晶体管 1 能够集成到集成电路中。

[0041] 双极晶体管 1 还包括与发射极连接区域 3 邻接的发射极接触 2、以及基极接触 4。为了减小基极电阻,如图 1 所示,在基极连接区域 5 上提供硅化的基极连接区域 13,所述基

极连接区 13 连接基极接触 4 和基极连接区域 5。这种双极晶体管 1 在 DE 199 58 062 中以实例的方式描述。

[0042] 位于发射极连接区域 3 之下的基极区 15 可以包括硅 - 锗, SiGe 的厚度为 1nm-200nm, 一般为 30nm。集电极区 14 以与埋层 7 邻接的方式设置于基极区 15 之下。所述埋层 7 仅在图 1 中所示的双极晶体管 1 的一侧上设有集电极接触 6。

[0043] 图 2 示意性地示出了双极晶体管的平面图, 其中, 在埋层 7 的单侧上提供集电极接触 6。基极连接区域 5 通过基极接触 4 连接, 且发射极连接区域 3 通过发射极接触 2 连接。这种结构中, 尽管双极晶体管 1 具有由埋层 7 的范围确定的小面积, 由于埋层 7 的相对大的薄层电阻, 集电极区域 (这里未示出) 仅在一侧通过集电极接触 6 连接。

[0044] 通过不仅在一侧 (如图 2 所示) 连接埋层 7, 并且在相对侧也连接埋层 7 (如图 3 的平面图所示), 可以获得更小的集电极电阻。图 3 的双极晶体管 1 的电阻大小大约是图 2 中的双极晶体管 1 的一半。

[0045] 然而, 被埋层 7 占用的面积比图 2 的晶体管的埋层 7 要大这点是清楚的。埋层 7 额外需要的面积由集电极接触 6 的宽度  $X_1$ 、集电极接触 6 和基极连接区域 5 之间的距离  $X_2$ 、以及埋层 7 的突出量  $X_4$  产生, 图 3 中突出量  $X_4$  代表集电极接触 6 和埋层 7 最接近的边之间的距离。

[0046] 该额外所需的面积由可用的光刻和对准容差给出。例如, 在对准容差为 0.25 $\mu\text{m}$  时, 目前光刻中典型的接触孔的宽度是 0.5 $\mu\text{m}$ , 所以如果提供额外的集电极接触 6, 整个埋层 7 被加宽大约 1 $\mu\text{m}$ 。

[0047] 倘若如图 4 示意性示出的, 环绕基极连接区域 5 提供集电极接触 6 和埋层 7, 可以获得甚至更低的埋层 7 的薄层电阻。这种情况下, 集电极电流可以在四侧上流动, 因此集电极连接电阻变成四分之一。然而, 这些增大了的集电极接触 6 导致双极晶体管 1 的尺寸显著增大。除了由于半导体衬底需要更大面积导致制造成本增加之外, 双极晶体管 1 的集电极 - 衬底电容也随埋层 7 的面积增加成比例地增大。这导致晶体管的门延迟时间更长或集成电路功耗增加。

[0048] 因此, 迄今所用的晶体管结构依赖于晶体管是为最大过渡频率设计 (如图 4 所示), 是为最小空间需求设计 (如图 2 所示), 或是在两者之间的折中 (如图 3 所示)。

[0049] 图 5 中根据本发明的双极晶体管 1 结合了低的集电极电阻 (和因此产生的高过渡频率) 和小的空间需求两方面。该平面图示出了硅化物区域 8 围绕基极连接区域 5 延伸。图 5 中, 集电极接触 6 和硅化物区域 8 的交迭区域的宽度  $X_3$  比集电极接触 6 的宽度  $X_1$  小。

[0050] 该交迭区域的宽度  $X_3$  和集电极接触 6 的宽度  $X_1$  通常大小相同。这样, 集电极接触 6 可以用其整个横截面覆盖硅化物区域 8。当对准不精确时, 集电极接触还和硅化物区域 8 相连。

[0051] 而且, 位于远离基极连接区域 5 的集电极接触 6 一侧上的埋层 7 可以保持不被硅化, 如图 5 和 6 所示。如果其它不需要被硅化的组成部分放置得十分靠近, 这可能是有利的。则与埋层 7 完全硅化的情况相比, 也就是, 与如果硅化物区域 8 在埋层 7 的整个区域上延伸的情况相比, 可以选择更小的防止硅化的辅助掩膜。这减小了组成部分间的可能的最小距离并因此减小了集成电路所需的面积。

[0052] 硅化物区域 8 具有欧姆范围内的薄层电阻。因此埋层 7 的薄层电阻以这种方式减

小,即,即使埋层 7 的金属接触连接仅借助于晶体管 1 单侧上的集电极接触 6,集电极区也通过硅化物区域 8 以低阻抗的方式从所有侧有效地连接。

[0053] 这种情况下,硅化物区域 8 没有必要相对于集电极接触 6 被引导为闭合环。参照图 6 的平面图所示,例如如果埋层 7 仅到双极晶体管 1 的末端被硅化,侧已经导致了集电极电阻显著的减小。这里,硅化物区域 8 至少延伸到发射极接触 2 的位置。

[0054] 例如如果基极连接区域 5 部分地通过绝缘区被引导(参考图 1 所示),这种结构是有利的。这样晶体管尺寸可以保持尽可能的小。

[0055] 对于根据本发明的双极晶体管 1,硅化物区域 8 覆盖没有被基极连接区域 5 覆盖的整个埋层 7,还是埋层 7 的一些区域保留不被硅化都是不重要的,只要从硅化物区域 8 到集电极接触 6 存在连续的连接。

[0056] 下面参考图 7 和 8,描述硅化物区域 8 怎样相对于基极连接区域 5 以自对准的方式制造,和已知制造方法相比,不需要明显的额外费用。

[0057] 首先以已知的方式制造双极晶体管 1,制造埋层 7、集电极区 14、埋层 7 和集电极区 14 上的第一绝缘层 10、集电极区域 14 上的基极区 15、基极连接区域 5、基极连接区域 5 上的第二绝缘层 9、以及发射极连接区域 3。与基极区域 15 邻接的发射极区域没有示出。

[0058] 例如,第二绝缘层 9 和第一绝缘层 10 都可以由氧化硅或氮化硅组成。第一绝缘层 10 的厚度可以为几百 nm,优选地为 100-600nm,第二绝缘层 9 的厚度为 50-300nm。一般而言,第一绝缘层 10 比第二绝缘层 9 厚。

[0059] 埋层 7 一般包括 1 到 9um 的高掺杂硅层,集电极区 14 一般包括 100-1000nm 厚的外延硅层,基极连接区域 5 一般包括 50-300nm 厚的高掺杂的多晶硅层。

[0060] 这种制造双极晶体管 1 的已知方法在 DE 199 58 062 C2 中以实例的方式详细描述。

[0061] 根据本发明的方法中,参考图 8 所示,然后优选的情况是埋层 7 上的第一绝缘层 10 被去除,在氧化硅的情况下使用氢氟酸去除,在氮化硅的情况下使用磷酸。这种蚀刻相对于基极连接区域 5 以自对准的方式进行。为了避免蚀刻过程中蚀刻其它不希望蚀刻的芯片区域,可以借助于掩膜进行蚀刻,例如该掩膜可以由抗蚀剂制成,其覆盖不希望执行蚀刻的区域,只有在后续的方法步骤中希望被硅化的区域没有被覆盖。

[0062] 可以想象仅第一绝缘层 10 被彻底去除直到埋层 7 以制造埋层 7 中的硅化物区域 8。

[0063] 为制造硅化物区域 8,例如,有可能,直接应用金属(例如借助于溅射)并将埋层 7 的表面和金属表面转变成硅化物,或者直接应用硅化物。这种硅化物区域 8 的厚度一般为 10-200nm。

[0064] 如果除了埋层 7,基极连接区域 5 也希望被硅化,那么第二绝缘层 9 也要同样被去除。如果第二绝缘层 9 和第一绝缘层 10 由相同的材料制成,那么通常甚至不需要为此目的而延长蚀刻时间,因为第一绝缘层 10 一般比第二绝缘层 9 厚。如果绝缘层 9 和 10 由不同的材料组成,在蚀刻第二绝缘层 9 之后,改变蚀刻剂以去除第一绝缘层 10。

[0065] 每种情况下第二绝缘层 9 和第一绝缘层 10 都可以由不同的层构造。那么蚀刻以这种方式执行,即,至少所述绝缘层 9 和 10 的所有的层都被去除。

[0066] 上述方法具有这样的效果,即,埋层 7 相对于基极连接区域 5 以自对准的方式被硅

化。埋层 7 上的硅化物区域 8 由此相对于基极连接区域 5 的外边界倾斜对准设置,也就是说在平面图中硅化物 8 直接与基极连接区域 5 相邻,这可以从图 5 和 6 看出。由此可能实现尺寸特别小的双极晶体管 1,小于那些通过光刻制造的。自对准的另一个优势在于双极晶体管 1 的对称结构。而且,因为不需要光刻,对准方法所需的成本更低。

[0067] 然后,双极晶体管 1 以通常的方式完成,也就是淀积覆盖整个双极晶体管 1 的电介质。然后,制造金属接触、发射极接触、基极接触和集电极接触,并淀积金属面。

[0068] 上述方法可以用于自对准双多晶硅晶体管和多晶体管 (polytransistor) 或对准晶体管,自对准双多晶硅晶体管也就是这样的晶体管,其中发射极和基极连接区域在每种情况下都由多晶硅组成并相对于彼此自对准。

[0069] 通过本发明所获得的全部为,提供一种高频双极晶体管,其结合小空间需求(和由此导致的更低的功耗),以及低的集电极电阻(和由此导致的高过渡频率)这两方面。而且,根据本发明提出一种方法,其使得有可能制造具有上述属性的高频双极晶体管而不需要额外的工艺复杂度。

[0070] 和具有相同空间需求的已知双极晶体管相比,根据本发明的高频双极晶体管具有更低的集电极电阻并因此具有更好的晶体管特性,例如,更高的过渡频率、更短的门延迟时间、或更低的集成电路功耗。这种情况下制造成本相当。

[0071] 和已知的具有环形连接的集电极的已知高频双极晶体管相比,根据本发明的高频双极晶体管同样呈现快的过渡频率,但是由于空间需求更小,它显然具有更低的制造成本,并且由于集电极-衬底电容更小,它具有更低的功耗。

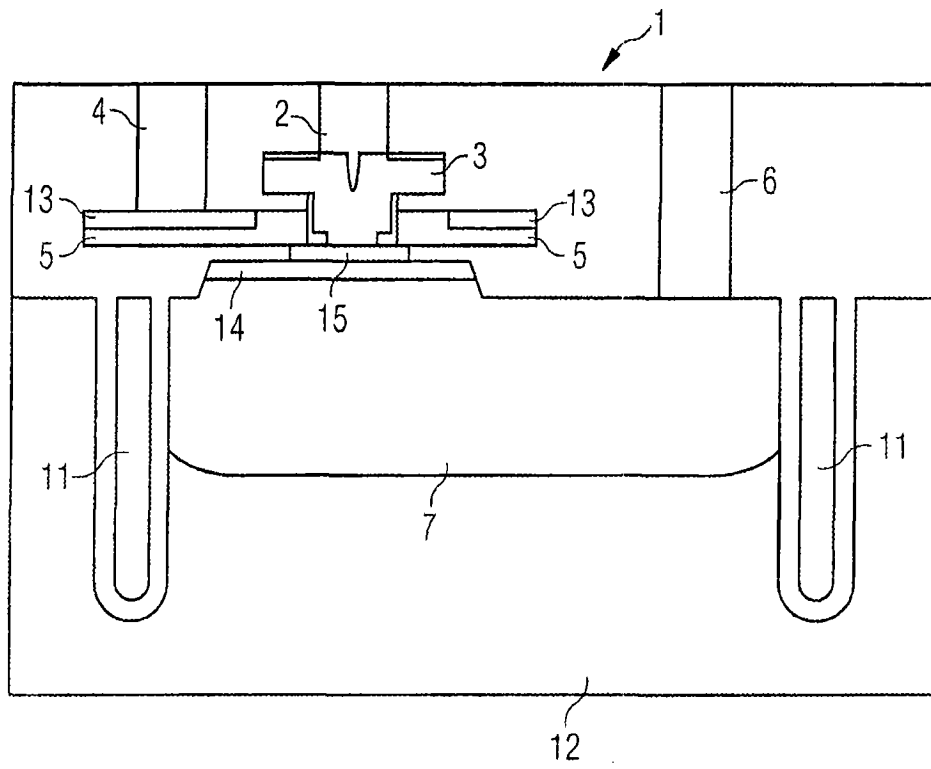


图 1

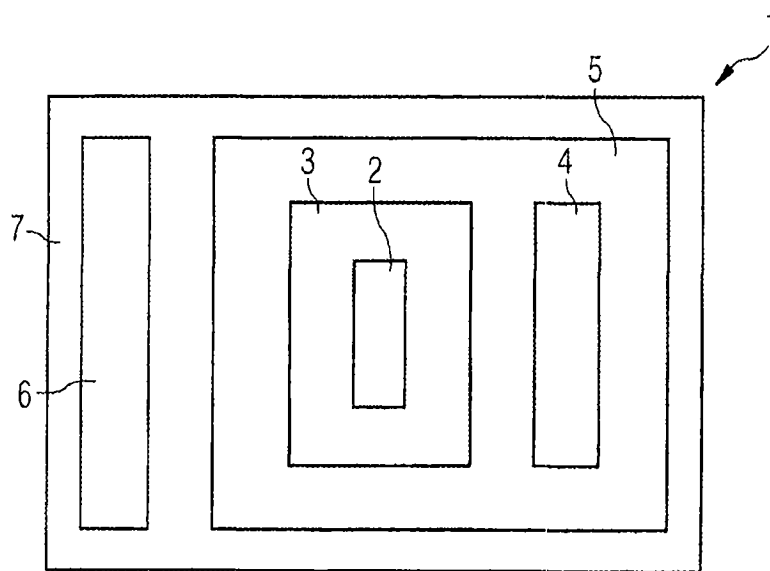


图 2

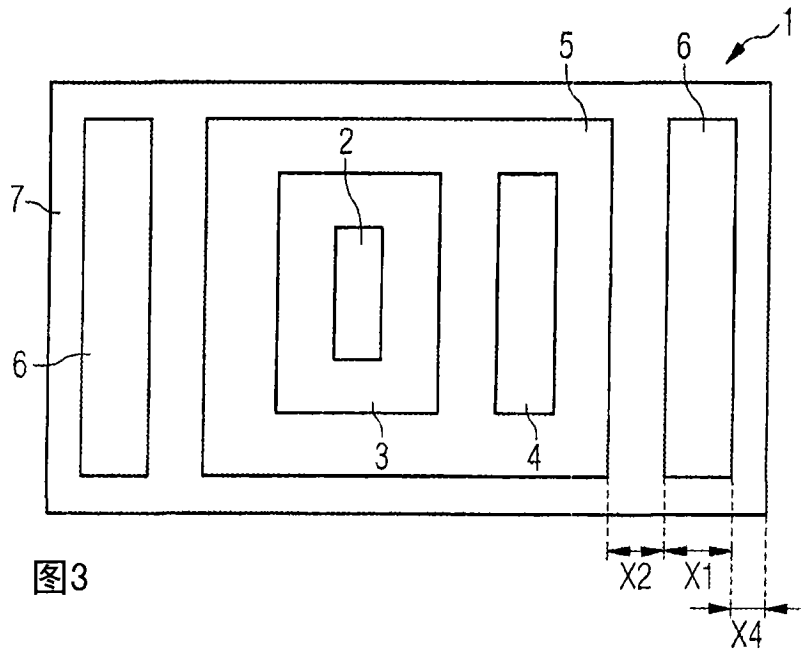


图3

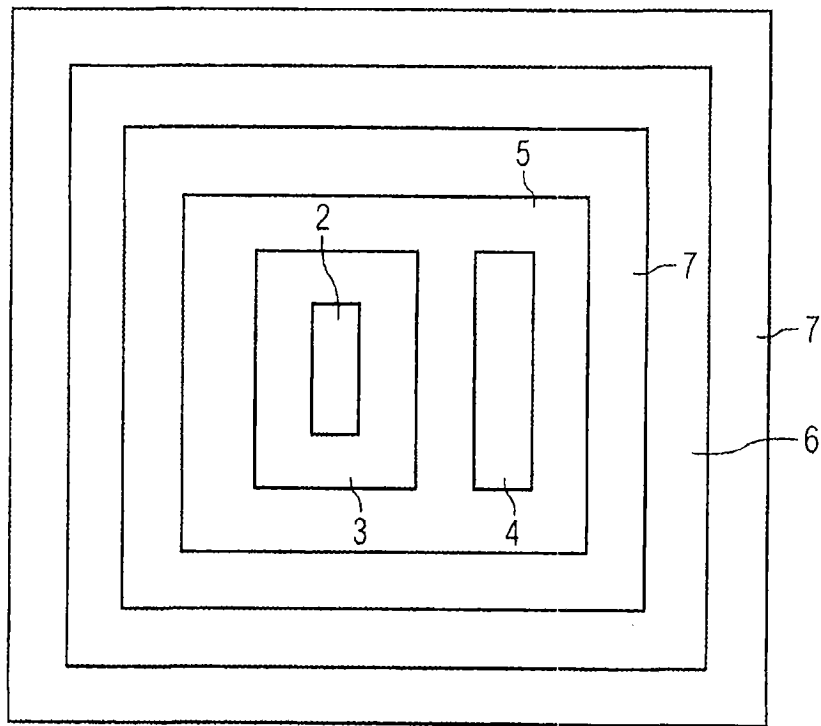


图4

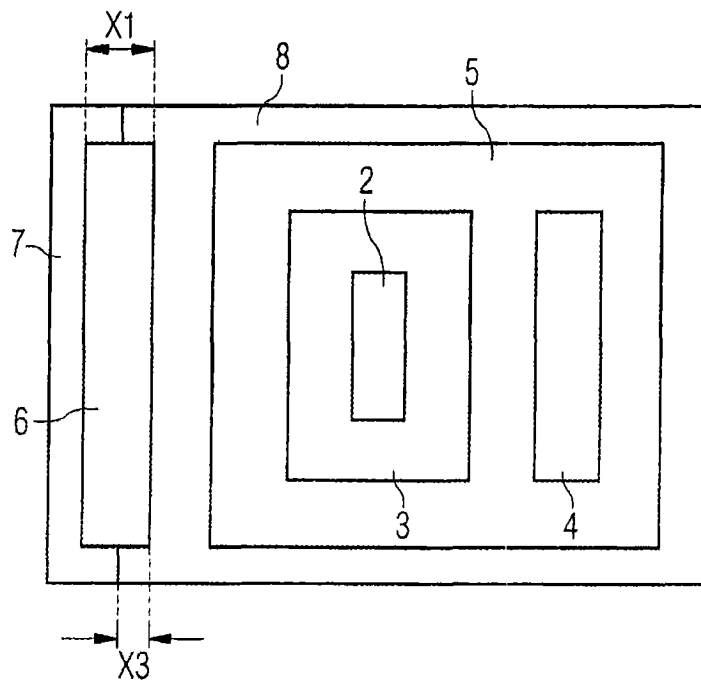


图 5

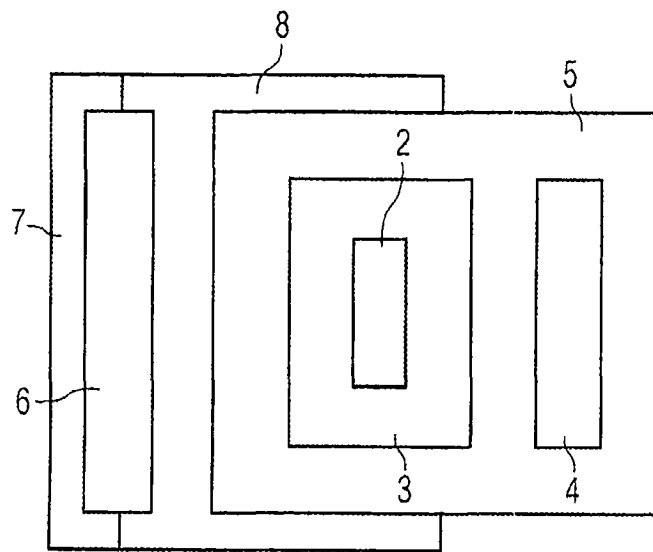


图 6

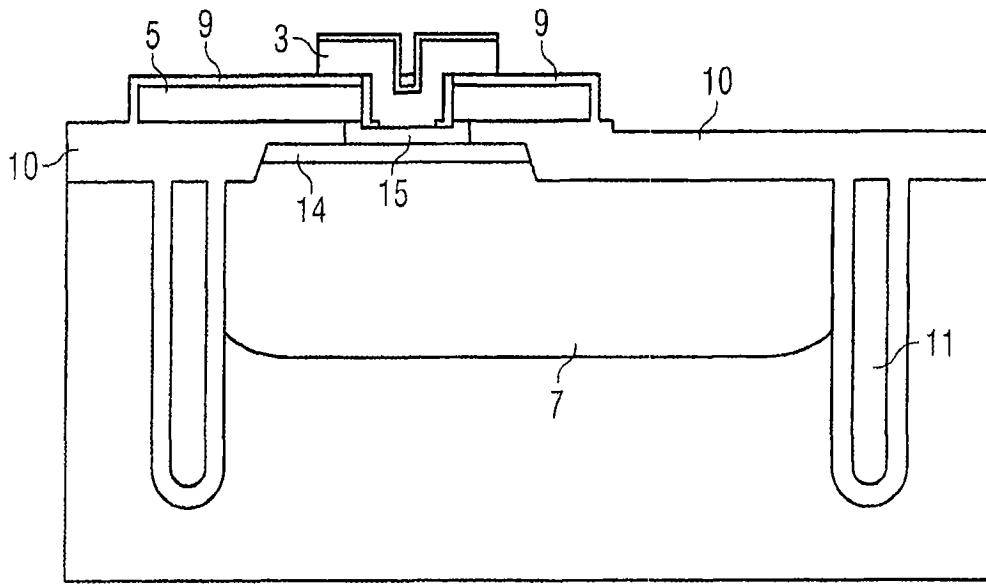


图 7

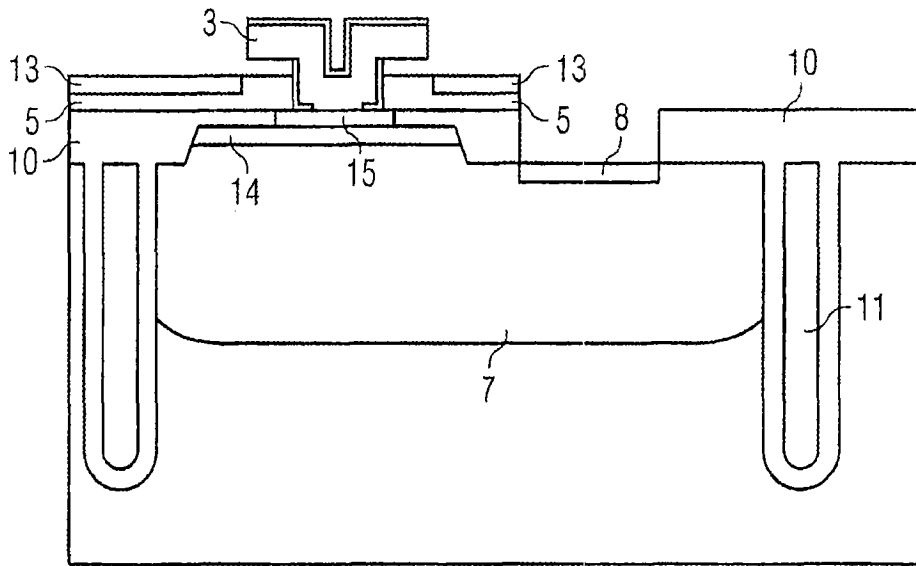


图 8