

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年2月13日(13.02.2020)



(10) 国際公開番号

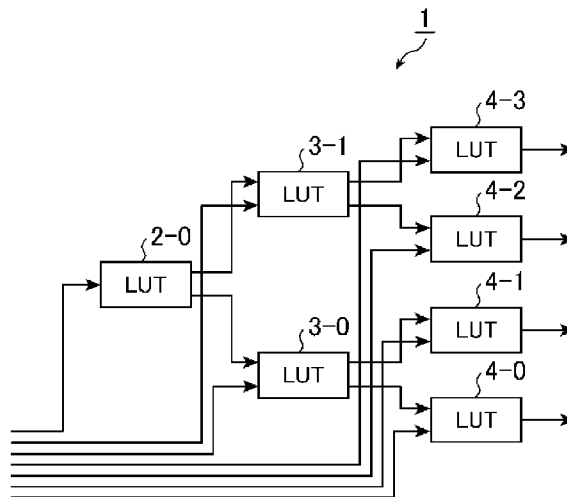
**WO 2020/031257 A1**

- (51) 国際特許分類:  
*H04L 27/00* (2006.01)    *H04L 27/36* (2006.01)
- (21) 国際出願番号:                    PCT/JP2018/029578
- (22) 国際出願日:                    2018年8月7日(07.08.2018)
- (25) 国際出願の言語:                    日本語
- (26) 国際公開の言語:                    日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 吉田 剛 (YOSHIDA, Tsuyoshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:田澤 英昭, 外(TAZAWA, Hideaki et al.); 〒1000014 東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) **Title:** DISTRIBUTION MATCHING CIRCUIT, DISTRIBUTION MATCHING TERMINATION CIRCUIT, DISTRIBUTION MATCHING METHOD, DISTRIBUTION MATCHING TERMINATION METHOD AND OPTICAL TRANSMISSION SYSTEM

(54) 発明の名称: 分布整合回路、分布整合終端回路、分布整合方法、分布整合終端方法および光伝送システム

[図1]



(57) **Abstract:** In a distribution matching circuit (1), a plurality of items of LUT output data hierarchized in a tree structure sequentially specify a combination of signal point groups in a signal space managed by an LUT at an immediately subordinate tier, and signal point information after distribution matching is output for each of the LUTs at the lowest tier.

(57) 要約: 分布整合回路(1)において、ツリー状に階層化された複数のLUT出力データが、直下の階層のLUTが管理する信号空間における信号点群の組み合わせを順次指定し、最下層でLUTごとに分布整合後の信号点情報を出力する。



WO 2020/031257 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：

分布整合回路、分布整合終端回路、分布整合方法、分布整合終端方法および光伝送システム

### 技術分野

[0001] 本発明は、通信に用いる信号点配置の確率的整形を行う分布整合回路、分布整合終端回路、分布整合方法、分布整合終端方法、および、それらを用いた光伝送システムに関する。

### 背景技術

[0002] 光通信で高いスループットを実現するためには、例えば、変調多値度を増加させることが有効である。変調多値度を増加させる場合、信号通信の送信側では直交振幅変調 (Quadrature Amplitude Modulation; 以下、QAMと記載する) を行い、受信側ではコヒーレント検波およびデジタル信号処理を行うことが通常である。

[0003] 一方、QAM信号に載せるビット数を増加させると、信号点の数も増加し、信号の平均電力に対する信号点間の最小距離が縮小していく。これによって、一定の通信品質を得るために必要な信号対雑音比 (Signal-to-Noise Ratio; 以下、SNRと記載する) が増加し、適用可能な伝送条件が制限される。

[0004] 光通信では誤り率の許容値が非常に小さいケースが多く、ハイエンドの機器において、誤り訂正を行うことが通常である。特に、性能を重視する場合、軟判定誤り訂正が用いられる。これまで多値QAMと軟判定誤り訂正との組み合わせが検討されてきたが、さらに確率的整形 (Probabilistic Shaping) を組み合わせることが検討されている。

[0005] 信号点の配置を整形する技術には、複数の信号点のそれぞれの位置を整形する幾何的整形 (Geometric Shaping) と、複数の信号点のそれぞれがとり得る確率を整形する確率的整形 (Probabilistic

ic Shaping) とが存在する。いずれであってもSNRに対する伝送容量の関係をシャノン限界に漸近させることが可能である。これは、例えば、与えられた伝送条件において、クライアント信号の通信容量を増加させることに寄与する。

[0006] 例えば、非特許文献1には、確率的整形と誤り訂正とを組み合わせた方法が記載されている。この方法では、確率的整形における送信側の処理である分布整合 (Distribution Matching; DM) を誤り訂正符号化よりも上流で行い、組織的 (システムティック) な誤り訂正処理を仮定して、受信側の処理である分布整合終端 (Distribution DeMatching; invDM) を誤り訂正復号よりも下流で行っている。ここでいう「整合」は、あるSNRをもつガウシアンチャネルへの、通信信号の整合を意味する。理想的に整合させることは極めて困難であるため、実際に行われる処理は、送信信号の平均電力に対する信号点間の最小距離を可能な限り拡大させることに概ね等価である。

[0007] 非特許文献1に記載された方法において、確率的整形における分布整合および分布整合終端には、非特許文献2に記載される同一組成分布整合 (Constant Composition DM) または非特許文献3に記載されるn中のmコード (m-out-of-n Code) が用いられる。

## 先行技術文献

### 非特許文献

[0008] 非特許文献1: G. Bocherer, P. Schulte and F. Steiner, "Bandwidth Efficient and Rate-Matched Low-Check Coded Modulation", IEEE Transactions on Communications, vol. 63, no. 12, pp. 4651-4665, December 2015.

非特許文献2: P. Schulte and G. Bocherer, "Constant Composition Distribution

Matching”, IEEE Transactions on Information Theory, vol. 62, no. 1, pp. 430–434, January 2016.

非特許文献3: T. V. Ramabadran, “A Coding Scheme for  $m$ -out-of- $n$  Codes”, IEEE Transactions on Communications, vol. 38, no. 8, pp. 1156–1163, August 1990.

## 発明の概要

### 発明が解決しようとする課題

[0009] 非特許文献2および非特許文献3に記載される分布整合および分布整合終端では、整数乗算または整数加算を順序立てて多数回行う必要があり、個々の演算回路の規模が大きだけでなく実行速度が遅い。実行速度に起因した処理の遅延を低減するには複数の演算回路を並列実装する必要がある。そのため、分布整合回路および分布整合終端回路の回路規模が非常に大きいという課題があった。

[0010] 本発明は上記課題を解決するものであって、回路規模を低減することができる分布整合回路および分布整合終端回路を得ることを目的とする。

### 課題を解決するための手段

[0011] 本発明に係る分布整合回路および分布整合終端回路は、それぞれツリー状に階層化された複数のルックアップテーブルを備える。分布整合回路の最上層のルックアップテーブルは、外部からクライアント信号またはフレーム化された信号として入力される通信対象の情報（外部入力情報）の一部を、直下の階層の複数のルックアップテーブルのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直下の階層の複数のルックアップテーブルのそれぞれに出力し、最上層の直下から最下層の直上までのそれぞれの階層のルックアップテーブルは、外部入力情報の一部と直上の階層に属するルックアップテーブルから入力した指定情報と

により構成されるビット系列を、直下の階層の複数のルックアップテーブルのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直下の階層の複数のルックアップテーブルのそれぞれに出力し、最下層の複数のルックアップテーブルのそれぞれは、外部入力情報の一部と直上の階層のルックアップテーブルから入力した指定情報とにより構成されるビット系列を、最下層の複数のルックアップテーブルのそれぞれが管理する信号空間の信号点配置を示す信号点情報に変換して、信号点情報を出力する。分布整合終端回路における処理は、分布整合回路における処理に対して、入力と出力を入れ替えた処理である。

### 発明の効果

[0012] 本発明によれば、複数のルックアップテーブルの出力データが、直下の階層のルックアップテーブルが管理する信号空間での信号点群の組み合わせを順次指定し、最下層でルックアップテーブルごとに分布整合後の信号点情報を出力する。分布整合終端回路における処理は、分布整合回路における処理に対して入力と出力を入れ替えた処理である。階層化された複数のルックアップテーブルを用いることで、分布整合において整数乗算または整数加算を順序立てて多数回行う必要がなく、複数の演算回路を並列実装しなくてもよい。これにより、分布整合回路および分布整合終端回路の回路規模を低減することができる。

### 図面の簡単な説明

[0013] [図1]実施の形態1に係る分布整合回路の構成を示すブロック図である。  
[図2]実施の形態1に係る分布整合方法を示すフローチャートである。  
[図3]実施の形態1に係る分布整合方法の概要を示すイメージ図である。  
[図4]実施の形態2に係る分布整合終端回路の構成を示すブロック図である。  
[図5]実施の形態2に係る分布整合終端方法を示すフローチャートである。  
[図6]実施の形態2に係る分布整合終端方法の概要を示すイメージ図である。  
[図7]図7Aは、実施の形態1に係る分布整合回路または実施の形態2に係る分布整合終端回路の機能を実現するハードウェア構成を示すブロック図であ

る。図7Bは、実施の形態1に係る分布整合回路または実施の形態2に係る分布整合終端回路の機能を実現するソフトウェアを実行するハードウェア構成を示すブロック図である。

[図8]実施の形態3に係る光伝送システムの構成を示すブロック図である。

[図9]図8の符号化回路の構成を示すブロック図である。

[図10]図8の復号回路の構成を示すブロック図である。

[図11]実施の形態4に係る符号化回路の構成を示すブロック図である。

[図12]実施の形態4に係る復号回路の構成を示すブロック図である。

[図13]実施の形態5に係る符号化回路の構成を示すブロック図である。

[図14]実施の形態5に係る復号回路の構成を示すブロック図である。

### 発明を実施するための形態

[0014] 以下、本発明をより詳細に説明するため、本発明を実施するための形態について、添付の図面に従って説明する。

実施の形態1.

図1は、実施の形態1に係る分布整合回路1の構成を示すブロック図である。分布整合回路1は、例えば、光送信装置に設けられ、光送信装置が行う送信信号の光変調において信号点の確率分布を整合させる。分布整合回路1は、ルックアップテーブル2-0、ルックアップテーブル3-0、ルックアップテーブル3-1、ルックアップテーブル4-0、ルックアップテーブル4-1、ルックアップテーブル4-2およびルックアップテーブル4-3を備える。これらのルックアップテーブルは、図1に示すように、ツリー状に階層化されている。以降では、ルックアップテーブルをLUTと略して記載する。これらのLUTのそれぞれには、アドレスに対応付けられたデータが登録されている。

[0015] 図1には、3層のツリー状に階層化されたLUTを有する分布整合回路1が記載されている。ただし、LUTの階層数は、2層以下または4層以上であってもよい。LUT2-0は、最上層である第2層のLUTである。LUT3-0およびLUT3-1は、中間層である第1層のLUTであり、LUT

T 2 - 0 には、直下の階層の L U T 3 - 0 と L U T 3 - 1 とが接続されている。L U T 4 - 0、L U T 4 - 1、L U T 4 - 2 および L U T 4 - 3 は、最下層である第 0 層の L U T である。L U T 3 - 0 には、直下の階層の L U T 4 - 0 と L U T 4 - 1 とが接続され、L U T 3 - 1 には、直下の階層の L U T 4 - 2 と L U T 4 - 3 とが接続されている。

[0016] L U T 2 - 0、L U T 3 - 0、L U T 3 - 1、L U T 4 - 0、L U T 4 - 1、L U T 4 - 2 および L U T 4 - 3 のそれぞれは、信号空間を管理する。例えば、L U T 4 - 0 が管理する信号空間は、2 つの Q A M 信号の空間 ( S 0 ) であり、L U T 4 - 1 が管理する信号空間は、別の 2 つの Q A M 信号の空間 ( S 1 ) であり、L U T 4 - 2 が管理する信号空間は、また別の 2 つの Q A M 信号の空間 ( S 2 ) であり、L U T 4 - 3 が管理する信号空間は、さらに別の 2 つの Q A M 信号の空間 ( S 3 ) である。このとき、L U T 3 - 0 が管理する信号空間は、L U T 4 - 0 および L U T 4 - 1 が管理する信号空間 S 0 および S 1 であり、L U T 3 - 1 が管理する信号空間は、L U T 4 - 2 および L U T 4 - 3 が管理する信号空間 S 2 および S 3 である。L U T 2 - 0 が管理する信号空間は、L U T 3 - 0 および L U T 3 - 1 が管理する信号空間 S 0、S 1、S 2 および S 3 である。信号点は、信号空間ダイアグラムにおける複素振幅値の点である。

[0017] L U T 2 - 0、L U T 3 - 0、L U T 3 - 1、L U T 4 - 0、L U T 4 - 1、L U T 4 - 2 および L U T 4 - 3 のそれぞれには、外部入力情報の一部が入力される。外部入力情報は、通信対象の情報ビット系列であり、外部から、クライアント信号またはフレーム化された信号として分布整合回路 1 に入力される。一つのクロックサイクルにて、外部入力情報のビット数の合計値は、任意の正の整数で表される数である。クロックサイクルは、例えば、論理回路の動作周波数を 5 0 0 M H z とすると、2 ナノ秒である。各 L U T への入力ビット数は、0 以上の任意の整数である。

[0018] 最上層である第 2 層の L U T 2 - 0 は、外部入力情報の一部を、直下の階層である第 1 層の L U T 3 - 0 と L U T 3 - 1 とが管理する信号空間での信

号点群の組み合わせを指定する指定情報に変換して、指定情報を、中間層である第1層のLUT3-0とLUT3-1に出力する。この変換処理は、テーブル引きにより行われる。なお、テーブル引きは、アドレスとデータの関係性を事前に格納しておき、アドレスが指定されると、そのアドレスに対応するデータが読み出される処理である。LUTへの入力がLUTのアドレスに相当し、LUTからの出力がLUTのデータに相当する。アドレスとデータの関係性は、通常、一対一で対応する。

[0019] 第1層のLUT3-0は、外部入力情報の一部と直上の階層である第2層のLUT2-0からの信号点群の指定情報とにより構成されるビット系列を、直下の階層である第0層のLUT4-0とLUT4-1とが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を最下層のLUT4-0とLUT4-1に出力する。すなわち、LUT入力アドレスの一部は、直上の階層のLUT出力データであり、LUT入力アドレスの残りは、外部入力情報の一部であり、これらのそれぞれから指定情報が構成される。LUT3-1は、外部入力情報の一部と直上の階層のLUT2-0からの信号点群の指定情報とにより構成されるビット系列を、直下の階層のLUT4-2とLUT4-3とが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を最下層のLUT4-2とLUT4-3に出力する。

[0020] 最下層である第0層のLUT4-0とLUT4-1は、外部入力情報の一部と、直上の階層である第1層のLUT3-0からの信号点群の指定情報とにより構成されるビット系列を、LUT4-0とLUT4-1とが管理する信号空間の信号点配置を示す信号点情報に変換して、信号点情報を外部に出力する。LUT4-2とLUT4-3とは、外部入力情報と、直上の階層のLUT3-1からの信号点群の指定情報とにより構成されるビット系列を、LUT4-2とLUT4-3とが管理する信号空間の信号点配置を示す信号点情報に変換して、信号点情報を外部に出力する。

[0021] なお、分布整合回路1全体では、一つのクロックサイクルで入力される外

部入力情報のビット数よりも、一つのクロックサイクルで出力されるビット数の方が、通常多い。

分布整合回路 1 は、この冗長化により通信信号の分布を整合させる。外部入力情報は、通常、マーク率が約 0.5 で、時間的に相関のないビット系列とみなせる。

イーサネット（登録商標）信号ではマーク率が 0 に近い場合もあるが、その場合には、外部でビットスクランブルを行ってマーク率を 0.5 近傍に整える場合が多い。

外部入力情報が時間的に相関のないビット系列とみなせることが通常であるのに対し、理想的には、出力ビット系列に基づいて QAM などに変調された信号点の確率分布では、ターゲットとなるガウシアンチャネルに整合する。実際には完全に整合させることは困難であるが、QAM などの信号点の確率分布は、電力の小さな信号点のとり得る確率が高く、電力の大きな信号点のとり得る確率が低くなるように制御され、変調信号の平均電力に対する信号点間の最小距離が拡大したものとなる。

[0022] また、分布整合回路 1 が備える個々の LUT の入出力ビット数については、入力ビット数と出力ビット数が同一であるか、もしくは、入力ビット数に対して出力ビット数が多くなるように、入出力インタフェースのパラメータを選択する。また、図 1 では、階層間の分岐数が 2 であったが、分岐数は、任意の正の整数であればよい。

なお、分岐数は、直上の階層の LUT に接続する直下の階層の LUT の数である。

[0023] 次に動作について説明する。

図 2 は、実施の形態 1 に係る分布整合方法を示すフローチャートである。図 3 は、実施の形態 1 に係る分布整合方法の概要を示すイメージ図である。以下、図 3 に示すイメージを参照して実施の形態 1 に係る分布整合方法を説明する。図 3 において、LUT の階層数は  $L_m + 1$  であり、 $L_m$  は 0 以上の整数である。最上層は第  $L_m$  層であり、最下層が第 0 層である。第 ( $L_m -$

1) 層には、第0番目から第M [L m - 1] 番目までのL U Tが属しており、第1層には、第0番目から第M [1] 番目までのL U Tが属している。第0層には、第0番目から第M [0] 番目までのL U Tが属している。また、L U T (L m - 1) - 0は、第(L m - 1) 層の第0番目のL U Tであり、L U T 0 - M [0] は、第0層の第M [0] 番目のL U Tである。

[0024] 最上層のL U Tが、外部入力情報の一部を、直下の階層の複数のL U Tのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直下の階層の複数のL U Tのそれぞれに出力する（ステップS T 1）。この処理が、図3における“最上層信号指定”である。第L m層のL U Tは、外部入力情報のビット系列の一部を、第(L m - 1) 層の第0番目から第M [L m - 1] 番目までのL U Tに設定された信号空間での信号点群の組み合わせを指定する指定情報である信号点群指定ビットに変換して、信号点群指定ビットを第0番目から第M [L m - 1] 番目までのL U Tのそれぞれに出力する。

[0025] 最上層の直下から最下層の直上までのそれぞれの階層のL U Tが、外部入力情報の一部と直上の階層のL U Tから入力した指定情報とによって構成されるビット系列を、直下の階層の複数のL U Tのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直下の階層の複数のL U Tのそれぞれに出力する（ステップS T 2）。この処理が、図3における“中間層信号指定”である。第(L m - 1) 層の第0番目から第1層の第M [0] 番目までのL U Tは、外部入力情報の一部と、直上の階層のL U Tから入力した信号点群指定ビットとで構成されたビット系列を、直下の階層の複数のL U Tのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報である信号点群指定ビットに変換して、信号点群指定ビットを直下の階層の複数のL U Tのそれぞれに出力する。

[0026] 最下層の複数のL U Tのそれぞれが、外部入力情報の一部と直上の階層のL U Tから入力した指定情報とにより構成されるビット系列を信号点情報に変換して信号点情報を出力する（ステップS T 3）。この処理が、図3にお

ける“最下層信号指定”である。第0層の第0番目から第M[0]番目までのそれぞれのLUTは、外部入力情報の一部と、直上の階層である第1層のLUTから入力した信号点群指定ビットとで構成されたビット系列を、信号点情報に変換して、信号点情報を外部に出力する。信号点情報は、第0層の第0番目から第M[0]番目までのLUTにそれぞれ設定された信号空間の信号点配置を示す情報であり、光送信装置において分布整合回路1の後段に配置されるシンボルマッピング回路に対する入力情報である。

[0027] 以上のように、実施の形態1に係る分布整合回路1において、ツリー状に階層化された複数のLUT出力データが、直下の階層のLUTが管理する信号空間における信号点群の組み合わせを順次指定して、最下層でLUTごとに分布整合後の信号点情報を出力する。階層化された複数のLUTを用いることで、分布整合において整数乗算または整数加算を順序立てて多数回行う必要がなく、複数の演算回路を並列実装しなくてもよい。これにより、分布整合回路の回路規模を低減することができる。また、回路規模が低減するので、分布整合回路の消費電力も低減することができる。

[0028] なお、分布整合回路1は、図1に示した中間層のLUTがなく、図1に示した最上層のLUTおよび最下層のLUTのみを備えた構成であってもよい。例えば、分布整合回路1が、2層に階層化された複数のLUTを備える。上層のLUT2-0は、外部入力情報の一部を、直下の階層に属するLUT4-0、LUT4-1、LUT4-2およびLUT4-3のそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直下の階層のLUT4-0、LUT4-1、LUT4-2およびLUT4-3のそれぞれに出力する。下層のLUT4-0、LUT4-1、LUT4-2およびLUT4-3のそれぞれは、外部入力情報の一部と、直上の階層のLUT2-0から入力した指定情報とにより構成されるビット系列を、最下層のLUT4-0、LUT4-1、LUT4-2およびLUT4-3のそれぞれが管理する信号空間の信号点配置を示す信号点情報に変換して信号点情報を出力する。なお、LUTの具体的な動作は、実施の形態1で説

明した動作内容と同様である。

[0029] さらに、分布整合回路1は、図1に示した最上層のLUTと中間層のLUTとがなく、最下層のLUTのみを備えた構成であってもよい。例えば、分布整合回路1が、1層に属するLUT4-0、LUT4-1、LUT4-2およびLUT4-3を備える。当該層のLUT4-0、LUT4-1、LUT4-2およびLUT4-3のそれぞれには、外部入力情報の一部と、当該層のLUT4-0、LUT4-1、LUT4-2およびLUT4-3のそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報とが入力され、外部入力情報の一部と指定情報とにより構成されるビット系列を、当該層のLUT4-0、LUT4-1、LUT4-2およびLUT4-3のそれぞれが管理する信号空間の信号点配置を示す信号点情報に変換して信号点情報を外部に出力する。この構成においても、LUTの具体的な動作は、実施の形態1で説明した動作内容と同様である。

[0030] 実施の形態2.

図4は、実施の形態2に係る分布整合終端回路5の構成を示すブロック図である。分布整合終端回路5は、例えば、光受信装置に設けられ、光送信装置から受信した受信信号に含まれる信号点情報に分布整合終端を行うことにより、分布整合回路1に入力された外部入力情報を復元する。分布整合終端回路5は、図4に示すように、LUT6-0、LUT6-1、LUT6-2、LUT6-3、LUT7-0、LUT7-1およびLUT8-0を備える。これらのLUTはツリー状に階層化されており、各LUTには、アドレスに対応付けられたデータが登録されている。

[0031] 図4には、3層に階層化されたLUTを有する分布整合終端回路5が記載されている。ただし、LUTの階層数は、分布整合回路1と同じ階層数であれば、2層以下または4層以上であってもよい。LUT6-0、LUT6-1、LUT6-2およびLUT6-3は、最下層である第0層のLUTである。LUT7-0およびLUT7-1は、中間層である第1層のLUTである。LUT7-0には、直下の階層のLUT6-0とLUT6-1とが接続

され、LUT7-1には、直下の階層のLUT6-2とLUT6-3とが接続されている。LUT8-0は、最上層である第2層のLUTである。LUT8-0には、直下の階層のLUT7-0とLUT7-1とが接続されている。

[0032] LUT6-0、LUT6-1、LUT6-2、LUT6-3、LUT7-0、LUT7-1およびLUT8-0のそれぞれは、信号空間を管理する。例えば、LUT6-0が管理する信号空間は、2つのQAM信号の空間(S0)であり、LUT6-1が管理する信号空間は、別の2つのQAM信号の空間(S1)であり、LUT6-2が管理する信号空間は、また別の2つのQAM信号の空間(S2)であり、LUT6-3が管理する信号空間は、さらに別の2つのQAM信号の空間(S3)である。このとき、LUT7-0が管理する信号空間は、LUT6-0およびLUT6-1が管理する信号空間S0およびS1であり、LUT7-1が管理する信号空間は、LUT6-2およびLUT6-3が管理する信号空間S2およびS3である。LUT8-0が管理する信号空間は、LUT7-0およびLUT7-1が管理する信号空間S0、S1、S2およびS3である。信号点は、信号空間ダイアグラムにおける複素振幅値の点である。

[0033] LUT6-0、LUT6-1、LUT6-2およびLUT6-3には、分布整合回路1における、LUT4-0、LUT4-1、LUT4-2およびLUT4-3からの信号点情報が入力される。LUT6-0およびLUT6-1は、信号点情報のビット系列から、分布整合回路1における、LUT4-0およびLUT4-1に入力された外部入力情報の一部と、直上の階層のLUT3-0からの指定情報とを復元する。LUT6-2およびLUT6-3は、信号点情報のビット系列から、分布整合回路1における、LUT4-2およびLUT4-3に入力された外部入力情報の一部と、直上の階層のLUT3-1からの指定情報とを復元する。

[0034] 中間層である第1層のLUT7-0は、直下のLUT6-0およびLUT6-1により復元された指定情報のビット系列から、分布整合回路1にお

る、外部入力情報の一部と第2層のLUT 2-0からの指定情報とを復元する。同様に、第1層のLUT 7-1は、LUT 6-2およびLUT 6-3により復元された指定情報のビット系列から、分布整合回路1における、外部入力情報一部と第2層のLUT 2-0からの指定情報とを復元する。最上層である第2層のLUT 8-0は、直下の階層のLUT 7-0およびLUT 7-1により復元された指定情報のビット系列から、分布整合回路1における、第2層のLUT 2-0に入力された外部入力情報の一部を復元し、復元された全ての外部入力情報を外部に出力する。

[0035] なお、分布整合終端回路5全体では、一つのクロックサイクルで入力されるビット数よりも、一つのクロックサイクルで出力されるビット数の方が、通常少ない。これは、分布整合にて冗長化され、QAMなどで変調された信号点の確率分布に偏りがある信号をデマッピングしたビット系列について分布整合を終端して、通信対象の情報ビット系列を復元することに対応する。通信対象の情報ビット系列は、分布整合における外部入力情報に相当し、通常、マーク率が約0.5であり、時間的に相関のないビット系列である。また、図4では、階層間の分岐数が2であったが、分岐数は任意の正の整数であればよい。

[0036] 次に動作について説明する。

図5は、実施の形態2に係る分布整合終端方法を示すフローチャートである。図6は、実施の形態2に係る分布整合終端方法の概要を示すイメージ図である。以下、図6に示すイメージを参照して、実施の形態2に係る分布整合終端方法を説明する。図6において、LUTの階層数は $L_m + 1$ であり、 $L_m$ は0以上の整数である。最上層は第 $L_m$ 層であり、最下層が第0層である。第 $(L_m - 1)$ 層には、第0番目から第 $M[L_m - 1]$ 番目までのLUTが属しており、第1層には、第0番目から第 $M[1]$ 番目までのLUTが属している。第0層には、第0番目から第 $M[0]$ 番目までのLUTが属している。また、LUT  $(L_m - 1) - 0$ は、第 $(L_m - 1)$ 層の第0番目のLUTであり、LUT  $0 - M[0]$ は、第0層の第 $M[0]$ 番目のLUTで

ある。

[0037] 最下層に属する複数のLUTのそれぞれが、分布整合回路1から出力され、任意の通信用伝搬路を経由して得られた信号点情報のビット系列から、外部入力情報と直上の階層のLUTからの指定情報とを復元する（ステップST1a）。この処理が、図6における“最下層信号復元”である。なお、上記通信用伝搬路には、送信側のシンボルマッピング回路が含まれ、さらに受信側のシンボルデマッピング回路が含まれる。第0層の第0番目から第M[0]番目までのそれぞれのLUTは、上記信号点情報を構成するビット系列を、直上の階層である第1層のLUTが管理する信号空間での信号点群の組み合わせを指定する信号点群指定ビットの復元データと、外部入力情報の一部の復元データとに変換して、信号点群指定ビットの復元データを第1層のLUTに出力し、外部入力情報の一部の復元データを外部に出力する。この変換処理は、テーブル引きにより行われる。LUTへの入力がアドレスに相当し、LUTからの出力がデータに相当する。アドレスとデータの関係は、通常、一対一で対応する。この外部入力情報の一部の復元データは、分布整合回路1において第0層のLUTに入力された外部入力情報を復元したものである。

[0038] 最下層の直上から最上層の直下までのそれぞれの階層のLUTが、直下の階層のLUTにて復元された指定情報のビット系列から、外部入力情報の一部と、直上の階層のLUTからの指定情報とを復元する（ステップST2a）。この処理が、図6における“中間層信号復元”である。第1層の第0番目から第(Lm-1)層の第M[Lm-1]番目までのLUTは、直下の階層のLUTで復元された信号点群指定ビットを構成するビット系列を、直上の階層のLUTの信号空間での信号点群の組み合わせを指定する信号点群指定ビットの復元データと、外部入力情報の一部の復元データとに変換して、信号点群指定ビットの復元データを直上の階層のLUTに出力し、外部入力情報の一部の復元データを外部に出力する。この外部入力情報の一部の復元データは、分布整合回路1において対応する第1層から第(Lm-1)層の

LUTに入力された外部入力情報を復元したものである。

[0039] 最上層のLUTが、直下の階層のLUTにて復元された指定情報のビット系列から、分布整合回路1における外部入力情報の一部を復元して、復元された全ての外部入力情報を外部に出力する（ステップST3a）。この処理が、図6における最上層信号復元である。第Lm層のLUTは、第(Lm-1)層の第0番目から第M[Lm-1]番目までのLUTから入力した信号点群指定ビットを、外部入力情報の一部の復元データに変換して、外部入力情報の一部の復元データを外部に出力する。この外部入力情報は、分布整合回路1における第Lm層のLUTに入力された外部入力情報を復元したものである。

[0040] 以上のように、実施の形態2に係る分布整合終端回路5において、ツリー状に階層化された複数のLUTが、分布整合回路1において対応する階層のLUTに入力された外部入力情報の一部と指定情報を復元し、最上層のLUTが、分布整合回路1において対応する階層のLUTに入力された外部入力情報を復元して出力する。階層化された複数のLUTを用いるので、分布整合終端において整数乗算または整数加算を順序立てて多数回行う必要がなく、複数の演算回路を並列実装しなくてもよい。これにより、分布整合終端回路の回路規模および消費電力を低減することができる。また、信号点情報を含む受信信号に誤りがあっても、分布整合回路1における外部入力情報を部分的に復元できるので、分布整合終端後の信号における誤り数が顕著なものとはならない。このため、従来技術では、分布整合終端後の信号に対する誤り訂正が不可能であったが、分布整合終端回路5による分布整合終端後の信号は、誤り訂正が可能である。

[0041] 次に、分布整合回路1または分布整合終端回路5の機能を実現するハードウェア構成について説明する。

分布整合回路1におけるLUTの機能および分布整合終端回路5におけるLUTの機能は、処理回路によって実現される。すなわち、分布整合回路1は、図2に示したステップST1からステップST3までの処理を実行する

ための処理回路を備える。また、分布整合終端回路5は、図5に示したステップST1aからステップST3aまでの処理を実行するための処理回路を備える。処理回路は、専用のハードウェアであってもよいが、メモリに記憶されたプログラムを実行するCPU (Central Processing Unit) であってもよい。

[0042] 図7Aは、分布整合回路1または分布整合終端回路5の機能を実現するハードウェア構成を示すブロック図である。図7Bは、分布整合回路1または分布整合終端回路5の機能を実現するソフトウェアを実行するハードウェア構成を示すブロック図である。

処理回路が、図7Aに示す専用のハードウェアの処理回路100である場合、処理回路100は、例えば、単回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ASIC (Application Specific Integrated Circuit)、FPGA (Field-Programmable Gate Array)、または、これらを組み合わせたものが該当する。分布整合回路1におけるLUTの機能または分布整合終端回路5におけるLUTの機能を、別々の処理回路で実現してもよく、これらの機能をまとめて1つの処理回路で実現してもよい。

[0043] 処理回路が、図7Bに示すプロセッサ101である場合、分布整合回路1におけるLUTの機能または分布整合終端回路5におけるLUTの機能は、ソフトウェア、ファームウェアまたはソフトウェアとファームウェアとの組み合わせによって実現される。なお、ソフトウェアまたはファームウェアは、プログラムとして記述されてメモリ102に記憶される。プロセッサ101は、メモリ102に記憶されたプログラムを読み出して実行することによって、分布整合回路1におけるLUTの機能または分布整合終端回路5におけるLUTの機能を実現する。すなわち、分布整合回路1は、プロセッサ101によって実行されるときに、図2に示したステップST1からステップST3までの処理が結果的に実行されるプログラムを記憶するためのメモリ

102を備える。同様に、分布整合終端回路5は、プロセッサ101によって実行されるときに、図5に示したステップST1aからステップST3aまでの処理が結果的に実行されるプログラムを記憶するためのメモリ102を備える。

[0044] これらのプログラムは、分布整合回路1におけるLUTまたは分布整合終端回路5におけるLUTの手順または方法を、コンピュータに実行させる。メモリ102は、コンピュータを、分布整合回路1におけるLUTまたは分布整合終端回路5におけるLUTとして機能させるためのプログラムが記憶されたコンピュータ可読記憶媒体であってもよい。

[0045] メモリ102には、例えば、RAM (Random Access Memory)、ROM (Read Only Memory)、フラッシュメモリ、EPROM (Erasable Programmable Read Only Memory)、EEPROM (Electrically-EPROM) などの不揮発性または揮発性の半導体メモリ、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ミニディスク、DVDなどが該当する。

[0046] 実施の形態3.

図8は、実施の形態3に係る光伝送システム9の構成を示すブロック図である。図8において、光伝送システム9は、光送信装置10、光受信装置11および光伝送路12を備える。光送信装置10は、外部入力情報を符号化した光信号を光伝送路12に出力する。外部入力情報は、クライアント信号またはフレーム信号である。すなわち、光送信装置10は、クライアント信号またはフレーム信号を符号化した光信号を生成して光伝送路12に出力する。

[0047] 光受信装置11は、光伝送路12を介して受信した光信号に基づいて、外部入力情報を復号する。例えば、光受信装置11は、光送信装置10から受信した光信号を、クライアント信号またはフレーム信号に変換して外部に出力する。光伝送路12は、光送信装置10から光受信装置11への光信号を

伝送する伝送路であり、例えば、光ファイバ、光増幅器、波長多重器、波長分離器、光パワーモニタ、および波長選択スイッチを備える。

[0048] 光送信装置10は、図8に示すように、送信信号処理回路1100、DA変換器1200、光源1300および光変調器1400を備える。送信信号処理回路1100は、外部入力情報であるクライアント信号またはフレーム信号に信号処理を行ってDA変換器1200に出力する。送信信号処理回路1100は、符号化回路1110および送信信号補償処理回路1120を備える。

[0049] 符号化回路1110は、外部から入力したクライアント信号またはフレーム信号に対して符号化処理を行い、符号化処理後の信号を送信信号補償処理回路1120に出力する。送信信号補償処理回路1120は、符号化回路1110から入力した符号処理後の信号に対して、信号スペクトルの整形および光送信装置10についての非線形応答補償を行い、補償後の信号を、DA変換器1200に出力する。DA変換器1200は、送信信号処理回路1100から入力したデジタル信号に対してデジタルアナログ変換処理と電気増幅とを行って光変調器1400に出力する。

[0050] 光源1300は、連続光を生成して光変調器1400に出力する送信光源である。連続光は、例えば、波長1550nmで発振された連続光である。光変調器1400は、光源1300から入力した連続光を、DA変換器1200から入力した電気信号で変調して、変調後の光信号を光伝送路12に出力する。光変調器1400としては、例えば、ニオブ酸リチウムを用いた偏波多重マッハツェンダ(Mach-Zehnder)型の直交位相光変調器を利用する。

[0051] 光受信装置11は、図8に示すように、受信信号処理回路2100、AD変換器2200、光源2300および光受信器2400を備える。光源2300は、連続光を生成して光受信器2400に出力する局部発振光源である。連続光は、例えば、波長1550nmで発振された連続光である。光受信器2400は、光伝送路12を介して光送信装置10から受信した光信号と

光源 2300 から入力した連続光とを混合干渉させ、この光信号を光電変換してから AD 変換器 2200 に出力する。光受信器 2400 としては、例えば、偏波位相ダイバーシチ型コヒーレントレシーバを利用する。

[0052] AD 変換器 2200 は、光受信器 2400 から入力した電気信号を増幅させた後、アナログデジタル変換を施して受信信号処理回路 2100 に出力する。受信信号処理回路 2100 は、AD 変換器 2200 から入力したデジタル信号に基づいて、外部入力情報であるクライアント信号またはフレーム信号を復元して外部に出力する。

[0053] 受信信号処理回路 2100 は、復号回路 2110 および受信信号補償処理回路 2120 を備える。受信信号補償処理回路 2120 は、AD 変換器 2200 から入力したデジタル信号に対して、サンプリング位相同期、波形等化、搬送波周波数と位相との復元を行い、復号回路 2110 に出力する。復号回路 2110 は、受信信号補償処理回路 2120 から入力したデジタル信号に復号処理を行い、復元したクライアント信号またはフレーム信号を外部に出力する。

[0054] 図 9 は、図 8 の符号化回路 1110 の構成を示すブロック図である。符号化回路 1110 は、図 9 に示すように、分布整合回路 1111 およびシンボルマッピング回路 1112 を備える。分布整合回路 1111 は、実施の形態 1 で示した分布整合回路 1 であり、外部入力情報であるクライアント信号またはフレーム信号を入力して、実施の形態 1 で示した分布整合を行い、分布整合により得られた信号点情報をシンボルマッピング回路 1112 に出力する。

[0055] シンボルマッピング回路 1112 は、分布整合回路 1111 から入力した信号点情報を変調シンボルに変換し、変調シンボルを送信信号補償処理回路 1120 に出力する。例えば、シンボルマッピング回路 1112 は、分布整合回路 1111 の最下層の LUT からの信号点情報を 3 ビットずつまとめて振幅 8 値の片側パルス振幅変調シンボルを生成する。8 つの振幅値は -7、-5、-3、-1、1、3、5、7 である。このとき、振幅値が 1 段違う場

合、入力ビットが1ビットだけ異なるグレイ符号を用いられる。

[0056] 分布整合回路1111が図1に示した構成である場合、最下層である第0層のLUT4-0、LUT4-1、LUT4-2およびLUT4-3のそれぞれから出力される信号点情報を、例えば、下記の条件でソートしてリスト化してもよい。リスト化した信号点情報には、アドレスが小さい側から対応付けられる。

(1) シンボルマッピング回路1112によって信号点情報が変調シンボルに変換された後に定義される変調シンボル電力が小さい順にソートする。

(2) 信号点情報に含まれる0の数が多い順にソートする。

(3) 信号点情報に含まれる1の数が多い順にソートする。

[0057] また、直上の階層に属するLUTが、直下の階層に属するLUTにおけるテーブル引きに制約を与えてもよい。分布整合回路1111が図1に示した構成である場合、例えば、第1層のLUTが、第0層のLUTでのテーブル引きに制約を与える。“テーブル引きに制約を与える”とは、信号空間でとり得る信号点群を指定することを意味する。例えば、直上の階層に属するLUTが、直下の階層に属するLUTに出力する信号点群指定ビットを、下記の条件でソートする。ソートされた信号点群指定ビットには、アドレスが小さい側から対応付けられる。

(1) シンボルマッピング回路1112によって信号点情報が変調シンボルに変換された後に定義される変調シンボル電力の期待値が小さい順にソートする。

(2) 信号点情報に含まれる0の数の期待値が多い順にソートする。

(3) 信号点情報に含まれる1の数の期待値が多い順にソートする。

[0058] このようにLUTのアドレス対データの間を規定して生成した信号点情報をシンボルマッピング回路1112に入力して得られる変調シンボルは、例えば、電力の小さな信号点をとる確率が高く、電力の大きな信号点をとる確率が低くなるような偏りをもつ。

[0059] 図10は、図8の復号回路2110の構成を示すブロック図である。復号

回路 2 1 1 0 は、図 1 0 に示すように、分布整合終端回路 2 1 1 1 およびシンボルデマッピング回路 2 1 1 2 を備える。シンボルデマッピング回路 2 1 1 2 は、受信信号補償処理回路 2 1 2 0 から入力したデジタル信号に対して軟判定尤度の生成または硬判定を行う。軟判定尤度が受信ビット尤度であり、硬判定値は、受信ビット系列である。

[0060] シンボルデマッピング回路 2 1 1 2 では、符号化回路 1 1 1 0 によって生成された変調シンボルの生起確率が考慮される。例えば、軟判定値を出力する場合、対数事後確率比（事後 L - v a l u e）を 3 値以上で表現し、硬判定を行う場合には、硬判定値を 2 値（1 ビット）で表現する。シンボルデマッピング回路 2 1 1 2 によって得られた尤度または硬判定値は、分布整合終端回路 2 1 1 1 に出力される。

[0061] 分布整合終端回路 2 1 1 1 は、実施の形態 2 で示した分布整合終端回路 5 である。分布整合終端回路 2 1 1 1 は、シンボルデマッピング回路 2 1 1 2 から入力した信号に対し、実施の形態 2 で示した分布整合終端を行い、分布整合終端により復元されたクライアント信号またはフレーム信号を外部に出力する。

[0062] なお、光伝送システム 9 において、光送信装置 1 0 が備える分布整合回路 1 1 1 1 と、光受信装置 1 1 が備える分布整合終端回路 2 1 1 1 とで、L U T の入出力ビット数を対にしておく必要がある。例えば、分布整合回路 1 1 1 1 が、図 1 に示した分布整合回路 1 であり、分布整合終端回路 2 1 1 1 が、図 4 に示した分布整合終端回路 5 である場合、分布整合回路 1 における第 1 層の第 0 番目の L U T 3 - 0 の入力ビット数は、分布整合終端回路 5 における第 1 層の同一番号（第 0 番目）の L U T 7 - 0 の出力ビット数と等しい。また、第 1 層の第 0 番目の L U T 3 - 0 の出力ビット数は、第 1 層の同一番号の L U T 7 - 0 の入力ビット数と等しい。さらに、第 1 層の第 0 番目の L U T 3 - 0 の入力ビットまたは出力ビットに含まれる情報ビットのビット数と信号点群指定ビットのビット数は、第 1 層の同一番号の L U T 7 - 0 と等しい。これらの関係は、分布整合回路 1 と分布整合終端回路 5 とで対応す

る階層のLUTにおいて共通する。

[0063] 分布整合回路1111が備えるLUTと分布整合終端回路2111が備えるLUTとでは、アドレスとデータの関係が逆になっている。例えば、分布整合回路1111が、図1に示した分布整合回路1であり、分布整合終端回路2111が、図4に示した分布整合終端回路5である場合、第1層のLUT3-0において、第1のアドレスで第1のデータが指定される関係であれば、対応する第1層のLUT7-0では、第1のデータである第2のアドレスで、第1のアドレスである第2のデータが指定される。すなわち、LUT3-0が、外部入力情報の情報ビットと直上の階層のLUTから入力した信号点群指定ビットとによって構成される第1のアドレスによって、第1のデータとして信号点群指定ビットを指定する場合、LUT7-0では、第1のデータを第2のアドレスとして、第1のアドレスである第2のデータが指定される。これらの関係は、分布整合回路1と分布整合終端回路5とで対応する階層のLUTにおいて共通する。

[0064] 分布整合回路1111が備えるLUTの入出力インタフェースにおいて、入力ビット数よりも出力ビット数が多くなるようにパラメータ選択してもよい。例えば、分布整合回路1111が備えるLUTを送信側のLUTとし、分布整合終端回路2111が備えるLUTを受信側のLUTとした場合に、送信側のLUTが入力ビット数よりも出力ビット数を多くと、LUTのアドレスのビット数は、送信側のLUTよりも、受信側のLUTの方が多くなる。従って、受信側のLUTには、送信側のLUTにないアドレスが存在する可能性がある。

[0065] 分布整合終端回路2111に入力される信号に誤りが全くない場合は、送信側のLUTの出力データが、対になる受信側のLUTのアドレスに完全に対応するが、分布整合終端回路2111に入力される信号に誤りが残留しているとその限りではない。そこで、光伝送システム9では、送信側のLUTに存在しないアドレスとデータの間接関係を、受信側のLUTで定義する。すなわち、分布整合終端回路2111側のデータリストとして分布整合回路11

1 1 側のアドレスリストを用い、分布整合終端回路 2 1 1 1 側のアドレスリストとして、少なくとも分布整合回路 1 1 1 1 側のデータリストを用い、さらに、分布整合回路 1 1 1 1 側のデータリストにないアドレスに対するデータとしては、分布整合終端回路 2 1 1 1 側のアドレスリストから重複を許容して選択してもよい。

[0066] 例えば、LUT 4-0 のアドレスが 2 ビットで表現され、データが 3 ビットで表現される場合、アドレスは 2 の 2 乗で 4 通りとなり、それぞれに対応した 3 ビットの出力データが割り当てられる。例えば、アドレス 0、1、2、3 に対して、それぞれデータ 0、1、2、4 が割り当てられると仮定する。このとき、受信側で対応する LUT 6-0 は、アドレスが 3 ビットであり、データが 2 ビットとなる。LUT 6-0 でとり得るアドレスは、2 の 3 乗で 8 通り (0、1、2、3、4、5、6、7) となるが、LUT 4-0 から出力されるデータは、8 通り中の 4 通り (0、1、2、4) である。ここで、LUT 4-0 から LUT 6-0 に対して信号転送する際に誤りが生じ得ることを考慮すると、LUT 4-0 の出力データリスト (0、1、2、4) に存在しないものについても、LUT 6-0 の入力アドレスリストには含める必要がある。ここでは、3、5、6、7 が該当する。LUT 4-0 の出力データにない 3、5、6、7 は、当然、それに対応する入力アドレスも存在しない。従って、LUT 6-0 の入力アドレス 3、5、6、7 に対する出力データは、LUT 6-0 通過後の誤りが少なくなるように、0、1、2、3 から適切に選ばれる。例えば、重複することも許容して、1、2、3、3 とする。

[0067] さらに、光伝送システム 9 を下記の条件で構成すると、回路実装を簡単化できる。

(1) 分布整合回路および分布整合終端回路のそれぞれについて、同一階層に属する LUT では、アドレスとデータの間係を固定する。

(2) 分布整合回路および分布整合終端回路のそれぞれについて、同一階層に属する LUT では、入力ビット数を固定する。

(3) 分布整合回路および分布整合終端回路のそれぞれについて、同一階層に属するLUTでは、出力ビット数を固定する。

(4) LUTの入力ビット数および出力ビット数を16以下とする。

(5) 受信信号補償処理回路2120では、既知信号（例えば、パイロット信号）に基づいて、等化器および搬送波の復元回路を動作させる。

[0068] 上記の(1)、(2)、(3)の条件は、LUTに格納するアドレス対データの関係の組み合わせの数を大幅に減少させることができる。これにより、アドレス対データ関係を保持する元データの容量を圧縮することができ、LUTへの書き込みを同時に行うことができ、LUTの書き込みに要する時間を縮小することも可能である。また、LUTのインタフェース条件を共通化することにより、設計済み回路の使い回しが可能となる。(4)の条件は、直接的に個々のLUTの規模縮小に寄与する。LUTの入力ビット数を増加させるとアドレス数が指数関数的に増加するため、LUTを階層化して一つ当たりの入力ビット数を抑える。分布整合側の入力ビット数は、分布整合終端側の出力ビット数に対応し、分布整合側の出力ビット数は、分布整合終端側の入力ビット数に対応することから、双方の入力ビット数、出力ビット数ともに小さく抑えるのが望ましい。(5)の条件は、信号点配置または各信号点の生起確率を柔軟に変更しても、各種信号の回復処理が正常動作することが望ましく、信号点条件に依存した処理よりも、信号点条件に無依存で動作できる処理の方が望ましいことに対応する。

[0069] 光伝送システム9において、分布整合回路1111が、ツリー状に階層化された複数のLUTである複数の送信系統が並列に配置された構成であってもよい。さらに、分布整合終端回路2111が、ツリー状に階層化された複数のLUTである複数の受信系統が並列に配置された構成であってもよい。これにより、分布整合回路1111のLUTを用いた処理を並行して行うことができ、同様に分布整合終端回路2111のLUTを用いた処理を並行して行うことができるので、効率的に処理を行うことが可能である。

[0070] 分布整合回路1111および分布整合終端回路2111において、主信号

を入力しない、すなわち、入力データが不定になるクロックサイクルを設けてもよい。主信号は、クライアント信号またはフレーム信号である。例えば、主信号の動作周波数よりも1%高速の周波数で回路を動作させ、100クロックサイクル分、主信号を入力させるのに対して1クロックサイクル分は主信号の入力を行わないものとし、その1クロックサイクルにてLUTの内容を更新してもよい。

[0071] さらに、外部入力情報には、情報を構成する有効なビットと、情報を構成しない無効なビットとの両方を含めてもよい。例えば、光伝送システム9において、分布整合回路1111の上流において有効なビットと無効なビットとの並べ替えを行った外部入力情報を、分布整合回路1111に入力する。また、分布整合終端回路2111の下流において分布整合終端回路2111によって復元された外部入力情報の有効なビットと無効なビットとの並べ替えを行う。なお、光変調器1400を駆動させる電気信号のシンボルレートは、例えば64Gsymbol/sとすればよい。

[0072] 以上のように、実施の形態3に係る光伝送システム9において、光送信装置10が、分布整合回路1111と、シンボルマッピング回路1112とを有し、光受信装置11が、シンボルデマッピング回路2112と、分布整合終端回路2111とを有する。この構成を有することで、光伝送システム9は、実施の形態1および実施の形態2で示した効果を得ることができる。

[0073] 実施の形態4.

図11は、実施の形態4に係る符号化回路1110Aの構成を示すブロック図である。図11において、図9と同一の構成要素には同一の符号を付して詳細な説明を省略する。符号化回路1110Aは、図8に示した光送信装置10において、符号化回路1110の代わりに設けられる。図12は、実施の形態4に係る復号回路2110Aの構成を示すブロック図である。図12において、図10と同一の構成要素には同一の符号を付して詳細な説明を省略する。復号回路2110Aは、図8に示した光受信装置11において、復号回路2110の代わりに設けられる。

[0074] 符号化回路 1 1 1 0 A は、図 1 1 に示すように、分布整合回路 1 1 1 1、シンボルマッピング回路 1 1 1 2 A および誤り訂正符号化回路 1 1 1 3 を備える。誤り訂正符号化回路 1 1 1 3 は、分布整合回路 1 1 1 1 から入力した信号点情報に対して、システムティックな誤り訂正符号化を行い、誤り訂正情報ビットおよび誤り訂正パリティビットをシンボルマッピング回路 1 1 1 2 A に出力する。なお、分布整合回路 1 1 1 1 は、誤り訂正符号化回路 1 1 1 3 に出力する信号を、誤り訂正パリティ領域を事前に確保したフレーム形式としてもよい。

[0075] シンボルマッピング回路 1 1 1 2 A は、誤り訂正符号化回路 1 1 1 3 から入力した誤り訂正情報ビットおよび誤り訂正パリティビットに基づいて、変調シンボルを生成し、送信信号補償処理回路 1 1 2 0 に出力する。誤り訂正パリティビットのマーク率は、制御できないことが通常であり（0.5 付近）、確率的整形ができない。この場合、シンボルマッピング回路 1 1 1 2 A は、変調シンボルの正負の極性を制御する符号ビットとして、上記誤り訂正パリティビットを割り当てる。例えば、振幅 8 値の片側パルス振幅変調シンボルでは、変調シンボルの振幅に影響を与えるビット（いわゆる振幅ビット）は、2 ビットである。シンボルマッピング回路 1 1 1 2 A は、この 2 ビットの組み合わせを維持して、パリティビットの割り当てを行う。ただし、これら制約を満たせない場合には、例えば誤り訂正パリティビットを振幅ビットに割り当てるか、分布整合した振幅ビットを符号ビット割り当ててもよい。

[0076] 復号回路 2 1 1 0 A は、図 1 2 に示すように、分布整合終端回路 2 1 1 1 A、シンボルデマッピング回路 2 1 1 2 および誤り訂正復号回路 2 1 1 3 を備える。誤り訂正復号回路 2 1 1 3 は、シンボルデマッピング回路 2 1 1 2 から入力した信号に対して誤り訂正復号を行い、訂正後の誤り訂正情報ビットを分布整合終端回路 2 1 1 1 A に出力する。

[0077] 分布整合終端回路 2 1 1 1 A は、誤り訂正復号回路 2 1 1 3 から入力した信号に対し、実施の形態 2 で示した分布整合終端を行い、復元したクライア

ント信号もしくはフレーム信号を外部に出力する。また、分布整合終端回路 2 1 1 1 A は、誤り訂正復号回路 2 1 1 3 から入力した信号を、誤り訂正パリティ領域が事前に確保されたフレーム形式の信号として扱ってもよい。

[0078] また、分布整合回路 1 1 1 1 と誤り訂正符号化回路 1 1 1 3 との間でビットの並べ替えを行ってもよい。例えば、誤り訂正符号化に用いられる低密度パリティ検査符号は、符号空間上で訂正能力の強弱が存在する。このため、変調ビットのうち性能に劣るビットを訂正能力が高い側に配置し、変調ビットのうち性能に勝るビットを訂正能力が低い側に配置することがある。例えば、一つの振幅 8 値のパルス振幅変調シンボルには 3 ビットが割り当てられており、そのビット間では性能が異なる。この場合、ビットレベルが 3 つある。誤り訂正の符号空間に対するビットレベルの割り付けはビットレベルマッピングと呼ばれる。分布整合回路 1 1 1 1 と誤り訂正符号化回路 1 1 1 3 との間で行われたビットレベルマッピングは、誤り訂正復号回路 2 1 1 3 と分布整合終端回路 2 1 1 1 A との間で元に戻される。この処理はビットレベルデマッピングと呼ばれる。

[0079] 以上のように、実施の形態 4 に係る符号化回路 1 1 1 0 A は、誤り訂正符号化回路 1 1 1 3 を有し、シンボルマッピング回路 1 1 1 2 A が、誤り訂正符号化回路 1 1 1 3 により誤り訂正符号化された信号点情報を変調シンボルに変換する。実施の形態 4 に係る復号回路 2 1 1 0 A は、誤り訂正復号回路 2 1 1 3 を有し、分布整合終端回路 2 1 1 1 A が、誤り訂正復号回路 2 1 1 3 により誤り訂正復号された結果に基づいて、外部入力情報を復元する。従来の技術では、分布整合終端を行う信号に誤りが残存すると、復号が不可能となり、1ワード分が全体的に誤ることになる。これに対して、実施の形態 4 に係る復号回路 2 1 1 0 A では、分布整合終端回路 2 1 1 1 A に入力される信号に誤りが残存しても部分的に復号できる。これにより、信号に残存した誤りを訂正することが可能である。

[0080] 実施の形態 5.

図 1 3 は、実施の形態 5 に係る符号化回路 1 1 1 0 B の構成を示すブロッ

ク図である。図13において、図9と同一の構成要素には同一の符号を付して詳細な説明を省略する。符号化回路1110Bは、図8に示した光送信装置10において、符号化回路1110の代わりに設けられる。図14は、実施の形態5に係る復号回路2110Bの構成を示すブロック図である。図14において、図10と同一の構成要素には同一の符号を付して詳細な説明を省略する。復号回路2110Bは、図8に示した光受信装置11において、復号回路2110の代わりに設けられる。

[0081] 符号化回路1110Bは、図13に示すように、分布整合回路1111B、シンボルマッピング回路1112B、第2の誤り訂正符号化回路1114、第1の誤り訂正符号化回路1115を備える。第1の誤り訂正符号化回路1115は、外部から入力したクライアント信号またはフレーム信号に対し任意の誤り訂正符号化を行い、符号化後のビットを、分布整合回路1111Bに出力する。第1の誤り訂正符号化回路1115による誤り訂正符号化で得られた誤り訂正情報ビットを、外符号誤り訂正情報ビットと呼ぶ。

[0082] 分布整合回路1111Bは、第1の誤り訂正符号化回路1115から入力した信号に対して、実施の形態1で示した分布整合を行い、分布整合によって得られた信号点情報を、第2の誤り訂正符号化回路1114に出力する。第2の誤り訂正符号化回路1114は、分布整合回路1111Bから入力した信号点情報に対して、システムティックな誤り訂正符号化を行い、誤り訂正情報ビットおよび誤り訂正パリティビットをシンボルマッピング回路1112Bに出力する。なお、第2の誤り訂正符号化回路1114による誤り訂正符号化で得られる誤り訂正情報ビットおよび誤り訂正パリティビットを、内符号誤り訂正情報ビットおよび内符号誤り訂正パリティビットと呼ぶ。

[0083] シンボルマッピング回路1112Bは、第2の誤り訂正符号化回路1114から入力した内符号誤り訂正情報ビットおよび内符号誤り訂正パリティビットに基づいて、変調シンボルを生成し、送信信号補償処理回路1120に出力する。このとき、内符号誤り訂正パリティビットのマーク率が0.5付近となって確率的整形ができない場合、シンボルマッピング回路1112B

は、変調シンボルの正負の極性を制御する符号ビットとして、内符号誤り訂正パリティビットを割り当てる。

[0084] 復号回路2110Bは、図14に示すように、分布整合終端回路2111B、シンボルデマッピング回路2112、第2の誤り訂正復号回路2114および第1の誤り訂正復号回路2115を備える。第2の誤り訂正復号回路2114は、シンボルデマッピング回路2112から入力した信号に対して誤り訂正復号を行い、誤り訂正復号で得られた誤り訂正情報ビットを、分布整合終端回路2111Bに出力する。第2の誤り訂正復号回路2114による誤り訂正復号で得られる誤り訂正情報ビットを、内符号誤り訂正情報ビットと呼ぶ。

[0085] 分布整合終端回路2111Bは、第2の誤り訂正復号回路2114から入力した内符号誤り訂正情報ビットに対して、実施の形態2で示した分布整合終端を行い、分布整合終端によって復元したクライアント信号もしくはフレーム信号を、第1の誤り訂正復号回路2115に出力する。第1の誤り訂正復号回路2115は、分布整合終端回路2111Bから入力した信号に対して誤り訂正復号を行い、得られた誤り訂正情報ビットを、復元したクライアント信号またはフレーム信号として外部に出力する。第1の誤り訂正復号回路2115による誤り訂正復号で得られる誤り訂正情報ビットを、外符号誤り訂正情報ビットと呼ぶ。

[0086] 以上のように、実施の形態5に係る符号化回路1110Bは、第1の誤り訂正符号化回路1115と、第2の誤り訂正符号化回路1114とを有する。分布整合回路1111Bが、第1の誤り訂正符号化回路1115により誤り訂正符号化された外部入力情報を入力して信号点情報を出し、シンボルマッピング回路1112Bが、第2の誤り訂正符号化回路1114により誤り訂正符号化された信号点情報を変調シンボルに変換する。実施の形態5に係る復号回路2110Bは、第1の誤り訂正復号回路2115と第2の誤り訂正復号回路2114とを有する。分布整合終端回路2111Bは、第2の誤り訂正復号回路2114により得られた内符号誤り訂正情報ビットに基づ

いて外部入力情報を復元する。分布整合終端回路 2 1 1 1 B から出力された外部入力情報は、第 1 の誤り訂正復号回路 2 1 1 5 によって誤り訂正復号され、外符号誤り訂正情報ビットが、復元された外部入力情報として外部に出力される。

[0087] 実施の形態 3 から実施の形態 5 までに示した光伝送システムで確率的整形を行うことにより、確率的整形を行わずに同一の周波数利用効率を達成する信号に対し、通常の通信品質を得るために必要な SNR を、例えば 0.3 ~ 1.1 dB だけ低減することができる。

また、分布整合回路と分布整合終端回路とに必要な回路リソースは、小規模な LUT 用の RAM または ROM、遅延調整用のフリップフロップおよびセレクタといったものであり、ビット精度が必要な加算処理および乗算処理が不要である。これにより、複数の演算回路を並列実装しなくてもよく、分布整合回路の回路規模の低減と消費電力の低減を実現することが可能である。また、大容量光伝送に有用である。

[0088] なお、本発明は上記実施の形態に限定されるものではなく、本発明の範囲内において、実施の形態のそれぞれの自由な組み合わせまたは実施の形態のそれぞれの任意の構成要素の変形もしくは実施の形態のそれぞれにおいて任意の構成要素の省略が可能である。

### 産業上の利用可能性

[0089] 本発明に係る分布整合回路は、回路規模を低減することができるので、光伝送システムの光送信装置に利用可能である。

### 符号の説明

[0090] 1, 1 1 1 1, 1 1 1 1 B 分布整合回路、2-0, 3-0, 3-1, 4-0, 4-1, 4-2, 4-3, 6-0, 6-1, 6-2, 6-3, 7-0, 7-1, 8-0 ルックアップテーブル (LUT)、5, 2 1 1 1, 2 1 1 1 A, 2 1 1 1 B 分布整合終端回路、9 光伝送システム、10 光送信装置、11 光受信装置、12 光伝送路、100 処理回路、101 プロセッサ、102 メモリ、1100 送信信号処理回路、1110, 1

110A, 1110B 符号化回路、1112, 1112A, 1112B  
シンボルマッピング回路、1113 誤り訂正符号化回路、1114 第2  
の誤り訂正符号化回路、1115 第1の誤り訂正符号化回路、1120  
送信信号補償処理回路、1200 DA変換器、1300, 2300 光源  
、1400 光変調器、2100 受信信号処理回路、2110, 2110  
A, 2110B 復号回路、2112 シンボルデマッピング回路、211  
3 誤り訂正復号回路、2114 第2の誤り訂正復号回路、2115 第  
1の誤り訂正復号回路、2120 受信信号補償処理回路、2200 AD  
変換器、2400 光受信器。

## 請求の範囲

### [請求項1]

ツリー状に階層化された複数のルックアップテーブルを備え、

最上層のルックアップテーブルは、外部入力情報の一部を、直下の階層の複数のルックアップテーブルのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直下の階層の複数のルックアップテーブルのそれぞれに出力し、

最上層の直下から最下層の直上までの中間層のルックアップテーブルは、外部入力情報の一部と直上の階層に属するルックアップテーブルから入力した指定情報とにより構成されるビット系列を、直下の階層の複数のルックアップテーブルのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直下の階層の複数のルックアップテーブルのそれぞれに出力し、

最下層の複数のルックアップテーブルのそれぞれは、外部入力情報の一部と直上の階層のルックアップテーブルから入力した指定情報とにより構成されるビット系列を、最下層の複数のルックアップテーブルのそれぞれが管理する信号空間の信号点配置を示す信号点情報に変換して、信号点情報を出力すること

を特徴とする分布整合回路。

### [請求項2]

同一の階層のルックアップテーブルは、入力ビット数、出力ビット数、直上の階層のルックアップテーブルに接続する直下の階層のルックアップテーブルの数、およびアドレスとデータとの関係がそれぞれ固定されていること

を特徴とする請求項1記載の分布整合回路。

### [請求項3]

外部入力情報は、情報を構成する有効なビットと、情報を構成しない無効なビットとの両方を含むこと

を特徴とする請求項1記載の分布整合回路。

### [請求項4]

主信号が入力されないクロックサイクルを有すること

を特徴とする請求項1記載の分布整合回路。

- [請求項5] 複数のルックアップテーブルを備え、  
複数のルックアップテーブルは、外部入力情報の一部と、複数のルックアップテーブルのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報とによって構成されるビット系列を、複数のルックアップテーブルのそれぞれが管理する信号空間の信号点配置を示す信号点情報に変換して、信号点情報を出力することを特徴とする分布整合回路。
- [請求項6] 複数のルックアップテーブルは、ツリー状に2層に階層化され、  
上層のルックアップテーブルは、外部入力情報の一部を、下層の複数のルックアップテーブルのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を下層の複数のルックアップテーブルのそれぞれに出し、  
下層の複数のルックアップテーブルのそれぞれは、外部入力情報の一部と上層のルックアップテーブルから入力した指定情報とによって構成されるビット系列を、下層の複数のルックアップテーブルのそれぞれが管理する信号空間の信号点配置を示す信号点情報に変換して、信号点情報を出力することを特徴とする請求項5記載の分布整合回路。
- [請求項7] ツリー状に階層化された複数のルックアップテーブルを備え、  
最下層の複数のルックアップテーブルのそれぞれは、請求項1記載の分布整合回路から出力され、通信用伝搬路を経由して得られた信号点情報のビット系列から、前記分布整合回路が備える最下層の複数のルックアップテーブルにおける、外部入力情報の一部と、直上の階層のルックアップテーブルからの指定情報とを復元し、  
最下層の直上から最上層の直下までの中間層のルックアップテーブルは、直下の階層のルックアップテーブルにて復元された指定情報のビット系列から、前記分布整合回路が備える直上の階層のルックアップテーブルにおける、外部入力情報の一部と、直上の階層のルックア

ップテーブルからの指定情報とを復元し、

最上層のルックアップテーブルは、直下の階層のルックアップテーブルにて復元された指定情報のビット系列から、前記分布整合回路が備える最上層のルックアップテーブルにおける外部入力情報の一部を復元し、復元された全ての外部入力情報を出力すること

を特徴とする分布整合終端回路。

[請求項8]

同一の階層のルックアップテーブルは、入力ビット数、出力ビット数、直上の階層のルックアップテーブルに接続する直下の階層のルックアップテーブルの数、およびアドレスとデータとの関係がそれぞれ固定されていること

を特徴とする請求項7記載の分布整合終端回路。

[請求項9]

外部入力情報は、情報を構成する有効なビットと、情報を構成しない無効なビットとの両方を含むこと

を特徴とする請求項7記載の分布整合終端回路。

[請求項10]

主信号が入力されないクロックサイクルを有すること

を特徴とする請求項7記載の分布整合終端回路。

[請求項11]

ツリー状に階層化された複数のルックアップテーブルを備えた分布整合回路の分布整合方法であって、

最上層のルックアップテーブルが、外部入力情報の一部を、直下の階層の複数のルックアップテーブルのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直下の階層の複数のルックアップテーブルのそれぞれに出力するステップと、

最上層の直下から最下層の直上までの中間層のルックアップテーブルが、外部入力情報の一部と直上の階層に属するルックアップテーブルから入力した指定情報とにより構成されるビット系列を、直下の階層の複数のルックアップテーブルのそれぞれが管理する信号空間での信号点群の組み合わせを指定する指定情報に変換して、指定情報を直

下の階層の複数のルックアップテーブルのそれぞれに出力するステップと、

最下層の複数のルックアップテーブルのそれぞれが、外部入力情報の一部と直上の階層のルックアップテーブルから入力した指定情報とにより構成されるビット系列を、最下層の複数のルックアップテーブルのそれぞれが管理する信号空間の信号点配置を示す信号点情報に変換して、信号点情報を出力するステップとを備えたこと

を特徴とする分布整合方法。

[請求項12]

ツリー状に階層化された複数のルックアップテーブルを備えた分布整合終端回路の分布整合終端方法であって、

最下層の複数のルックアップテーブルのそれぞれが、請求項1記載の分布整合回路から出力され、通信用伝搬路を経由して得られた信号点情報のビット系列から、前記分布整合回路が備える最下層の複数のルックアップテーブルにおける、外部入力情報の一部と、直上の階層のルックアップテーブルからの指定情報とを復元するステップと、

最下層の直上から最上層の直下までの中間層のルックアップテーブルが、直下の階層のルックアップテーブルにて復元された指定情報のビット系列から、前記分布整合回路が備える直上の階層のルックアップテーブルにおける、外部入力情報の一部と、直上の階層のルックアップテーブルからの指定情報とを復元するステップと、

最上層のルックアップテーブルが、直下の階層のルックアップテーブルにて復元された指定情報のビット系列から、前記分布整合回路が備える最上層のルックアップテーブルにおける外部入力情報の一部を復元し、復元された全ての外部入力情報を出力するステップと、を備えたこと

を特徴とする分布整合終端方法。

[請求項13]

外部入力情報を符号化した光信号を生成する光送信装置と、前記光送信装置から受信した光信号に基づいて外部入力情報を復元する光受

信装置とを備え、

前記光送信装置は、

外部入力情報を入力して信号点情報を出力する、請求項 1 記載の分布整合回路と、

信号点情報を変調シンボルに変換するシンボルマッピング回路と、を有し、

前記光受信装置は、

前記光送信装置から受信した光信号に含まれる変調シンボルを、受信ビット系列または受信ビット尤度に変換するシンボルデマッピング回路と、

前記受信ビット系列または前記受信ビット尤度に基づいて、外部入力情報を復元する、請求項 7 記載の分布整合終端回路と、を有すること

を特徴とする光伝送システム。

[請求項 14]

前記光送信装置は、

信号点情報に誤り訂正符号化を行う誤り訂正符号化回路を有し、

前記シンボルマッピング回路は、

前記誤り訂正符号化回路によって誤り訂正符号化された信号点情報を、変調シンボルに変換し、

前記光受信装置は、

前記シンボルデマッピング回路から入力した前記受信ビット系列または前記受信ビット尤度に誤り訂正復号を行う誤り訂正復号回路を有し、

前記分布整合終端回路は、

前記誤り訂正復号回路によって誤り訂正復号された前記受信ビット系列または前記受信ビット尤度に基づいて、外部入力情報を復元すること

を特徴とする請求項 1 3 記載の光伝送システム。

- [請求項15] 前記光送信装置は、  
外部入力情報に誤り訂正符号化を行う第1の誤り訂正符号化回路と、  
、  
信号点情報に誤り訂正符号化を行う第2の誤り訂正符号化回路と、  
を有し、  
前記分布整合回路は、  
前記第1の誤り訂正符号化回路によって誤り訂正符号化された外部入力情報を入力して信号点情報を出力し、  
前記シンボルマッピング回路は、  
前記第2の誤り訂正符号化回路によって誤り訂正符号化された信号点情報を、変調シンボルに変換し、  
前記光受信装置は、  
前記分布整合終端回路によって復元された外部入力情報に誤り訂正復号を行う第1の誤り訂正復号回路と、  
前記シンボルデマッピング回路から入力した前記受信ビット系列または前記受信ビット尤度に誤り訂正復号を行う第2の誤り訂正復号回路と、を有し、  
前記分布整合終端回路は、  
前記第2の誤り訂正復号回路によって誤り訂正復号された前記受信ビット系列または前記受信ビット尤度に基づいて、外部入力情報を復元すること  
を特徴とする請求項13記載の光伝送システム。
- [請求項16] 前記分布整合回路は、最下層の複数のルックアップテーブルのそれぞれから出力された複数の信号点情報を、前記シンボルマッピング回路によって変調シンボルに変換された後に定義される変調シンボル電力が小さい順、信号点情報に含まれる0の数が多い順および信号点情報に含まれる1の数の期待値が多い順のいずれかの条件でソートし、アドレスが小さい側から対応付けること

を特徴とする請求項 1 3 記載の光伝送システム。

[請求項17] 前記分布整合回路は、最上層から最下層の直上までの階層のルックアップテーブルからの指定情報を、前記シンボルマッピング回路によって変調シンボルに変換された後に定義される変調シンボル電力の期待値が小さい順、信号点情報に含まれる 0 の数の期待値が多い順および信号点情報に含まれる 1 の数の期待値が多い順のいずれかの条件でソートし、アドレスが小さい側から対応付けること

を特徴とする請求項 1 3 記載の光伝送システム。

[請求項18] 前記分布整合回路が備える複数のルックアップテーブルのそれぞれは、入力ビット数と出力ビット数が同一、もしくは、入力ビット数よりも出力ビット数が多く、前記分布整合終端回路が備える複数のルックアップテーブルのそれぞれは、入力ビット数と出力ビット数が同一、もしくは、入力ビット数よりも出力ビット数が少ないこと

を特徴とする請求項 1 3 記載の光伝送システム。

[請求項19] 前記分布整合回路および前記分布整合終端回路がそれぞれ備えるルックアップテーブルは、直上の階層のルックアップテーブルに接続される直下の階層のルックアップテーブルの数が同一であり、同一階層かつ同一番号のルックアップテーブル同士では、前記分布整合回路側の入力ビット数と前記分布整合終端回路側の出力ビット数とが同一であり、前記分布整合回路側の出力ビット数と前記分布整合終端回路側の入力ビット数とが同一であり、前記分布整合終端回路側のデータリストとして前記分布整合回路側のアドレスリストを用い、前記分布整合終端回路側のアドレスリストとして、少なくとも前記分布整合回路側のデータリストを用い、さらに、前記分布整合回路側のデータリストにないアドレスに対するデータとしては、前記分布整合終端回路側のアドレスリストから重複を許容して選択すること

を特徴とする請求項 1 3 記載の光伝送システム。

[請求項20] 前記シンボルマッピング回路は、前記誤り訂正符号化回路から入力

された誤り訂正情報ビットと誤り訂正パリティビットに基づいて、前記信号点情報を変調シンボルに変換し、変調シンボルの符号ビットに前記誤り訂正パリティビットを割り当てること

を特徴とする請求項 1 4 記載の光伝送システム。

[請求項21]

前記分布整合回路は、ツリー状に階層化された複数のルックアップテーブルから構成された複数の送信系統が並列に配置され、

前記分布整合終端回路は、ツリー状に階層化された複数のルックアップテーブルから構成された複数の受信系統が並列に配置されていること

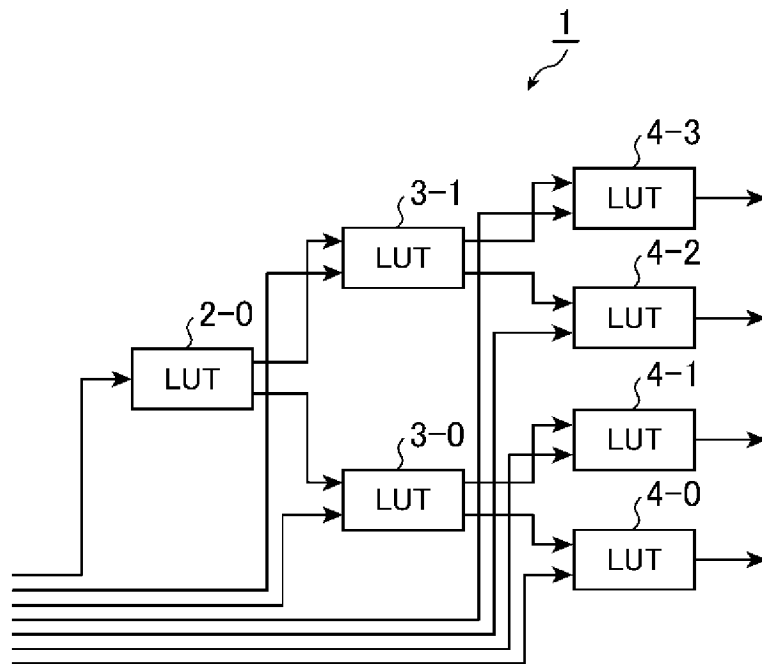
を特徴とする請求項 1 3 記載の光伝送システム。

[請求項22]

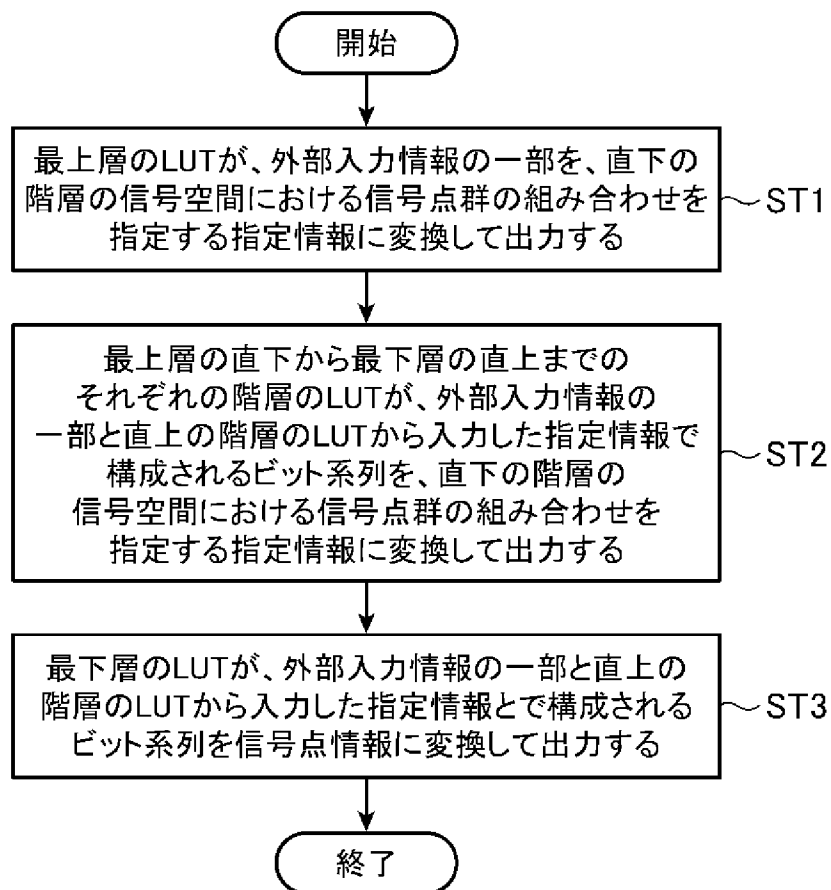
前記分布整合回路および前記分布整合終端回路がそれぞれ備えるルックアップテーブルは、入力ビット数および出力ビット数がそれぞれ 1 6 以下であること

を特徴とする請求項 1 3 記載の光伝送システム。

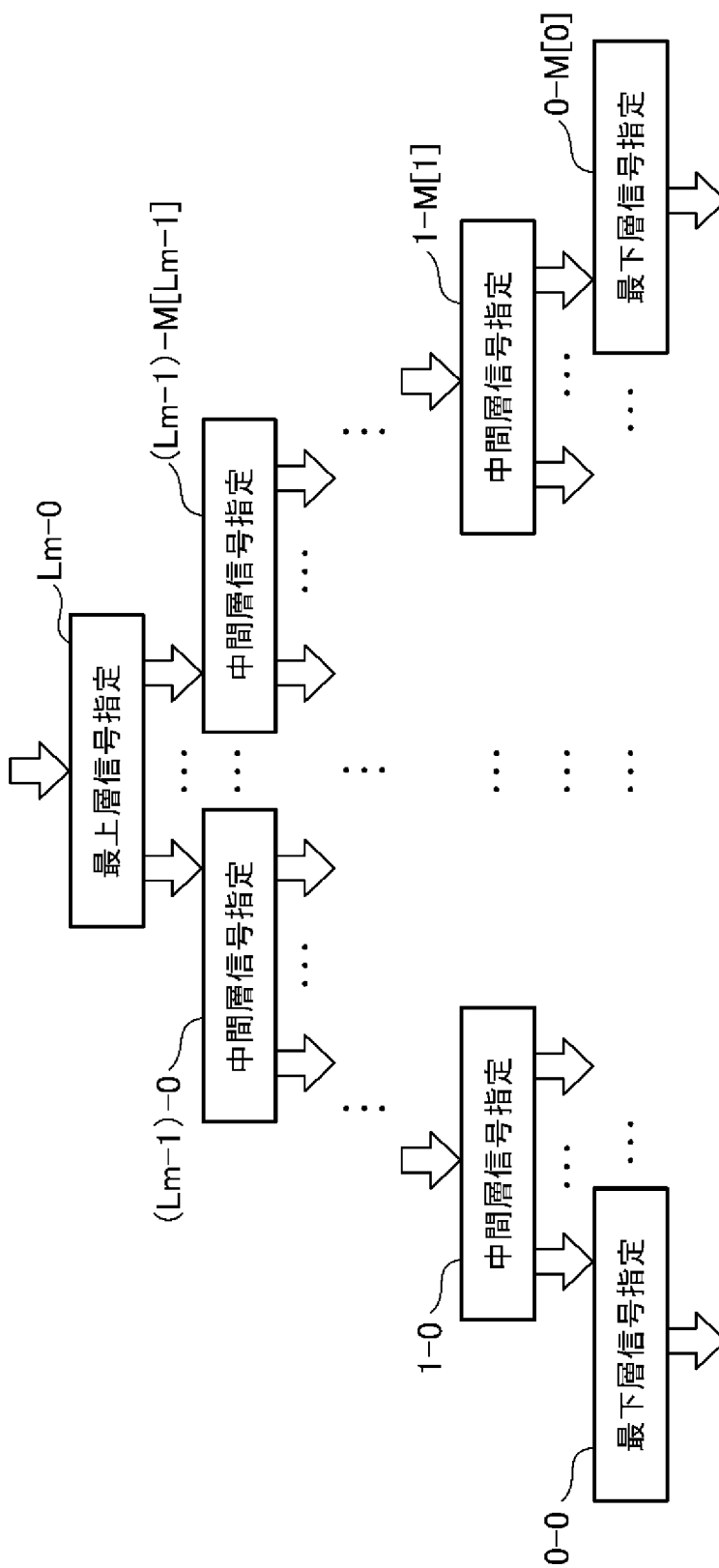
[図1]



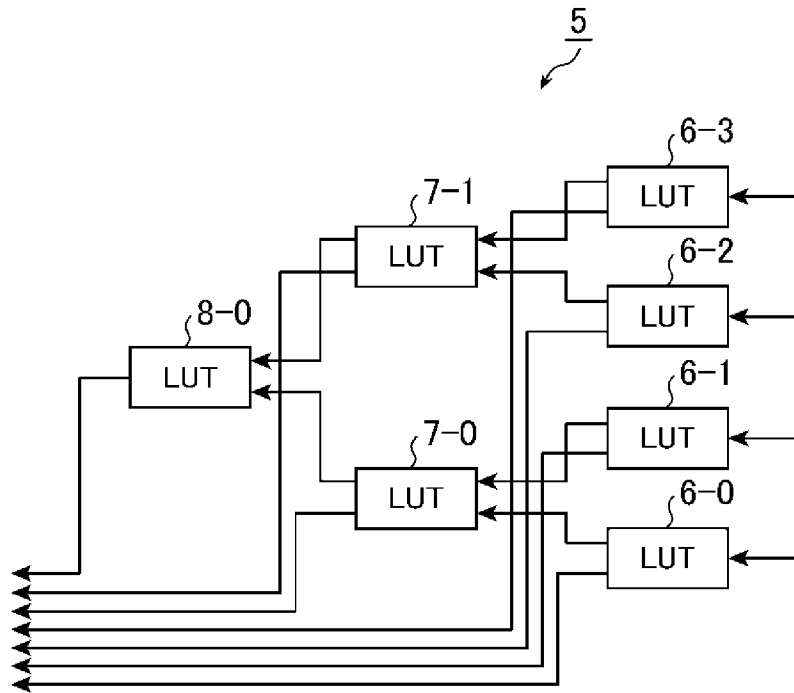
[図2]



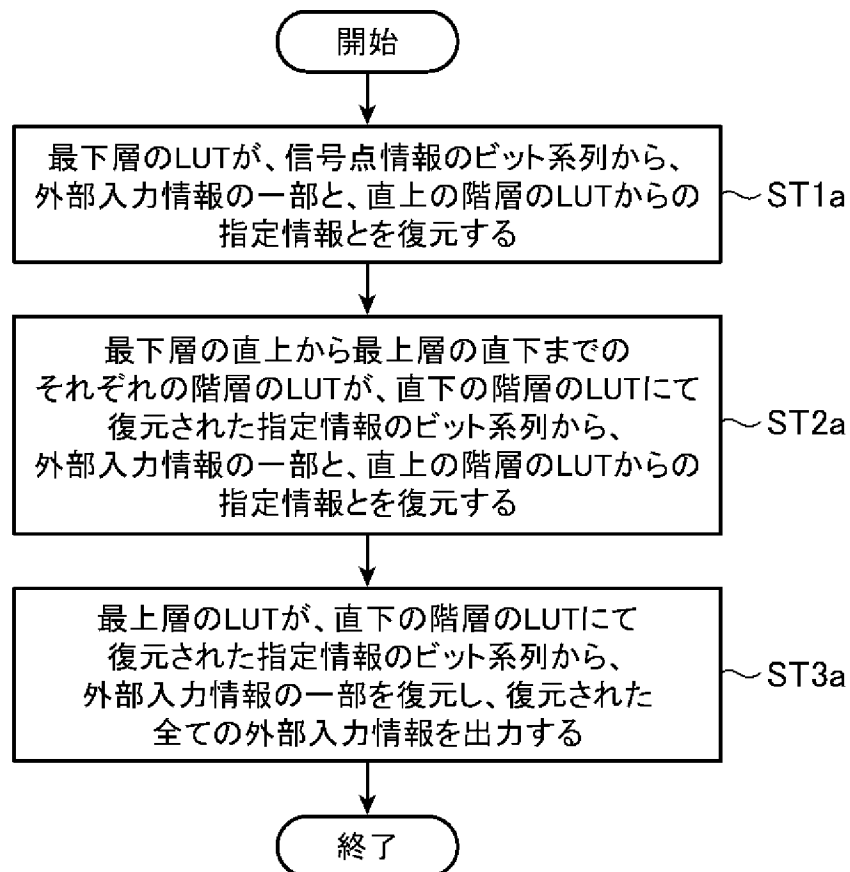
[図3]



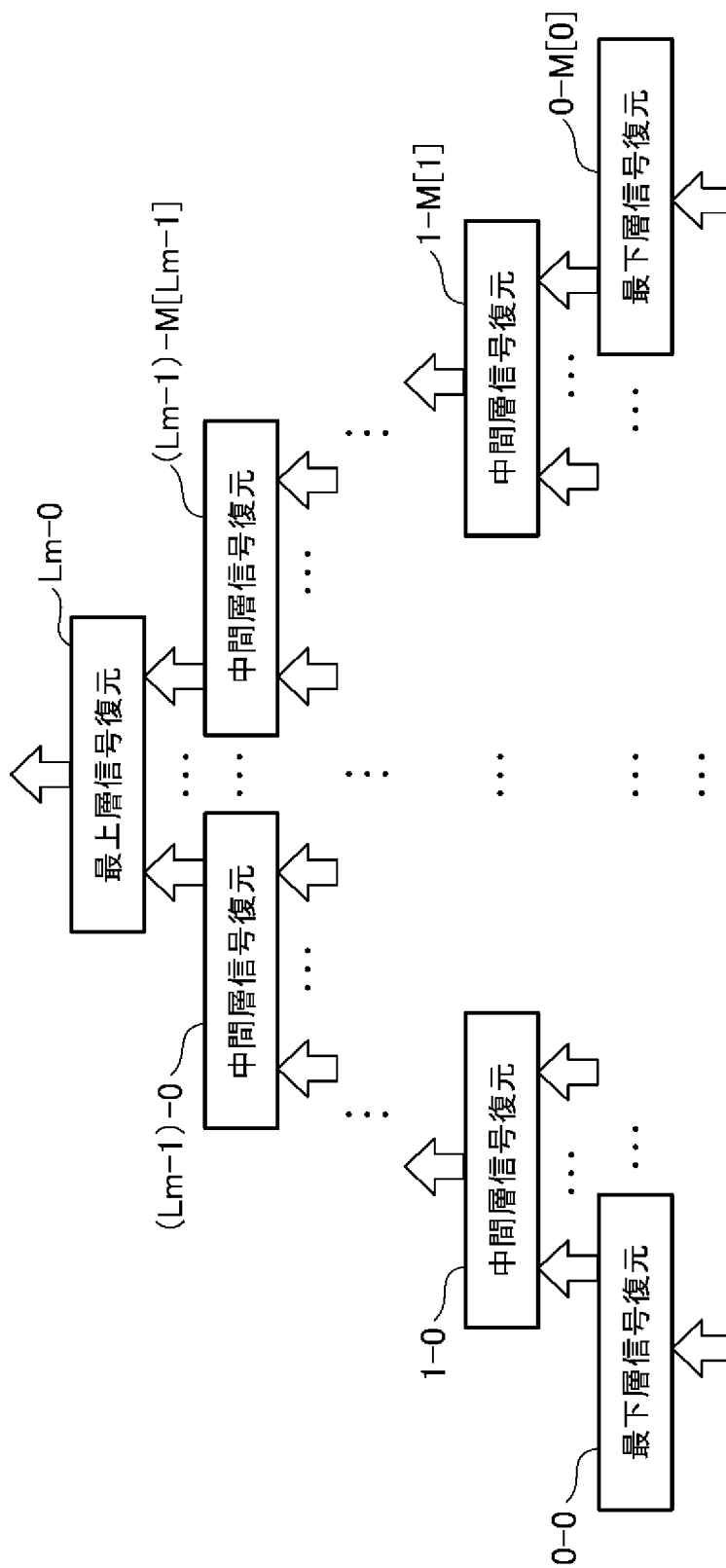
[図4]



[図5]



[図6]



[図7]

図7A

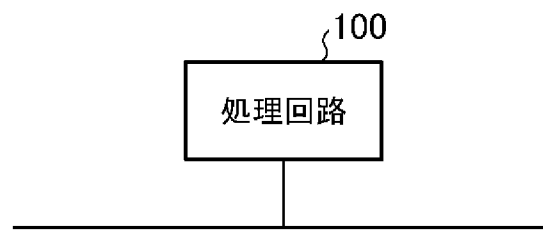
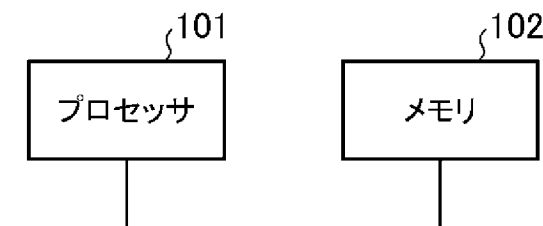
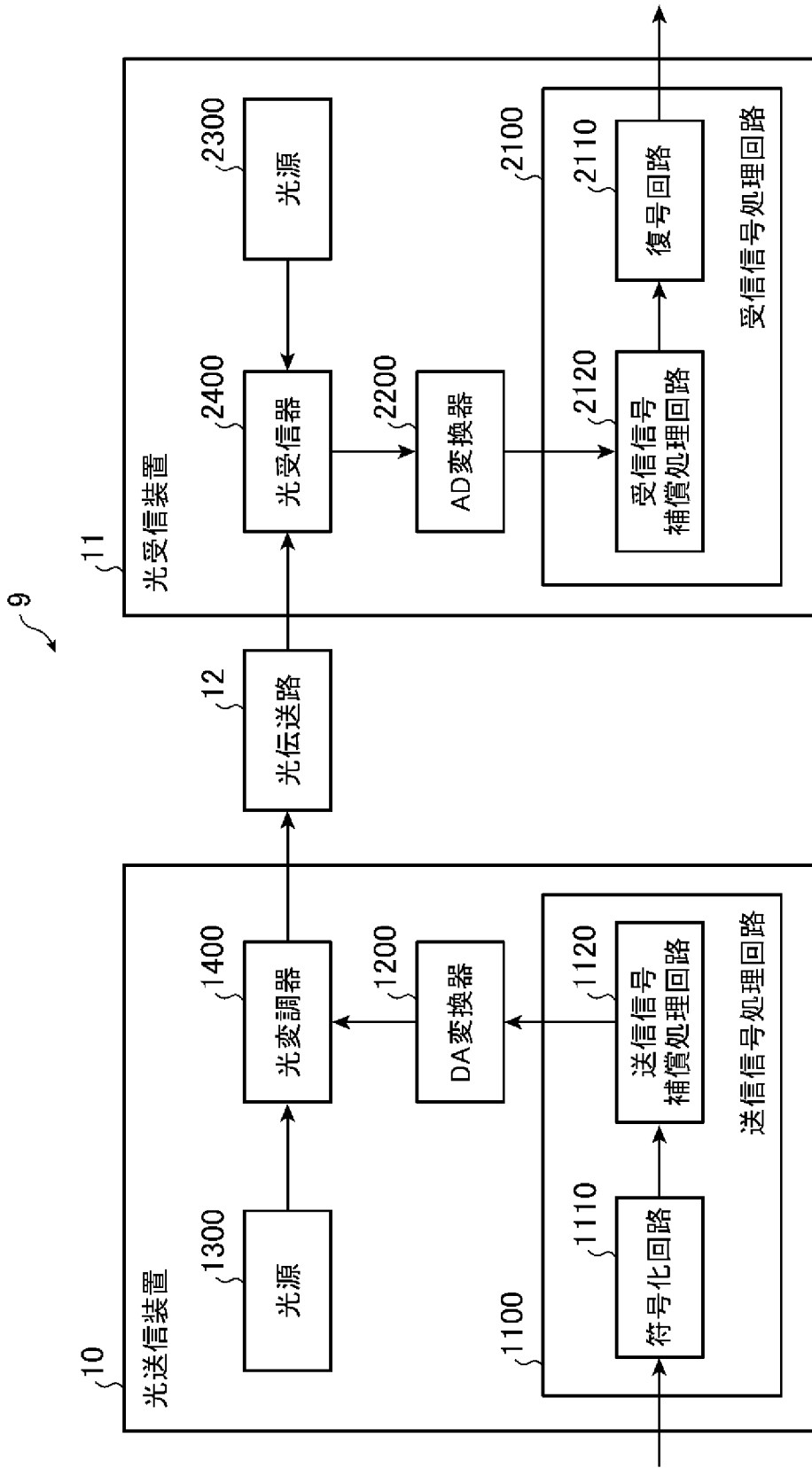


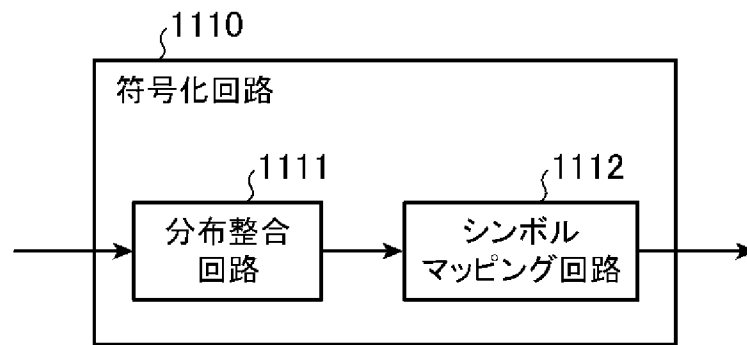
図7B



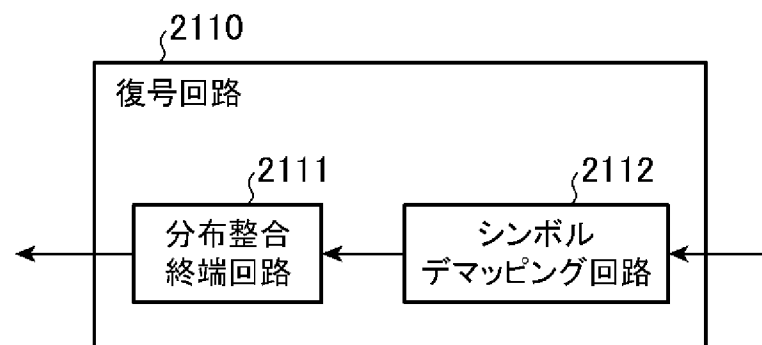
[図8]



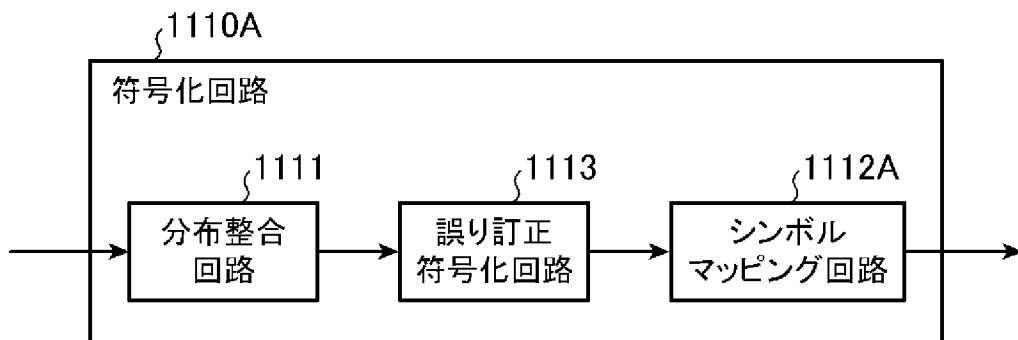
[図9]



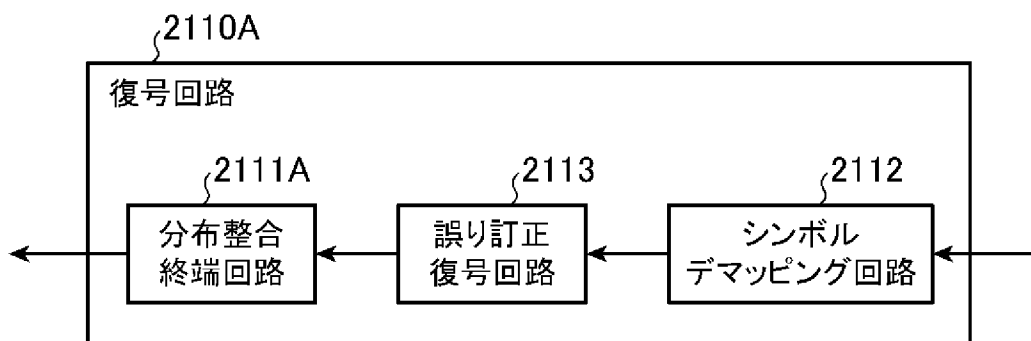
[図10]



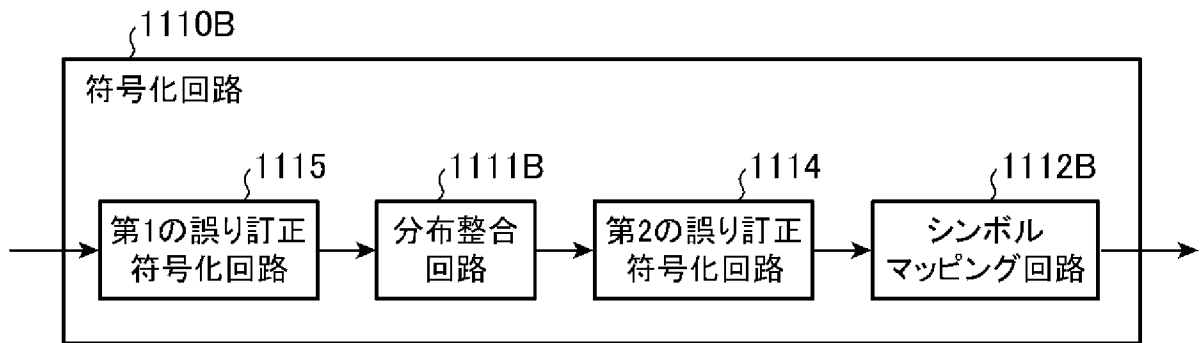
[図11]



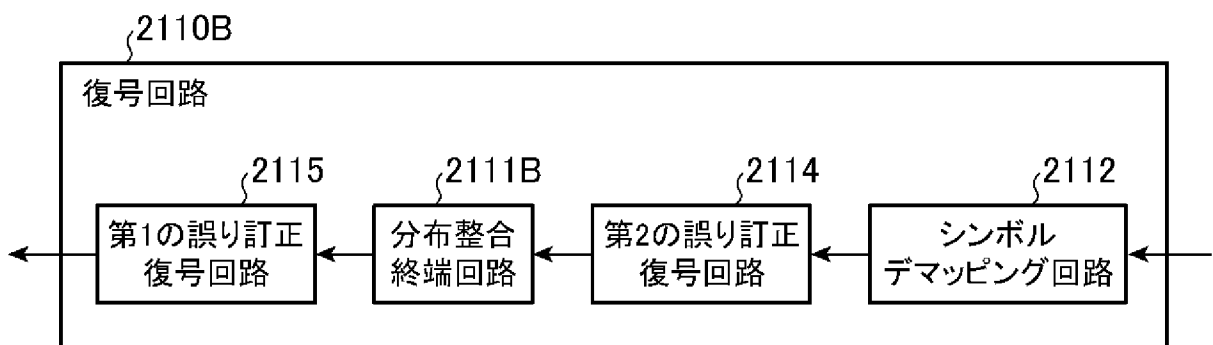
[図12]



[図13]



[図14]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/029578

**A. CLASSIFICATION OF SUBJECT MATTER**

Int. Cl. H04L27/00 (2006.01) i, H04L27/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04L27/00, H04L27/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2018  
 Registered utility model specifications of Japan 1996-2018  
 Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	CHO, J. et al., Low-Complexity Shaping for Enhanced Nonlinearity Tolerance, European Conference and Exhibition on Optical Communications 2016, 22 September 2016., pp. 467-469	5 1-4, 6-22
A	WO 2015/137049 A1 (MITSUBISHI ELECTRIC CORP.) 17 September 2015, claim 1, abstract & US 2016/0344580 A1, claim 1, abstract & EP 3119051 A1 & CN 106031115 A	1-22
A	BOECHERER, G. et al., Bandwidth Efficient and Rate-Matched Low-Density Parity-Check Coded Modulation, IEEE Transaction on Communications, vol. 63, no. 12, pp. 4651-4665, December 2015	1-22

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15.10.2018	Date of mailing of the international search report 20.11.2018
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04L27/00(2006.01)i, H04L27/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04L27/00, H04L27/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	J. Cho et al., Low-Complexity Shaping for Enhanced Nonlinearity Tolerance, European Conference and Exhibition on Optical Communicaitons 2016, 2016.09.22, pp.467-469	5 1-4,6-22
A	WO 2015/137049 A1（三菱電機株式会社）2015.09.17, 請求項1, 要約 & US 2016/0344580 A1 Claim1, Abstract & EP 3119051 A1 & CN 106031115 A	1-22

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

15.10.2018

国際調査報告の発送日

20.11.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

太田 龍一

電話番号 03-3581-1101 内線 3556

5K

3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	G. Boecherer et al., Bandwidth Efficient and Rate-Matched Low-Density Parity-Check Coded Modulation, IEEE Transaction on Communications, Vol.63, No.12, pp.4651-4665, 2015.12	1-22