



(12)发明专利

(10)授权公告号 CN 103663351 B

(45)授权公告日 2018.04.03

(21)申请号 201310444539.1

(22)申请日 2013.09.23

(65)同一申请的已公布的文献号

申请公布号 CN 103663351 A

(43)申请公布日 2014.03.26

(30)优先权数据

T02012A000827 2012.09.24 IT

(73)专利权人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

(72)发明人 F·G·齐廖利

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51)Int.Cl.

B81B 7/00(2006.01)

B81C 1/00(2006.01)

(56)对比文件

CN 203741034 U, 2014.07.30,

CN 101878527 A, 2010.11.03,

US 7989248 B2, 2011.08.02,

US 2010/0244161 A1, 2010.09.30,

US 2012/0153771 A1, 2012.06.21,

CN 102610619 A, 2012.07.25,

CN 102241388 A, 2011.11.16,

审查员 李立彦

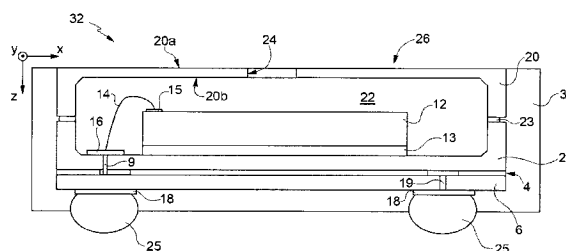
权利要求书3页 说明书6页 附图11页

(54)发明名称

MEMS集成器件的晶片级封装及相关制造工艺

(57)摘要

一种用于MEMS集成器件的晶片级封装, 构思: 第一本体, 集成微机械结构; 第二本体, 具有集成电子电路的有源区域, 耦合到微机械结构; 以及第三本体, 限定用于第一本体的覆盖结构。第二本体限定封装的基部部分并且具有第一本体耦合到的内表面以及外表面, 在外表面上提供朝着电子电路的电接触; 路由层具有设置成与第二本体的外表面接触的内表面和朝着在外部环境承载电接触元件的外表面。第三本体限定用于覆盖封装的覆盖部分并且直接耦合到第二本体用于闭合用于第一本体的容纳空间。



1. 一种用于MEMS集成器件的封装,所述封装包括:
第一本体,包括半导体材料并且集成微机械结构;
第二本体,包括半导体材料的有源区域和专用集成电路,所述专用集成电路定位在所述半导体材料的有源区域中并且耦合到所述微机械结构,所述第二本体限定所述封装的基部部分并且具有外表面和耦合到所述第一本体的内表面;
第一电接触,定位于所述外表面上并且耦合到所述专用集成电路;
路由层,具有与所述基部部分的所述外表面相接触的内表面;
电接触元件,定位于所述路由层的所述外表面上,所述路由层在所述第一电接触和所述电接触元件之间提供电连接路径;以及
第三本体,耦合到所述第二本体以闭合用于容纳所述第一本体的容纳空间,所述第三本体限定用于所述封装的覆盖部分。
2. 根据权利要求1所述的封装,其中所述第二本体具有腔,所述腔具有在所述基部部分的所述内表面处的基部,所述第一本体耦合到所述基部,所述腔至少部分限定所述容纳空间。
3. 根据权利要求2所述的封装,其中所述第二本体中的所述腔在竖直方向上具有适应所述第一本体的厚度的深度。
4. 根据权利要求2所述的封装,其中所述第三本体具有与所述第二本体中的所述腔连通的腔,所述第三本体的所述腔与所述第二本体的所述腔联合地限定用于容纳所述第一本体的所述容纳空间。
5. 根据权利要求1所述的封装,还包括定位于所述基部部分的所述内表面上的第二电接触,其中所述第二本体包括电穿通过孔,所述电穿通过孔穿越所述有源区域并且将所述第一电接触耦合到分别在所述基部部分的所述内表面上的所述第二电接触,所述第二电接触与所述第一本体中的所述微机械结构电耦合。
6. 根据权利要求5所述的封装,还包括定位于所述第一本体上的第三电接触;以及
将所述第三电接触电耦合到所述第二电接触中的一个第二电接触的电接线。
7. 根据权利要求5所述的封装,还包括位于所述第二电接触和倒装芯片配置中的所述第一本体的有源表面之间的传导区域。
8. 根据权利要求1所述的封装,其中所述第三本体具有面向所述封装外部的外表面和面向所述容纳空间的内表面,并且所述第三本体包括用于射流访问所述容纳空间的至少一个访问开口。
9. 根据权利要求8所述的封装,其中所述第三本体包括半导体材料。
10. 根据权利要求1所述的封装,其中所述第三本体具有侧部部分并且所述第二本体具有侧部部分,所述第二本体和所述第三本体的所述侧部部分界定所述容纳空间,所述封装还包括将所述第二本体的键合区域与所述第三本体的键合区域分别键合的键合区域。
11. 根据权利要求1所述的封装,其中所述第三本体具有腔,所述腔具有被配置为适应所述第一本体的厚度的深度。
12. 根据权利要求1所述的封装,其中所述电接触元件包括凸块或者传导焊区的阵列。
13. 根据权利要求1所述的封装,还包括涂层,所述涂层涂覆所述第二本体和所述第三本体的多个部分以及所述路由层的所述外表面的多个部分。

14. 一种电子装置,包括:

封装,所述封装包括:

第一本体,包括半导体材料并且集成微机械结构;

第二本体,包括半导体材料的有源区域和专用集成电路,所述专用集成电路被定位在所述半导体材料的有源区域中并且耦合到所述微机械结构,所述第二本体限定所述封装的基部部分并且具有外表面和耦合到所述第一本体的内表面;

第一电接触,定位于所述外表面上并且耦合到所述专用集成电路;

路由层,具有与所述基部部分的所述外表面相接触的内表面;

电接触元件,定位于所述路由层的所述外表面上,所述路由层在所述第一电接触和所述电接触元件之间提供电连接路径;以及

第三本体,耦合到所述第二本体以闭合用于容纳所述第一本体的容纳空间,所述第三本体限定用于所述封装的覆盖部分;以及

印刷电路板,耦合到所述封装的所述电接触元件。

15. 根据权利要求14所述的电子装置,其中所述第二本体具有腔,所述腔具有在所述基部部分的所述内表面处的基部,所述第一本体耦合到所述基部,所述腔至少部分限定所述空间。

16. 一种用于制造包括MEMS集成器件的封装的方法,所述方法包括:

在半导体材料的第一本体中集成至少一个微机械结构;

在半导体材料的第二本体的第一表面上提供第一电接触,所述第二本体包括半导体材料的有源区域和定位在所述半导体材料的有源区域中的至少一个专用集成电路;

在半导体材料的所述第二本体的所述第一表面上形成路由层;

在所述路由层的外表面上形成电接触元件并且在所述第一电接触和所述电接触元件之间形成电连接路径;

将所述第一本体耦合到所述第二本体;并且

通过将第三本体耦合到所述第二本体来闭合容纳所述第一本体的容纳空间。

17. 根据权利要求16所述的方法,还包括:

在所述第二本体中形成电穿通过孔,所述电穿通过孔将所述第一电接触连接到所述第二本体的内表面;并且

在所述内表面上形成第二电接触与被配置为耦合到所述第一本体中的所述微机械结构的所述电穿通过孔接触。

18. 根据权利要求16所述的方法,其中将所述第三本体直接耦合到所述第二本体包括使用晶片到晶片键合技术。

19. 根据权利要求16所述的方法,还包括蚀刻所述第二本体以形成具有基部的腔,并且其中将所述第一本体耦合到所述第二本体包括将所述第一本体耦合到所述第二本体的基部,所述腔至少部分限定所述容纳空间。

20. 根据权利要求16所述的方法,还包括将各自集成在相应本体中的多个微机械结构耦合到其它专用集成电路中的相应专用集成电路。

21. 根据权利要求20所述的方法,还包括:

执行所述第二本体和第三本体的锯切操作以限定基本组件,每个基本组件包括相应专

用集成电路、相应微机械结构和相应覆盖结构;并且

在所述锯切操作结束时用涂层涂敷所述基本组件中的每个基本组件,所述涂层横向地涂覆所述第二本体和第三本体的耦合以及所述路由层的在底部处的所述相应外表面,从而使所述电接触元件从外界可访问。

MEMS集成器件的晶片级封装及相关制造工艺

技术领域

[0001] 本公开涉及一种MEMS (微机电系统) 型集成器件的晶片级封装, 下文将该MEMS型集成器件称为“MEMS集成器件”。

背景技术

[0002] 在集成器件领域中, 确信地感觉需要减少尺度以满足日益迫切的小型化要求, 特别是在便携装置 (诸如智能电话、写字板或者PDA) 领域中。

[0003] 以已知方式, MEMS集成器件总体包括集成微机械结构的含半导体材料 (具体为硅) 的第一本体 (通常限定为“裸片”), 该微机械结构例如作为用于检测一个或者多个量的传感器来操作 (例如用于提供压力传感器或者麦克风) 并且生成作为待检测量的函数的电量 (例如电容变化、电阻变化等)。正如所知, 裸片是锯切或者单片化晶片的操作的结果, 其中在制造工艺期间同时提供多个基本器件。

[0004] MEMS集成器件还包括集成至少一个电子部件或者电路的含半导体材料 (具体为硅) 的至少一个第二裸片, 该电子部件或者电路被设计用于电耦合到微机械结构以便与之在功能上配合。通常, 第二裸片集成电耦合到微机械结构的ASIC (专用集成电路) 电子电路, 该ASIC电子电路例如作为用于在微机械结构作为传感器 (例如用于执行检测的电量的放大和滤波操作) 来操作的情况下读取机械结构检测的相同电量的读取电路来操作。ASIC电子电路也可以具有用于处理和评估检测的量的更多功能, 从而提供或多或少复杂集成电路、即所谓SiP (封装内系统)。

[0005] MEMS集成器件也总体包括封装 (即容器), 该容器全部或者部分包围器件的裸片从而保证保护裸片免受外部媒介并且实现朝着外部环境的电连接。MEMS集成器件在对应封装以内的组装通常作为整体限定为“芯片”, 并且可以例如电连接到其中将使用MEMS集成器件的电子装置的印刷电路板。

[0006] 具体而言, 在机械结构具有被设计用于经历作为待检测量的函数的可变形元件 (例如柱或者膜) 时, 封装包括限定至少一个腔的覆盖结构或者帽, 该腔是以创建如下空的空间这样的方式在与相同可变形元件对应的位置提供的, 该空间保证它们的自由移动并且未更改它们的变形。另外, 如果需要与外界的射流连接 (例如用于压力或者声波进入), 则经过覆盖结构可以提供访问开口。

[0007] 限定为“晶片级封装”的已知封装结构由于它允许实现未从封装的裸片的尺度显著偏离的所得尺度而在便携应用的情况下特别有利。简言之, 对应封装技术构思使用标准裸片微加工工艺也用于获得对应封装, 从而在晶片级 (即在对应单片化操作之前) 也提供用于覆盖和保护裸片的结构以及朝着外界环境的对应电和/或射流连接, 因此简化和统一整个制造工艺。

[0008] 在膜微机械结构等 (即包括更多或者不同可变形元件) 的情况下, 腔的所需存在造成例如由于对于具有覆盖结构的功能的、在BT (双马来酰亚胺三嗪) 型复合衬底中经常提供的腔的壁的厚度要求而难以获得所得封装尺度的所需减少。此外, 尺度的明显减少造成在

顶部闭合腔的覆盖结构的制造步骤中的更大困难以及与使用的材料的热膨胀系数不匹配有联系的主要问题。

[0009] 总体而言,性能的可靠性和稳定性问题可能随着封装的尺度减少而出现,这可能危及所得集成器件的操作。

[0010] 因此在本领域中感觉需要改进并且进一步简化MEMS集成器件的封装技术,特别是为了在存在膜微机械结构(等)的情况下减少尺寸。

发明内容

[0011] 本公开的一个或者多个实施例涉及一种MEMS集成器件的晶片级封装及相关制造工艺。在一个实施例中,提供一种封装,该封装包括集成MEMS的第一本体、包括形成于第一表面处的集成电路的第二本体以及形成于第二外表面上的路由层。第三本体覆盖MEMS。

附图说明

[0012] 为了更好地理解本公开,现在仅通过非限制示例并且参照附图描述其优选实施例,在附图中:

[0013] 图1a-1k是根据本公开的一个实施例的MEMS集成器件的制造工艺的相继步骤中的晶片级封装的截面;

[0014] 图2-5示出图1a-1k的MEMS集成器件的变化;

[0015] 图6a-6c是根据本公开的一个不同实施例的制造工艺的相继步骤中的晶片级封装的截面;

[0016] 图7-8示出图6a-6c的MEMS集成器件的变化;并且

[0017] 图9是并入MEMS集成器件的电子装置的总框图。

具体实施方式

[0018] 具体而言,并且参照图1a,制造工艺的初始步骤构思提供包括半导体材料(具体为硅)的ASIC晶片2,该ASIC晶片集成ASIC电子电路3',该ASIC电子电路仅在相同图1a中(被示意地表示)并且以已知方式由用已知半导体微加工技术提供的多个有源和/或无源电子部件(诸如晶体管、电容器、电感器、电阻器、放大器等)形成。

[0019] ASIC晶片2具有前表面2a和后表面2b,在该前表面处提供其中制作前述ASIC电子电路3'的有源区域3,该后表面在代表ASIC晶片2的厚度的竖直方向z上与前表面2a相对,该竖直方向与相同ASIC晶片2的主要延伸水平面正交,该水平面由第一水平轴x和第二水平轴y限定。

[0020] 具体而言,ASIC晶片2在前表面2a上具有其中提供用于连接对应电子部件的电接触或者焊盘的所谓“顶部金属层”4(被示意地表示)(以未图示的已知方式,还存在用于相互分离电接触的电介质区域)。

[0021] 根据本实施例的一个方面,在顶部金属层4上方形成重新分布层(RdL)或者路由层6,该RdL或者路由层具有被设计用于与外部环境接触的相应前表面6a以及后表面6b,该后表面与ASIC晶片2接触并且在该后表面内(以已知的、但是这里未具体描述的方式)限定电路路径和接触以便重新分布和路由来自ASIC电子电路3'和来自顶部金属层4中的对应电接触

的电信号,该顶部金属层朝着其上将形成电接触元件(所谓“凸块”或者“焊区”)的前表面6a,见下文描述。重新分布层6中的各自连接到由顶部金属层4限定的至少一个电接触的电连接路径通过绝缘材料区域彼此电绝缘;换言之,如在另一方面为本领域技术人员所清楚的那样,重新分布层6包括传导材料区域和绝缘材料区域。

[0022] 在图1b中所示制造工艺的后续步骤中,ASIC晶片2受到回蚀,从而造成从后表面2b开始形成在竖直方向z上具有例如在300与700 μm 之间包括的厚度(并且例如在水平平面xy中具有矩形形状)的腔8。在底部打开的腔8横向地装入在由ASIC晶片2的壁部分限定的壁之间,并且在ASIC晶片2的后表面2b处具有被其中提供ASIC电子电路3'(这里未图示)的有源区域3从ASIC晶片2的前表面2a分离的基部8a。

[0023] 然后(图1c),通过电连接,从腔8的基部8a开始并且在顶部金属层4终止,经过有源区域3和顶部金属层4的厚度提供连接到相同顶部金属层4中的相应电接触的所谓“电过孔”9。

[0024] 如图1d中所示,现在在腔8的基部8a上方形成和限定接触金属层10,而设置对应部分与电过孔9接触。以这里未具体图示、但是将为本领域技术人员所清楚的方式,适当限定和图案化接触金属层10以提供电路路径、迹线和电接触或者键合焊盘(借助适当绝缘材料相互电绝缘)。

[0025] 在ASIC晶片2和对应的ASIC电子电路3'的电测试之后,在相同电测试产生肯定结果的情况下,倒置转动ASIC晶片2,见图1e,并且在腔8内容纳MEMS裸片12;以示意方式示出的MEMS裸片12集成例如包括膜或者另一可变形机械元件(未具体图示)的微机械结构12'(仅在相同图1e中示意地图示)。

[0026] 具体而言,MEMS裸片12具有其中提供微机械结构12'的前表面12a和借助粘合区域13机械地耦合到腔8的基部8a的后表面12b。

[0027] 在图1e中所示实施例中,用所谓接线键合技术借助电接线14提供在MEMS裸片12中的MEMS结构12'与ASIC晶片2中的ASIC电子电路3'之间的电接触。具体而言,电接线14将由MEMS裸片12的前表面12a承载的电焊盘15连接到对应的电焊盘16,电焊盘16借由从在腔8的基部8a上先前形成的接触金属层10开始的选择性蚀刻和去除来限定。

[0028] 另外,通过在相同重新分布层6中提供的对应的过孔或者电路路径(这里由19示意地表示和标示)借助在重新分布层6的前表面6a上形成的电接触焊盘18获得在ASIC晶片2中的ASIC电子电路3'朝着外部环境之间的电连接。

[0029] 在图1e中所示实施例中,MEMS裸片12的厚度大于腔8在竖直方向z上的厚度。

[0030] 图1f中所示制造工艺的后续步骤构思将覆盖晶片20耦合到ASIC晶片2,以便限定用于MEMS裸片12和对应的MEMS结构12'(这里未图示)的覆盖结构20'。

[0031] 具体而言,覆盖晶片20具有关于在水平平面xy中的延伸与腔8基本上对应并且被设计用于为封装内的MEMS裸片12形成所得容纳空间22的腔21。

[0032] 腔21由覆盖晶片20的壁部分横向地界定,这些壁部分用所谓“晶片到晶片键合”技术,即用在晶片之间的直接耦合(例如在工艺温度兼容的情况下用玻璃熔合或者金属键合,或者另外用使用粘胶或者聚合物的键合)借助键合区域23耦合到ASIC晶片2的对应的壁部分,

[0033] 腔21还在顶部由覆盖晶片20的覆盖部分界定,该覆盖部分在所实施例中具有用

于从外界朝着容纳空间22的穿通开口24。备选地,以未图示的方式,可以提供例如以阵列或者以点阵布置的多个穿通开口;作为又一备选,穿通开口24可以不存在。

[0034] 覆盖晶片20具有被设计用于被设置成与外部环境接触的外表面20a和面向腔21的内表面20b。

[0035] 覆盖晶片20例如由半导体材料(具体为硅或者备选地为金属或者塑料材料)制成,并且可能具有涂敷内表面20b的金属层(未图示)以便提供电磁屏蔽。

[0036] 如图1g中所示,作为整体由25标示的电连接元件然后可以形成于在重新分布层6的面向在封装外部的环境的前表面6a上设置的电接触焊盘18上;电连接元件25例如可以是“球”或者“凸块”(在图1g所示的所谓BG-球栅阵列-封装的情况下)或者“焊区”(在所谓LGA-焊区栅阵列-的情况下)阵列的形式。

[0037] 在制造工艺的这一步骤结束时,因此获得基本组件26。

[0038] 图1h示出前述半导体材料晶片和对应封装的组件的放大图,该图突出在水平平面xy中彼此相邻地重复的多个基本组件26的存在。

[0039] 具体而言,设置覆盖晶片20的外表面20a与粘合带或者膜28(所谓“粘箔”)接触,然后从重新分布层6的前表面6a开始沿着在相邻基本组件26之间设置的锯切线LT使用特意地提供的锯切工具(诸如金刚石锯)来执行锯切操作。

[0040] 单独基本组件26然后电连接到外部电路并且用于广泛应用范围。

[0041] 备选地,制造工艺可以用最终涂敷和模制步骤继续以为每个基本组件26提供保护层

[0042] 在这一情况下,如图1i中所示,先前已经分离的基本组件26再次在这里由29标示的又一粘箔上在水平平面xy中被并排布置,而覆盖晶片20的外表面20a与相同粘箔29接触。具体而言,相互相邻的两个基本组件26在水平平面xy中被分离间距距离d(可能的是可以在第一和第二水平方向x、y上构思不同间距距离)。

[0043] 备选地,在工艺的这一步骤中,基本组件26可以相互并排布置于通用搁放衬底上。

[0044] 然后如图1j中所示执行模制操作用于形成涂层31,即例如由树脂制成的所谓“模制化合物”,该涂层横向地包围每个基本组件26并且还涂敷重新分布层6的前表面6a,从而让电连接元件25暴露并且从外界可访问。例如可以使用所谓“膜辅助模制”(FAM)技术。在任何情况下,涂层31并未涂敷在模制操作期间事实上设置成与粘箔29接触的覆盖晶片20的外表面20a和对应穿通开口24。

[0045] 图1k示出后续最终单片化步骤的结果,其中执行又一锯切操作用于最终分离另外从粘箔29或者从搁放衬底去除的各种封装的MEMS集成器件。在制造工艺结束时的MEMS集成器件作为整体由32标示。

[0046] 在与图1j中所示工艺步骤对应的图2中所示变化解决方案中,提供涂层31以便也涂敷电连接元件25。

[0047] 在这一情况下,制造工艺构思在单片化步骤之前的打薄操作,即所谓“背部研磨”操作,用于去除涂层31的表面部分和暴露电连接元件25(可能去除未与重新分布层6接触的相应表面部分)。

[0048] 图3示出再次由32标示的在这一变化解决方案中的在制造工艺结束时的MEMS集成器件。

[0049] 图4中所示又一变化解决方案构思具体使用所谓“倒装芯片”技术在MEMS裸片12与ASIC晶片2之间的不同机械和电耦合。

[0050] 在这一情况下,在腔8内倒置容纳MEMS裸片12,而前表面12面向腔8的基部8a。传导凸块34将由MEMS裸片12的前表面12a承载的电焊盘15电连接到已经通过选择性蚀刻和去除在腔8的基部8a上先前形成的接触金属层10而限定的电焊盘16。还可以在MEMS裸片12的前表面12a与腔8的基部8a之间提供由绝缘材料制成的粘合区域35。

[0051] 通过示例参照图4中所示结构,图5中所示又一变化解决方案(但是清楚的是相似考虑可以应用于其它实施例)构思覆盖晶片20不具有腔21,因此除了可能存在贯通开口24之外由在竖直方向z上具有均匀厚度并且无腔的半导体、塑料或者金属材料的本体构造。

[0052] 在这一变化中,腔8在竖直方向z上的厚度足以完全容纳MEMS裸片12的厚度,因此大于MEMS裸片12以及在所示情况下对应的传导凸块34的总厚度。腔8在这一情况下完全限定容纳空间22。

[0053] 现在接着首先参照图6a描述本公开的第二实施例,该第二实施例与先前所示实施例不同基本上在于ASIC晶片2不受到造成形成腔8(腔8在这一情况下事实上在所得组件中未被构思)的回蚀。

[0054] 如图6a中所示,电过孔9在这一情况下穿越ASIC晶片2的总厚度以便将顶部金属层4电连接到被设置成与晶片2的后表面2b接触的接触金属层10(在这一情况下假如不存在腔8则无凹陷)。

[0055] 制造工艺然后以与先前已经图示的方式相似的方式继续,而在ASIC晶片2的后表面2b上耦合MEMS裸片12。具体而言,在所示变化中,接线键合技术用于电耦合MEMS裸片12。

[0056] 如图6c中所示,然后使用晶片到晶片键合技术在ASIC晶片2上耦合覆盖晶片20以限定腔21,该腔在这一情况下用于完全(即对于它在竖直方向z上的总厚度)容纳MEMS裸片12和对应MEMS结构12'(这里未示出);换言之,在这一情况下,腔21在封装内完全限定用于MEMS裸片12的容纳空间22。

[0057] 制造工艺然后继续与先前所示步骤完全相似并且未再次具体描述的步骤,直至形成基本组件26和MEMS集成器件32。

[0058] 如图7和8中所示,也可以在制造工艺的第二实施例的情况下构思与先前描述的解决方案完全相似(因而这里不再具体描述)的变化解决方案。

[0059] MEMS集成器件的晶片级封装和相关制造工艺的优点基于前文描述是清楚的。

[0060] 总体而言,再次强调描述的组件实现减少MEMS集成器件的封装所需要的尺度而又实现在单个封装中创建具有多个功能的完整系统(所谓SiP)。

[0061] 具体而言,使用ASIC晶片2与关联路由层6作为所得封装的基部用于电连接到外界避免了需要使用基部衬底和更多中间连接结构。

[0062] 在ASIC晶片2与覆盖晶片20之间的晶片到晶片级耦合,(即在覆盖结构20'与集成ASIC电子电路3的ASIC晶片2之间的直接耦合)也是有利的。

[0063] 具体而言,除了简化制造工艺并且使它更有生产力之外,因此还有可能减少与材料的热膨胀系数不匹配有联系的问题并且因此增加所得集成器件的电性能。

[0064] 这些特征因此使描述的组件特别适合于便携应用。

[0065] 就这一点而言,图9示出使用如先前所示制作的MEMS集成器件32以便提供SiP的电

子装置40。便携装置40优选地是总体能够处理、存储、发送和接收信号和信息的移动通信设备,诸如蜂窝电话、智能电话、PDA、写字板、笔记本以及语音记录器、具有语音记录功能的音频文件播放器、用于视频游戏的控制台、照相机或者摄像机。

[0066] 电子装置40除了MEMS集成器件32之外还包括微处理器(CPU)41、连接到微处理器41的存储器块42和也连接到微处理器41的输入/输出接口43,例如键盘和/或显示器。

[0067] MEMS集成器件32与微处理器41通信并且具体发送由与微机械结构12' 关联的ASIC电子电路3' 处理的电信号。

[0068] 此外,扬声器46可以存在用于可能根据来自MEMS集成器件32的电信号(例如在MEMS集成器件32是麦克风的情况下)在电子装置40的音频输出(未示出)上生成声音。

[0069] 如示意地表示的那样,电子装置40具有印刷电路板(PCB)40',电子装置40的元件电耦合到印刷电路板(PCB)40' 并且具体为MEMS集成器件32借助电连接元件25电耦合到印刷电路板(PCB)40' 。

[0070] 最后清楚的是可以对本文描述和图示的内容进行修改和变化,而未由此脱离本公开的范围。

[0071] 具体而言,描述的封装和相关制造工艺可以应用于MEMS裸片12中集成的任何微机械结构(例如用于任何MEMS检测结构)。

[0072] 另外,描述的解决方案也可以应用于MEMS集成器件32包括更大数目的半导体材料裸片或者本体的情况,对于在竖直方向上其堆叠封装而言,具有减少的空间占用。

[0073] 具体而言,在容纳空间22中可以可能存在MEMS裸片12和另外更多裸片,这些更多裸片再次利用接线键合和/或倒装芯片技术用于电连接来集成更多微机械结构和/或电子部件。

[0074] 可以结合上述各个实施例以提供其它实施例。鉴于以上具体描述可以对实施例进行这些或者其它改变。具体而言,在权利要求中,所使用的术语不应当被解释为将权利要求限制于在说明书和权利要求中所公开的具体实施例,而应当被解释为包括所有可能的实施例以及这样的权利要求所享有的权利的等价物的全部范围。因此,权利要求不受本公开限制。

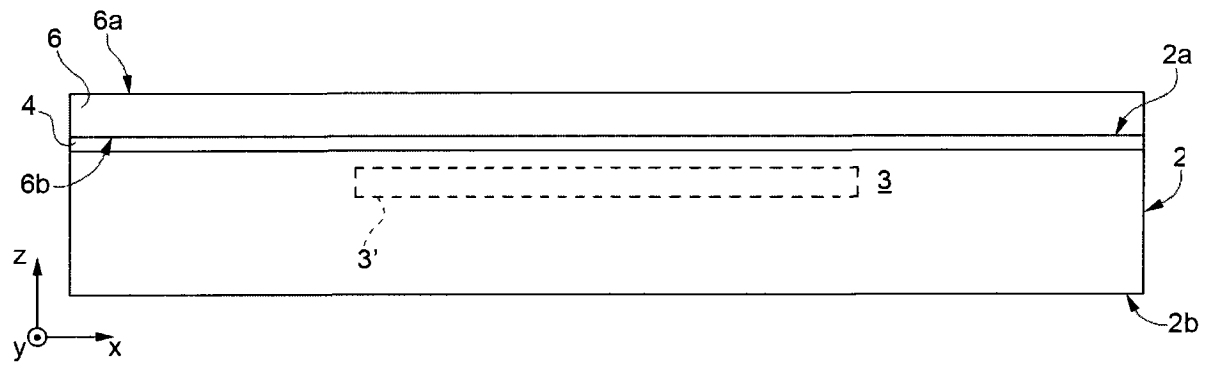


图1a

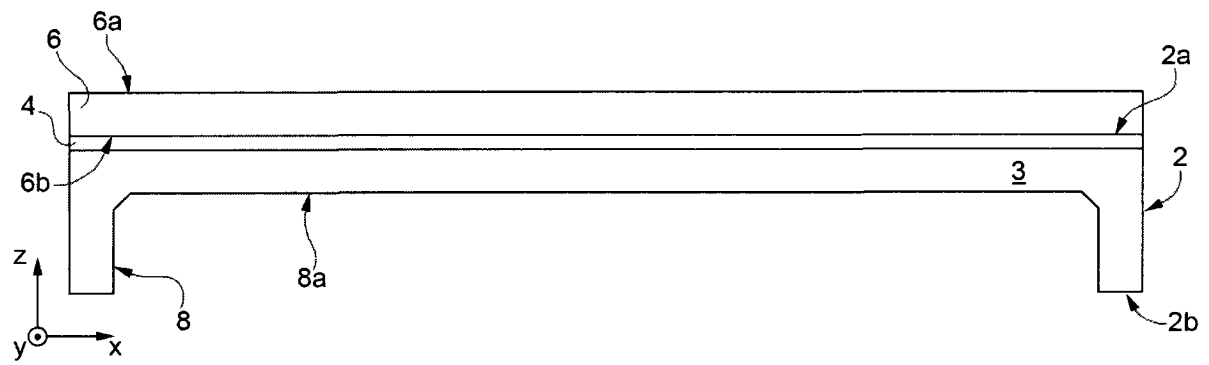


图1b

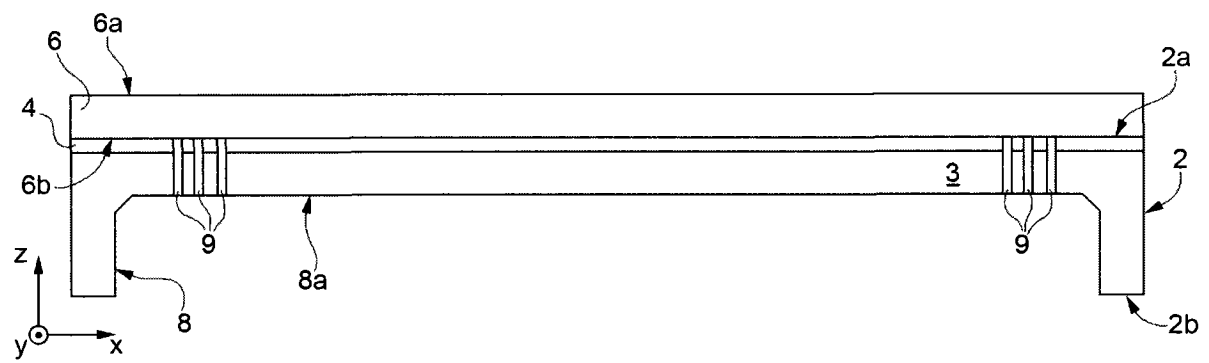


图1c

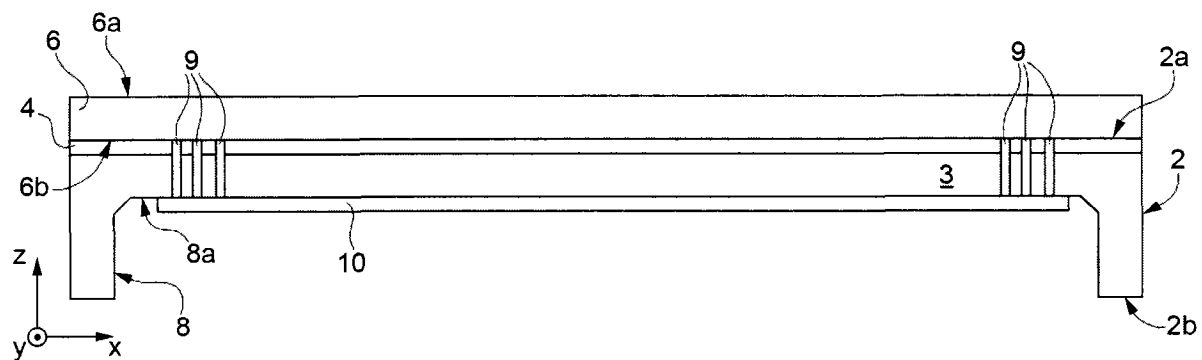


图1d

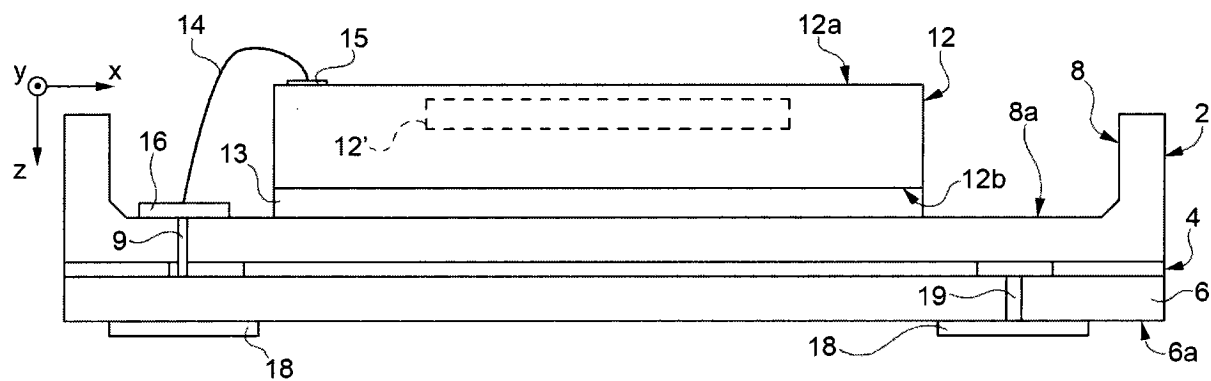


图1e

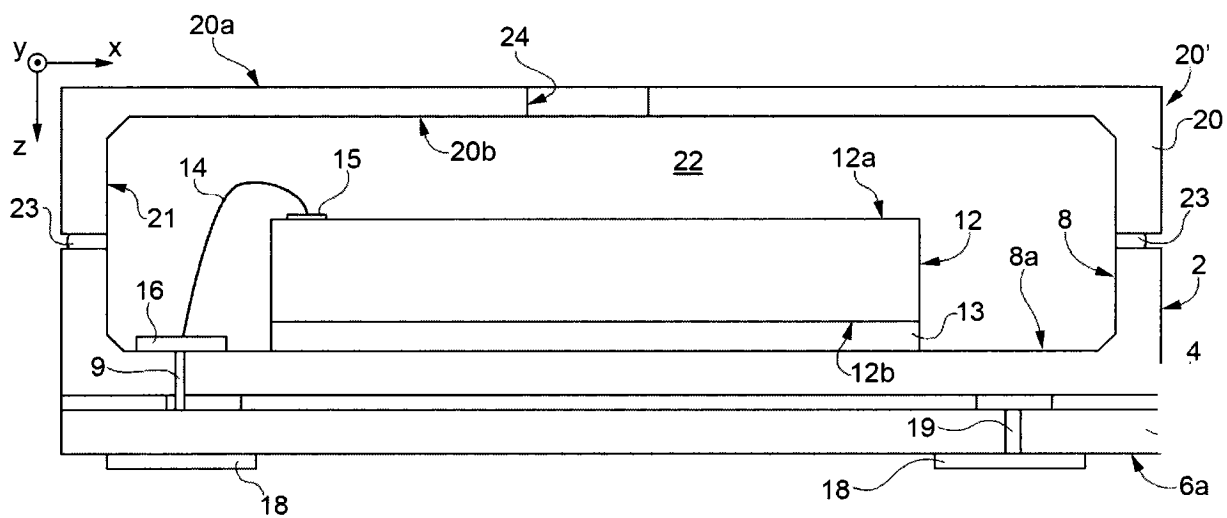


图1f

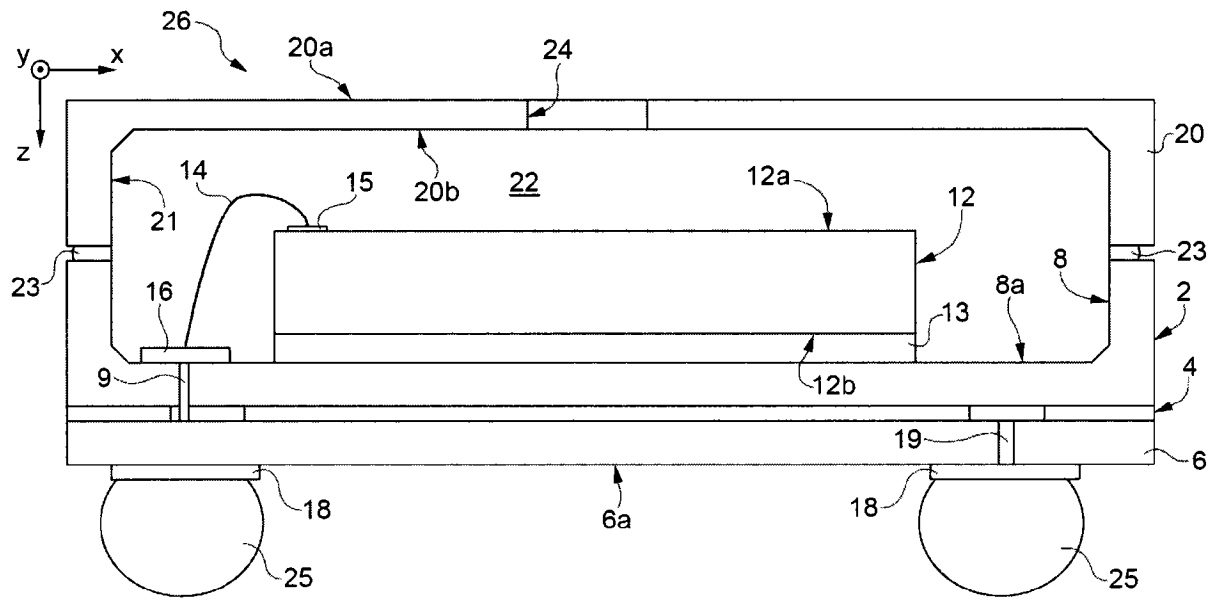


图1g

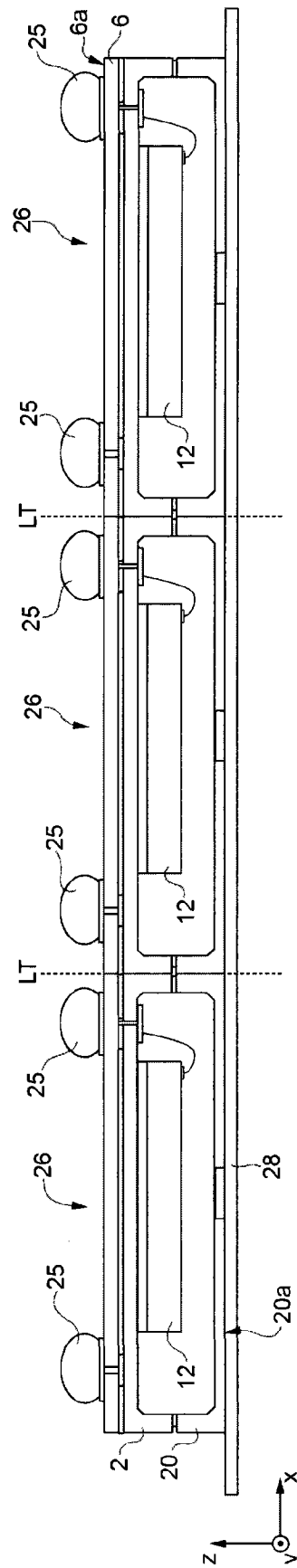


图1h

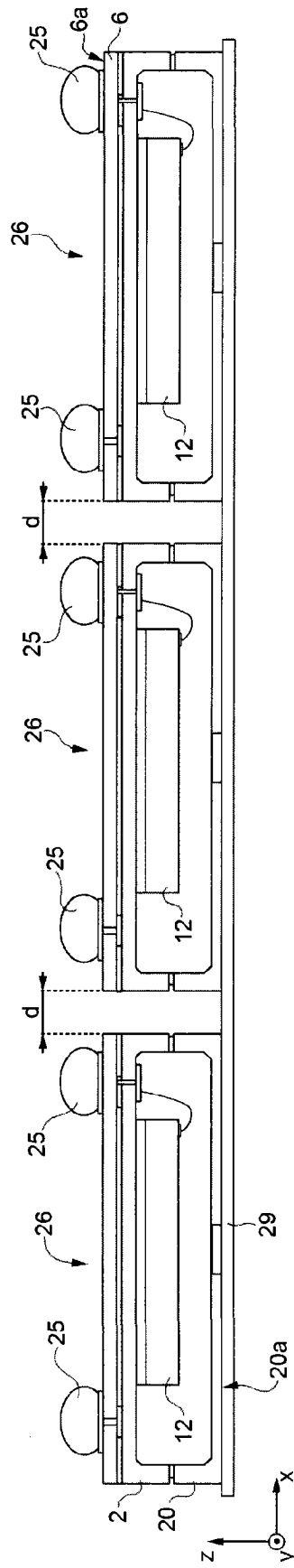


图1i

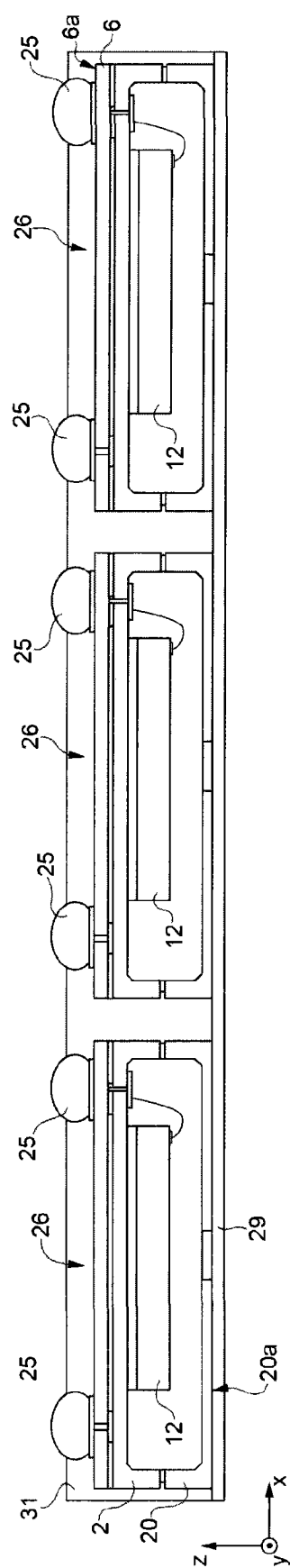


图1j

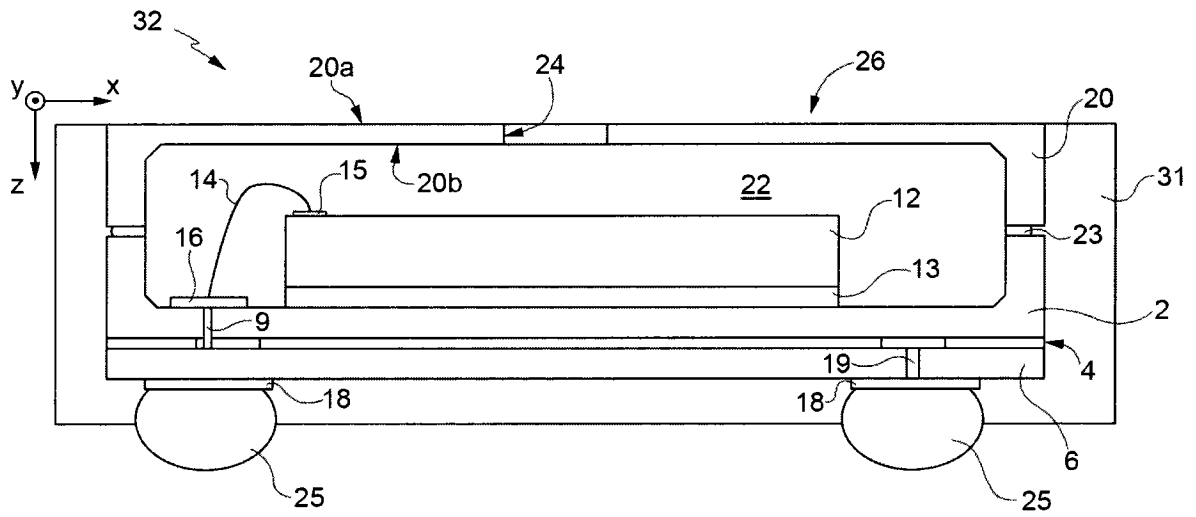


图1k

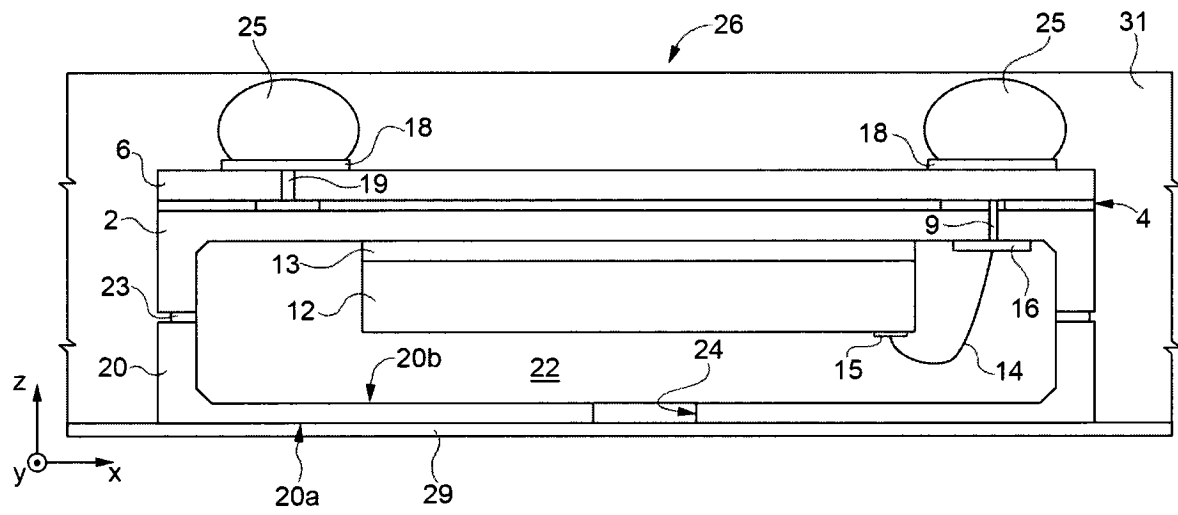


图2

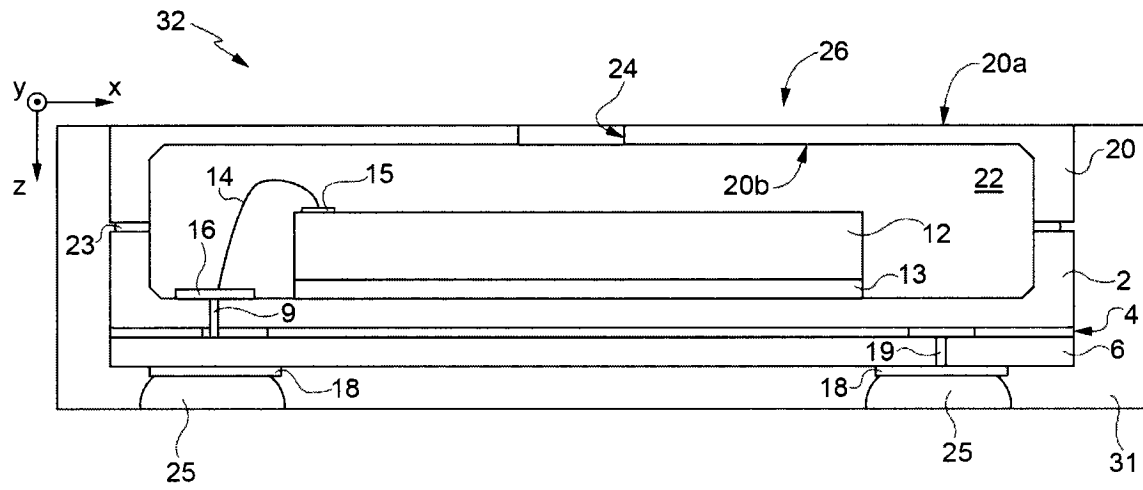


图3

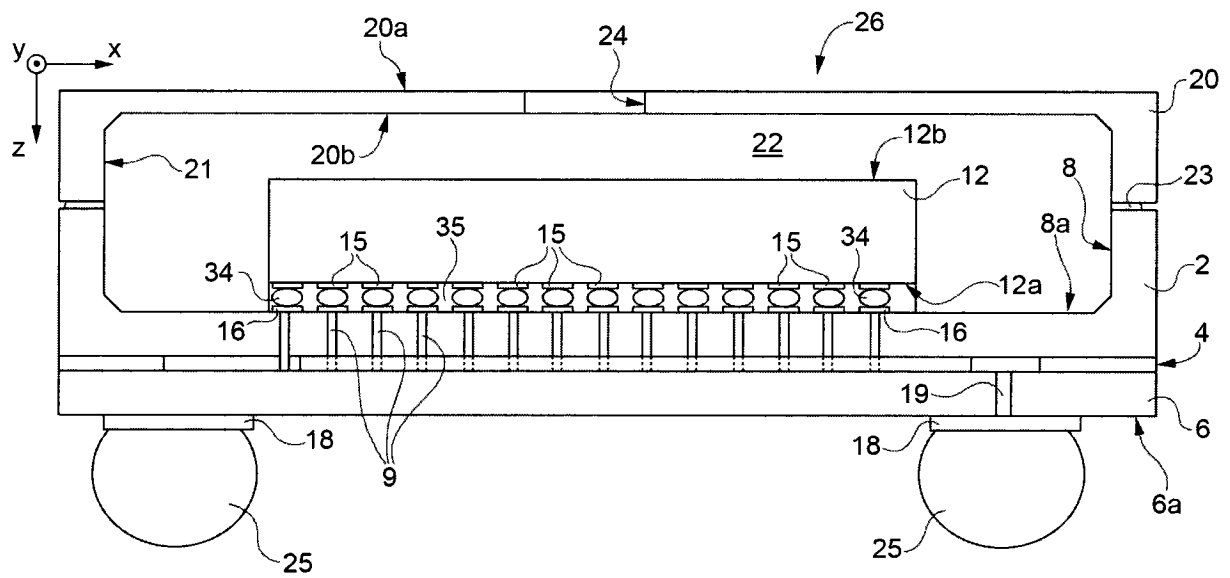


图4

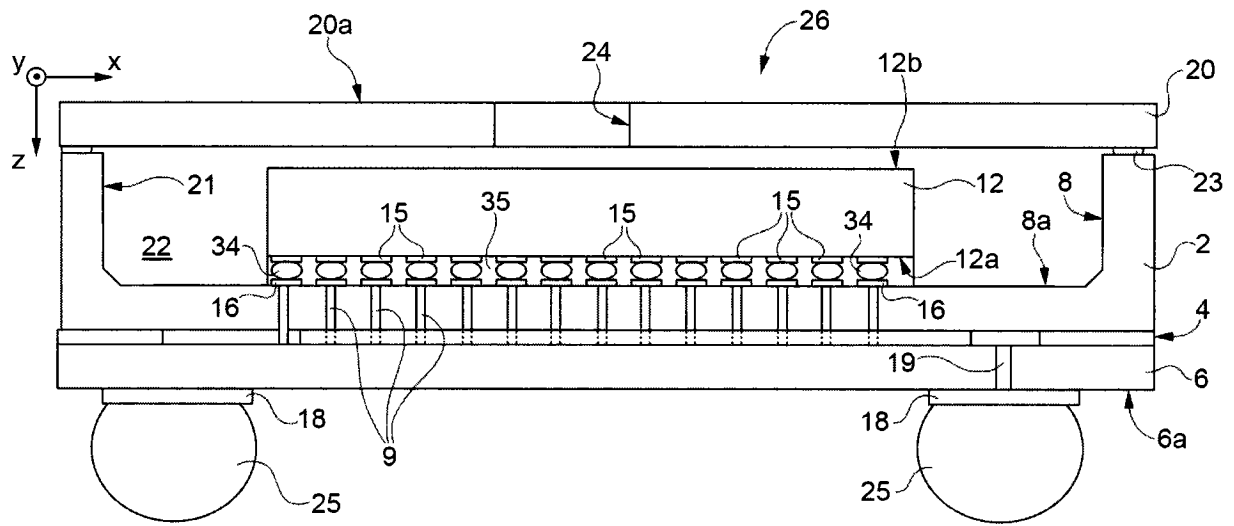


图5

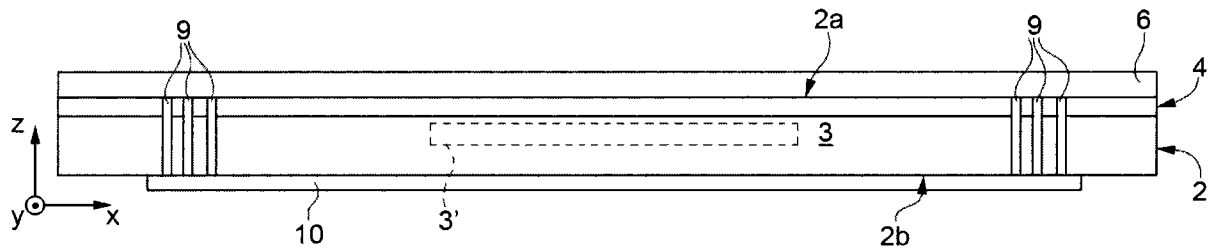


图6a

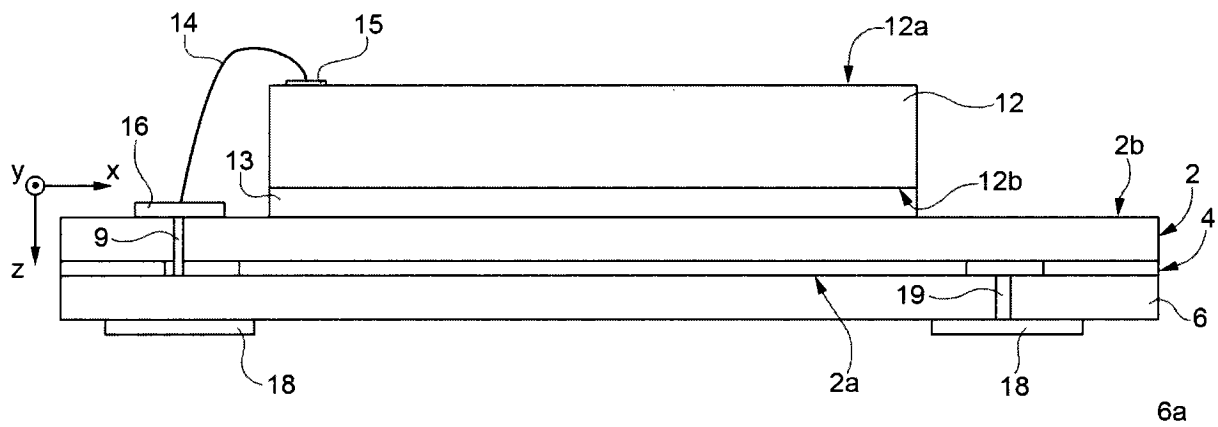


图6b

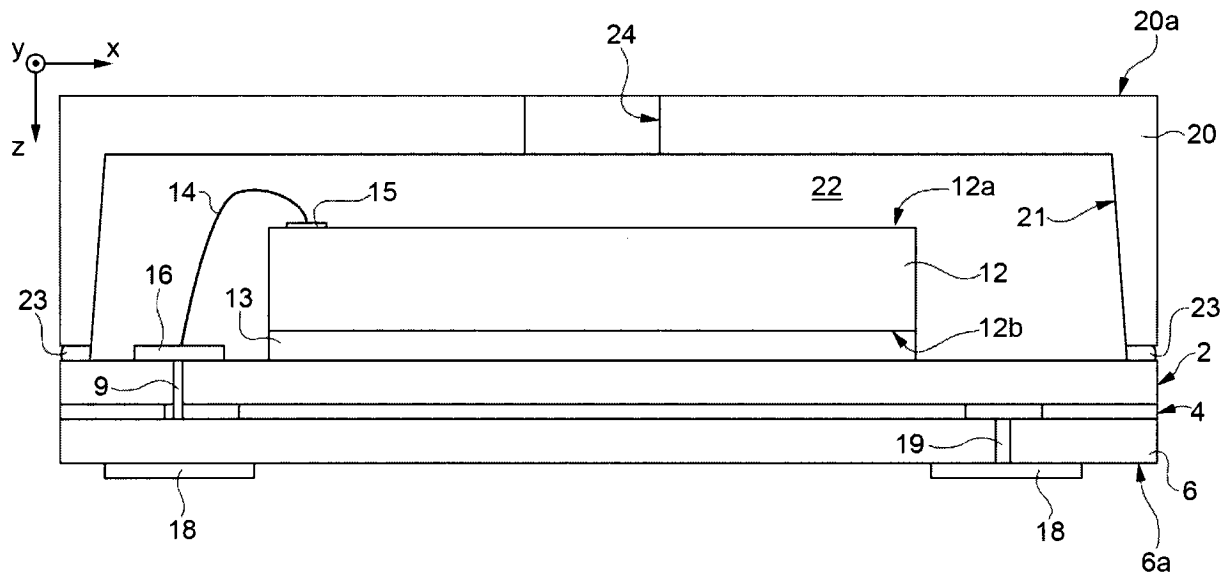


图6c

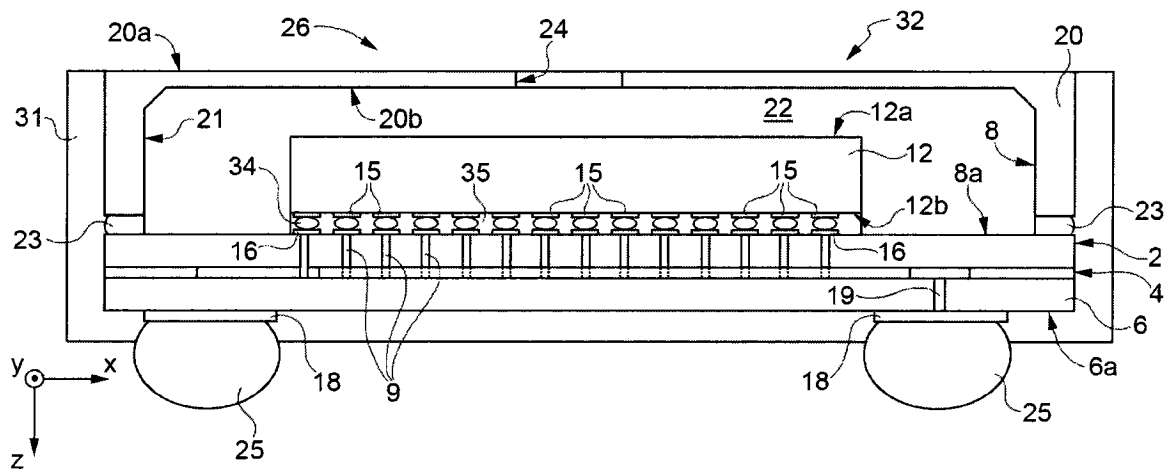


图7

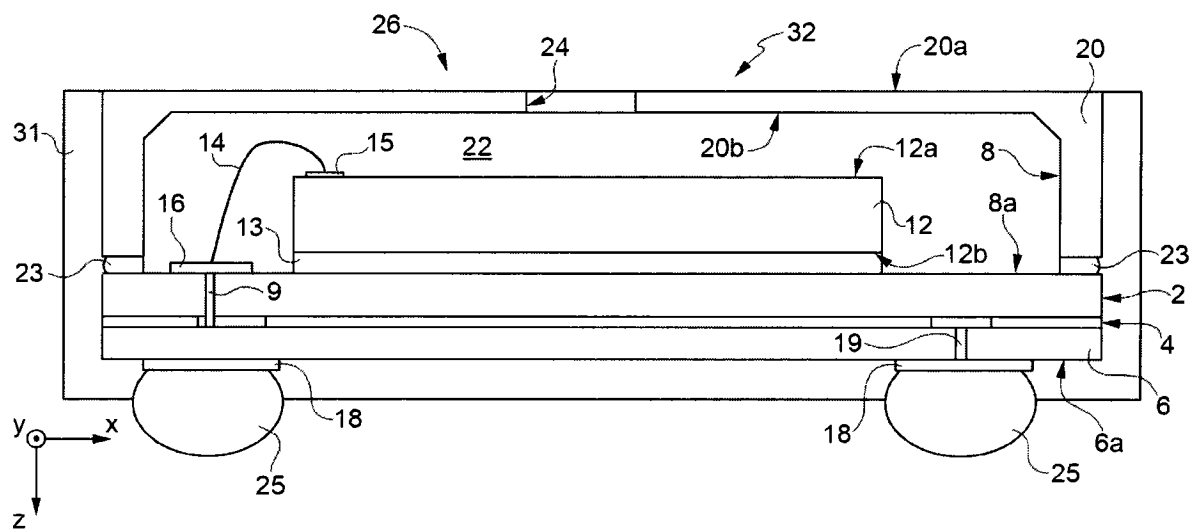


图8

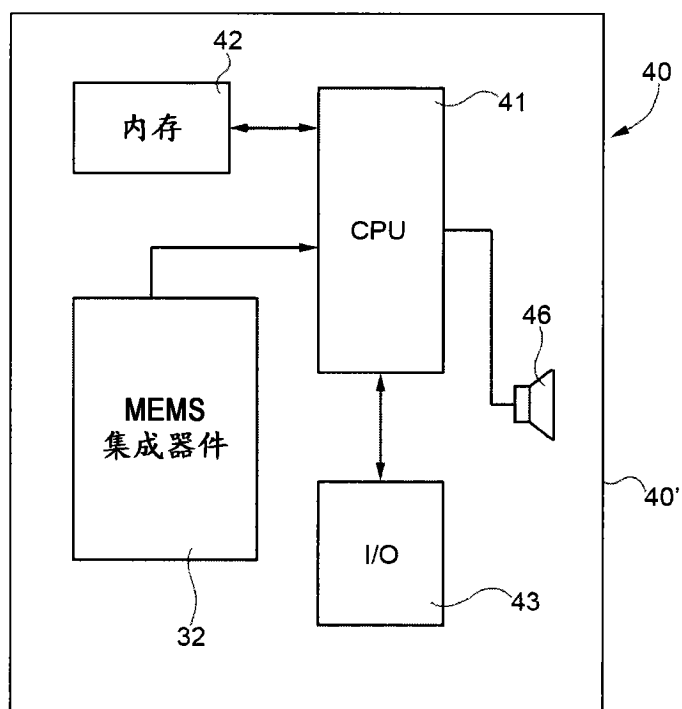


图9