



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0011015
(43) 공개일자 2016년01월29일

(51) 국제특허분류(Int. Cl.)
G11C 11/408 (2006.01) G11C 11/4063 (2006.01)
(21) 출원번호 10-2014-0091900
(22) 출원일자 2014년07월21일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
정철문
경기도 이천시 아리역로 37, 103동 402호 (송정동, 현진에버빌아파트)
김생환
경기도 수원시 영통구 매영로310번길 27, 643동 604호 (영통동, 신원아파트)
(74) 대리인
특허법인신성

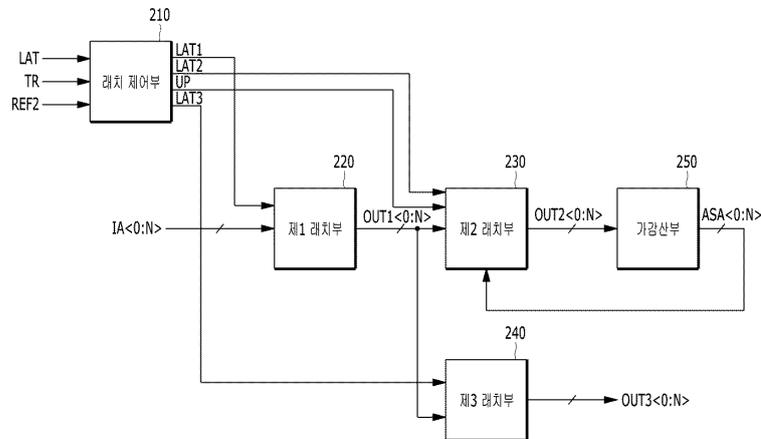
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 어드레스 생성회로 및 이를 포함하는 메모리 장치

(57) 요약

어드레스 생성회로는 입력 어드레스의 소정의 비트를 반전하여 래치하는 제1래치부; 상기 제1래치부의 어드레스를 입력받아 래치하되, 타겟 리프레시 구간에서 상기 제1래치부의 어드레스를 입력받지 않고, 제1리프레시 후 가감산 어드레스를 입력받아 래치하는 제2래치부; 상기 제1래치부의 어드레스를 입력받아 래치하되, 상기 타겟 리프레시 구간에서 상기 제1래치부의 어드레스를 입력받지 않는 제3래치부; 및 상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부를 포함할 수 있다.

대표도



명세서

청구범위

청구항 1

소정의 비트를 반전하여 입력 어드레스를 래치하는 제1래치부;

상기 제1래치부의 어드레스를 입력받아 래치하되, 타겟 리프레시 구간에서 상기 제1래치부의 어드레스를 입력받지 않고, 제1리프레시 후 가감산 어드레스를 입력받아 래치하는 제2래치부;

상기 제1래치부의 어드레스를 입력받아 래치하되, 상기 타겟 리프레시 구간에서 상기 제1래치부의 어드레스를 입력받지 않는 제3래치부; 및

상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부를 포함하는 어드레스 생성회로.

청구항 2

제 1항에 있어서,

상기 소정의 비트는

상기 입력 어드레스의 최하위 비트인 어드레스 생성회로.

청구항 3

제 2항에 있어서,

상기 가감산부는

상기 제2래치부의 어드레스의 최하위 비트의 값에 따라 상기 제2래치부의 어드레스에 소정의 값을 감산하거나 또는 가산하여 상기 가감산 어드레스를 생성하는 어드레스 생성회로.

청구항 4

제 1항에 있어서,

상기 제2래치부의 어드레스는

타겟 리프레시에 사용되는 어드레스인 어드레스 생성회로.

청구항 5

다수의 워드라인 및 다수의 리턴던시 워드라인을 포함하는 셀 어레이;

소정의 비트를 반전하여 입력 어드레스를 래치하는 제1래치부;

상기 제1래치부의 어드레스를 입력받아 래치하되, 타겟 리프레시 구간에서 상기 제1래치부의 어드레스를 입력받지 않고, 제1리프레시 후 가감산 어드레스를 입력받아 래치하는 제2래치부;

상기 제1래치부의 어드레스를 입력받아 래치하되, 상기 타겟 리프레시 구간에서 상기 제1래치부의 어드레스를 입력받지 않는 제3래치부;

상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부;

및

카운팅 어드레스 - 상기 카운팅 어드레스는 상기 셀 어레이가 리프레시되면 변경되는 어드레스임 - 로 선택되는 워드라인 또는 리턴던시 워드라인을 리프레시하되, 상기 타겟 리프레시 구간에서 상기 제2 및 제3래치부의 어드레스로 선택되는 워드라인 또는 리턴던시 워드라인을 리프레시하는 제어부

를 포함하는 메모리 장치.

청구항 6

제 5항에 있어서,

상기 소정의 비트는

상기 입력 어드레스의 최하위 비트인 메모리 장치.

청구항 7

제 6항에 있어서,

상기 가감산부는

상기 제2래치부의 어드레스의 최하위 비트의 값에 따라 상기 제2래치부의 어드레스에 소정의 값을 감산하거나 또는 가산하여 상기 가감산 어드레스를 생성하는 메모리 장치.

청구항 8

제 5항에 있어서,

상기 입력 어드레스는

액티브 동작시 입력된 어드레스인 메모리 장치.

청구항 9

제 8항에 있어서,

상기 제어부는

리프레시 커맨드에 응답하여 하나의 워드라인 또는 리턴던시 워드라인을 리프레시하고,

상기 타겟 리프레시 구간에서 첫번째 상기 리프레시 커맨드에 응답하여 상기 제1리프레시를 수행하고, 두번째 상기 리프레시 커맨드에 응답하여 제2리프레시를 수행하는 메모리 장치.

청구항 10

제 9항에 있어서,

상기 제어부는

상기 제1리프레시와 상기 제2리프레시 사이에 상기 액티브 동작을 수행하는 메모리 장치.

청구항 11

제 5항에 있어서,

상기 제어부는

상기 카운팅 어드레스 또는 상기 제3래치부의 어드레스에 대응하는 워드라인이 리턴던시 워드라인으로 대체된 경우, 다수의 리턴던시 신호 중 상기 워드라인을 대체한 리턴던시 워드라인에 대응하는 리턴던시 신호를 활성화하는 리턴던시 제어부; 및

상기 카운팅 어드레스, 상기 제2래치부의 어드레스 및 상기 다수의 리턴던시 신호에 응답하여 상기 워드라인 또는 상기 리턴던시 워드라인을 선택하는 워드라인 제어부

를 포함하는 메모리 장치.

청구항 12

다수의 워드라인 및 다수의 리턴던시 워드라인을 포함하는 다수의 뱅크;

소정의 비트를 반전하여 대응하는 뱅크의 입력 어드레스를 래치하는 다수의 제1래치부;

대응하는 제1래치부의 어드레스를 입력받아 래치하되, 타겟 리프्रेस 구간에서 상기 대응하는 제1래치부의 어드레스를 입력받지 않고, 제1리프्रेस 후 가감산 어드레스를 입력받아 래치하는 다수의 제2래치부;

대응하는 제1래치부의 어드레스를 입력받아 래치하되, 상기 타겟 리프्रेस 구간에서 상기 대응하는 제1래치부의 어드레스를 입력받지 않는 다수의 제3래치부;

타겟 리프्रेस 동작시 상기 다수의 제2래치부를 차례로 선택하고, 선택된 제2래치부의 어드레스에 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부; 및

상기 다수의 뱅크에서 카운팅 어드레스 - 상기 카운팅 어드레스는 상기 셀 어레이가 리프्रेस되면 변경되는 어드레스임 - 로 선택되는 워드라인 또는 리턴던시 워드라인을 리프्रेस하되, 상기 타겟 리프्रेस 구간에서 상기 다수의 뱅크에서 상기 대응하는 제2 및 제3래치부의 어드레스로 선택되는 워드라인 또는 리턴던시 워드라인을 리프्रेस하는 제어부

를 포함하는 메모리 장치.

청구항 13

제 12항에 있어서,

상기 다수의 제1래치부의 어드레스는

상기 대응하는 뱅크의 입력 어드레스에 대응하는 워드라인에 인접한 어드레스인 메모리 장치.

청구항 14

제 13항에 있어서,

상기 가감산부는

상기 선택된 제2래치부의 어드레스의 최하위 비트의 값에 따라 상기 선택된 제2래치부의 어드레스에 소정의 값을 감산하거나 또는 가산하여 상기 가감산 어드레스를 생성하는 메모리 장치.

청구항 15

제 12항에 있어서,

상기 제어부는

리프्रेस 커맨드에 응답하여 상기 다수의 뱅크의 하나의 워드라인 또는 리턴던시 워드라인을 리프्रेस하고,

상기 타겟 리프्रेस 구간에서 첫번째 상기 리프्रेस 커맨드에 응답하여 상기 제1리프레스를 수행하고, 두번째

상기 리프्रेस리 커맨드에 응답하여 제2리프레스리를 수행하는 메모리 장치.

청구항 16

입력 어드레스의 소정의 비트를 반전한 어드레스 및 상기 입력 어드레스에 대응하는 리턴던시 제어신호를 래치 및 출력하는 제1래치부;

상기 제1래치부의 출력을 입력받아 래치하되, 타겟 리프्रेस리 구간에서 상기 제1래치부의 출력을 입력받지 않고, 래치된 리턴던시 제어신호가 비활성화 상태이면 제1리프्रेस리 후 가감산 어드레스를 입력받아 래치하고, 상기 래치된 리턴던시 제어신호가 활성화 상태이면 상기 가감산 어드레스를 입력받지 않는 제2래치부; 및

상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부를 포함하는 어드레스 생성회로.

청구항 17

제 16항에 있어서,

상기 소정의 비트는

상기 입력 어드레스의 최하위 비트인 어드레스 생성회로.

청구항 18

제 17항에 있어서,

상기 가감산부는

상기 제2래치부의 어드레스의 최하위 비트의 값에 따라 상기 제2래치부의 어드레스에 소정의 값을 감산하거나 또는 가산하여 상기 가감산 어드레스를 생성하는 어드레스 생성회로.

청구항 19

제 16항에 있어서,

상기 제2래치부의 어드레스는

타겟 리프्रेस리에 사용되는 어드레스인 어드레스 생성회로.

청구항 20

다수의 워드라인 및 다수의 리턴던시 워드라인을 포함하는 셀 어레이;

입력 어드레스의 소정의 비트를 반전한 어드레스 및 상기 입력 어드레스에 대응하는 리턴던시 제어신호를 래치 및 출력하는 제1래치부;

상기 제1래치부의 출력을 입력받아 래치하되, 타겟 리프्रेस리 구간에서 상기 제1래치부의 출력을 입력받지 않고, 래치된 리턴던시 제어신호가 비활성화 상태이면 제1리프्रेस리 후 가감산 어드레스를 입력받아 래치하고, 상기 래치된 리턴던시 제어신호가 활성화 상태이면 상기 가감산 어드레스를 입력받지 않는 제2래치부;

상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부; 및

카운팅 어드레스 - 상기 카운팅 어드레스는 상기 셀 어레이가 리프्रेस리되면 변경되는 어드레스임 - 로 선택되는 워드라인 또는 리턴던시 워드라인을 리프्रेस리하되, 상기 타겟 리프्रेस리 구간에서 상기 제2래치부의 어드레스로

선택되는 워드라인 또는 리던던시 워드라인을 리프레시하는 제어부를 포함하는 메모리 장치.

청구항 21

제 20항에 있어서,
상기 소정의 비트는
상기 입력 어드레스의 최하위 비트인 메모리 장치.

청구항 22

제 21항에 있어서,
상기 가감산부는
상기 제2레치부의 어드레스의 최하위 비트의 값에 따라 상기 제2레치부의 어드레스에 소정의 값을 감산하거나 또는 가산하여 상기 가감산 어드레스를 생성하는 메모리 장치.

청구항 23

제 20항에 있어서,
상기 입력 어드레스는
액티브 동작시 입력된 어드레스인 메모리 장치.

청구항 24

제 23항에 있어서,
상기 제어부는
리프레시 커맨드에 응답하여 하나의 워드라인 또는 리던던시 워드라인을 리프레시하고,
상기 타겟 리프레시 구간에서 첫번째 상기 리프레시 커맨드에 응답하여 상기 제1리프레시를 수행하고, 두번째 상기 리프레시 커맨드에 응답하여 제2리프레시를 수행하는 메모리 장치.

청구항 25

제 24항에 있어서,
상기 제어부는
상기 제1리프레시와 상기 제2리프레시 사이에 상기 액티브 동작을 수행하는 메모리 장치.

청구항 26

제 20항에 있어서,
상기 제어부는
상기 카운팅 어드레스 또는 상기 제2레치부의 어드레스에 대응하는 워드라인이 리던던시 워드라인으로 대체된 경우, 다수의 리던던시 신호 중 상기 워드라인을 대체한 리던던시 워드라인에 대응하는 리던던시 신호를 활성화

하는 리턴던시 제어부; 및

상기 카운팅 어드레스, 상기 제2래치부의 어드레스 및 상기 다수의 리턴던시 신호에 응답하여 상기 워드라인 또는 상기 리턴던시 워드라인을 선택하는 워드라인 제어부

를 포함하는 메모리 장치.

청구항 27

다수의 워드라인 및 다수의 리턴던시 워드라인을 포함하는 다수의 뱅크;

대응하는 뱅크의 입력 어드레스의 소정의 비트를 반전한 어드레스 및 리턴던시 제어신호 - 상기 리턴던시 제어신호는 상기 입력 어드레스에 대응하는 워드라인이 대체된 경우 활성화됨 - 를 래치 및 출력하는 제1래치부;

대응하는 제1래치부의 출력을 입력받아 래치하되, 타겟 리프्रेस시 구간에서 상기 대응하는 제1래치부의 출력을 입력받지 않고, 래치된 리턴던시 제어신호가 비활성화 상태이면 제1리프्रेस시 후 가감산 어드레스를 입력받아 래치하고, 상기 래치된 리턴던시 제어신호가 활성화 상태이면 상기 가감산 어드레스를 입력받지 않는 다수의 제2래치부;

타겟 리프्रेस시 동작시 상기 다수의 제2래치부를 차례로 선택하고, 선택된 제2래치부의 어드레스에 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부; 및

상기 다수의 뱅크에서 카운팅 어드레스 - 상기 카운팅 어드레스는 상기 셀 어레이가 리프्रेस시되면 변경되는 어드레스임 - 로 선택되는 워드라인 또는 리턴던시 워드라인을 리프्रेस시하되, 상기 타겟 리프्रेस시 구간에서 상기 다수의 뱅크에서 상기 대응하는 제2래치부의 어드레스로 선택되는 워드라인 또는 리턴던시 워드라인을 리프्रेस시하는 제어부

를 포함하는 메모리 장치.

청구항 28

제 27항에 있어서,

상기 다수의 제1래치부의 어드레스는

상기 대응하는 뱅크의 입력 어드레스에 대응하는 워드라인에 인접한 어드레스인 메모리 장치.

청구항 29

제 28항에 있어서,

상기 가감산부는

상기 선택된 제2래치부의 어드레스의 최하위 비트의 값에 따라 상기 선택된 제2래치부의 어드레스에 소정의 값을 감산하거나 또는 가산하여 상기 가감산 어드레스를 생성하는 메모리 장치.

청구항 30

제 27항에 있어서,

상기 제어부는

리프्रेस시 커맨드에 응답하여 상기 다수의 뱅크의 하나의 워드라인 또는 리턴던시 워드라인을 리프्रेस시하고,

상기 타겟 리프्रेस시 구간에서 첫번째 상기 리프्रेस시 커맨드에 응답하여 상기 제1리프्रेस시를 수행하고, 두번째 상기 리프्रेस시 커맨드에 응답하여 제2리프्रेस시를 수행하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 특허문헌은 어드레스 생성회로 및 이를 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0002] 메모리 장치의 메모리 셀은 스위치역할을 하는 트랜지스터와 전하(데이터)를 저장하는 캐패시터로 구성되어 있다. 메모리 셀 내의 캐패시터에 전하가 있는가 없는가에 따라, 즉 캐패시터의 단자 전압이 높은가 낮은가에 따라 데이터의 '하이'(논리 1), '로우'(논리 0)를 구분한다.

[0003] 데이터의 보관은 캐패시터에 전하가 축적된 형태로 되어 있는 것이므로 원리적으로는 전력의 소비가 없다. 그러나 MOS트랜지스터의 PN결합 등에 의한 누설 전류가 있어서 캐패시터에 저장된 초기의 전하량이 소멸 되므로 데이터가 소실될 수 있다. 이를 방지하기 위해서 데이터를 잃어버리기 전에 메모리 셀 내의 데이터를 읽어서 그 읽어낸 정보에 맞추어 다시금 정상적인 전하량을 재충전해 주어야 한다. 이러한 동작은 주기적으로 반복되어야만 데이터의 기억이 유지되는데, 이러한 셀 전하의 재충전 과정을 리프레시(refresh) 동작이라 한다.

[0004] 도 1은 워드라인 디스터번스 현상을 설명하기 위해 메모리 장치에 포함된 셀 어레이의 일부를 나타낸 도면이다. 'BL'은 비트라인이다.

[0005] 도 1에서 셀 어레이 내에서 'WLK-1', 'WLK', 'WLK+1'은 나란히 배치된 3개 워드라인이다. 'HIGH_ACT'가 표시된 'WLK'는 액티브 횡수가 많거나 액티브 빈도가 높은 워드라인이고, 'WLK-1' 및 'WLK+1'은 'WLK'와 인접하게 배치된 워드라인이다. 'CELL_K-1', 'CELL_K', 'CELL_K+1'은 각각 'WLK-1', 'WLK', 'WLK+1'에 연결된 메모리 셀이다. 메모리 셀(CELL_K-1, CELL_K, CELL_K+1)은 셀 트랜지스터(TR_K-1, TR_K, TR_K+1) 및 셀 캐패시터(CAP_K-1, CAP_K, CAP_K+1)를 포함한다.

[0006] 도 1에서 'WLK'가 액티브 및 프리차지(디액티브)되면 'WLK'와 'WLK-1' 및 'WLK+1' 사이에 발생하는 커플링 현상으로 인해 'WLK-1' 및 'WLK+1'의 전압이 상승 및 하강하면서 셀 캐패시터(CAP_K-1, CAP_K+1)에 저장된 전하량에도 영향을 미친다. 따라서 'WLK'가 많이 액티브-프리차지되어 'WLK'이 액티브 상태와 프리차지 상태에서 토글하는 경우 'CAP_K-1', 'CAP_K+1'에 저장된 전하량의 변화로 인해 'CELL_K-1', 'CELL_K+1'에 저장된 데이터가 손상될 수 있다.

[0007] 또한 워드라인이 액티브 상태와 프리차지 상태를 토글하면서 발생한 전자기파가 인접 워드라인에 연결된 메모리 셀에 포함된 셀 캐패시터의 전자를 유입/유출시킴으로서 메모리 셀의 데이터가 손상될 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 일 실시예는 어드레스를 래치하여 타겟 리프레시를 수행할 때 사용되는 어드레스를 생성하는 어드레스 생성회로 및 메모리 장치를 제공한다.

[0009] 또한 본 발명의 일 실시예는 래치된 어드레스를 리턴던시 동작의 수행 여부에 따라 래치된 값으로 유지하거나 가/감산된 값으로 업데이트함으로써 타겟 리프레시를 수행할 때 사용되는 어드레스를 생성하기 위해 필요한 래치의 개수를 줄인 어드레스 생성회로 및 메모리 장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 일 실시예에 따른 어드레스 생성회로는 입력 어드레스의 소정의 비트를 반전하여 래치하는 제1래치부; 상기 제1래치부의 어드레스를 입력받아 래치하되, 타겟 리프레시 구간에서 상기 제1래치부의 어드레

스를 입력받지 않고, 제1리프्रेस 후 가감산 어드레스를 입력받아 래치하는 제2래치부; 상기 제1래치부의 어드레스를 입력받아 래치하되, 상기 타겟 리프्रेस 구간에서 상기 제1래치부의 어드레스를 입력받지 않는 제3래치부; 및 상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부를 포함할 수 있다.

[0011] 본 발명의 일 실시예에 따른 메모리 장치는 다수의 워드라인 및 다수의 리던던시 워드라인을 포함하는 셀 어레이; 입력 어드레스의 소정의 비트를 반전하여 래치하는 제1래치부; 상기 제1래치부의 어드레스를 입력받아 래치하되, 타겟 리프्रेस 구간에서 상기 제1래치부의 어드레스를 입력받지 않고, 제1리프्रेस 후 가감산 어드레스를 입력받아 래치하는 제2래치부; 상기 제1래치부의 어드레스를 입력받아 래치하되, 상기 타겟 리프्रेस 구간에서 상기 제1래치부의 어드레스를 입력받지 않는 제3래치부; 상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부; 및 카운팅 어드레스 - 상기 카운팅 어드레스는 상기 셀 어레이가 리프्रेस되면 변경되는 어드레스임 - 로 선택되는 워드라인 또는 리던던시 워드라인을 리프्रेस하되, 상기 타겟 리프्रेस 구간에서 상기 제2 및 제3래치부의 어드레스로 선택되는 워드라인 또는 리던던시 워드라인을 리프्रेस하는 제어부를 포함할 수 있다.

[0012] 본 발명의 일 실시예에 따른 메모리 장치는 다수의 워드라인 및 다수의 리던던시 워드라인을 포함하는 다수의 뱅크; 소정의 비트를 반전하여 대응하는 뱅크의 입력 어드레스를 래치하는 다수의 제1래치부; 대응하는 제1래치부의 어드레스를 입력받아 래치하되, 타겟 리프्रेस 구간에서 상기 대응하는 제1래치부의 어드레스를 입력받지 않고, 제1리프्रेस 후 가감산 어드레스를 입력받아 래치하는 다수의 제2래치부; 대응하는 제1래치부의 어드레스를 입력받아 래치하되, 상기 타겟 리프्रेस 구간에서 상기 대응하는 제1래치부의 어드레스를 입력받지 않는 다수의 제3래치부; 타겟 리프्रेस 동작시 상기 다수의 제2래치부를 차례로 선택하고, 선택된 제2래치부의 어드레스에 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부; 및 상기 다수의 뱅크에서 카운팅 어드레스 - 상기 카운팅 어드레스는 상기 셀 어레이가 리프्रेस되면 변경되는 어드레스임 - 로 선택되는 워드라인 또는 리던던시 워드라인을 리프्रेस하되, 상기 타겟 리프्रेस 구간에서 상기 다수의 뱅크에서 상기 대응하는 제2 및 제3래치부의 어드레스로 선택되는 워드라인 또는 리던던시 워드라인을 리프्रेस하는 제어부를 포함할 수 있다.

[0013] 본 발명의 일 실시예에 따른 어드레스 생성회로는 입력 어드레스의 소정의 비트를 반전한 어드레스 및 상기 입력 어드레스에 대응하는 리던던시 제어신호를 래치 및 출력하는 제1래치부; 상기 제1래치부의 출력을 입력받아 래치하되, 타겟 리프्रेस 구간에서 상기 제1래치부의 출력을 입력받지 않고, 래치된 리던던시 제어신호가 비활성화 상태이면 제1리프्रेस 후 가감산 어드레스를 입력받아 래치하고, 상기 래치된 리던던시 제어신호가 활성화 상태이면 상기 가감산 어드레스를 입력받지 않는 제2래치부; 및 상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부를 포함할 수 있다.

[0014] 본 발명의 일 실시예에 따른 메모리 장치는 다수의 워드라인 및 다수의 리던던시 워드라인을 포함하는 셀 어레이; 입력 어드레스의 소정의 비트를 반전한 어드레스 및 상기 입력 어드레스에 대응하는 리던던시 제어신호를 래치 및 출력하는 제1래치부; 상기 제1래치부의 출력을 입력받아 래치하되, 타겟 리프्रेस 구간에서 상기 제1래치부의 출력을 입력받지 않고, 래치된 리던던시 제어신호가 비활성화 상태이면 제1리프्रेस 후 가감산 어드레스를 입력받아 래치하고, 상기 래치된 리던던시 제어신호가 활성화 상태이면 상기 가감산 어드레스를 입력받지 않는 제2래치부; 상기 제2래치부의 어드레스를 입력받아 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부; 및 카운팅 어드레스 - 상기 카운팅 어드레스는 상기 셀 어레이가 리프्रेस되면 변경되는 어드레스임 - 로 선택되는 워드라인 또는 리던던시 워드라인을 리프्रेस하되, 상기 타겟 리프्रेस 구간에서 상기 제2래치부의 어드레스로 선택되는 워드라인 또는 리던던시 워드라인을 리프्रेस하는 제어부를 포함할 수 있다.

[0015] 본 발명의 일 실시예에 따른 메모리 장치는 다수의 워드라인 및 다수의 리던던시 워드라인을 포함하는 다수의 뱅크; 대응하는 뱅크의 입력 어드레스의 소정의 비트를 반전한 어드레스 및 리던던시 제어신호 - 상기 리던던시 제어신호는 상기 입력 어드레스에 대응하는 워드라인이 대체된 경우 활성화됨 - 을 래치 및 출력하는 제1래치부; 대응하는 제1래치부의 출력을 입력받아 래치하되, 타겟 리프्रेस 구간에서 상기 대응하는 제1래치부의 출력을 입력받지 않고, 래치된 리던던시 제어신호가 비활성화 상태이면 제1리프्रेस 후 가감산 어드레스를 입력받아 래치하고, 상기 래치된 리던던시 제어신호가 활성화 상태이면 상기 가감산 어드레스를 입력받지 않는 다수의 제2래치부; 타겟 리프्रेस 동작시 상기 다수의 제2래치부를 차례로 선택하고, 선택된 제2래치부의 어드레스에 소정의 값을 가/감산하여 상기 가감산 어드레스를 생성하는 가감산부; 및 상기 다수의 뱅크에서 카운팅 어드레스 - 상기 카운팅 어드레스는 상기 셀 어레이가 리프्रेस되면 변경되는 어드레스임 - 로 선택되는 워드라인 또는 리던던시 워드라인을 리프्रेस하되, 상기 타겟 리프्रेस 구간에서 상기 다수의 뱅크에서 상기 대응하는

제2래치부의 어드레스로 선택되는 워드라인 또는 리턴던시 워드라인을 리프레시하는 제어부를 포함할 수 있다.

발명의 효과

[0016] 본 기술은 액티브된 어드레스를 래치하여 타겟 리프레시를 수행할 때 사용되는 어드레스를 생성함으로써 메모리 셀의 데이터가 손상되는 것을 방지할 수 있다.

[0017] 또한 본 기술은 래치된 어드레스를 리턴던시 동작의 수행 여부에 따라 래치된 값으로 유지하거나 가/감산된 값으로 업데이트함으로써 타겟 리프레시를 수행할 때 사용되는 어드레스를 생성하기 위해 필요한 래치의 개수를 줄이고, 회로의 면적을 감소시킬 수 있다.

도면의 간단한 설명

[0018] 도 1은 워드라인 디스터번스 현상을 설명하기 위해 메모리 장치에 포함된 셀 어레이의 일부를 나타낸 도면,

도 2는 본 발명의 일실시예에 따른 어드레스 생성회로의 구성도,

도 3은 제1래치부(220)의 구성도,

도 4는 제2래치부(230)의 구성도,

도 5는 제3래치부(240)의 구성도,

도 6은 본 발명의 일실시예에 따른 메모리 장치의 구성도,

도 7은 제어부(660)의 구성도,

도 8은 도 6의 메모리 장치의 동작을 설명하기 위한 도면,

도 9는 본 발명의 일 실시예에 따른 어드레스 생성회로의 구성도,

도 10은 본 발명의 일실시예에 따른 메모리 장치의 구성도,

도 11은 제어부(1060)의 구성도,

도 12는 본 발명의 일 실시예에 따른 어드레스 생성회로의 구성도,

도 13는 제1래치부(1220)의 구성도,

도 14는 제2래치부(1230)의 구성도,

도 15는 래치 제어부(1210)의 구성도

도 16은 본 발명의 일실시예에 따른 메모리 장치의 구성도,

도 17은 제어부(1660)의 구성도,

도 18은 본 발명의 일실시예에 따른 어드레스 생성회로의 구성도,

도 19는 래치 제어부(1810)의 구성도,

도 20은 본 발명의 일실시예에 따른 메모리 장치의 구성도,

도 21은 제어부(2060)의 구성도.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0020] 도 2는 본 발명의 일실시예에 따른 어드레스 생성회로의 구성도이다.

[0021] 도 2에 도시된 바와 같이, 어드레스 생성회로는 래치 제어부(210), 제1래치부(220), 제2래치부(230), 제3래치부

(240) 및 가감산부(250)를 포함할 수 있다.

- [0022] 도 2를 참조하여 어드레스 생성회로에 대해 설명한다.
- [0023] 래치 제어부(210)는 제1 내지 제3래치부(220 - 240)을 제어하기 위한 신호들(LAT1 - LAT3, UP)을 생성한다. 래치 제어부(210)는 래치신호(LAT)가 활성화되면 제1제어신호(LAT1)를 활성화하고, 제2 및 제3제어신호(LAT2)를 활성화된 상태로 유지하되 타겟 리프래시 신호(TR)가 활성화된 구간에서 비활성화한다. 래치 제어부(210)는 타겟 리프래시 신호(TR)가 활성화된 구간에서 첫번째로 리프래시 신호(REF2)가 활성화된 이후 갱신신호(UP)를 활성화한다.
- [0024] 제1래치부(220)는 제1제어신호(LAT1)가 활성화되면 소정의 비트(예를 들어, 최하위 비트(IA<N>)일 수 있음)를 반전하여 입력 어드레스(IA<0:N>)를 래치 및 출력(제1출력 어드레스(OUT1<0:N>)라 함)한다. 예를 들어, 입력 어드레스(IA<0:N>)가 '00000000000'인 경우 제1래치부(220)는 '00000000001'를 래치 및 출력할 수 있다.
- [0025] 제2래치부(230)는 제2제어신호(LAT2)가 활성화된 구간에서 제1출력 어드레스(OUT1<0:N>)를 입력받아 래치 및 출력(제2출력 어드레스(OUT2<0:N>)라 함)한다. 제2래치부(230)는 제2제어신호(LAT2)가 비활성화된 구간에서 제1출력 어드레스(OUT1<0:N>)를 입력받지 않고, 래치된 값을 유지한다. 제2래치부(230)는 갱신신호(UP)가 활성화되면 가감산 어드레스(ASA<0:N>)를 입력받아 래치한다.
- [0026] 제3래치부(240)는 제3제어신호(LAT3)가 활성화된 구간에서 제1출력 어드레스(OUT1<0:N>)를 입력받아 래치 및 출력(제3출력 어드레스(OUT3<0:N>)라 함)한다. 제3래치부(240)는 제3제어신호(LAT3)가 비활성화된 구간에서 제1출력 어드레스(OUT1<0:N>)를 입력받지 않고, 래치된 값을 유지한다.
- [0027] 가감산부(250)는 제2출력 어드레스(OUT2<0:N>)를 입력받아, 소정의 값을 가/감산하여 가감산 어드레스(ASA<0:N>)를 생성할 수 있다. 가감산부(250)는 제2출력 어드레스(OUT2<0:N>)의 소정의 비트(예를 들어 최하위 비트(OUT2<N>)일 수 있음)가 제1값(예를 들어 '0')을 가지면 제2출력 어드레스(OUT2<0:N>)에 소정의 값(예를 들어 '2')을 가산하여 가감산 어드레스(ASA<0:N>)를 생성하고, 제2값(예를 들어 '1')을 가지면 제2출력 어드레스(OUT2<0:N>)에 소정의 값(예를 들어 '2')을 감산하여 가감산 어드레스(ASA<0:N>)를 생성할 수 있다.
- [0028] 제2출력 어드레스(OUT2<0:N>)는 메모리 장치에서 타겟 리프래시 동작시 워드라인을 선택하기 위한 타겟 어드레스로 사용된다. 제3출력 어드레스(OUT3<0:N>)는 메모리 장치에서 리던던시 동작을 제어하기 위한 어드레스로 사용된다. 제2출력 어드레스(OUT2<0:N>)는 타겟 리프래시 구간에서 제1리프래시 동작시 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 값을 가지고, 제2리프래시 동작시 가감산 어드레스(ASA<0:N>)와 같은 값을 가진다.
- [0029] 도 3은 제1래치부(220)의 구성도이다.
- [0030] 도 3에 도시된 바와 같이, 제1래치부(220)는 다수의 입력부(310_0 - 310_N) 및 다수의 래치(320_0 - 320_N)를 포함할 수 있다.
- [0031] 다수의 입력부(310_0 - 310_N)는 제어신호(LAT1)가 활성화(예를 들어 '하이')된 경우 입력 어드레스 비트들(IA<0> - IA<N>) 중 대응하는 비트를 통과시키고, 제1제어신호(LAT1)가 비활성화(예를 들어 '로우')된 경우 대응하는 비트를 차단한다. 입력부들(310_0 - 310_N)은 제1제어신호(LAT1)에 응답하여 온/오프되는 인버터(IV1_0 - IV1_N)를 포함할 수 있다.
- [0032] 다수의 래치(320_0 - 320_N)는 각각 대응하는 입력부(310_0 - 310_N)를 통과한 비트(IA<0> - IA<N>)를 입력받아 래치하고, 제1제어신호(LAT1)가 비활성화된 구간에서 래치된 값을 유지한다. 래치들(320_0 - 320_N)은 인버터(IV2_0 - IV2_N) 및 제1제어신호(LAT1)가 비활성화된 구간에서 턴온되는 인버터들(IV3_0 - IV3_N)을 포함할 수 있다.
- [0033] 최하위 비트(IA<N>)를 입력받는 래치(320_N)는 입력된 값을 반전하여 래치하기 위해 추가된 인버터(IV_A)를 포함할 수 있다. 래치(320_N)는 대응하는 비트(IA<N>)를 입력받되, 입력된 값을 반전하여 래치할 수 있다.
- [0034] 도 4는 제2래치부(230)의 구성도이다.
- [0035] 도 4에 도시된 바와 같이, 제2래치부(230)는 다수의 제1입력부(410_0 - 410_N), 다수의 제2입력부(420_0 - 420_N) 및 다수의 래치(430_0 - 430_N)를 포함할 수 있다.

- [0036] 다수의 제1입력부(410_0 - 410_N)는 제2제어신호(LAT2)가 활성화(예를 들어 '하이')된 경우 제1출력 어드레스의 비트들(OUT1<0> - OUT1<N>) 중 대응하는 비트를 통과시키고, 제2제어신호(LAT2)가 비활성화(예를 들어 '로우')된 경우 대응하는 비트를 차단한다. 제1입력부(410_0 - 410_N)들은 제2제어신호(LAT2)에 응답하여 온/오프되는 인버터(IV1_0 - IV1_N)를 포함할 수 있다.
- [0037] 다수의 제2입력부(420_0 - 420_N)는 갱신신호(UP)가 활성화(예를 들어 '하이')된 경우 가감산 어드레스의 비트들(ASA<0> - ASA<N>) 중 대응하는 비트를 통과시키고, 갱신신호(UP)가 비활성화(예를 들어 '로우')된 경우 대응하는 비트를 차단한다. 제2입력부(420_0 - 420_N)들은 갱신신호(UP)에 응답하여 온/오프되는 인버터(IV2_0 - IV2_N)를 포함할 수 있다.
- [0038] 다수의 래치(430_0 - 430_N)는 각각 대응하는 제1입력부(410_0 - 410_N) 또는 제2입력부(420_0 - 420_N)를 통과한 비트(OUT1<0> - OUT1<N> 또는 ASA<0> - ASA<N>)를 입력받아 래치하고, 제2제어신호(LAT2)가 비활성화된 구간에서 래치된 값을 유지한다. 래치들(430_0 - 430_N)은 인버터(IV3_0 - IV3_N) 및 제2제어신호(LAT2)가 비활성화된 구간에서 턴온되는 인버터들(IV4_0 - IV4_N)을 포함할 수 있다.
- [0039] 도 5는 제3래치부(240)의 구성도이다.
- [0040] 도 5에 도시된 바와 같이, 제3래치부(240)는 다수의 입력부(510_0 - 510_N) 및 다수의 래치(520_0 - 520_N)를 포함할 수 있다.
- [0041] 다수의 입력부(510_0 - 510_N)는 제3제어신호(LAT3)가 활성화(예를 들어 '하이')된 경우 제1출력 어드레스의 비트들(OUT1<0> - OUT1<N>) 중 대응하는 비트를 통과시키고, 제3제어신호(LAT3)가 비활성화(예를 들어 '로우')된 경우 대응하는 비트를 차단한다. 제3입력부(510_0 - 510_N)들은 제3제어신호(LAT3)에 응답하여 온/오프되는 인버터(IV1_0 - IV1_N)를 포함할 수 있다.
- [0042] 다수의 래치(520_0 - 520_N)는 각각 대응하는 입력부(510_0 - 510_N)를 통과한 비트(OUT1<0> - OUT1<N>)를 입력받아 래치하고, 제3제어신호(LAT3)가 비활성화된 구간에서 래치된 값을 유지한다. 래치들(520_0 - 520_N)은 인버터(IV2_0 - IV2_N) 및 제3제어신호(LAT3)가 비활성화된 구간에서 턴온되는 인버터들(IV3_0 - IV3_N)을 포함할 수 있다.
- [0043] 도 6은 본 발명의 일실시예에 따른 메모리 장치의 구성도이다.
- [0044] 도 6에 도시된 바와 같이, 메모리 장치는 커맨드 입력부(610), 어드레스 입력부(620), 커맨드 디코더(630), 어드레스 카운팅부(640), 어드레스 생성부(650), 제어부(660) 및 셀 어레이(670)를 포함할 수 있다.
- [0045] 도 2 내지 도 6을 참조하여 메모리 장치에 대해 설명한다.
- [0046] 셀 어레이(670)는 다수의 메모리 셀(MC)이 연결된 다수의 워드라인(WL0 - WLM) 및 다수의 리턴던시 메모리 셀(RMC)이 연결된 다수의 리턴던시 워드라인(RWL0 - RWL7)을 포함한다. 리턴던시 워드라인들(RWL0 - RWL7)은 워드라인(WL0 - WLM)을 대체하기 위한 워드라인이다. 워드라인들(WL0 - WLM)은 'WL0' - 'WLM'의 순서대로 배치되고, 리턴던시 워드라인들(RWL0 - RWL7)은 'WLM' 뒤에 'RWL0' - 'RWL7'의 순서대로 배치된다. 도 6에서는 셀 어레이(670)가 8개의 리턴던시 워드라인을 포함하는 경우에 대해 설명하였으나, 설계에 따라 달라질 수 있다.
- [0047] 다수의 리턴던시 워드라인(RWL0 - RWL7)은 각각 2개의 리턴던시 워드라인을 포함하는 4개의 리턴던시 워드라인 그룹(RWG0 - RWG3)으로 나뉘며 그룹 단위로 워드라인을 대체한다. 즉, 2개의 워드라인이 리턴던시 워드라인 그룹으로 대체된다. 이때 함께 대체되는 2개의 워드라인은 어드레스(IA<0:N>) 중 최하위 비트(IA<N>)를 제외한 나머지 비트가 동일하다.
- [0048] 커맨드 입력부(610)는 커맨드(CMDs)를 입력받고, 어드레스 입력부(620)는 어드레스(ADDs)를 입력받을 수 있다. 커맨드(CMDs)와 어드레스(ADDs) 각각은 멀티 비트의 신호들을 포함할 수 있다.
- [0049] 커맨드 디코더(630)는 커맨드 입력부(610)를 통해 입력된 커맨드 신호들(CMDs)을 디코딩해 액티브 커맨드(ACT), 프리차지 커맨드(PRE) 및 리프레시 커맨드(REF)등을 생성할 수 있다. 커맨드 디코더(630)는 입력된 커맨드 신호들(CMDs)의 조합이 액티브 커맨드(ACT)를 나타내면 액티브 커맨드(ACT)를 활성화하고, 프리차지 커맨드(PRE)를 나타내면 프리차지 커맨드(PRE)를 활성화하고, 리프레시 커맨드(REF)를 나타내면 리프레시 커맨드(REF)를 활성화

화할 수 있다.

- [0050] 참고로 커맨드 디코더(630)는 입력된 커맨드 신호들(CMDs)을 디코딩해 리드(read) 및 라이트(write) 등의 커맨드도 생성할 수 있지만, 본 발명의 일 실시예에 따른 메모리와 직접적인 관련이 없으므로, 여기서는 도시 및 설명을 생략하기로 한다.
- [0051] 어드레스 카운팅부(640)는 셀 어레이(670)가 리프्रेस시 될 때마다 그 값이 변경되는 카운팅 어드레스(CTA<0:N>)를 생성할 수 있다. 어드레스 카운팅부(640)는 제1리프्रेस시 신호(REF1)가 활성화될 때마다 카운팅 어드레스(CNT_A<0:N>)의 값을 1씩 증가시킬 수 있다. 카운팅 어드레스(CTA<0:A>)의 값을 1씩 증가시킨다는 것은 K번 워드라인(WLK)이 선택되었다면 다음번에는 K+1번 워드라인(WLK+1)이 선택되도록 카운팅 어드레스(CTA<0:N>)를 변화시킨다는 것을 의미한다.
- [0052] 어드레스 생성부(650)는 래치신호(LAT)에 응답하여 소정의 비트(예를 들어, 'IA<N>')를 반전하여 입력 어드레스(IA<0:N>)를 래치하고, 타겟 리프्रेस시 신호(TR)가 활성화된 구간에서 타겟 어드레스(OUT2<0:N>)를 생성한다. 어드레스 생성부(650)는 도 2의 어드레스 생성회로에 대응한다.
- [0053] 타겟 리프्रेस시 구간의 제1리프्रेस시 동작시 타겟 어드레스(OUT2<0:N>)는 입력 어드레스(IA<0:N>)에서 소정의 비트를 반전한 값을 가지고, 제2리프्रेस시 동작시 가감산 어드레스(ASA<0:N>)와 같은 값을 가질 수 있다. 타겟 어드레스(OUT2<0:N>)는 입력 어드레스(IA<0:N>)에 대응하는 워드라인에 인접한 워드라인의 어드레스이다.
- [0054] 예를 들어, 입력 어드레스(IA<0:N>)가 K번 워드라인(WLK)에 대응하고 최하위 비트가 '0'이면, 래치신호(LAT)에 응답하여 래치된 어드레스는 최하위 비트가 '1'이고 K+1번 워드라인(WLK+1)에 대응할 수 있다. 이 경우 가감산 어드레스(ASA<0:N>)는 위 값에 '2'를 가산한 값을 가지며 이 값은 K-1번 워드라인(WLK-1)에 대응할 수 있다. 반대로 입력 어드레스(IA<0:N>)가 K번 워드라인(WLK)에 대응하고 최하위 비트가 '1'이면, 래치신호(LAT)에 응답하여 래치된 어드레스는 최하위 비트가 '0'이고 K-1번 워드라인(WLK-1)에 대응할 수 있다. 이 경우 가감산 어드레스(ASA<0:N>)는 위 값에 '2'를 가산한 값을 가지며 이 값은 K+1번 워드라인(WLK+1)에 대응할 수 있다.
- [0055] 제어부(660)는 액티브 커맨드(ACT)에 응답하여, 입력 어드레스(IA<0:N>)에 대응하는 워드라인 또는 이를 대체한 리턴던시 워드라인을 액티브하고, 프리차지 커맨드(PRE)에 응답하여 액티브된 워드라인을 프리차지한다. 제어부(660)는 노멀 리프्रेस시 동작시 카운팅 어드레스(CTA<0:N>)에 대응하는 워드라인 또는 이를 대체한 리턴던시 워드라인을 리프्रेस시한다. 제어부(660)는 타겟 리프्रेस시 동작시 타겟 어드레스(OUT2<0:N>) 및 제3출력 어드레스(OUT3<0:N>)를 이용해 선택되는 워드라인 또는 리턴던시 워드라인을 리프्रेस시한다.
- [0056] 제어부(660)는 1회의 리프्रेस시 커맨드(REF)가 인가되면, 1개의 워드라인(또는 리턴던시 워드라인)을 리프्रेस시할 수 있다. 제어부(660)는 노멀 리프्रेस시 동작시 제1리프्रेस시 신호(REF1)를 활성화하고, 타겟 리프्रेस시 동작시 도 7의 설명에서 후술할 제2리프्रेस시 신호(REF2)를 활성화할 수 있다. 제어부(660)는 입력 어드레스(IA<0:N>)의 래치가 필요한 시점에 래치신호(LAT)를 활성화하고, 타겟 리프्रेस시 구간 동안 타겟 리프्रेस시 신호(TR)를 활성화한다. 도 2의 리프्रेस시 신호(REF2)는 제2리프्रेस시 신호(REF2)에 대응한다.
- [0057] 도 7은 제어부(660)의 구성도이다.
- [0058] 도 7에 도시된 바와 같이, 제어부(660)는 리프्रेस시 제어부(710), 타겟 리프्रेस시 제어부(720), 액티브 신호 생성부(730), 리턴던시 제어부(740), 워드라인 제어부(750), 제1 및 제2선택부(760, 770)를 포함할 수 있다.
- [0059] 도 7을 참조하여 제어부(660)에 대해 설명한다.
- [0060] 리프्रेस시 제어부(710)는 리프्रेस시 커맨드(REF)에 응답하여 제1리프्रेस시 신호(REF1)를 활성화하되, 타겟 리프्रेस시 신호(TR)가 활성화된 경우 리프्रेस시 커맨드(REF)에 응답하여 제2리프्रेस시 신호(REF2)를 활성화한다.
- [0061] 타겟 리프्रेस시 제어부(720)는 래치신호(LAT) 및 타겟 리프्रेस시 신호(TR)를 생성한다. 타겟 리프्रेस시 제어부(720)는 하이 액티브 워드라인이 검출되면 래치신호(LAT)를 활성화할 수 있다. 또는 타겟 리프्रेस시 제어부(720)는 다양하게 설정되는 주기에 따라 주기적으로 래치신호(LAT)를 활성화할 수 있다. 또는 타겟 리프्रेस시 제어부(720)는 랜덤한 시점에 래치신호(LAT)를 활성화할 수 있다. 제1래치부(220)의 입력 어드레스(IA<0:N>)는 어드레스를 래치하는 시점에 액티브된 워드라인의 어드레스일 수 있다.
- [0062] 참고로 하이 액티브 워드라인은 설정된 구간(또는 시간) 동안 액티브 횟수가 기준횟수 이상인 워드라인이거나, 설정된 구간(또는 시간) 동안 액티브 빈도가 기준빈도 이상인 워드라인일 수 있다. 액티브 빈도는 메모리 장치

가 액티브 횡수를 소정의 횡수만큼 수행하는 동안 특정 워드라인이 액티브된 횡수를 나타낼 수 있다. 타겟 리프레시 제어부(720)는 각 워드라인이 액티브된 횡수 또는 소정의 구간 동안 어떤 워드라인들이 액티브되었는지 나타내는 액티브 히스토리를 저장하고, 이를 참조하여 하이 액티브 워드라인을 검출할 수 있다. 타겟 리프레시 제어부(720)는 각 워드라인의 액티브 횡수 또는 액티브 히스토리를 저장하기 위해 셀 어레이(670)로부터 직접 액티브에 관한 정보(ACT_INF)를 입력받거나, 액티브 커맨드(ACT) 및 어드레스(A<0:N>)를 입력받을 수 있다. 도 7에는 두 가지 경우를 모두 도시하였다.

- [0063] 타겟 리프레시 제어부(720)는 하이 액티브 워드라인이 검출된 후 타겟 리프레시 신호(TR)를 활성화할 수 있다. 또는 타겟 리프레시 제어부(720)는 리프레시 커맨드(REF)가 소정의 횡수(예를 들면 4회, 8회 등등)만큼 입력되면 타겟 리프레시 신호(TR)를 활성화할 수 있다. 타겟 리프레시 제어부(720)는 타겟 리프레시 신호(TR)가 활성화된 후 2회의 리프레시 동작이 완료되면 타겟 리프레시 신호(TR)를 비활성화할 수 있다.
- [0064] 액티브 신호 생성부(730)는 액티브 커맨드(ACT), 프리차지 커맨드(PRE)에 응답하여 액티브 신호(ACTP)를 생성한다. 보다 자세히 살펴보면, 액티브 신호 생성부(730)는 액티브 커맨드(ACT)에 응답하여 액티브 신호(ACTP)를 활성화하고, 프리차지 커맨드(PRE)에 응답하여 액티브 신호(PRE)를 비활성화한다. 또는 액티브 신호 생성부(730)는 리프레시 신호(REF1, REF2)에 응답하여 액티브 신호(ACTP)를 소정의 구간 동안 활성화한다. 소정의 구간은 선택된 워드라인(또는 리던던시 워드라인)을 리프레시하는데 필요한 시간(액티브하여 데이터를 증폭하고, 프리차지를 완료하는데 필요한 시간)에 대응할 수 있다.
- [0065] 리던던시 제어부(740)는 액티브 신호(ACTP)가 활성화되면 제1선택부(760)에서 선택된 어드레스(SA1<0:N>)를 입력받아 메모리 장치의 리던던시 동작을 제어한다. 메모리 장치의 리던던시 동작은 노멀 워드라인을 리던던시 워드라인으로 대체하는 동작을 나타낸다. 즉, 노멀 워드라인 대신에 이를 대체한 리던던시 워드라인을 액세스(액티브, 리프레시 등)하는 동작을 나타낸다.
- [0066] 리던던시 제어부(740)는 다수의 저장부(741 - 744) 및 제어신호 생성부(745)를 포함한다. 다수의 저장부(741 - 744)는 대응하는 리던던시 워드라인 그룹(RWG0 - RWG3)을 제어하기 위한 리던던시 신호들(RED0 - RED3)를 생성한다. 제어신호 생성부(745)는 리던던시 동작을 수행하는 경우 활성화되는 리던던시 제어신호(REDC)를 생성한다.
- [0067] 다수의 저장부(741 - 744)는 어드레스(SA1<0:N>)와 저장된 어드레스를 비교하여 같으면, 대응하는 리던던시 신호를 활성화한다. 제어신호 생성부(745)는 하나 이상의 리던던시 신호(RED0 - RED3)가 활성화되면, 리던던시 제어신호(REDC)를 활성화한다.
- [0068] 워드라인 제어부(750)는 제2선택부(770)에서 선택된 어드레스(SA2<0:N>), 리던던시 신호(RED0 - RED3) 및 리던던시 제어신호(REDC)에 응답하여 다수의 워드라인(WL0 - WLM) 및 다수의 리던던시 워드라인(RWL0 - RWL7) 중 하나를 선택하여 액세스한다. 워드라인 제어부(750)는 액티브 신호(ACTP)가 활성화되면 선택된 워드라인을 액티브하고, 액티브 신호(ACTP)가 비활성화되면 선택된 워드라인을 프리차지한다.
- [0069] 워드라인 제어부(750)는 리던던시 제어신호(REDC)가 비활성화된 경우 어드레스(SA2<0:N>)에 대응하는 워드라인을 선택한다. 워드라인 제어부(750)는 리던던시 제어신호(REDC)가 활성화된 경우 활성화된 리던던시 신호 및 최하위 비트(SA2<N>)에 응답하여 리던던시 워드라인을 선택한다. 예를 들어, 'RED2'가 활성화되고, 'SA2<N>'가 '0'인 경우 워드라인 제어부(750)는 'RWG2'의 첫번째 리던던시 워드라인(RWL4)을 선택한다.
- [0070] 워드라인 제어부(750)는 타겟 리프레시 구간에서 제1리프레시 동작시 활성화된 리던던시 신호 및 최하위 비트(SA2<N>)에 대응하는 리던던시 워드라인을 리프레시한다. 또한 워드라인 제어부(750)는 제2리프레시 동작시 최하위 비트(SA2<N>)가 '0'이면 활성화된 리던던시 신호의 다음 리던던시 신호 및 최하위 비트(SA2<N>)에 대응하는 리던던시 워드라인을 리프레시한다. 최하위 비트(SA2<N>)가 '1'이면 활성화된 리던던시 신호의 이전 리던던시 신호 및 최하위 비트(SA2<N>)에 대응하는 리던던시 워드라인을 리프레시한다.
- [0071] 예를 들어, 워드라인 제어부(750)는 제1리프레시 동작시 'RED1'가 활성화되고 'SA2<N>'가 '0'이면, 'RWG1'의 'RWL2'를 리프레시한다. 제2리프레시 동작시 'RED1'가 활성화되고 'SA2<N>'가 '0'이면, 'RWG2'의 'RWL4'를 리프레시한다.
- [0072] 다른 예로, 워드라인 제어부(750)는 제1리프레시 동작시 'RED1'가 활성화되고 'SA2<N>'가 '1'이면, 'RWG1'의 'RWL3'를 리프레시한다. 제2리프레시 동작시 'RED1'가 활성화되고 'SA2<N>'가 '1'이면, 'RWG0'의 'RWL1'를 리프레시한다.

- [0073] 제1선택부(760)는 입력 어드레스(IA<0:N>), 카운팅 어드레스(CTA<0:N>) 및 제3출력 어드레스(OUT3<0:N>) 중 하나의 어드레스를 선택하여 출력(SA1<0:N>)한다. 제1선택부(760)는 입력 어드레스(IA<0:N>)를 선택하되, 제1리프래시 신호(REF1)가 활성화된 경우 카운팅 어드레스(CTA<0:N>)를 선택하고, 제2리프래시 신호(REF2)가 활성화된 경우 제3출력 어드레스(OUT3<0:N>)를 선택한다.
- [0074] 제2선택부(770)는 입력 어드레스(IA<0:N>), 카운팅 어드레스(CTA<0:N>) 및 타겟 어드레스(OUT2<0:N>) 중 하나의 어드레스를 선택하여 출력(SA2<0:N>)한다. 제2선택부(770)는 입력 어드레스(IA<0:N>)를 선택하되, 제1리프래시 신호(REF1)가 활성화된 경우 카운팅 어드레스(CTA<0:N>)를 선택하고, 제2리프래시 신호(REF2)가 활성화된 경우 타겟 어드레스(OUT2<0:N>)를 선택한다.
- [0075] 도 8은 도 6의 메모리 장치의 동작을 설명하기 위한 도면이다.
- [0076] 도 8은 메모리 장치에 입력되는 커맨드와 메모리 장치의 타겟 리프래시 동작을 설명하기 위한 파형도이다. 도 8에 도시된 바와 같이, 메모리 장치는 타겟 리프래시 신호(TR)가 활성화되면, 타겟 리프래시 구간으로 진입하며 타겟 리프래시 구간에서 리프래시 커맨드(REF)가 입력되면 타겟 어드레스(OUT2<0:N>)를 이용해 선택되는 워드라인을 리프래시한다. 일반적으로 타겟 리프래시 구간 동안 리프래시 해야 하는 워드라인은 2개이다. 예를 들어, 래치신호(LAT)가 활성화되었을 때 K번 워드라인(WLK)의 어드레스가 래치된 경우 타겟 리프래시 구간에서 K-1번 워드라인(WLK-1) 및 K+1번 워드라인(WLK+1)을 리프래시해야 한다. 참고로 리프래시 순서는 K번 워드라인의 어드레스의 최하위 비트의 값에 따라 'WLK-1', 'WLK+1' 또는 'WLK+1', 'WLK-1'로 바뀔 수 있다.
- [0077] 제1리프래시(T_REF1) 및 제2리프래시(T_REF2) 사이에도 액티브 커맨드(ACT)가 및 래치신호(LAT)가 활성화될 수 있다. 어드레스 생성부(650)는 제1래치부(220) 및 제2래치부(230)를 구비하여, 제1래치부(220)는 타겟 리프래시와 관계없이 입력 어드레스(IA<0:N>)를 래치하고, 제2래치부(230)는 타겟 리프래시 구간에서 래치된 값을 유지함으로써 타겟 리프래시 구간에서도 다음 타겟 리프래시에 사용할 어드레스를 래치할 수 있다.
- [0078] 도 9는 본 발명의 일 실시예에 따른 어드레스 생성회로의 구성도이다.
- [0079] 도 9에 도시된 바와 같이, 어드레스 생성회로는 래치 제어부(910), 다수의 제1래치부(920_0 - 920_L), 다수의 제2래치부(930_0 - 930_L), 다수의 제3래치부(940_0 - 940_L), 선택부(950) 및 가감산부(960)를 포함할 수 있다. 도 9의 어드레스 생성회로는 다수의 제1 내지 제3래치부들(920_0 - 920_L, 930_0 - 930_L, 940_0 - 940_L)을 포함한다.
- [0080] 도 9를 참조하여 어드레스 생성회로에 대해 설명한다.
- [0081] 래치 제어부(910)는 다수의 제1 내지 제3래치부(920_0 - 920_L, 930_0 - 930_L, 940_0 - 940_L)를 제어하기 위한 신호들(LAT1<0:L>, LAT2<0:L>, LAT3<0:L>, UP<0:L>)을 생성한다. 래치 제어부(910)는 래치신호(LAT)가 활성화되면 제1제어신호들(LAT1<0:L>) 중 활성화된 선택신호(SEL<0:L>)에 대응하는 제1제어신호(LAT1<0:L>)를 활성화하고, 제2 및 제3제어신호들(LAT2<0:L>, LAT3<0:L>)을 활성화된 상태로 유지하되 타겟 리프래시 신호(TR)가 활성화된 구간에서 비활성화한다. 래치 제어부(910)는 타겟 리프래시 신호(TR)가 활성화된 구간에서 첫번째로 리프래시 신호(REF2<L>)가 활성화된 이후 선택신호들(REF2<0:L>)에 응답하여 갱신신호들(UP<0:L>)을 차례로 활성화한다.
- [0082] 제1래치부들(920_0 - 920_L)은 대응하는 제1제어신호(LAT1<0:L>)가 활성화되면 소정의 비트를 반전하여 입력 어드레스(IA<0:N>)를 래치 및 출력(다수의 제1출력 어드레스(OUT1_0<0:N> - OUT1_L<0:N>)라 함)한다.
- [0083] 제2래치부들(930_0 - 930_L)은 대응하는 제2제어신호(LAT2<0:L>)가 활성화된 구간에서 대응하는 제1출력 어드레스(OUT1_0<0:N> - OUT1_L<0:N>)를 입력받아 래치 및 출력한다. 제2래치부들(930_0 - 930_L)은 대응하는 제2제어신호(LAT2<0:L>)가 비활성화된 구간에서 제1출력 어드레스(OUT1_0<0:N> - OUT1_L<0:N>)를 입력받지 않고, 래치된 값을 유지한다. 제2래치부들(930_0 - 930_L)은 대응하는 갱신신호(UP<0:L>)가 활성화되면 가감산 어드레스(ASA<0:N>)를 입력받아 래치한다.
- [0084] 제3래치부들(940_0 - 940_L)은 대응하는 제3제어신호(LAT3<0:L>)가 활성화된 구간에서 대응하는 제1출력 어드레스(OUT1_0<0:N> - OUT1_L<0:N>)를 입력받아 래치 및 출력한다. 제3래치부들(940_0 - 940_L)은 대응하는 제3제어신호(LAT3<0:L>)가 비활성화된 구간에서 제1출력 어드레스(OUT1_0<0:N> - OUT1_L<0:N>)를 입력받지 않고, 래치된 값을 유지한다.

- [0085] 선택부(950)는 다수의 선택신호들(REF2<0:L>)에 응답하여 선택된 제2출력 어드레스(OUT2_0<0:N> - OUT2_L<0:N>)를 출력(SO<0:N>)한다. 선택부(950)는 선택신호들(REF2<0:L>)에 대응하는 제2출력 어드레스들(OUT2_0<0:N> - OUT2_L<0:N>)을 차례로 선택하여 출력(SO<0:N>)할 수 있다.
- [0086] 가감산부(960)는 선택된 제2출력 어드레스(SO<0:N>)를 입력받아, 소정의 값을 가/감산하여 가감산 어드레스(ASA<0:N>)를 생성할 수 있다. 가감산부(960)는 어드레스(SO<0:N>)의 소정의 비트가 제1값(예를 들면 '0')을 가지면 어드레스(SO2<0:N>)에 소정의 값(예를 들면 '2')을 가산하여 가감산 어드레스(ASA<0:N>)를 생성하고, 어드레스(SO2<0:N>)의 소정의 비트가 제2값(예를 들면 '1')을 가지면 어드레스(SO<0:N>)에 소정의 값을 감산(예를 들면 '2')하여 가감산 어드레스(ASA<0:N>)를 생성할 수 있다.
- [0087] 제2출력 어드레스들(OUT2_0<0:N> - OUT2_L<0:N>)은 메모리 장치에서 타겟 리프्रेस시 동작시 대응하는 बैं크(bank)의 워드라인을 선택하기 위한 타겟 어드레스로 사용된다. 제3출력 어드레스들(OUT3_0<0:N> - OUT3_L<0:N>)은 메모리 장치에서 대응하는 बैं크의 리턴던시 동작을 제어하기 위한 어드레스로 사용된다. 제2출력 어드레스들(OUT2_0<0:N> - OUT2_L<0:N>)은 타겟 리프्रेस시 구간에서 제1리프्रेस시 동작시 대응하는 बैं크의 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 값을 가지고, 제2리프्रेस시 동작시 가감산 어드레스(ASA<0:N>)와 같은 값을 가진다.
- [0088] 도 9의 제1래치부들(920_0 - 920_L) 각각은 도 3의 제1래치부(220)의 구성과 동일하고, 제2래치부들(930_0 - 930_L) 각각은 도 4의 제2래치부(230)의 구성과 동일하고, 제3래치부들(940_0 - 940_L) 각각은 도 5의 제3래치부(240)의 구성과 동일할 수 있다.
- [0089] 도 10은 본 발명의 일실시예에 따른 메모리 장치의 구성도이다.
- [0090] 도 10에 도시된 바와 같이, 메모리 장치는 커맨드 입력부(1010), 어드레스 입력부(1020), 커맨드 디코더(1030), 어드레스 카운팅부(1040), 어드레스 생성부(1050), 제어부(1060) 및 다수의 बैं크(BK0 - BKL)를 포함할 수 있다. 다수의 बैं크(BK0 - BKL) 각각은 도 6의 셀 어레이(670)에 대응한다.
- [0091] 도 10을 참조하여 메모리 장치에 대해 설명한다.
- [0092] 커맨드 입력부(1010), 어드레스 입력부(1020), 커맨드 디코더(1030) 및 어드레스 카운팅부(1040)는 도 6에서 대응하는 구성(610, 620, 630, 640)과 동일하게 동작한다.
- [0093] 어드레스 입력부(1020)는 다수의 बैं크(BK0 - BKL) 중 하나 이상의 बैं크를 선택하기 위한 बैं크 어드레스(BA<0:P>)를 더 입력받는다. 또한 어드레스 카운팅부(1040)는 다수의 제1리프्रेस시 신호(REF1<0:L>) 중 마지막으로 활성화되는 제1리프्रेस시 신호(REF1<L>)가 활성화될 때마다 카운팅 어드레스(CTA<0:N>)의 값을 1씩 증가시킬 수 있다.
- [0094] 도 9의 제1 내지 제3래치부들(920_0 - 920_L, 930_0 - 930_L, 940_0 - 940_L)은 각각 다수의 बैं크(BK0 - BKL) 중 하나의 बैं크에 대응하고, 대응하는 बैं크의 동작에 필요한 어드레스를 래치 및 생성한다. बैं크 어드레스 디코딩부(1070)는 बैं크 어드레스(BA<0:P>)를 디코딩하여 선택신호들(SEL<0:L>), 도 9의 선택신호(SEL<0:L>)에 대응함)을 생성한다.
- [0095] 어드레스 생성부(1050)는 래치신호(LAT)가 활성화되면 제1래치부들(920_0 - 920_L) 중 선택된 제1래치부(920_0 - 920_L)에 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 어드레스를 래치한다. 어드레스 생성부(1050)는 도 9의 어드레스 생성회로에 대응할 수 있다.
- [0096] 어드레스 생성부(1050)는 차례로 활성화되는 다수의 제2리프्रेस시 신호(REL2<0:L>)에 응답하여 각 बैं크(BK0 - BKL)에 대응하는 타겟 어드레스(OUT2_0<0:N> - OUT2_L<0:N>)를 차례로 출력한다. 예를 들어, 'REF2<1>'가 활성화되었을 때 출력된 타겟 어드레스(OUT2_1<0:N>)는 बैं크(BK1)를 위한 타겟 어드레스이다. 타겟 어드레스들(OUT2_0<0:N> - OUT2_L<0:N>)은 각 बैं크에 대응하는 제1래치부에 입력된 입력 어드레스(IA<0:N>)가 K번 워드라인(WLK)에 대응하면, K-1번 워드라인(WLK-1) 및 K+1번 워드라인(WLK+1)을 선택하기 위한 값을 가질 수 있다.
- [0097] 제어부(1060)는 액티브 커맨드(ACT)에 응답하여, बैं크 어드레스(BA<0:P>)로 선택된 बैं크의 입력 어드레스(IA<0:N>)에 대응하는 워드라인 또는 이를 대체한 리턴던시 워드라인을 액티브하고, 프리차지 커맨드(PRE)에 응답하여 액티브된 워드라인을 프리차지한다. 제어부(1060)는 노멀 리프्रेस시 동작시 각 बैं크에서 카운팅 어드레스(CTA<0:N>)에 대응하는 워드라인 또는 이를 대체한 리턴던시 워드라인을 리프्रेस시한다. 제어부(1060)는 타겟 리

프레스 동작시 각 뱅크에서 대응하는 타겟 어드레스(OUT2_0<0:N> - OUT2_L<0:N>) 및 대응하는 제3출력 어드레스(OUT3_0<0:N> - OUT3_L<0:N>)를 이용해 선택되는 워드라인 또는 리던던시 워드라인을 차례로 리프레시한다.

- [0098] 참고로 차례로 리프레시한다는 것은 모든 뱅크의 워드라인을 동시에 액티브-프리차지(리프레시 동작에 대응함) 하는 것이 아니라, 뱅크별로 소정의 시간 간격을 두어 워드라인을 차례로 액티브하고, 프리차지 하는 것을 나타낸다.
- [0099] 제어부(1060)는 1회의 리프레시 커맨드(REF)가 인가되면, 뱅크 별로 1개의 워드라인(또는 리던던시 워드라인)을 리프레시할 수 있다. 제어부(1060)는 노멀 리프레시 동작시 제1리프레시 신호들(REF1<0:L>)을 차례로 활성화하고, 타겟 리프레시 동작시 도 11의 설명에서 후술할 제2리프레시 신호들(REF2<0:L>)를 차례로 활성화할 수 있다.
- [0100] 제어부(1060)는 입력 어드레스(IA<0:N>)의 래치가 필요한 시점에 래치신호(LAT)를 활성화하고, 타겟 리프레시 구간 동안 타겟 리프레시 신호(TR)를 활성화한다. 도 9의 리프레시 신호(REF2<L>)는 제2리프레시 신호(REF2<L>)에 대응하고, 도 9의 선택신호들(REF2<0:L>)는 각각 다수의 제2리프레시 신호들(REF2<0:L>)에 대응한다.
- [0101] 도 11은 제어부(1060)의 구성도이다.
- [0102] 도 11에 도시된 바와 같이, 제어부(1060)는 리프레시 제어부(1110), 타겟 리프레시 제어부(1120), 뱅크 선택부(1130), 다수의 리던던시 제어부(1140_0 - 1140_L), 다수의 워드라인 제어부(1150_0 - 1150_L), 다수의 제1선택부(1160_0 - 1160_L) 및 제2선택부(1170_0 - 1170_L)를 포함할 수 있다.
- [0103] 도 11을 참조하여 제어부(1060)에 대해 설명한다.
- [0104] 리프레시 제어부(1110)는 리프레시 커맨드(REF)에 응답하여 다수의 제1리프레시 신호(REF1_0 - REF1_L)를 차례로 활성화하되, 타겟 리프레시 신호(TR)가 활성화된 경우 리프레시 커맨드(REF)에 응답하여 다수의 제2리프레시 신호(REF2_0 - REF2_L)를 차례로 활성화한다.
- [0105] 타겟 리프레시 제어부(1120)는 래치신호(LAT) 및 타겟 리프레시 신호(TR)를 생성한다. 타겟 리프레시 제어부(1120)의 동작은 도 7의 설명에서 상술한 타겟 리프레시 제어부(720)와 같다.
- [0106] 뱅크 선택부(1130)는 액티브 커맨드(ACT), 프리차지 커맨드(PRE) 및 선택신호(SEL<0:L>)에 응답하여 다수의 뱅크 액티브 신호(BACT<0:L>)를 생성한다. 보다 자세히 살펴보면, 뱅크 선택부(1130)는 액티브 커맨드(ACT)에 응답하여 선택신호(SEL<0:L>)로 선택된 뱅크 액티브 신호(BACT<0:L>)를 활성화하고, 프리차지 커맨드(PRE)에 응답하여 활성화된 뱅크 액티브 신호(BACT<0:L>)를 비활성화한다. 또한 뱅크 선택부(1130)는 다수의 리프레시 신호(REF1<0:L>, REF2<0:L>)에 응답하여 대응하는 뱅크 액티브 신호(BACT<0:L>)를 소정의 구간 동안 활성화한다. 뱅크 액티브 신호들(BACT<0:L>)는 각각 다수의 뱅크(BK0 - BKL) 중 하나의 뱅크에 대응한다.
- [0107] 다수의 리던던시 제어부(1140_0 - 1140_L)는 다수의 뱅크(1070_0 - 1070_L) 중 하나의 뱅크에 대응하며, 대응하는 뱅크 액티브 신호(BACT<0:L>)가 활성화되면 대응하는 제1선택부(1160_0 - 1160_L)에서 선택된 어드레스(SA1_0<0:N> - SA1_L<0:N>)를 입력받아 선택된 뱅크의 리던던시 동작을 제어한다.
- [0108] 다수의 리던던시 제어부(1140_0 - 1140_L)는 각각 다수의 저장부(1141_0 - 1144_0 내지 1141_L - 1144_L) 및 제어신호 생성부(1145_0 - 1145_L)를 포함한다. 다수의 저장부(1141_0 - 1144_0 내지 1141_L - 1144_L)는 각각 대응하는 뱅크의 리던던시 워드라인 그룹(RWG0 - RWG3)을 제어하기 위한 리던던시 신호들(RED0<0:L> - RED3<0:L>)를 생성한다. 제어신호 생성부들(1145_0 - 1145_L)은 대응하는 뱅크에서 리던던시 동작을 수행하는 경우 활성화되는 리던던시 제어신호(REDC<0:L>)를 생성한다. 각 저장부(1141_0 - 1144_0 내지 1141_L - 1144_L)는 대응하는 뱅크 액티브 신호(BACT<0:L>)가 활성화된 경우 대응하는 제1선택부의 출력(SA1_0<0:N> - SA1_L<0:N>)과 저장된 어드레스를 비교하여 같으면, 대응하는 리던던시 신호를 활성화한다. 제어신호 생성부(1145_0 - 1145_L)는 대응하는 리던던시 신호들(RED0<0:L> - RED3<0:L>) 중 하나 이상의 리던던시 신호가 활성화되면, 대응하는 리던던시 제어신호(REDC<0:L>)를 활성화한다.
- [0109] 다수의 워드라인 제어부(1150_0 - 1150_L)는 대응하는 제2선택부에서 선택된 어드레스(SA2_0<0:N> - SA2_L<0:N>), 대응하는 리던던시 신호(RED0<0:L> - RED3<0:L>) 및 대응하는 리던던시 제어신호(REDC<0:L>)에 응답하여 다수의 워드라인(WL0 - WLM) 및 다수의 리던던시 워드라인(RWL0 - RWL7) 중 하나를 선택하여 액세스한다. 워드라인 제어부들(1150_0 - 1150_L)은 대응하는 뱅크 액티브 신호(BACT<0:L>)가 활성화되면 선택된 워드라

인을 액티브하고, 대응하는 뱅크 액티브 신호(BACT<0:L>)가 비활성화되면 선택된 워드라인을 프리차지한다.

- [0110] 워드라인 제어부들(1150_0 - 1150_L)은 대응하는 리던던시 제어신호(REDC<0:L>)가 비활성화된 경우 대응하는 제2선택부에서 선택된 어드레스(SA2_0<0:N> - SA2_L<0:N>)에 대응하는 워드라인을 선택한다. 워드라인 제어부들(1150_0 - 1150_L)은 대응하는 리던던시 제어신호(REDC<0:L>)가 활성화된 경우 활성화된 리던던시 신호 및 대응하는 최하위 비트(SA2_0<N> - SA2_L<N>)에 응답하여 리던던시 워드라인을 선택한다. 예를 들어, 'BACT<0>'가 활성화된 경우 'RED2<0>'가 활성화되고, 'SA2_0<N>'가 '0'이면, 워드라인 제어부(1150_0)는 뱅크(1170_0)의 'RWG2'의 'RWL4'를 선택한다.
- [0111] 워드라인 제어부들(1150_0 - 1150_L)은 타겟 리프्रेस시 구간에서 제1리프्रेस시 동작시 대응하는 리던던시 신호들 중 활성화된 리던던시 신호 및 대응하는 최하위 비트(SA2_0<N> - SA2_L<N>)에 대응하는 리던던시 워드라인을 리프्रेस시한다. 또한 워드라인 제어부들(1150_0 - 1150_L)은 제2리프्रेस시 동작시 대응하는 최하위 비트(SA2_0<N> - SA2_L<N>)가 '0'이면 활성화된 리던던시 신호의 다음 리던던시 신호 및 최하위 비트(SA2<N>)에 대응하는 리던던시 워드라인을 리프्रेस시한다. 최하위 비트(SA2_0<N> - SA2_L<N>)가 '1'이면 활성화된 리던던시 신호의 이전 리던던시 신호 및 최하위 비트(SA2_0<N> - SA2_L<N>)에 대응하는 리던던시 워드라인을 리프्रेस시한다.
- [0112] 다수의 제1선택부(1160_0 - 1160_L)는 입력 어드레스(IA<0:N>), 카운팅 어드레스(CTA<0:N>) 및 제3출력 어드레스(OUT3_0<0:N> - OUT3_L<0:N>)를 입력받아 선택된 어드레스를 출력(SA1_0<0:N> - SA1_L<0:N>)한다. 다수의 제1선택부(1160_0 - 1160_L)는 입력 어드레스(IA<0:N>)를 선택하되, 대응하는 제1리프्रेस시 신호(REF1<0:L>)가 활성화된 경우 카운팅 어드레스(CTA<0:N>)를 선택하고, 대응하는 제2리프्रेस시 신호(REF2<0:L>)가 활성화된 경우 대응하는 제3출력 어드레스(OUT3_0<0:N> - OUT3_L<0:N>)를 선택한다.
- [0113] 다수의 제2선택부(1170_0 - 1170_L)는 입력 어드레스(IA<0:N>), 카운팅 어드레스(CTA<0:N>) 및 타겟 어드레스들(TA_0<0:N> - TA_L<0:N>)를 입력받아 선택된 어드레스를 출력(SA2_0<0:N> - SA2_L<0:N>)한다. 다수의 제2선택부(1170_0 - 1170_L)는 입력 어드레스(IA<0:N>)를 선택하되, 대응하는 제1리프्रेस시 신호(REF1<0:L>)가 활성화된 경우 카운팅 어드레스(CTA<0:N>)를 선택하고, 대응하는 제2리프्रेस시 신호(REF2<0:L>)가 활성화된 경우 대응하는 타겟 어드레스(OUT2_0<0:N> - OUT2_L<0:N>)를 선택한다.
- [0114] 도 12는 본 발명의 일 실시예에 따른 어드레스 생성회로의 구성도이다.
- [0115] 도 12에 도시된 바와 같이, 어드레스 생성회로는 래치 제어부(1210), 제1래치부(1220), 제2래치부(1230) 및 가감산부(1240)를 포함할 수 있다.
- [0116] 도 12을 참조하여 어드레스 생성회로에 대해 설명한다.
- [0117] 래치 제어부(1210)는 제1 및 제2래치부(1220, 1230)를 제어하기 위한 신호들(LAT1, LAT2, UP)을 생성한다. 래치 제어부(1210)는 래치신호(LAT)가 활성화되면 제1제어신호(LAT1)를 활성화하고, 제2제어신호(LAT2)를 활성화된 상태로 유지하되 타겟 리프्रेस시 신호(TR)가 활성화된 구간에서 비활성화한다. 래치 제어부(1210)는 리던던시 제어신호(REDC2)가 비활성화 상태면 타겟 리프्रेस시 신호(TR)가 활성화된 구간에서 첫번째로 리프्रेस시 신호(REF2)가 활성화된 이후 갱신신호(UP)를 활성화하고, 리던던시 제어신호(REDC2)가 활성화 상태면 갱신신호(UP)를 비활성화한다.
- [0118] 제1래치부(1220)는 제1제어신호(LAT1)가 활성화되면 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 어드레스 및 입력 어드레스(IA<0:N>)에 대응하는 리던던시 제어신호(REDC)를 래치하고 출력(제1출력 어드레스(OUT1<0:N>) 및 리던던시 제어신호(REDC1)라 함)한다.
- [0119] 제2래치부(1230)는 제2제어신호(LAT2)가 활성화된 구간에서 제1출력 어드레스(OUT1<0:N>) 및 리던던시 제어신호(REDC1)를 입력받아 래치하여 출력(제2출력 어드레스(OUT2<0:N>) 및 리던던시 제어신호(REDC2)라 함)한다. 제2래치부(1230)는 제2제어신호(LAT2)가 비활성화된 구간에서 위 신호들(OUT1<0:N>, REDC1)을 입력받지 않고, 래치된 값을 유지한다. 제2래치부(1230)는 갱신신호(UP)가 활성화되면 가감산 어드레스(ASA<0:N>)을 입력받아 래치한다.
- [0120] 가감산부(1240)는 도 2의 가감산부(250)와 동일하게 동작하여 제2출력 어드레스(OUT2<0:N>)를 입력받아, 가감산 어드레스(ASA<0:N>)를 생성한다.
- [0121] 제2출력 어드레스(OUT2<0:N>)는 메모리 장치에서 타겟 리프्रेस시 동작시 워드라인을 선택하기 위한 타겟 어드레

스, 메모리 장치의 리턴던시 동작을 제어하기 위한 어드레스로 사용된다. 제2출력 어드레스(OUT2<0:N>)는 제2출력 어드레스(OUT2<0:N>)는 타겟 리프래시 구간에서 제1리프래시 동작시 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 값을 가진다. 또한 제2리프래시 동작시 메모리 장치가 리턴던시 동작을 수행하지 않으면, 가감산 어드레스(ASA<0:N>)와 같은 값을 가지고, 메모리 장치가 리턴던시 동작을 수행하면, 그대로 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 값을 가진다.

- [0122] 도 12의 어드레스 생성회로는 제1 및 제2래치부(1220, 1230)가 리턴던시 제어신호(REDC)를 추가로 래치하고, 래치된 리턴던시 제어신호(REDC)의 상태를 참조해 제2래치부(1230)의 어드레스를 가감산 어드레스(ASA<0:N>)로 갱신할지 여부를 판단하여 도 2의 어드레스 생성회로와 달리 제3래치부(240)를 필요로 하지 않는다. 따라서 도 2의 어드레스 생성회로와 동일한 동작을 지원하면서 회로의 면적을 줄일 수 있다.
- [0123] 도 13는 제1래치부(1220)의 구성도이다.
- [0124] 도 13에 도시된 바와 같이, 제1래치부(1220)는 도 3의 제1래치부(220)의 구성에서 리턴던시 제어신호(REDC)에 대응하는 입력부(1310) 및 래치(1320)를 더 포함할 수 있다.
- [0125] 제1입력부(1310) 및 래치(1320)는 리턴던시 제어신호(REDC)를 입력받아 래치 및 출력한다는 점을 제외하면 도 3의 설명에서 상술한 입력부들(310_0 - 310_N) 및 래치들(320_0 - 320_N)과 같다.
- [0126] 도 14는 제2래치부(1230)의 구성도이다.
- [0127] 도 14에 도시된 바와 같이, 제2래치부(1230)는 도 4의 제1래치부(230)의 구성에서 리턴던시 제어신호(REDC1)에 대응하는 입력부(1410) 및 래치(1420)를 더 포함할 수 있다.
- [0128] 입력부(1410) 및 래치(1420)는 리턴던시 제어신호(REDC1)를 입력받아 래치 및 출력한다는 점을 제외하면 도 3의 설명에서 상술한 제1입력부들(410_0 - 410_N) 및 래치들(430_0 - 430_N)과 같다.
- [0129] 도 15는 래치 제어부(1210)의 구성도이다.
- [0130] 도 15에 도시된 바와 같이, 래치 제어부(1210)는 제1제어신호 생성부(1510), 제2제어신호 생성부(1520), 프리 갱신신호 생성부(1530) 및 갱신신호 생성부(1540)를 포함한다.
- [0131] 제1제어신호 생성부(1510)는 래치신호(LAT)가 활성화되면 제1제어신호(LAT1)를 소정의 구간 동안 활성화한다. 소정의 활성화 구간은 입력 어드레스(IA<0:N>) 및 리턴던시 제어신호(REDC)를 안정적으로 래치하기 위해 필요한 시간일 수 있다.
- [0132] 제2제어신호 생성부(1520)는 활성화된 제2제어신호(LAT2)를 생성하되, 타겟 리프래시 신호(TR)가 활성화된 구간에서 제2제어신호(LAT2)를 비활성화한다.
- [0133] 프리 갱신신호 생성부(1530)는 타겟 리프래시 신호(TR)가 활성화된 후 첫번째로 리프래시 신호(REF2)가 활성화되면, 그 이후에 프리 갱신신호(PRE_UP)를 활성화한다. 보다 자세히 살펴보면, 프리 갱신 신호 생성부(1530)는 첫번째로 리프래시 신호(REF2)가 활성화된 후 다시 비활성화되면, 소정의 시간이 지난 후에 프리 갱신 신호(PRE_UP)를 활성화한다.
- [0134] 갱신신호 생성부(1540)는 리턴던시 제어신호(REDC2)가 비활성화 상태이면 프리 갱신신호(PRE_UP)를 갱신신호(UP)로 전달하고, 리턴던시 제어신호(REDC2)가 활성화 상태이면 프리 갱신신호(PRE_UP)를 차단하고, 갱신신호(UP)를 비활성화한다.
- [0135] 도 16은 본 발명의 일실시예에 따른 메모리 장치의 구성도이다.
- [0136] 도 16에 도시된 바와 같이, 메모리 장치는 커맨드 입력부(1610), 어드레스 입력부(1620), 커맨드 디코더(1630), 어드레스 카운팅부(1640), 어드레스 생성부(1650), 제어부(1660) 및 셀 어레이(1670)를 포함할 수 있다.
- [0137] 도 12 내지 도 16을 참조하여 메모리 장치에 대해 설명한다.

- [0138] 커맨드 입력부(1610), 어드레스 입력부(1620), 커맨드 디코더(1630) 및 어드레스 카운팅부(1640) 및 셀 어레이(1670)는 도 6에서 대응하는 구성(610, 620, 630, 640, 670)과 동일한 구성을 가지며, 동일하게 동작한다.
- [0139] 어드레스 생성부(1650)는 래치신호(LAT)에 응답하여 입력 어드레스(IA<0:N>)를 소정의 비트를 반전한 어드레스 및 입력 어드레스(IA<0:N>)에 대응하는 리턴던시 제어신호(REDC)를 래치하고, 타겟 리프레시 신호(TR)가 활성화된 구간에서 타겟 어드레스(OUT2<0:N>)를 생성한다. 어드레스 생성부(1650)는 도 12의 어드레스 생성회로에 대응한다. 리턴던시 제어신호(REDC)는 입력 어드레스(IA<0:N>)에 대응하는 워드라인이 리턴던시 워드라인으로 대체된 경우 활성화되고, 대체되지 않은 경우 비활성화되는 신호이다.
- [0140] 타겟 리프레시 구간의 제1리프레시 동작시 타겟 어드레스(OUT2<0:N>)는 입력 어드레스(IA<0:N>)에서 소정의 비트를 반전한 값을 가진다. 또한 제2리프레시 동작시 타겟 어드레스(OUT2<0:N>)는 래치된 리턴던시 제어신호(REDC2)가 비활성화 상태이면 가감산 어드레스(ASA<0:N>)와 같은 값을 가지고, 래치된 리턴던시 제어신호(REDC2)가 활성화 상태이면 입력 어드레스(IA<0:N>)에서 소정의 비트를 반전한 값(제1리프레시 동작시와 같은 값)을 가진다.
- [0141] 제어부(1660)는 제2출력 어드레스(OUT2<0:N>)를 이용해 리턴던시 동작을 수행한다는 점을 제외하면, 도 6의 메모리 장치의 제어부(660)와 그 구성 및 동작이 동일하다.
- [0142] 도 12의 어드레스 생성회로는 도 2의 어드레스 생성회로와 달리 리턴던시 제어신호(REDC)를 추가로 래치한다. 래치된 리턴던시 제어신호(REDC)를 이용해 타겟 어드레스(OUT2<0:N>)의 값을 타겟 리프레시 구간의 제2리프레시 동작시 가감산 어드레스(ASA<0:N>)로 갱신하거나, 기존의 값(입력 어드레스(IA<0:N>)에서 최하위 비트(IA<N>)를 반전한 값)으로 유지한다.
- [0143] K번 워드라인(WLK)이 하이 액티브 워드라인인 경우(또는 래치신호(LAT)가 활성화되었을 때의 입력 어드레스(IA<0:N>)인 경우) K-1번 워드라인(WLK-1)와 K+1번 워드라인(WLK+1)을 타겟 리프레시해야 한다. 이때 K-1번 워드라인(WLK-1) 및 K+1번 워드라인(WLK+1)은 입력 어드레스(IA<0:N>)의 최하위 비트(IA<N>)를 반전한 어드레스 및 가감산 어드레스(ASA<0:N>)를 통해 선택할 수 있다. 그러나 K번 워드라인(WLK)을 대체한 리턴던시 워드라인이 하이 액티브 워드라인인 경우(또는 래치신호(LAT)가 활성화되었을 때의 입력 어드레스(IA<0:N>)인 경우) 입력 어드레스(IA<0:N>)의 최하위 비트(IA<N>)를 반전한 어드레스로 K번 워드라인(WLK)을 대체한 리턴던시 워드라인의 이전 또는 이후 리턴던시 워드라인 중 하나를 선택할 수 있지만 가감산 어드레스(ASA<0:N>)를 통해서 나머지 리턴던시 워드라인을 선택할 수 없다.
- [0144] 예를 들어, 입력 어드레스(IA<0:N>)는 K번 워드라인(WLK)에 대응하고, 최하위 비트(IA<N>)는 '0'이고, K번 워드라인(WLK) 및 K+1번 워드라인(WLK+1)이 'RWG2'의 'RWL4' 및 'RWL5'로 대체되었다고 하자. 이 경우 입력 어드레스(IA<0:N>)의 최하위 비트(IA<N>)를 반전한 어드레스에 응답하여 'RED2'가 활성화되고, 타겟 어드레스의 최하위 비트(OUT2<N>)는 '1'(IA<N>를 반전함)이므로, 'RED2'와 'OUT2<N>'을 이용해 'RWL5'를 선택할 수 있다. 그러나 가감산 어드레스(ASA<0:N>)에 대응하는 K-1번 워드라인(WLK-1)은 K번 워드라인(WLK)과 다른 워드라인 그룹에 속하므로, 대체되었는지 여부도 알 수 없고, 대체되었다 하더라도 'RWL3'로 대체되었다는 보장은 알 수 없다.
- [0145] 따라서 도 6의 메모리 장치의 경우 타겟 리프레시 동작시 'RWL3'를 선택하기 위해 'RED2'를 활성화할 수 있도록 입력 어드레스(IA<0:N>)의 최하위 비트(IA<N>)를 반전한 어드레스를 제3래치부(240)에 따로 저장하고 타겟 리프레시 구간에서 리턴던시 동작에 사용한다. 반면에 도 16의 메모리 장치는 타겟 리프레시 구간에서 입력 어드레스(IA<0:N>)에 대응하는 워드라인이 대체된 경우 제2래치부(1230)에서 래치된 어드레스를 유지함으로써 타겟 리프레시 구간 동안 리턴던시 동작에 사용할 수 있고, 따라서 제3래치부를 필요로 하지 않는다.
- [0146] 도 17은 제어부(1660)의 구성도이다.
- [0147] 도 17에 도시된 바와 같이, 제어부(1660)는 리프레시 제어부(1710), 타겟 리프레시 제어부(1720), 액티브 신호 생성부(1730), 리턴던시 제어부(1740), 워드라인 제어부(1750), 선택부(1760)를 포함할 수 있다.
- [0148] 도 17을 참조하여 제어부(1660)에 대해 설명한다.
- [0149] 도 17의 제어부(1660)는 도 7의 제어부(660)와는 달리 제3출력 어드레스(OUT3<0:N>)를 입력받지 않으므로, 선택부(1760)를 한개만 포함하며 여기에서 선택된 어드레스(SA<0:N>)가 리턴던시 제어부(1740) 및 워드라인 제어부(1750)로 입력된다. 리턴던시 제어부(1740) 및 워드라인 제어부(1750)는 동일한 어드레스(SA<0:N>)를 입력받아

도 7의 설명에서 상술한 동작들을 수행한다.

- [0150] 도 17의 제어부(1660)의 나머지 구성들(1710, 1720, 1730)의 동작은 도 7의 대응하는 구성들(710, 720, 730)과 동일하게 동작한다.
- [0151] 도 18은 본 발명의 일실시예에 따른 어드레스 생성회로의 구성도이다.
- [0152] 도 18에 도시된 바와 같이, 어드레스 생성회로는 래치 제어부(1810), 다수의 제1래치부(1820_0 - 1820_L), 다수의 제2래치부(1830_0 - 1830_L), 선택부(1840) 및 가감산부(1850)를 포함할 수 있다. 도 18의 어드레스 생성회로는 다수의 제1 및 제2래치부들(1820_0 - 1820_L, 1830_0 - 1830_L)을 포함한다.
- [0153] 도 18을 참조하여 어드레스 생성회로에 대해 설명한다.
- [0154] 래치 제어부(1810)는 다수의 제1 및 제2래치부(1820_0 - 1820_L, 1830_0 - 1830_L)를 제어하기 위한 신호들(LAT1<0:L>, LAT2<0:L>, UP<0:L>)을 생성한다. 래치 제어부(1810)는 래치신호(LAT)가 활성화되면 제1제어신호들(LAT1<0:L>) 중 활성화된 선택신호(SEL<0:L>)에 대응하는 제1제어신호(LAT1<0:L>)를 활성화하고, 제2 제어신호들(LAT2<0:L>)을 활성화된 상태로 유지하되 타겟 리프्रेस 신호(TR)가 활성화된 구간에서 비활성화한다.
- [0155] 래치 제어부(1810)는 대응하는 리턴던시 제어신호(REDC2<0:L>)가 비활성화 상태인 갱신신호(UP<0:L>)들은 타겟 리프्रेस 신호(TR)가 활성화된 구간에서 첫번째로 리프्रेस 신호(REF2<L>)가 활성화된 이후 활성화한다. 또한 래치 제어부(1810)는 대응하는 리턴던시 제어신호(REDC2<0:L>)가 활성화 상태인 갱신신호(UP<0:L>)들은 비활성화한다.
- [0156] 제1래치부들(1820_0 - 1820_L)은 대응하는 제1제어신호(LAT1<0:L>)가 활성화되면 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 어드레스 및 입력 어드레스(IA<0:N>)에 대응하는 리턴던시 제어신호(REDC<0:L>)를 래치하고 출력(제1출력 어드레스(OUT1_0<0:N> - OUT1_L<0:N>) 및 리턴던시 제어신호(REDC1<0:L>)라 함)한다.
- [0157] 제2래치부들(1830_0 - 1830_L)은 대응하는 제2제어신호(LAT2<0:L>)가 활성화된 구간에서 대응하는 제1래치부(1820_0 - 1820_L)의 출력(OUT1_0<0:N> - OUT1_L<0:N>, REDC1<0:L>)을 입력받아 래치 및 출력(제2출력 어드레스(OUT2_0<0:N> - OUT2_L<0:N>) 및 리턴던시 제어신호(REDC2<0:L>)라 함)한다. 제2래치부들(1830_0 - 1830_L)은 대응하는 제2제어신호(LAT2<0:L>)가 비활성화된 구간에서 대응하는 제1래치부(1820_0 - 1820_L)의 출력(OUT1_0<0:N> - OUT1_L<0:N>, REDC1<0:L>)을 입력받지 않고, 래치된 값을 유지한다. 제2래치부들(1830_0 - 1830_L)은 대응하는 갱신신호(UP<0:L>)가 활성화되면 가감산 어드레스(ASA<0:N>)를 입력받아 래치한다.
- [0158] 선택부(1840) 및 가감산부(1850)의 동작은 도 9의 설명에서 상술한 선택부(950) 및 가감산부(960)의 동작과 동일하다.
- [0159] 제2출력 어드레스들(OUT2_0<0:N> - OUT2_L<0:N>)은 메모리 장치에서 타겟 리프्रेस 동작시 대응하는 बैं크(bank)의 워드라인을 선택하기 위한 타겟 어드레스 및 대응하는 बैं크의 리턴던시 동작을 제어하기 위한 어드레스로 사용된다. 제2출력 어드레스들(OUT2_0<0:N> - OUT2_L<0:N>)은 타겟 리프्रेस 구간에서 제1리프्रेस 동작시 대응하는 बैं크의 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 값을 가진다. 또한 제2리턴던시 동작시 대응하는 बैं크가 리턴던시 동작을 수행하지 않으면, 가감산 어드레스(ASA<0:N>)와 같은 값을 가지고, 대응하는 बैं크가 리턴던시 동작을 수행하면, 그대로 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 값을 가진다.
- [0160] 도 18의 제1래치부들(1820_0 - 1820_L) 각각은 도 13의 제1래치부(1220)의 구성과 동일하고, 제2래치부들(1830_0 - 1830_L) 각각은 도 14의 제2래치부(1230)의 구성과 동일할 수 있다.
- [0161] 도 19는 래치 제어부(1810)의 구성도이다.
- [0162] 도 19에 도시된 바와 같이, 래치 제어부(1810)는 제1제어신호 생성부(1910), 제2제어신호 생성부(1920), 프리 갱신신호 생성부(1930) 및 갱신신호 생성부(1940)를 포함한다.
- [0163] 제1제어신호 생성부(1910)는 래치신호(LAT)가 활성화되면, 선택신호들(SEL<0:L>) 중 활성화된 선택신호에 대응하는 제1제어신호(LAT1<0:L>)를 소정의 구간 동안 활성화한다. 소정의 활성화 구간은 입력 어드레스(IA<0:N>) 및 리턴던시 제어신호(REDC<0:L>)를 안정적으로 래치하기 위해 필요한 시간일 수 있다.
- [0164] 제2제어신호 생성부(1920)는 활성화된 제2제어신호들(LAT2<0:L>)를 생성하되, 타겟 리프्रेस 신호(TR)가 활성화

된 구간에서 제2제어신호들(LAT2<0:L>)를 비활성화한다.

- [0165] 프리 갱신신호 생성부(1930)는 타겟 리프्रेस시 신호(TR)가 활성화된 후 첫번째로 리프्रेस시 신호(REF2<L>)가 활성화되면, 그 이후에 선택신호들(REF2<0:L>)에 응답하여 다수의 프리 갱신신호(PRE_UP<0:L>)를 차례로 활성화한다. 보다 자세히 살펴보면, 프리 갱신신호 생성부(1930)는 첫번째로 리프्रेस시 신호(REF2<L>)가 활성화된 후 다시 비활성화되면, 소정의 시간이 지난 후에 차례로 활성화되는 선택신호들(REF2<0:L>)에 응답하여 대응하는 프리 갱신신호(PRE_UP<0:L>)를 차례로 활성화한다.
- [0166] 갱신신호 생성부(1940)는 대응하는 리턴던시 제어신호(REDC2<0:L>)가 비활성화 상태이면 프리 갱신신호(PRE_UP<0:L>)를 대응하는 갱신신호(UP<0:L>)로 전달하고, 대응하는 리턴던시 제어신호(REDC2<0:L>)가 활성화 상태이면 프리 갱신신호(PRE_UP<0:L>)를 차단하고, 대응하는 갱신신호(UP<0:L>)를 비활성화한다.
- [0167] 도 20은 본 발명의 일실시예에 따른 메모리 장치의 구성도이다.
- [0168] 도 20에 도시된 바와 같이, 메모리 장치는 커맨드 입력부(2010), 어드레스 입력부(2020), 커맨드 디코더(2030), 어드레스 카운팅부(2040), 어드레스 생성부(2050), 제어부(2060) 및 다수의 뱅크(BK0 - BKL)를 포함할 수 있다. 다수의 뱅크(BK0 - BKL) 각각은 도 16의 셀 어레이(1670)에 대응한다.
- [0169] 도 20을 참조하여 메모리 장치에 대해 설명한다.
- [0170] 커맨드 입력부(2010), 어드레스 입력부(2020), 커맨드 디코더(2030) 및 어드레스 카운팅부(2040)는 도 16에서 대응하는 구성(1610, 1620, 1630, 1640)과 동일하게 동작한다.
- [0171] 어드레스 입력부(2020)는 다수의 뱅크(BK0 - BKL) 중 하나 이상의 뱅크를 선택하기 위한 뱅크 어드레스(BA<0:P>)를 더 입력받는다. 또한 어드레스 카운팅부(2040)는 다수의 제1리프्रेस시 신호(REF1<0:L>) 중 마지막으로 활성화되는 제1리프्रेस시 신호(REF1<L>)가 활성화될 때마다 카운팅 어드레스(CTA<0:N>)의 값을 1씩 증가시킬 수 있다.
- [0172] 도 18의 제1 및 제2래치부들(1820_0 - 1820_L, 1830_0 - 1830_L)은 각각 다수의 뱅크(BK0 - BKL) 중 하나의 뱅크에 대응하고, 대응하는 뱅크의 동작에 필요한 어드레스 및 리턴던시 제어신호를 래치 및 생성한다. 뱅크 어드레스 디코딩부(2070)는 뱅크 어드레스(BA<0:P>)를 디코딩하여 선택신호들(SEL<0:L>), 도 18의 선택신호(SEL<0:L>)에 대응함)을 생성한다.
- [0173] 어드레스 생성부(2050)는 래치신호(LAT)가 활성화되면 제1래치부들(1820_0 - 1820_L) 중 선택된 제1래치부(1820_0 - 1820_L)에 입력 어드레스(IA<0:N>)의 소정의 비트를 반전한 어드레스 및 입력 어드레스(IA<0:N>)에 대응하는 리턴던시 제어신호(REDC<0:L>)를 래치한다. 어드레스 생성부(2050)는 도 18의 어드레스 생성회로에 대응한다. 리턴던시 제어신호(REDC<0:L>)는 대응하는 뱅크에서 입력 어드레스(IA<0:N>)에 대응하는 워드라인이 리턴던시 워드라인으로 대체된 경우 활성화되고, 대체되지 않은 경우 비활성화되는 신호이다.
- [0174] 타겟 리프्रेस시 구간의 제1리프्रेस시 동작시 타겟 어드레스(OUT2_0<0:N> - OUT2_L<0:N>)는 대응하는 제1래치부(1820_0 - 1820_L)에 입력된 입력 어드레스(IA<0:N>)에서 소정의 비트를 반전한 값을 가진다. 또한 제2리프्रेस시 동작시 각 타겟 어드레스(OUT2_0<0:N> - OUT2_L<0:N>)는 대응하는 리턴던시 제어신호(REDC2<0:L>)가 비활성화 상태이면 가감산 어드레스(ASA<0:N>)와 같은 값을 가지고, 대응하는 리턴던시 제어신호(REDC2<0:L>)가 활성화 상태이면 대응하는 제1래치부(1820_0 - 1820_L)에 입력된 입력 어드레스(IA<0:N>)에서 소정의 비트를 반전한 값(제1리프्रेस시 동작시와 같은 값)을 가진다.
- [0175] 제어부(2060)는 제2출력 어드레스들(OUT2_0<0:N> - OUT2_L<0:N>)를 이용해 리턴던시 동작을 수행한다는 점을 제외하면, 도 10의 메모리 장치의 제어부(1060)와 그 구성 및 동작이 동일하다.
- [0176] 도 21은 제어부(2060)의 구성도이다.
- [0177] 도 21에 도시된 바와 같이, 제어부(2060)는 리프्रेस시 제어부(2110), 타겟 리프्रेस시 제어부(2120), 뱅크 선택부(2130), 다수의 리턴던시 제어부(2140_0 - 2140_L), 다수의 워드라인 제어부(2150_0 - 2150_L) 및 다수의 선택부(2160_0 - 2160_L)를 포함할 수 있다.
- [0178] 도 21을 참조하여 제어부(2060)에 대해 설명한다.

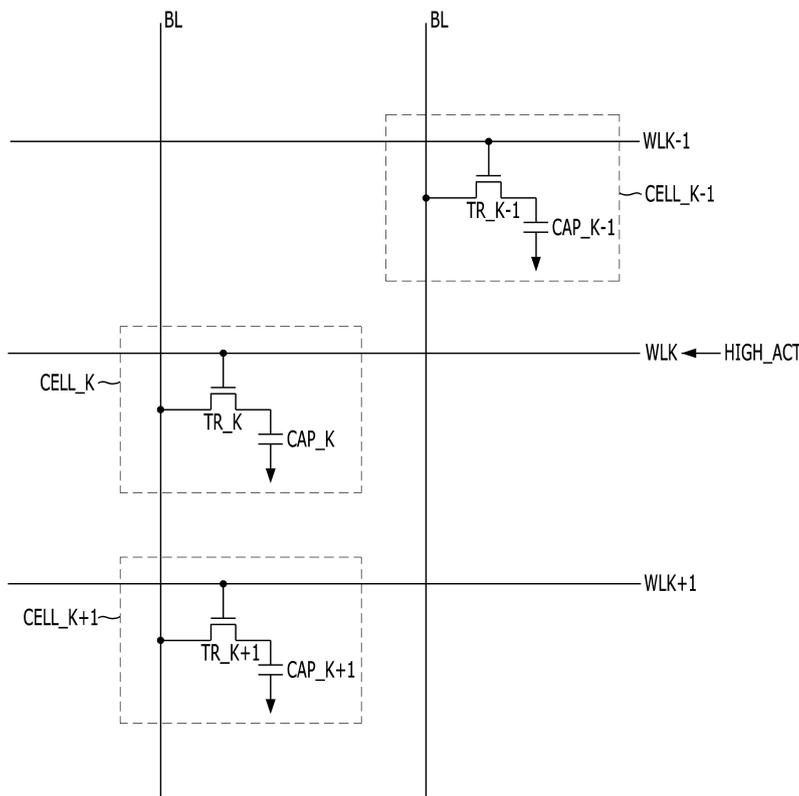
[0179] 도 21의 제어부(2060)는 도 11의 제어부(1060)와는 달리 제3출력 어드레스들(OUT3_0<0:N> - OUT3_L<0:N>)를 입력받지 않으므로, 선택부(2160_0 - 1160_L)를 한 종류만 포함하며 여기에서 선택된 어드레스(SA_0<0:N> - SA_L<0:N>)가 대응하는 리턴던시 제어부(2140_0 - 2140_L) 및 워드라인 제어부(2150_0 - 2150_L)로 입력된다. 다수의 워드라인 제어부(2150_0 - 2150_L) 및 다수의 선택부(2160_0 - 2160_L)는 각각 대응하는 동일한 어드레스(SA_0<0:N> - SA_L<0:N>)를 입력받아 도 11의 설명에서 상술한 동작들을 수행한다.

[0180] 도 21의 제어부(2060)의 나머지 구성들(2110, 2120, 2130)의 동작은 도 11의 대응하는 구성들(1110, 1120, 1130)과 동일하게 동작한다.

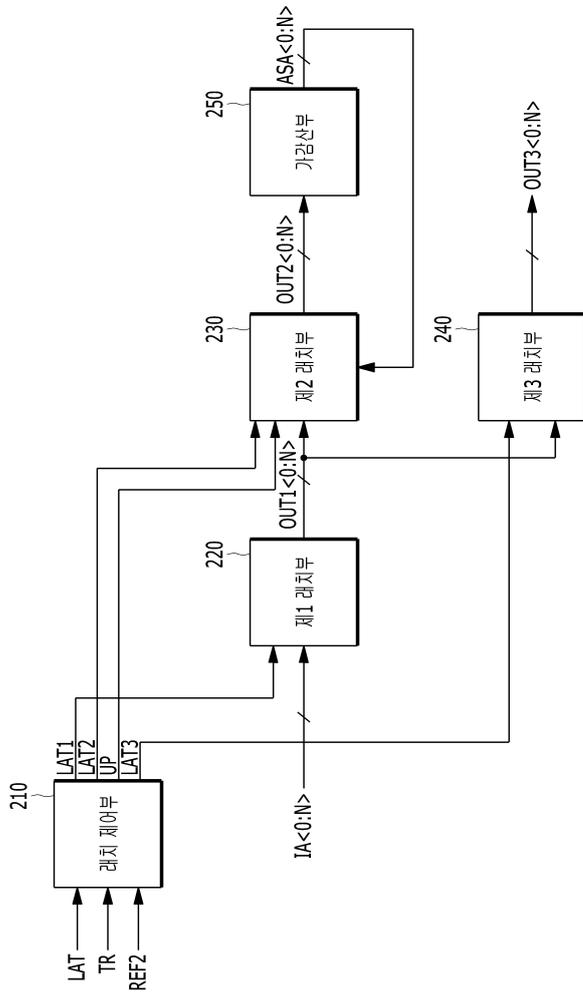
[0181] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

도면

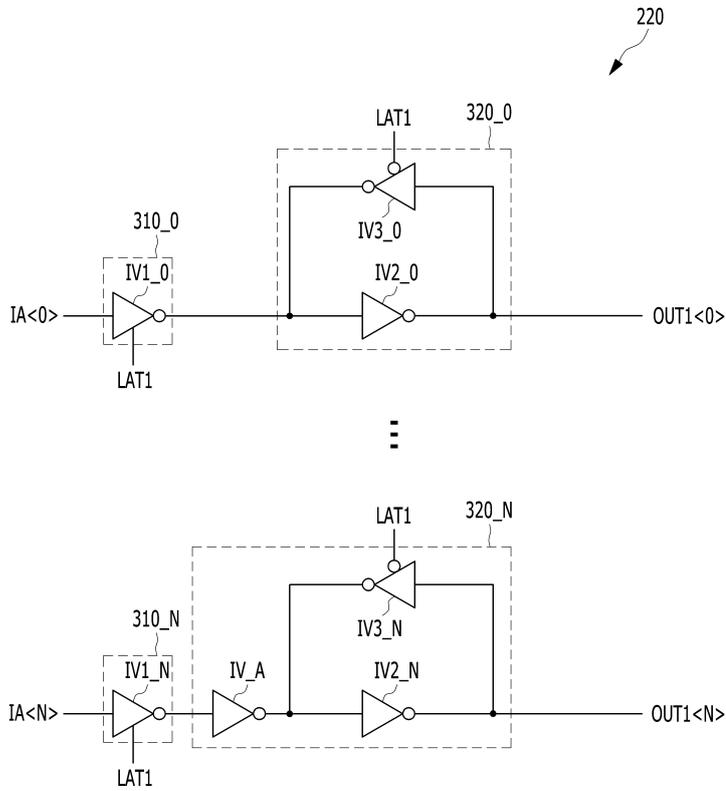
도면1



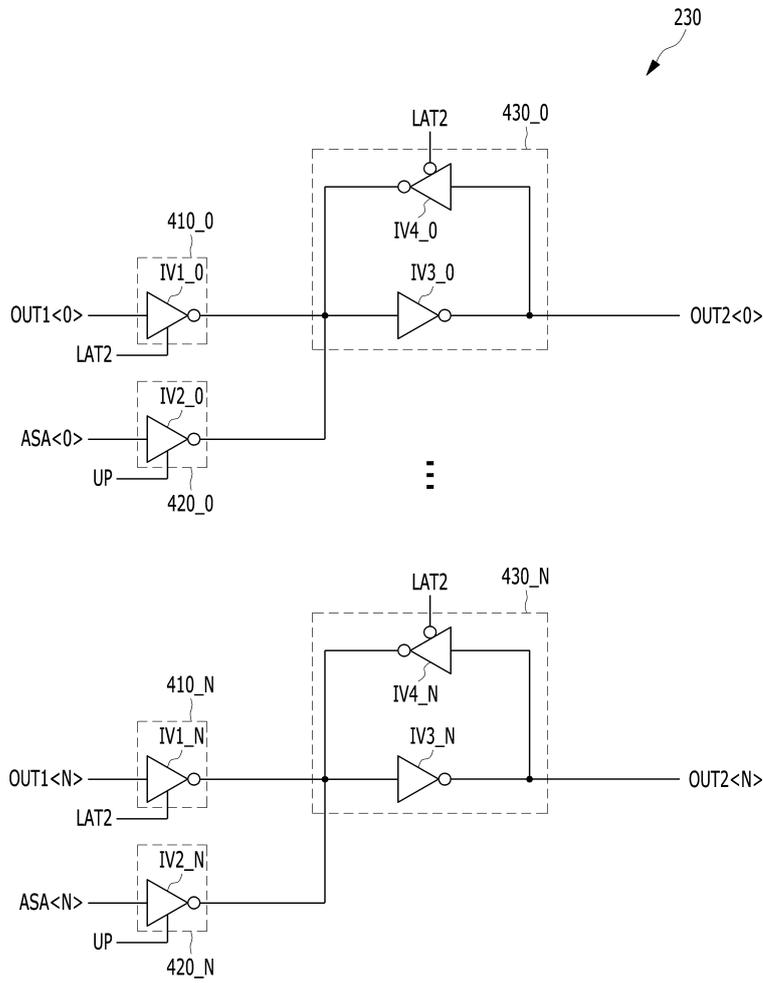
도면2



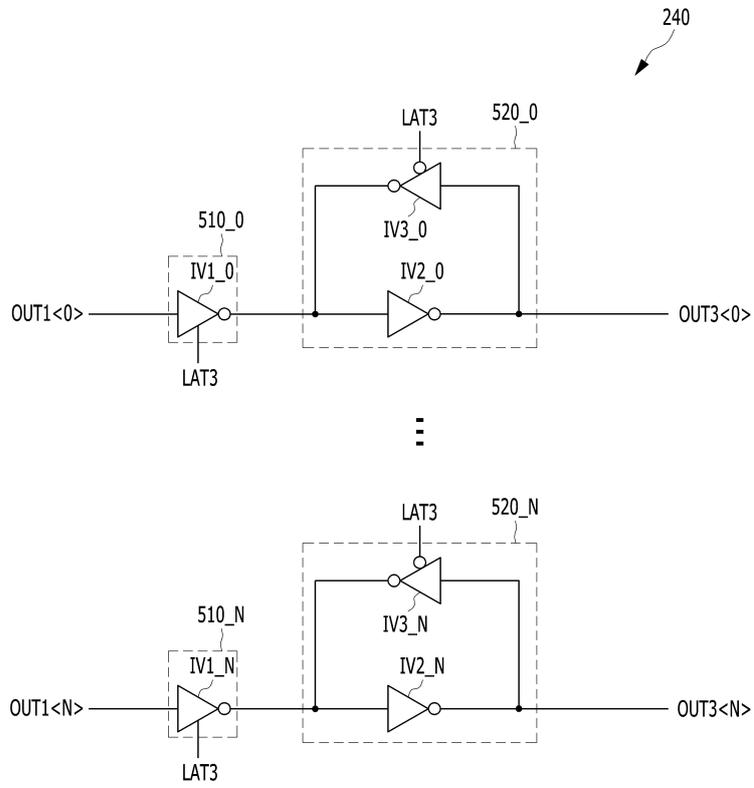
도면3



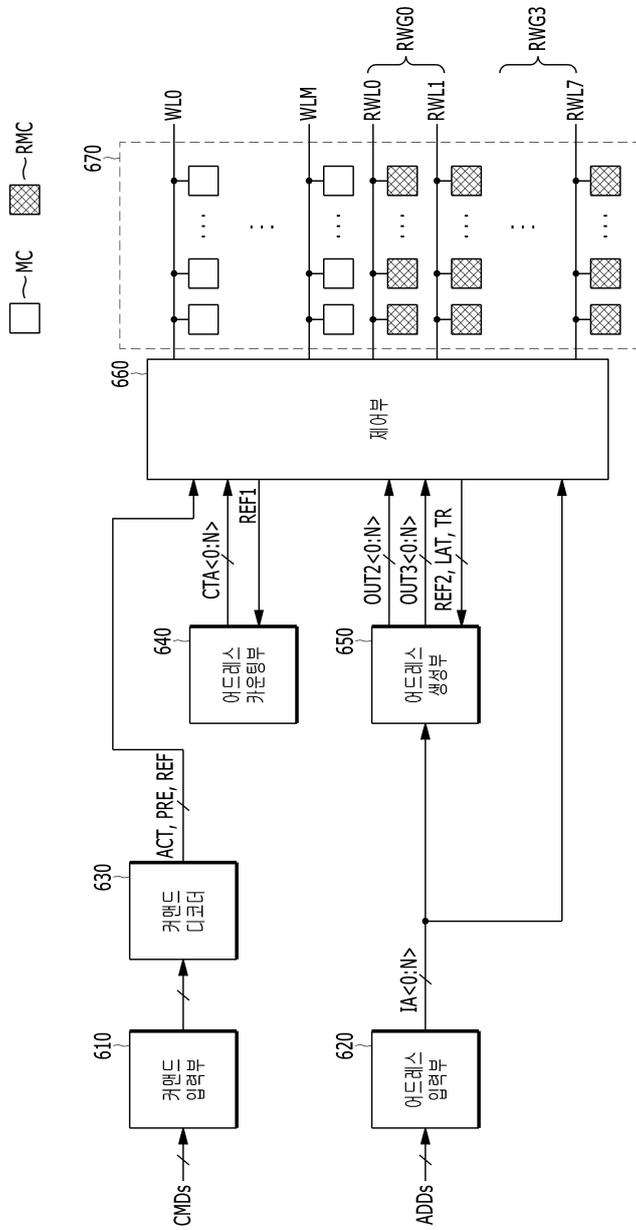
도면4



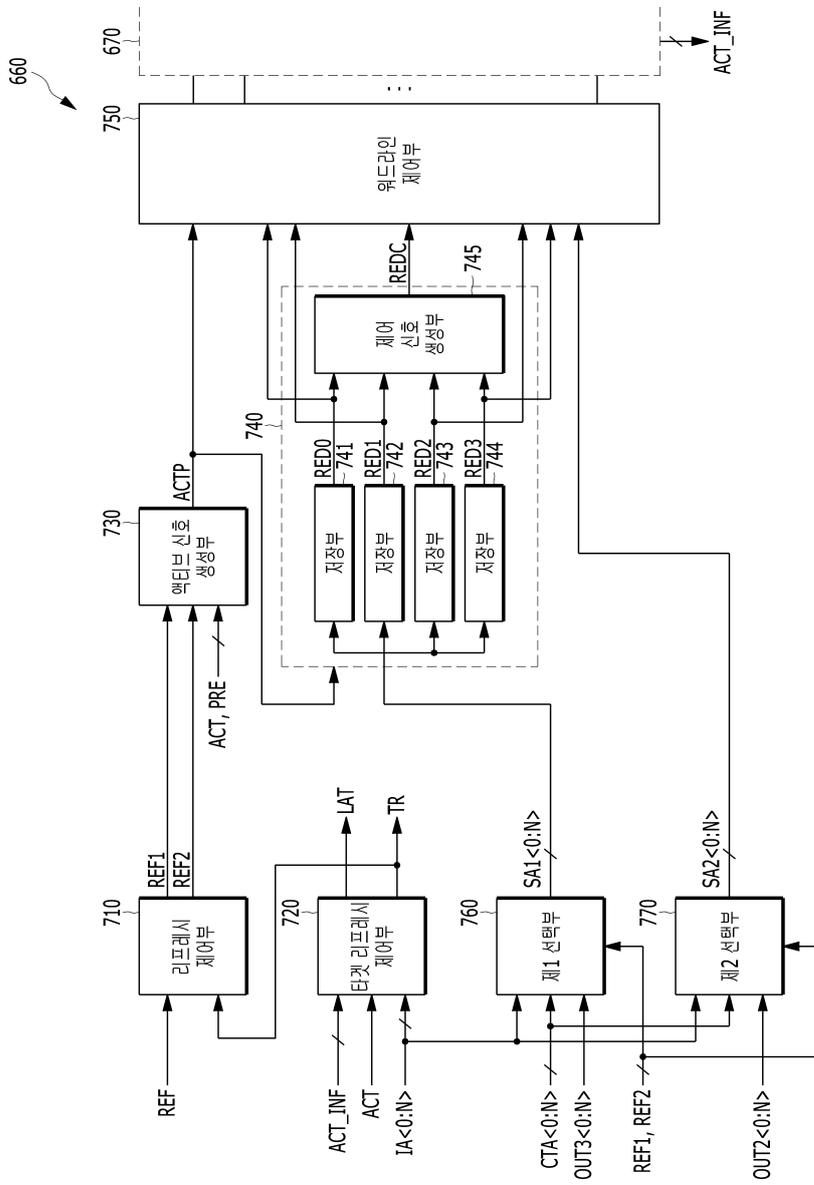
도면5



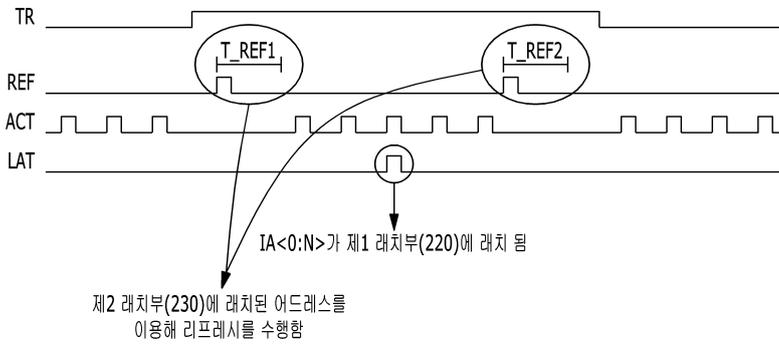
도면6



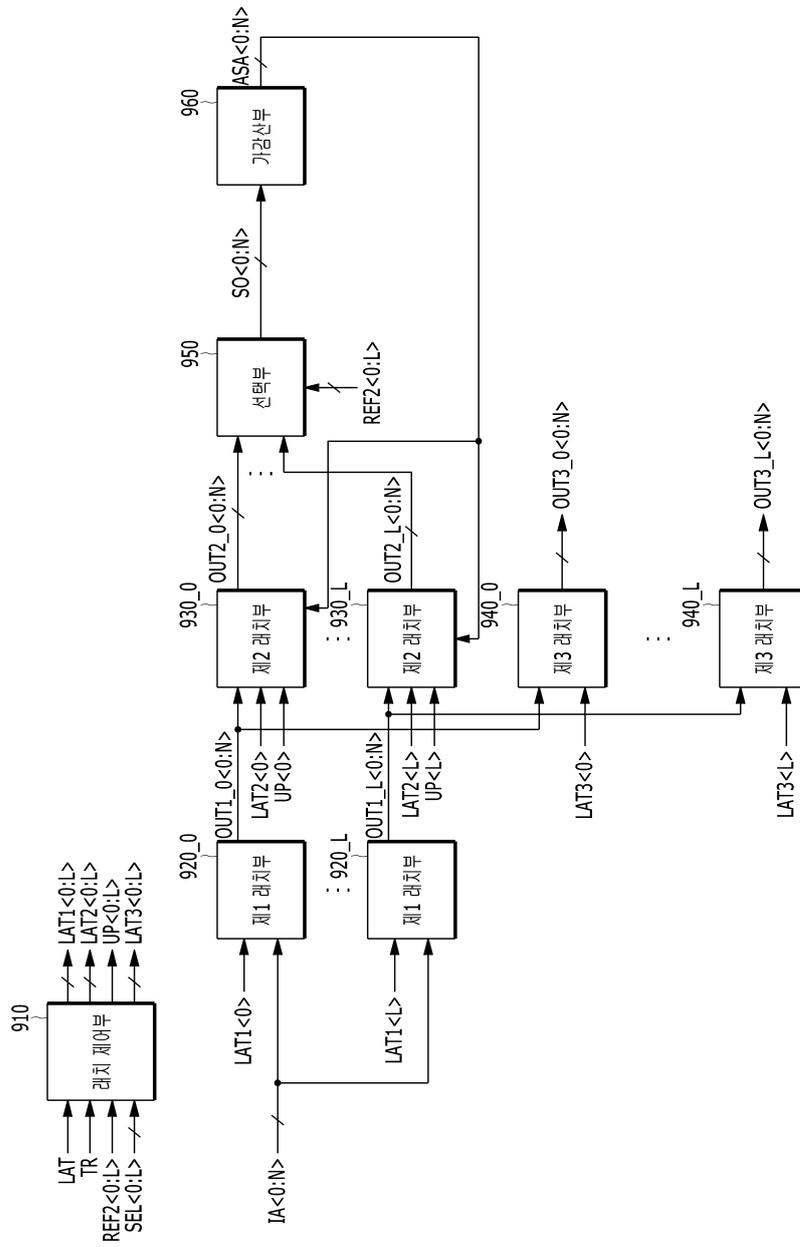
도면7



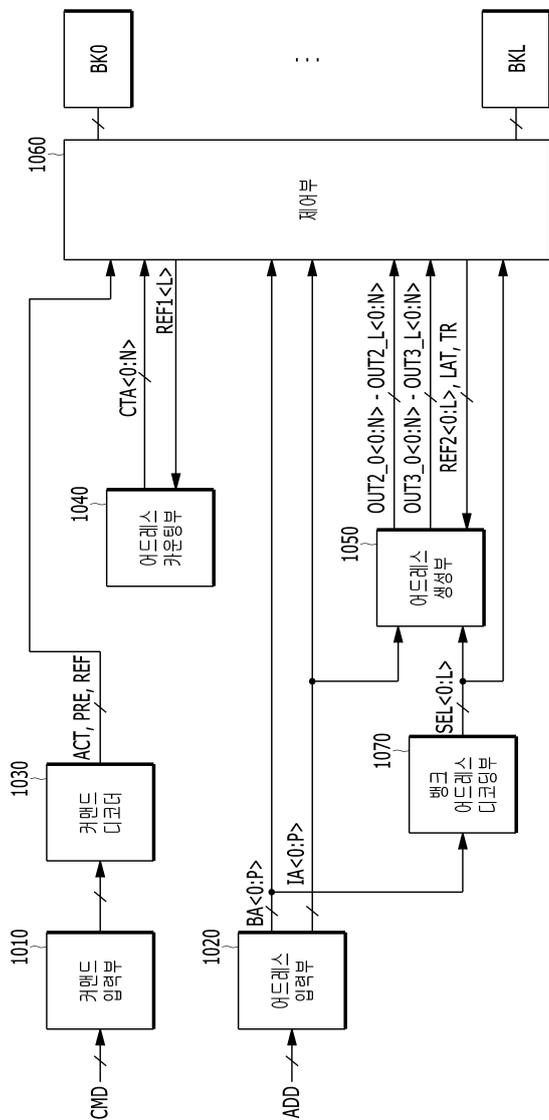
도면8



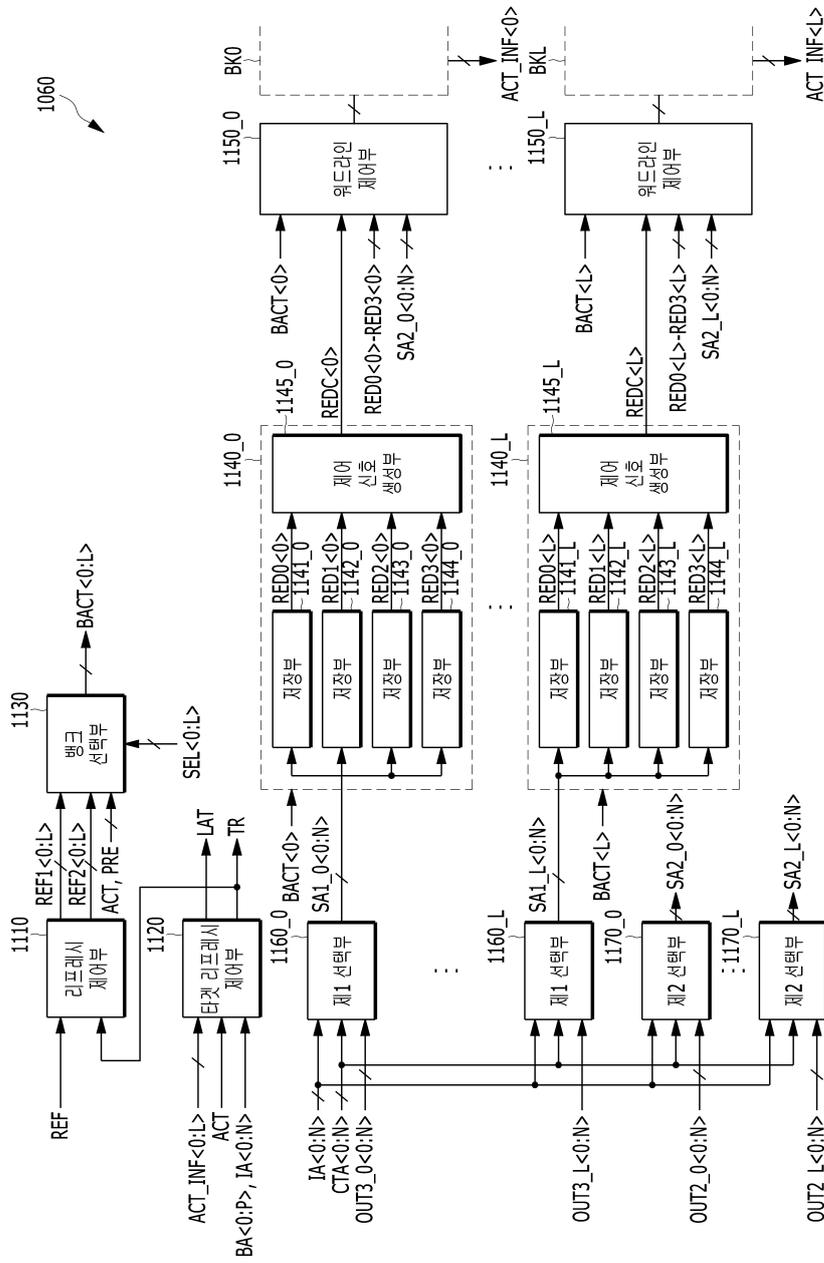
도면9



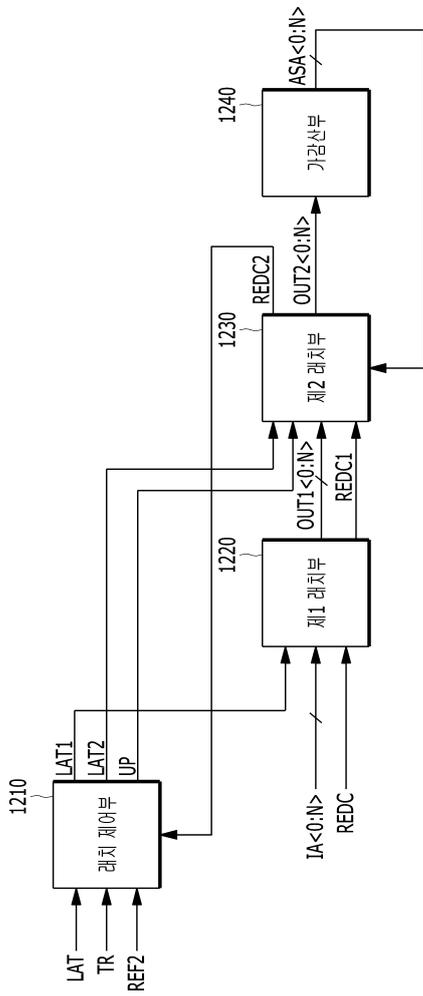
도면10



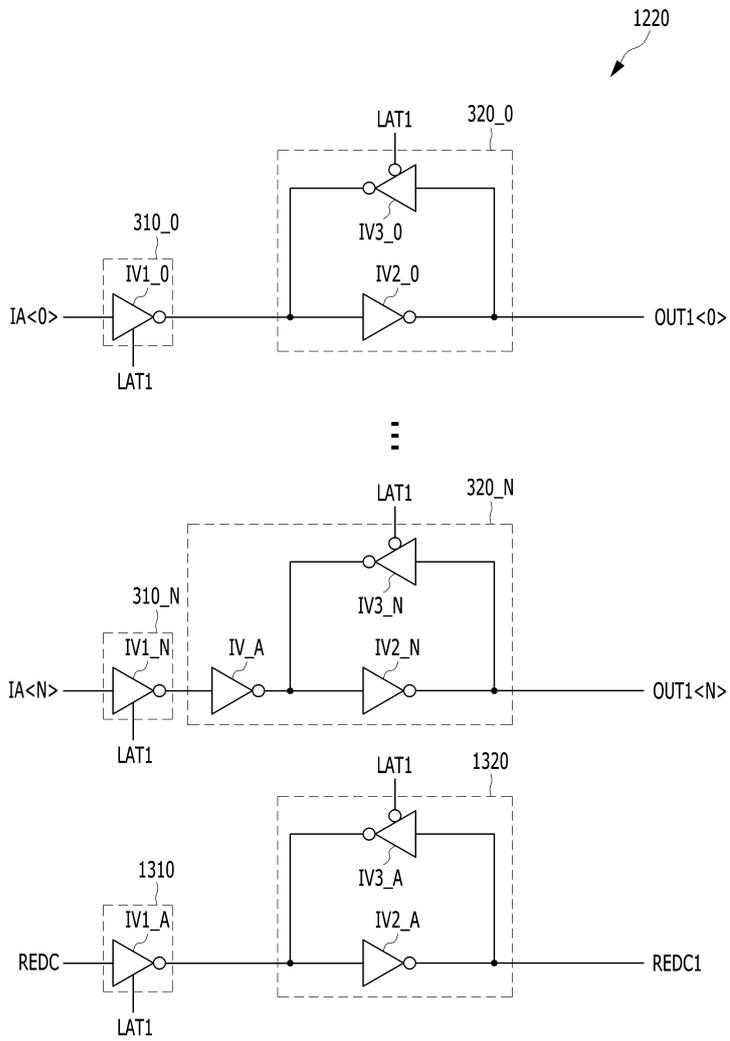
도면11



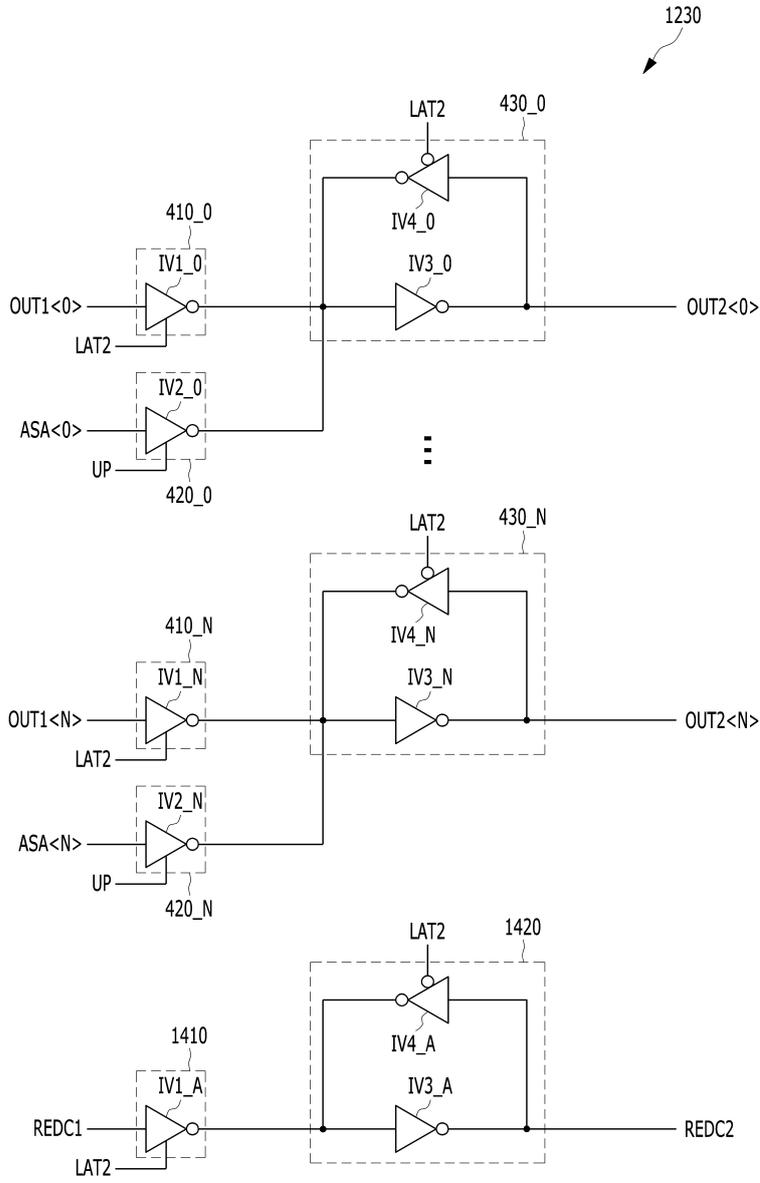
도면12



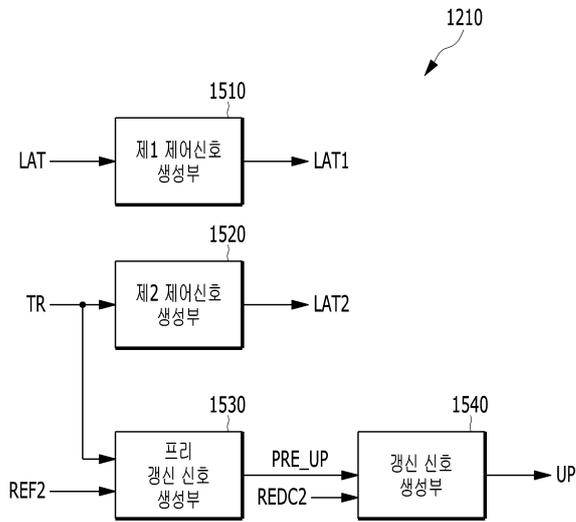
도면13



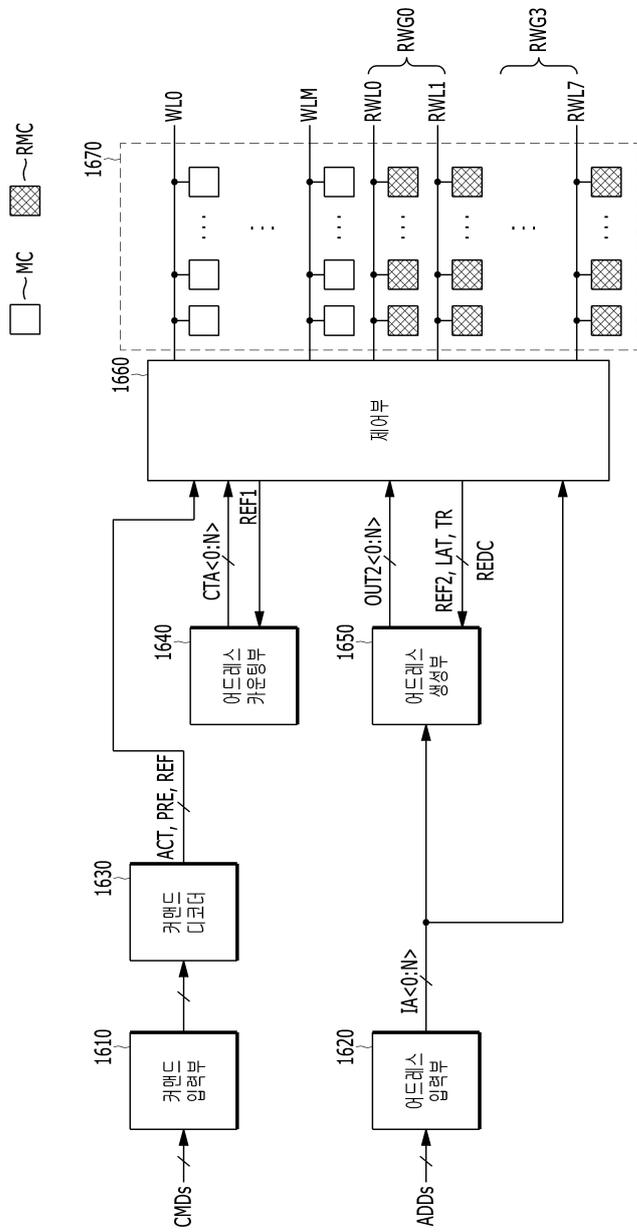
도면14



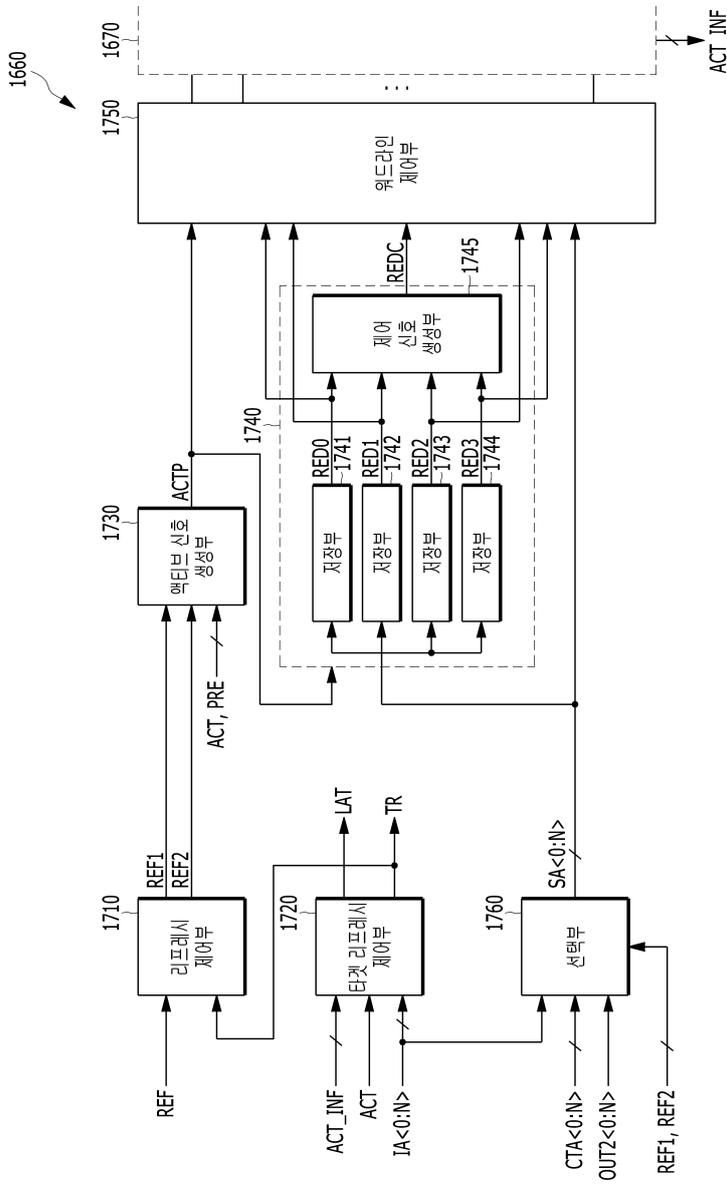
도면15



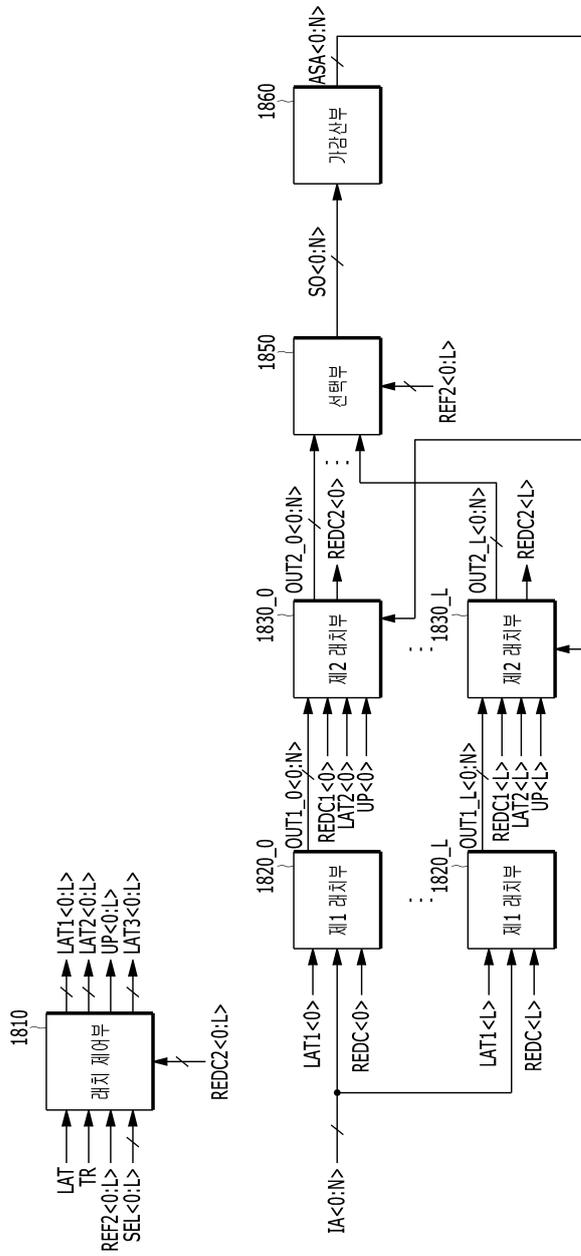
도면16



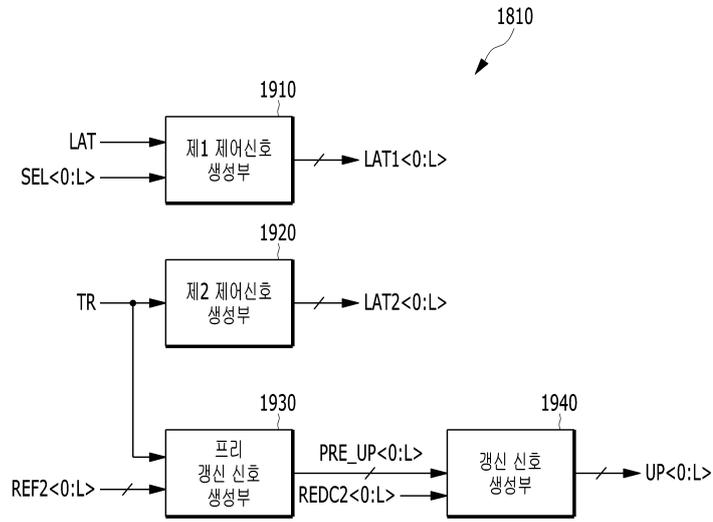
도면17



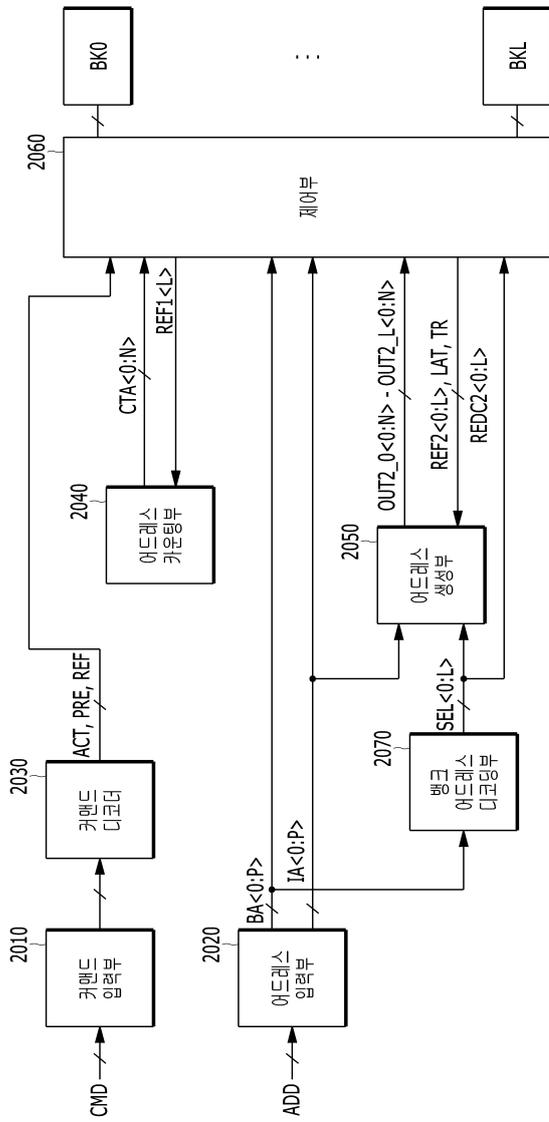
도면18



도면19



도면20



도면21

