

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-120754
(P2014-120754A)

(43) 公開日 平成26年6月30日(2014.6.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 G 4/12 (2006.01)	HO 1 G 4/12 3 4 6	5 E 0 0 1
HO 1 G 4/232 (2006.01)	HO 1 G 4/12 3 4 9	5 E 0 8 2
HO 1 G 4/30 (2006.01)	HO 1 G 4/12 3 5 2	
	HO 1 G 4/30 3 0 1 A	
	HO 1 G 4/30 3 0 1 B	

審査請求 有 請求項の数 10 O L (全 18 頁)

(21) 出願番号 特願2013-49972 (P2013-49972)
 (22) 出願日 平成25年3月13日 (2013.3.13)
 (31) 優先権主張番号 10-2012-0145169
 (32) 優先日 平成24年12月13日 (2012.12.13)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド。
 大韓民国、キョンギド、スウォンシ、
 ヨントング、(マエタンードン) マエヨ
 ンロー 1 5 0
 (74) 代理人 100088605
 弁理士 加藤 公延
 (74) 代理人 100166420
 弁理士 福川 晋矢
 (72) 発明者 パク・サン・ス
 大韓民国、キョンギド、スウォン、ヨ
 ントング、マエタン3ードン 3 1 4、サ
 ムソン エレクトロメカニクス カ
 パニーリミテッド

最終頁に続く

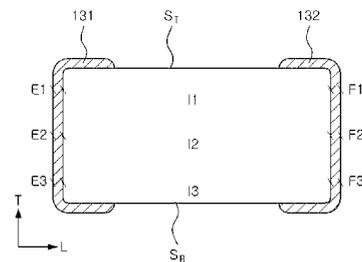
(54) 【発明の名称】 積層セラミックキャパシタ及び積層セラミックキャパシタの実装基板

(57) 【要約】

【課題】 圧電現象により発生する騒音を低減し、プリント基板から突然分離されることを防止する。

【解決手段】 本発明の積層セラミックキャパシタは、複数の誘電体層が積層されたセラミック本体と、誘電体層を介してセラミック本体の両端面から交互に露出するように形成された複数の第1及び第2内部電極を含んで容量が形成されるアクティブ層と、アクティブ層の上部の上部カバー層と、アクティブ層の下部の、上部カバー層より厚い下部カバー層と、セラミック本体の両端面を覆うように形成された第1及び第2外部電極とを含み、セラミック本体の上部長さ、中間部長さ、及び下部長さの平均をI、第1外部電極の上部長さ、中間部長さ、及び下部長さとして第2外部電極の上部長さ、中間部長さ、及び下部長さとしてを全て加算した値の平均をBWと規定するとき、 $0.105 \leq BW/I \leq 1.049$ の範囲を満たす。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の誘電体層が積層されたセラミック本体と、
 前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成された複数の第 1 及び第 2 内部電極を含んで容量が形成されるアクティブ層と、
 前記アクティブ層の上部に形成された上部カバー層と、
 前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、
 前記セラミック本体の両端面を覆うように形成された第 1 及び第 2 外部電極とを含み、
 前記セラミック本体の上部長さ、中間部長さ、及び下部長さの平均を I、前記第 1 外部電極の上部長さ、中間部長さ、及び下部長さ、及び前記第 2 外部電極の上部長さ、中間部長さ、及び下部長さとを全て加算した値の平均を BW と規定するとき、
 BW / I が、 $0.105 < BW / I < 1.049$ の範囲を満たす、積層セラミックキャパシタ。

【請求項 2】

前記セラミック本体の全体厚さの $1/2$ を A、前記下部カバー層の厚さを B、前記アクティブ層の全体厚さの $1/2$ を C、前記上部カバー層の厚さを D と規定するとき、
 前記アクティブ層の中心部が前記セラミック本体の中心部から外れた割合 $(B + C) / A$ が、 $1.063 < (B + C) / A < 1.745$ の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 3】

前記下部カバー層の厚さ (B) に対する前記上部カバー層の厚さ (D) の比 D / B が、 $0.021 < D / B < 0.422$ の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 4】

前記セラミック本体の厚さの $1/2$ (A) に対する前記下部カバー層の厚さ (B) の比 B / A が、 $0.329 < B / A < 1.522$ の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 5】

前記下部カバー層の厚さ (B) に対する前記アクティブ層の厚さの $1/2$ (C) の比 C / B が、 $0.146 < C / B < 2.458$ の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 6】

電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記セラミック本体の厚さの中心部以下に形成される、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 7】

上部に第 1 及び第 2 電極パッドを有するプリント基板と、
 前記プリント基板上に設けられた積層セラミックキャパシタとを含み、
 前記積層セラミックキャパシタは、複数の誘電体層が積層されたセラミック本体と、前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成された複数の第 1 及び第 2 内部電極を含んで容量が形成されるアクティブ層と、前記アクティブ層の上部に形成された上部カバー層と、前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、前記セラミック本体の両端面を覆うように形成され、前記第 1 及び第 2 電極パッドに半田により接続される第 1 及び第 2 外部電極とを含み、前記セラミック本体の上部長さ、中間部長さ、及び下部長さの平均を I、前記第 1 外部電極の上部長さ、中間部長さ、及び下部長さ、及び前記第 2 外部電極の上部長さ、中間部長さ、及び下部長さとを全て加算した値の平均を BW と規定するとき、 BW / I が、 $0.105 < BW / I < 1.049$ の範囲を満たす、積層セラミックキャパシタの実装基板。

【請求項 8】

前記セラミック本体の全体厚さの $1/2$ を A、前記下部カバー層の厚さを B、前記アク

タイプ層の全体厚さの $1/2$ を C 、前記上部カバー層の厚さを D と規定するとき、前記アクティブ層の中心部が前記セラミック本体の中心部から外れた割合 $(B+C)/A$ が、 $1.063 < (B+C)/A < 1.745$ の範囲を満たす、請求項 7 に記載の積層セラミックキャパシタの実装基板。

【請求項 9】

前記下部カバー層の厚さ (B) に対する前記上部カバー層の厚さ (D) の比 D/B が、 $0.021 < D/B < 0.422$ の範囲を満たす、請求項 7 に記載の積層セラミックキャパシタの実装基板。

【請求項 10】

前記セラミック本体の厚さの $1/2$ (A) に対する前記下部カバー層の厚さ (B) の比 B/A が、 $0.329 < B/A < 1.522$ の範囲を満たす、請求項 7 に記載の積層セラミックキャパシタの実装基板。

【請求項 11】

前記下部カバー層の厚さ (B) に対する前記アクティブ層の厚さの $1/2$ (C) の比 C/B が、 $0.146 < C/B < 2.458$ の範囲を満たす、請求項 7 に記載の積層セラミックキャパシタの実装基板。

【請求項 12】

電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記半田の高さ以下に形成される、請求項 7 に記載の積層セラミックキャパシタの実装基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層セラミックキャパシタ及び積層セラミックキャパシタの実装基板に関する。

【背景技術】

【0002】

積層チップ電子部品の 1 つである積層セラミックキャパシタ (MLCC: Multi-Layered Ceramic Capacitor) は、液晶ディスプレイ (LCD: Liquid Crystal Display) やプラズマディスプレイパネル (PDP: Plasma Display Panel) などの映像機器、コンピュータ、個人用の携帯情報端末 (PDA: Personal Digital Assistant)、携帯電話などの様々な電子装置のプリント基板に取り付けられて充放電を行う役割を果たすチップ型コンデンサである。

【0003】

このような積層セラミックキャパシタは、小型ながらも高容量が保証されて実装が容易であるという利点により、様々な電子装置の部品として用いられている。

【0004】

前記積層セラミックキャパシタは、複数の誘電体層間に異なる極性の内部電極が交互に積層された構造を有する。

【0005】

前記誘電体層が圧電性及び電歪性を有するため、前記積層セラミックキャパシタに直流又は交流電圧が印加される際に、前記内部電極間に圧電現象が生じて振動が発生することがある。

【0006】

その振動は前記積層セラミックキャパシタの外部電極を介して前記積層セラミックキャパシタが実装されたプリント基板に伝達され、前記プリント基板全体が音響反射面となって雑音となる振動音を発生する。

【0007】

前記振動音の周波数は人に不快感を与える $20 \sim 20000$ Hz の可聴周波数であり得

10

20

30

40

50

る。このように人に不快感を与える振動音をアコースティックノイズ (Acoustic Noise) といい、このようなアコースティックノイズを低減するための研究が必要となっている。

【0008】

また、従来の積層セラミックキャパシタは、プリント基板への実装時の固着強度が高くないため、前記積層セラミックキャパシタが前記プリント基板から突然分離されてしまうことがあるという問題があった。

【0009】

下記特許文献1は、下部カバー層が上部カバー層より厚く形成された積層セラミックキャパシタを開示しているが、外部電極とセラミック本体の長さの比に関する内容は開示していない。

10

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開平6-215978号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

当該技術分野においては、圧電現象による振動により発生する騒音を低減すると共に、プリント基板への実装時の固着強度を高めることでプリント基板から突然分離されることを防止することができる、積層セラミックキャパシタの新しい工夫が求められている。

20

【課題を解決するための手段】

【0012】

本発明の一態様は、複数の誘電体層が積層されたセラミック本体と、前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成された複数の第1及び第2内部電極を含んで容量が形成されるアクティブ層と、前記アクティブ層の上部に形成された上部カバー層と、前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、前記セラミック本体の両端面を覆うように形成された第1及び第2外部電極とを含み、前記セラミック本体の上部長さ、中間部長さ、及び下部長さの平均をI、前記第1外部電極の上部長さ、中間部長さ、及び下部長さ、及び前記第2外部電極の上部長さ、中間部長さ、及び下部長さ、及び下部長さとを全て加算した値の平均をBWと規定するとき、 BW/I が、 $0.105 \leq BW/I \leq 1.049$ の範囲を満たす、積層セラミックキャパシタを提供する。

30

【0013】

本発明の一実施形態においては、前記セラミック本体の全体厚さの $1/2$ をA、前記下部カバー層の厚さをB、前記アクティブ層の全体厚さの $1/2$ をC、前記上部カバー層の厚さをDと規定するとき、前記アクティブ層の中心部が前記セラミック本体の中心部から外れた割合 $(B+C)/A$ が、 $1.063 \leq (B+C)/A \leq 1.745$ の範囲を満たすようにしてもよい。

【0014】

本発明の一実施形態においては、前記下部カバー層の厚さ(B)に対する前記上部カバー層の厚さ(D)の比 D/B が、 $0.021 \leq D/B \leq 0.422$ の範囲を満たすようにしてもよい。

40

【0015】

本発明の一実施形態においては、前記セラミック本体の厚さの $1/2$ (A)に対する前記下部カバー層の厚さ(B)の比 B/A が、 $0.329 \leq B/A \leq 1.522$ の範囲を満たすようにしてもよい。

【0016】

本発明の一実施形態においては、前記下部カバー層の厚さ(B)に対する前記アクティブ層の厚さの $1/2$ (C)の比 C/B が、 $0.146 \leq C/B \leq 2.458$ の範囲を満たすようにしてもよい。

50

すようにしてもよい。

【0017】

本発明の一実施形態においては、電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記セラミック本体の厚さの中心部以下に形成されるようにしてもよい。

【0018】

本発明の他の態様は、上部に第1及び第2電極パッドを有するプリント基板と、前記プリント基板上に設けられた積層セラミックキャパシタとを含み、前記積層セラミックキャパシタは、複数の誘電体層が積層されたセラミック本体と、前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成された複数の第1及び第2内部電極を含んで容量が形成されるアクティブ層と、前記アクティブ層の上部に形成された上部カバー層と、前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、前記セラミック本体の両端面を覆うように形成され、前記第1及び第2電極パッドに半田により接続される第1及び第2外部電極とを含み、前記セラミック本体の上部長さ、中間部長さ、及び下部長さの平均をI、前記第1外部電極の上部長さ、中間部長さ、及び下部長さとして前記第2外部電極の上部長さ、中間部長さ、及び下部長さとしてを全て加算した値の平均をBWと規定するとき、 $0.105 \leq BW/I \leq 1.049$ の範囲を満たす、積層セラミックキャパシタの実装基板を提供する。

10

【0019】

本発明の一実施形態においては、電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記半田の高さ以下に形成されるようにしてもよい。

20

【発明の効果】

【0020】

本発明の一実施形態によれば、積層セラミックキャパシタに発生する振動を低減することでプリント基板から発生するアコースティックノイズを低減すると共に、プリント基板との固着強度を高めることで実装後に積層セラミックキャパシタがプリント基板から突然分離されることを防止することができるという効果がある。

【図面の簡単な説明】

【0021】

【図1】本発明の一実施形態による積層セラミックキャパシタの一部を切開して概略的に示す斜視図である。

30

【図2】図1の積層セラミックキャパシタを長手方向に切断して示す断面図である。

【図3】積層セラミックキャパシタのセラミック本体の長さ、及び外部電極の長さの関係を説明するために図1の積層セラミックキャパシタを長手方向に切断して概略的に示す断面図である。

【図4】積層セラミックキャパシタに含まれる構成要素の寸法関係を説明するために図1の積層セラミックキャパシタを長手方向に切断して概略的に示す断面図である。

【図5】図1の積層セラミックキャパシタがプリント基板に実装された様子を示す斜視図である。

40

【図6】図5の積層セラミックキャパシタ及びプリント基板を長手方向に切断して示す断面図である。

【図7】図4の積層セラミックキャパシタがプリント基板に実装された状態で電圧が印加されて積層セラミックキャパシタが変形した様子を概略的に示す断面図である。

【発明を実施するための形態】

【0022】

以下、添付図面を参照して本発明の好ましい実施形態を説明する。

【0023】

しかし、本発明の実施形態は様々な他の形態に変形することができ、本発明の範囲が後述の実施形態に限定されるものではない。

50

【0024】

また、本発明の実施形態は、当該技術分野における通常の知識を有する者に本発明をより完全に説明するために提供されるものである。

【0025】

図面において、構成要素の形状及び大きさなどはより明確な説明のために誇張することもある。

【0026】

なお、各実施形態の図面に示される同一の思想の範囲内における機能が同一の構成要素については、同一の符号を付して説明する。

【0027】

本発明の実施形態を明確に説明するために六面体の方向を定義すると、図面に示すL、W、及びTは、それぞれ長手方向、幅方向、及び厚さ方向を示す。ここで、厚さ方向とは、誘電体層の積層方向と同じ概念で用いられる。

【0028】

また、本発明の実施形態を説明するにあたっては、説明の便宜上、セラミック本体の長手方向に第1及び第2外部電極が形成される面を左右両端面に設定し、これと直交する面を左右側面に設定して説明する。

【0029】

積層セラミックキャパシタ

【0030】

図1及び図2を参照すると、本発明の一実施形態による積層セラミックキャパシタ100は、セラミック本体110と、第1及び第2内部電極121、122を有するアクティブ層115と、上部及び下部カバー層112、113と、セラミック本体110の両端面を覆うように形成された第1及び第2外部電極131、132とを含む。

【0031】

セラミック本体110は、複数の誘電体層111を積層した後に焼成して形成したものであり、セラミック本体110の形状、寸法、及び誘電体層111の積層数が本実施形態のものに限定されるものではない。

【0032】

また、セラミック本体110を形成する複数の誘電体層111は、焼結した状態であり、隣接する誘電体層111同士の境界は走査型電子顕微鏡(SEM: Scanning Electron Microscope)を用いなければ確認できない程度に一体化されている。

【0033】

このようなセラミック本体110は、キャパシタの容量形成に寄与する部分としてのアクティブ層115と、上下マージン部としてアクティブ層115の上下部にそれぞれ形成された上部及び下部カバー層112、113とから構成されてもよい。

【0034】

アクティブ層115は、誘電体層111を介して複数の第1及び第2内部電極121、122を繰り返し積層して形成してもよい。

【0035】

ここで、誘電体層111の厚さは、積層セラミックキャパシタ100の容量設計に応じて適宜変更することができ、1層の厚さが焼成後に0.01~1.00 μm となるようにすることが好ましいが、本発明はこれに限定されるものではない。

【0036】

また、誘電体層111は、高誘電率を有するセラミック粉末、例えばチタン酸バリウム(BaTiO_3)系粉末又はチタン酸ストロンチウム(SrTiO_3)系粉末を含んでもよいが、本発明はこれに限定されるものではない。

【0037】

上部及び下部カバー層112、113は、内部電極を含まないことを除いては、誘電体

10

20

30

40

50

層 1 1 1 と同じ材質及び構成を有するようにしてもよい。

【 0 0 3 8 】

上部及び下部カバー層 1 1 2、1 1 3 は、単一の誘電体層又は 2 つ以上の誘電体層をアクティブ層 1 1 5 の上下面にそれぞれ上下方向に積層して形成してもよく、基本的に物理的又は化学的ストレスによる第 1 及び第 2 内部電極 1 2 1、1 2 2 の損傷を防止する役割を果たす。

【 0 0 3 9 】

また、下部カバー層 1 1 3 は、上部カバー層 1 1 2 よりも誘電体層の積層数を増加させることで上部カバー層 1 1 2 より厚く形成してもよい。

【 0 0 4 0 】

第 1 及び第 2 内部電極 1 2 1、1 2 2 は、異なる極性を有する一対の電極であって、誘電体層 1 1 1 上に導電性金属を含む導電性ペーストを所定の厚さで印刷して誘電体層 1 1 1 の積層方向に沿って両端面から交互に露出するように形成し、中間に配置された誘電体層 1 1 1 により互いに電氣的に絶縁されるようにしてもよい。

【 0 0 4 1 】

つまり、第 1 及び第 2 内部電極 1 2 1、1 2 2 は、セラミック本体 1 1 0 の両端面から交互に露出する部分により、第 1 及び第 2 外部電極 1 3 1、1 3 2 とそれぞれ電氣的に接続されるようにしてもよい。

【 0 0 4 2 】

従って、第 1 及び第 2 外部電極 1 3 1、1 3 2 に電圧を印加すると、対向する第 1 及び第 2 内部電極 1 2 1、1 2 2 間に電荷が蓄積され、このとき、積層セラミックキャパシタ 1 0 0 の静電容量は第 1 及び第 2 内部電極 1 2 1、1 2 2 の重なる領域の面積に比例する。

【 0 0 4 3 】

このような第 1 及び第 2 内部電極 1 2 1、1 2 2 の厚さは、用途に応じて決定され、例えば、セラミック本体 1 1 0 の大きさを考慮して $0.2 \sim 1.0 \mu\text{m}$ の範囲内で決定されるが、本発明はこれに限定されるものではない。

【 0 0 4 4 】

また、第 1 及び第 2 内部電極 1 2 1、1 2 2 を形成する導電性ペーストに含まれる導電性金属は、ニッケル (Ni)、銅 (Cu)、パラジウム (Pd)、又はこれらの合金であってもよいが、本発明はこれに限定されるものではない。

【 0 0 4 5 】

また、前記導電性ペーストの印刷方法としては、スクリーン印刷法又はグラビア印刷法などを用いてもよいが、本発明はこれに限定されるものではない。

【 0 0 4 6 】

第 1 及び第 2 外部電極 1 3 1、1 3 2 は、導電性金属を含む導電性ペーストにより形成されてもよく、前記導電性金属は、ニッケル (Ni)、銅 (Cu)、パラジウム (Pd)、金 (Au)、又はこれらの合金であってもよいが、本発明はこれに限定されるものではない。

【 0 0 4 7 】

このような第 1 及び第 2 外部電極 1 3 1、1 3 2 は、プリント基板への実装時に所定レベル以上の固着強度を有するようにすることにより、積層セラミックキャパシタ 1 0 0 がプリント基板から突然分離されることを防止する必要がある。

【 0 0 4 8 】

図 3 を参照すると、セラミック本体の上部長さを I_1 、セラミック本体の中間部長さを I_2 、セラミック本体の下部長さを I_3 と規定し、これらの 3 つの部分の長さの平均値、すなわち $(I_1 + I_2 + I_3) / 3$ を I と規定する。これは、セラミック本体の上部、中間部、及び下部の長さが同一でなく、誤差範囲内で異なる値を有することがあるからである。

【 0 0 4 9 】

10

20

30

40

50

また、第1外部電極の上部長さをE1、第1外部電極の中間部長さをE2、第1外部電極の下部長さをE3と規定し、第2外部電極の上部長さをF1、第2外部電極の中間部長さをF2、第2外部電極の下部長さをF3と規定し、これらの6つの部分の長さの平均値、すなわち $(E1 + E2 + E3 + F1 + F2 + F3) / 6$ をBW (Band Width) と規定する。これは、外部電極の上部、中間部、及び下部の長さが同一でなく、誤差範囲内で異なる値を有することがあるからである。

【0050】

ここで、第1及び第2外部電極131、132がプリント基板への実装時に所定レベル以上の固着強度を有するようにして積層セラミックキャパシタ100がプリント基板から突然分離されることを防止すると共に、実装不良が発生しないようにするために、BW / Iは、 $0.105 \leq BW / I \leq 1.049$ の範囲を満たすようにしてもよい。

10

【0051】

以下、本実施形態による積層セラミックキャパシタに含まれる構成要素の寸法とアコースティックノイズの関係を説明する。

【0052】

図4を参照すると、セラミック本体110の全体厚さの1/2をA、下部カバー層113の厚さをB、アクティブ層115の全体厚さの1/2をC、上部カバー層112の厚さをD、と規定する。

【0053】

ここで、セラミック本体110の全体厚さとは、セラミック本体110の上面 S_T から下面 S_B までの距離を意味し、アクティブ層115の全体厚さとは、アクティブ層115の最上部に形成された第1内部電極121の上面からアクティブ層115の最下部に形成された第2内部電極122の下面までの距離を意味する。

20

【0054】

また、下部カバー層113の厚さ(B)とは、アクティブ層115の厚さ方向の最下部に形成された第2内部電極122の下面からセラミック本体110の下面 S_B までの距離を意味し、上部カバー層112の厚さ(D)とは、アクティブ層115の厚さ方向の最上部に形成された第1内部電極121の上面からセラミック本体110の上面 S_T までの距離を意味する。

【0055】

積層セラミックキャパシタ100の両端部に形成された第1及び第2外部電極131、132に極性が異なる電圧が印加されると、セラミック本体110は、誘電体層111の逆圧電効果 (inverse piezoelectric effect) により厚さ方向に膨張と収縮をし、第1及び第2外部電極131、132の両端部は、ポアソン効果 (poisson effect) によりセラミック本体110の厚さ方向の膨張と収縮とは逆に収縮と膨張をする。

30

【0056】

ここで、アクティブ層115の中心部 CL_A は、第1及び第2外部電極131、132の長手方向の両端部において最大に膨張と収縮をする部分であり、アコースティックノイズ発生の原因となる。

40

【0057】

つまり、本実施形態においては、アコースティックノイズを低減するために、電圧印加時におけるアクティブ層115の中心部 CL_A の変形率と下部カバー層113の変形率との差により、セラミック本体110の両端面に形成される変曲点 (PI: Point of Inflection) がセラミック本体110の厚さの中心部 CL_C 以下に形成されるようにしてもよい。

【0058】

ここで、アコースティックノイズをさらに低減するために、アクティブ層115の中心部 CL_A がセラミック本体110の中心部 CL_C から外れた割合 $(B + C) / A$ は、 $1.063 \leq (B + C) / A \leq 1.745$ の範囲を満たすことが好ましい。

50

【0059】

また、下部カバー層113の厚さ(B)に対する上部カバー層112の厚さ(D)の比 D/B は、 $0.021 < D/B < 0.422$ の範囲を満たすようにしてもよい。

【0060】

また、セラミック本体110の厚さの $1/2$ (A)に対する下部カバー層113の厚さ(B)の比 B/A は、 $0.329 < B/A < 1.522$ の範囲を満たすようにしてもよい。

【0061】

また、下部カバー層113の厚さ(B)に対するアクティブ層115の厚さの $1/2$ (C)の比 C/B は、 $0.146 < C/B < 2.458$ の範囲を満たすようにしてもよい。

10

【0062】

実験例

【0063】

本発明の実施例と比較例による積層セラミックキャパシタは次のように製造された。

【0064】

まず、チタン酸バリウム($BaTiO_3$)粉末などを含むスラリーをキャリアフィルム上に塗布及び乾燥して $1.8\mu m$ の厚さに製造された複数のセラミックグリーンシートを用意する。

【0065】

次に、前記セラミックグリーンシート上にスクリーンを用いてニッケル内部電極用導電性ペーストを塗布して内部電極を形成した。

20

【0066】

次に、前記セラミックグリーンシートを約370層積層し、内部電極が形成されていないセラミックグリーンシートを内部電極が形成されたセラミックグリーンシートの上部よりも下部に多く積層した。このセラミック積層体を $85^\circ C$ で $1000 kgf/cm^2$ の圧力条件で等静圧圧縮成形(isostatic pressing)した。

【0067】

次に、圧着が完了したセラミック積層体を個別のチップ状に切断し、切断された積層チップは大気雰囲気中で230分、60時間保持して脱バインダーを行った。

【0068】

その後、 $1200^\circ C$ で内部電極が酸化しないように、 Ni/NiO 平衡酸素分圧よりも低い $10^{-11} \sim 10^{-10} atm$ の酸素分圧下の還元雰囲気中で焼成した。焼成後の積層チップキャパシタのチップサイズは、長さ×幅(L×W)が約 $1.64 mm \times 0.88 mm$ (L×W, 1608サイズ)であった。ここで、製造公差は長さ×幅(L×W)が $\pm 0.1 mm$ 以内の範囲にし、これを満たすものを対象として実験を行い、アコースティックノイズの測定を実施した。

30

【0069】

次に、外部電極形成、めっきなどの工程を経て積層セラミックキャパシタを製造した。

【0070】

【表 1】

サンプル	A (μm)	B (μm)	C (μm)	D (μm)	(B+C)/ A	B/A	D/B	C/B	AN (dB)	容量 実現率
1*	405.5	40.2	365.4	39.9	1.000	0.099	0.993	9.090	29.5	OK
2*	436.0	70.4	365.9	69.7	1.001	0.161	0.990	5.197	25.7	OK
3*	455.5	90.8	364.3	91.5	0.999	0.199	1.008	4.012	23.1	OK
4*	508.1	24.9	361.1	269.1	0.760	0.049	10.807	14.502	31.2	OK
5*	456.6	25.2	360.1	167.8	0.844	0.055	6.659	14.290	32.5	OK
6*	527.3	30.2	191.0	642.4	0.419	0.057	21.272	6.325	30.3	OK
7*	414.5	30.9	188.8	420.4	0.530	0.075	13.605	6.110	30.5	OK
8*	516.2	39.4	360.7	271.5	0.775	0.076	6.891	9.155	28.2	OK
9*	446.0	39.8	365.5	121.2	0.909	0.089	3.045	9.183	29.1	OK
10*	469.1	40.6	364.2	169.1	0.863	0.087	4.165	8.970	27.9	OK
11*	416.2	40.7	360.7	70.3	0.964	0.098	1.727	8.862	28.4	OK
12*	428.3	40.8	360.0	95.7	0.936	0.095	2.346	8.824	28.9	OK
13*	495.9	40.9	364.9	221.0	0.818	0.082	5.403	8.922	28.1	OK
14*	435.9	25.0	421.3	4.2	1.024	0.057	0.168	16.852	31.6	OK
15*	420.7	70.4	365.9	39.1	1.037	0.167	0.555	5.197	25.7	OK
16	431.7	94.8	364.3	40.0	1.063	0.220	0.422	3.843	19.9	OK
17	443.0	103.8	389.1	4.0	1.113	0.234	0.039	3.749	19.3	OK
18	443.7	119.8	363.2	41.1	1.089	0.270	0.343	3.032	18.7	OK
19	447.1	147.3	362.1	22.7	1.139	0.329	0.154	2.458	17.9	OK
20	452.8	164.7	360.2	20.4	1.159	0.364	0.124	2.187	17.3	OK
21	448.7	170.3	361.0	5.1	1.184	0.380	0.030	2.120	17.2	OK
22	470.7	170.4	365.4	40.2	1.138	0.362	0.236	2.144	17.4	OK
23	491.9	220.3	360.8	41.8	1.181	0.448	0.190	1.638	16.9	OK
24	500.6	270.2	360.5	9.9	1.260	0.540	0.037	1.334	16.8	OK
25	516.9	270.4	361.8	39.7	1.223	0.523	0.147	1.338	16.7	OK
26	502.1	364.9	312.3	14.7	1.349	0.727	0.040	0.856	16.6	OK
27	407.5	421.8	189.1	14.9	1.499	1.035	0.035	0.448	16.6	OK
28	445.8	493.3	179.3	39.7	1.509	1.107	0.080	0.363	16.5	OK
29	483.7	632.0	160.1	15.2	1.638	1.307	0.024	0.253	16.4	OK
30	520.0	643.4	190.7	15.2	1.604	1.237	0.024	0.296	16.4	OK
31	486.4	685.3	121.1	45.3	1.658	1.409	0.066	0.177	16.4	OK
32	507.2	742.7	120.8	30.1	1.702	1.464	0.041	0.163	16.4	OK
33	515.2	773.9	118.2	20.1	1.732	1.502	0.026	0.153	16.4	OK
34	524.5	798.2	116.9	16.9	1.745	1.522	0.021	0.146	16.3	OK
35*	533.4	832.4	109.8	14.8	1.766	1.561	0.018	0.132	16.3	NG
36*	533.3	841.1	105.3	14.9	1.775	1.577	0.018	0.125	16.3	NG
37*	534.1	849.7	101.2	16.1	1.780	1.591	0.019	0.119	16.3	NG

* は比較例，AN：アコースティックノイズ（Acoustic Noise）

【0071】

上記表1のデータは、図4のように積層セラミックキャパシタ100のセラミック本体110の幅方向（W）の中心部から長手方向（L）及び厚さ方向（T）に切開した断面を走査型電子顕微鏡（SEM）で撮影した写真を基準としてそれぞれの寸法を測定したもの

10

20

30

40

50

である。

【0072】

前述したように、セラミック本体110の全体厚さの1/2をA、下部カバー層113の厚さをB、アクティブ層115の全体厚さの1/2をC、上部カバー層112の厚さをDと規定する。

【0073】

アコースティックノイズを測定するために、アコースティックノイズ測定用基板当たり1つの試料(積層チップキャパシタ)を上下方向に区分してプリント基板に実装した後、その基板を測定治具に装着した。

【0074】

また、DCパワーサプライ(power supply)及び信号発生器(function generator)を用いて、測定治具に装着された試料の両端子にDC電圧及び電圧変動を印加した。前記プリント基板の直上に設けられたマイクを用いてアコースティックノイズを測定した。

【0075】

上記表1において、サンプル1~3は、下部カバー層113の厚さ(B)と上部カバー層112の厚さ(D)が略同一であるカバー対称構造を有する比較例であり、サンプル4~13は、上部カバー層112の厚さ(D)が下部カバー層の厚さ(B)より厚い構造を有する比較例である。

【0076】

また、サンプル14、15及び35~37は、下部カバー層113の厚さ(B)が上部カバー層112の厚さ(D)より厚い構造を有する比較例であり、サンプル16~34は、本発明の実施形態による実施例である。

【0077】

ここで、 $(B+C)/A$ の値が略1であると、アクティブ層115の中心部がセラミック本体110の中心部から大きく外れていないことを意味する。下部カバー層113の厚さ(B)と上部カバー層112の厚さ(D)が略同一であるカバー対称構造を有する比較例であるサンプル1~3の $(B+C)/A$ の値が略1である。

【0078】

$(B+C)/A$ の値が1より大きいと、アクティブ層115の中心部がセラミック本体110の中心部から上部方向に外れたことを意味し、 $(B+C)/A$ の値が1より小さいと、アクティブ層115の中心部がセラミック本体110の中心部から下部方向に外れたことを意味する。

【0079】

上記表1を参照すると、アクティブ層115の中心部がセラミック本体110の中心部から外れた割合 $(B+C)/A$ が1.063 $(B+C)/A$ 1.745の範囲を満たす実施例であるサンプル16~34においては、アコースティックノイズが20dB未満に著しく減少したことが分かる。

【0080】

また、アクティブ層115の中心部がセラミック本体110の中心部から外れた割合 $(B+C)/A$ が1.063未満のサンプル1~15は、アクティブ層115の中心部がセラミック本体110の中心部からほとんど外れていないか、又はアクティブ層115の中心部がセラミック本体110の中心部から下部方向に外れた構造を有する。

【0081】

前記 $(B+C)/A$ が1.063未満のサンプル1~15は、アコースティックノイズが25~32.5dBであり、本発明による実施例に比べてアコースティックノイズ低減効果がないことが分かる。

【0082】

また、アクティブ層115の中心部がセラミック本体110の中心部から外れた割合 $(B+C)/A$ が1.745を超えるサンプル35~37は、目標容量に対する静電容量が

10

20

30

40

50

小さいため、容量不良が発生した。

【 0 0 8 3 】

上記表 1 において、容量実現率（すなわち、目標容量に対する静電容量比）が「 N G 」であると、目標容量値を 1 0 0 % とするとき、目標容量に対する静電容量値が 8 0 % 未満であることを意味する。

【 0 0 8 4 】

また、下部カバー層 1 1 3 の厚さ（ B ）に対する上部カバー層 1 1 2 の厚さ（ D ）の比 D / B が 0 . 0 2 1 D / B 0 . 4 2 2 の範囲を満たす実施例においては、アコースティックノイズが著しく減少したことが分かる。

【 0 0 8 5 】

それに対して、下部カバー層 1 1 3 の厚さ（ B ）に対する上部カバー層 1 1 2 の厚さ（ D ）の比 D / B が 0 . 4 2 2 を超える比較例は、アコースティックノイズ低減効果がないことが分かる。

【 0 0 8 6 】

また、下部カバー層 1 1 3 の厚さ（ B ）に対する上部カバー層 1 1 2 の厚さ（ D ）の比 D / B が 0 . 0 2 1 未満の比較例は、上部カバー層 1 1 2 の厚さ（ D ）に比べて下部カバー層 1 1 3 の厚さ（ B ）が大きすぎるため、クラックやデラミネーションが発生することがあり、目標容量に対する静電容量が小さいため、容量不良が発生することがある。

【 0 0 8 7 】

実施例のうち、セラミック本体 1 1 0 の厚さの 1 / 2（ A ）に対する下部カバー層 1 1 3 の厚さ（ B ）の比 B / A が 0 . 3 2 9 B / A 1 . 5 2 2 の範囲を満たし、かつ下部カバー層 1 1 3 の厚さ（ B ）に対するアクティブ層 1 1 5 の厚さの 1 / 2（ C ）の比 C / B が 0 . 1 4 6 C / B 2 . 4 5 8 の範囲を満たす実施例であるサンプル 1 9 ~ 3 4 においては、アコースティックノイズが 1 8 d B 未満にさらに減少したことが分かる。

【 0 0 8 8 】

それに対して、セラミック本体 1 1 0 の厚さの 1 / 2（ A ）に対する下部カバー層 1 1 3 の厚さ（ B ）の比 B / A が 1 . 5 2 2 を超え、かつ下部カバー層 1 1 3 の厚さ（ B ）に対するアクティブ層 1 1 5 の厚さの 1 / 2（ C ）の比 C / B が 0 . 1 4 6 未満のサンプル 3 5 ~ 3 7 は、目標容量に対する静電容量が小さいため、容量不良が発生することがあるという問題があった。

【 0 0 8 9 】

下記表 2 は、セラミック本体 1 1 0 に対する外部電極の長さの比によるプリント基板への積層セラミックキャパシタの固着強度及び実装不良有無を示すものである。

【 0 0 9 0 】

10

20

30

【表 2】

区分	BW	I	BW/I	固着強度	実装不良
1	0.042	1.116	0.038	20/20	50/200
2	0.057	1.076	0.053	14/20	8/200
3	0.063	1.065	0.059	5/20	1/200
4	0.078	1.034	0.075	1/20	0/200
5	0.104	0.983	0.105	0/20	0/200
6	0.120	0.950	0.126	0/20	0/200
7	0.145	0.891	0.162	0/20	0/200
8	0.168	0.855	0.196	0/20	0/200
9	0.185	0.821	0.225	0/20	0/200
10	0.253	0.694	0.365	0/20	0/200
11	0.280	0.630	0.444	0/20	0/200
12	0.289	0.612	0.472	0/20	0/200
13	0.310	0.564	0.550	0/20	0/200
14	0.318	0.565	0.562	0/20	0/200
15	0.359	0.538	0.667	0/20	0/200
16	0.336	0.518	0.649	0/20	0/200
17	0.356	0.488	0.730	0/20	0/200
18	0.381	0.428	0.890	0/20	0/200
19	0.376	0.439	0.855	0/20	0/200
20	0.400	0.381	1.049	0/20	0/200
21	0.430	0.315	1.365	0/20	2/200
22	0.447	0.282	1.583	0/20	3/200
23	0.478	0.244	1.959	0/20	10/200
24	0.497	0.207	2.399	0/20	12/200
25	0.500	0.200	2.500	0/20	20/200

10

20

30

【0091】

上記表 2 において、BW は外部電極の平均長さを示し、I はセラミック本体 110 の平均長さを示す。

【0092】

上記表 2 を参照すると、セラミック本体 110 の平均長さ (I) に対する外部電極の平均長さ (BW) の比 BW/I が 0.105 未満の比較例としてのサンプル 1~4 は、セラミック本体に対する外部電極の長さが小さすぎるため、固着強度実験及び実装実験で不良が発生したことが分かる。

【0093】

また、前記 BW/I が 1.049 を超える比較例としてのサンプル 21~25 は、第 1 及び第 2 外部電極間の間隔が狭すぎるため、実装実験で不良が発生したことが分かる。

40

【0094】

つまり、固着強度実験及び実装実験で不良が発生しない好ましい、セラミック本体 110 の平均長さ (I) に対する外部電極の平均長さ (BW) の比 BW/I の範囲は、0.105 以上、1.049 以下である。

【0095】

積層セラミックキャパシタの実装基板

【0096】

図 5 及び図 6 を参照すると、本実施形態による積層セラミックキャパシタ 100 の実装

50

基板 200 は、積層セラミックキャパシタ 100 が水平に実装されるプリント基板 210 と、プリント基板 210 の上面に離隔して形成された第 1 及び第 2 電極パッド 221、222 を含む。

【0097】

ここで、積層セラミックキャパシタ 100 は、下部カバー層 113 が下側に配置され、第 1 及び第 2 外部電極 131、132 がそれぞれ第 1 及び第 2 電極パッド 221、222 上に接触して位置する状態で、半田 230 によりプリント基板 210 に電氣的に接続されるようにしてもよい。

【0098】

このように積層セラミックキャパシタ 100 がプリント基板 210 に実装された状態で電圧を印加すると、アコースティックノイズが発生し得る。

10

【0099】

ここで、第 1 及び第 2 電極パッド 221、222 の大きさは、積層セラミックキャパシタ 100 の第 1 及び第 2 外部電極 131、132 と第 1 及び第 2 電極パッド 221、222 とを接続する半田 230 の量を決定する目安となり、半田 230 の量によりアコースティックノイズを調節することができる。

【0100】

図 7 を参照すると、積層セラミックキャパシタ 100 がプリント基板 210 に実装された状態で、積層セラミックキャパシタ 100 の両端部に形成された第 1 及び第 2 外部電極 131、132 に極性が異なる電圧が印加されると、セラミック本体 110 は、誘電体層 111 の逆圧電効果により厚さ方向に膨張と収縮をし、第 1 及び第 2 外部電極 131、132 の両端部は、ポアソン効果によりセラミック本体 110 の厚さ方向の膨張と収縮とは逆に収縮と膨張をする。

20

【0101】

ここで、アクティブ層 115 の中心部 CL_A は、第 1 及び第 2 外部電極 131、132 の長手方向の両端部において最大に膨張と収縮をする部分であり、アコースティックノイズ発生の原因となる。

【0102】

積層セラミックキャパシタ 100 の長手方向の両端面が最大に膨張すると、半田 230 の上部には、膨張により外部に押し出される力 (1) が加わり、半田 230 の下部には、膨張により外部に押し出される力により外部電極を押し、収縮する力 (2) が加わる。

30

【0103】

従って、本実施形態のように、電圧印加時におけるアクティブ層 115 の中心部 CL_A の変形率と下部カバー層 113 の変形率との差により、セラミック本体 110 の両端面に形成される変曲点が半田 230 の高さ以下に形成された場合、アコースティックノイズをさらに低減することができる。

【0104】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるものではなく、請求の範囲に記載された本発明の技術的思想から外れない範囲内で様々な修正及び変形が可能であることは、当該技術分野における通常の知識を有する者にとって自明である。

40

【符号の説明】

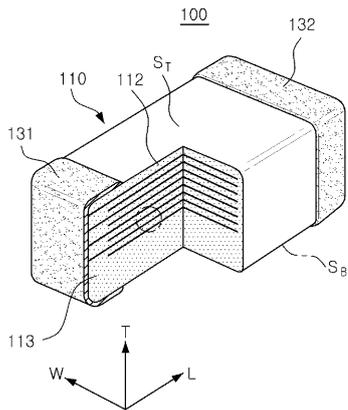
【0105】

- 100 積層セラミックキャパシタ
- 110 セラミック本体
- 111 誘電体層
- 112 上部カバー層
- 113 下部カバー層
- 115 アクティブ層

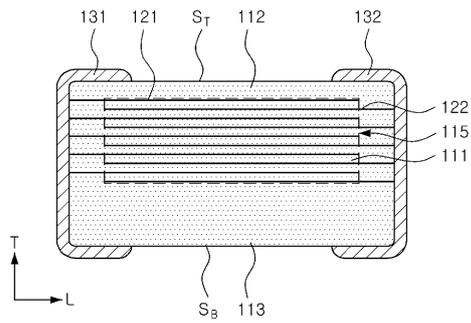
50

- 1 2 1 第 1 内部電極
- 1 2 2 第 2 内部電極
- 1 3 1 第 1 外部電極
- 1 3 2 第 2 外部電極
- 2 0 0 実装基板
- 2 1 0 プリント基板
- 2 2 1 第 1 電極パッド
- 2 2 2 第 2 電極パッド
- 2 3 0 半田

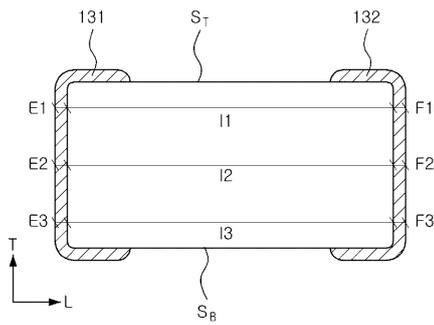
【 図 1 】



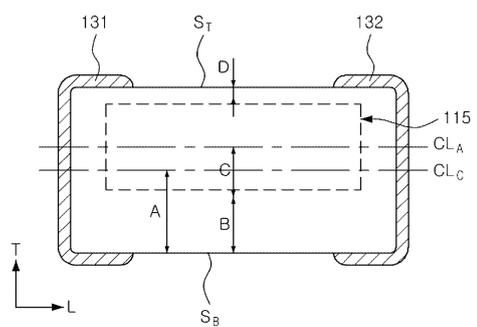
【 図 2 】



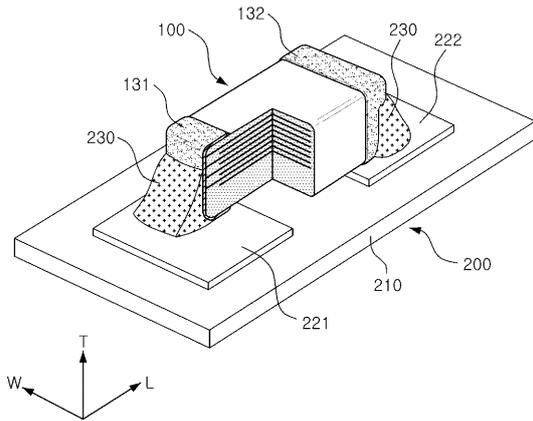
【 図 3 】



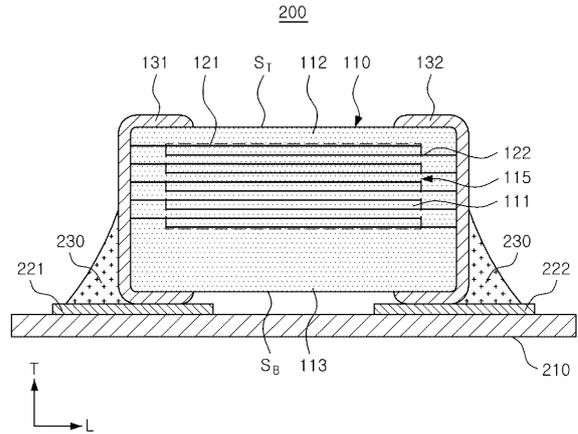
【 図 4 】



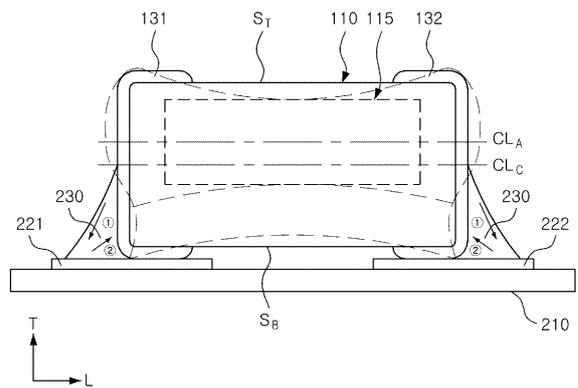
【図5】



【図6】



【図7】



【手続補正書】

【提出日】平成26年4月14日(2014.4.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の誘電体層が積層されたセラミック本体と、
 前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成された複数の第1及び第2内部電極を含んで容量が形成されるアクティブ層と、
 前記アクティブ層の上部に形成された上部カバー層と、
 前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、
 前記セラミック本体の両端面を覆うように形成された第1及び第2外部電極とを含み、
 前記セラミック本体の上部長さ、中間部長さ、及び下部長さの平均をI、前記第1外部電極の上部長さ、中間部長さ、及び下部長さ、及び前記第2外部電極の上部長さ、中間部長さ、及び下部長さとを全て加算した値の平均をBWと規定するとき、
 BW / I が、 $0.105 \leq BW / I \leq 1.049$ の範囲を満たし、
 前記セラミック本体の全体厚さの1/2をA、前記下部カバー層の厚さをB、前記アクティブ層の全体厚さの1/2をC、前記上部カバー層の厚さをDと規定するとき、
 $(B + C) / A$ が、 $1.063 \leq (B + C) / A \leq 1.745$ の範囲を満たす、積層セラミックキャパシタ。

【請求項2】

前記下部カバー層の厚さ (B) に対する前記上部カバー層の厚さ (D) の比 D / B が、 $0.021 < D / B < 0.422$ の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 3】

前記セラミック本体の厚さの $1 / 2$ (A) に対する前記下部カバー層の厚さ (B) の比 B / A が、 $0.329 < B / A < 1.522$ の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 4】

前記下部カバー層の厚さ (B) に対する前記アクティブ層の厚さの $1 / 2$ (C) の比 C / B が、 $0.146 < C / B < 2.458$ の範囲を満たす、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 5】

電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記セラミック本体の厚さの中心部以下に形成される、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 6】

上部に第 1 及び第 2 電極パッドを有するプリント基板と、

前記プリント基板上に設けられた積層セラミックキャパシタとを含み、

前記積層セラミックキャパシタは、複数の誘電体層が積層されたセラミック本体と、前記誘電体層を介して前記セラミック本体の両端面から交互に露出するように形成された複数の第 1 及び第 2 内部電極を含んで容量が形成されるアクティブ層と、前記アクティブ層の上部に形成された上部カバー層と、前記アクティブ層の下部に形成され、前記上部カバー層より厚い下部カバー層と、前記セラミック本体の両端面を覆うように形成され、前記第 1 及び第 2 電極パッドに半田により接続される第 1 及び第 2 外部電極とを含み、前記セラミック本体の上部長さ、中間部長さ、及び下部長さの平均を I 、前記第 1 外部電極の上部長さ、中間部長さ、及び下部長さとして前記第 2 外部電極の上部長さ、中間部長さ、及び下部長さとしてを全て加算した値の平均を BW と規定するとき、 BW / I が、 $0.105 < BW / I < 1.049$ の範囲を満たし、

前記セラミック本体の全体厚さの $1 / 2$ を A、前記下部カバー層の厚さを B、前記アクティブ層の全体厚さの $1 / 2$ を C、前記上部カバー層の厚さを D と規定するとき、
前記アクティブ層の中心部が前記セラミック本体の中心部から外れた割合 $(B + C) / A$ が、 $1.063 < (B + C) / A < 1.745$ の範囲を満たす、積層セラミックキャパシタの実装基板。

【請求項 7】

前記下部カバー層の厚さ (B) に対する前記上部カバー層の厚さ (D) の比 D / B が、 $0.021 < D / B < 0.422$ の範囲を満たす、請求項 6 に記載の積層セラミックキャパシタの実装基板。

【請求項 8】

前記セラミック本体の厚さの $1 / 2$ (A) に対する前記下部カバー層の厚さ (B) の比 B / A が、 $0.329 < B / A < 1.522$ の範囲を満たす、請求項 6 に記載の積層セラミックキャパシタの実装基板。

【請求項 9】

前記下部カバー層の厚さ (B) に対する前記アクティブ層の厚さの $1 / 2$ (C) の比 C / B が、 $0.146 < C / B < 2.458$ の範囲を満たす、請求項 6 に記載の積層セラミックキャパシタの実装基板。

【請求項 10】

電圧印加時における前記アクティブ層の中心部の変形率と前記下部カバー層の変形率との差により、前記セラミック本体の両端面に形成される変曲点が前記半田の高さ以下に形成される、請求項 6 に記載の積層セラミックキャパシタの実装基板。

フロントページの続き

(72)発明者 バク・ミン・チョル
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド

(72)発明者 アン・ヨン・ギョ
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド

(72)発明者 イ・ピョン・ファ
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ
クトロ - メカニックス カンパニーリミテッド

Fターム(参考) 5E001 AB03 AE02 AE03 AF06

5E082 AA01 AB03 BC40 EE04 EE23 EE35 FF05 FG04 FG26 FG46

FG54 GG10 PP09