

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7251015号
(P7251015)

(45)発行日 令和5年4月4日(2023.4.4)

(24)登録日 令和5年3月27日(2023.3.27)

(51)国際特許分類	F I	
H 0 2 H 3/08 (2006.01)	H 0 2 H 3/08	T
H 0 2 H 7/20 (2006.01)	H 0 2 H 7/20	C
H 0 2 H 7/18 (2006.01)	H 0 2 H 7/18	
H 0 2 J 7/00 (2006.01)	H 0 2 J 7/00	S
B 6 0 R 16/02 (2006.01)	B 6 0 R 16/02	6 5 0 S
請求項の数 17 (全18頁)		

(21)出願番号	特願2020-546995(P2020-546995)	(73)特許権者	507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)(22)出願日	平成31年3月5日(2019.3.5)	(74)代理人	230129078 弁護士 佐藤 仁
(65)公表番号	特表2021-516525(P2021-516525 A)	(72)発明者	スリ ナヴァネーサクリシュナ イーシュ ワラン アメリカ合衆国 7 5 0 7 4 テキサス州 ブレイノ, ディバイデンド アヴェニュー - 6 0 1
(43)公表日	令和3年7月1日(2021.7.1)	(72)発明者	ティモシー パウル デュリエ アメリカ合衆国 7 5 2 2 9 テキサス州
(86)国際出願番号	PCT/US2019/020662		最終頁に続く
(87)国際公開番号	WO2019/173275		
(87)国際公開日	令和1年9月12日(2019.9.12)		
審査請求日	令和4年3月2日(2022.3.2)		
(31)優先権主張番号	15/913,465		
(32)優先日	平成30年3月6日(2018.3.6)		
(33)優先権主張国・地域又は機関	米国(US)		

(54)【発明の名称】 ハイサイドドライバのための逆方向電流保護を提供する回路

(57)【特許請求の範囲】

【請求項1】

ハイサイドドライバのための電子制御ユニット(ECU)であって、

第1の電圧を搬送する第1の電圧レールと前記第1の電圧よりも小さい第2の電圧を搬送する第2の電圧レールとの間に直列に結合される第1及び第2のスイッチングトランジスタを含む増幅器回路であって、前記第1及び第2のスイッチングトランジスタのそれぞれのゲートを制御するように結合される、前記増幅器回路と、

前記ハイサイドドライバ上のバスピンを接地への短絡とバッテリーへの短絡との両方から保護するために結合される単一電流感知回路であって、

前記第1のスイッチングトランジスタと前記第2のスイッチングトランジスタとの間に位置する入力ノードと、

通常動作の間に前記入力ノードから前記バスピンに電流を通すように結合されるスイッチ回路と、

前記入力ノードと前記第1の電圧レールとに結合される順方向電流感知回路であって、第1の出力ノード上に第1の電流を提供して第2の出力ノード上に第2の電流を提供するように結合され、前記第1及び第2の電流の各々が前記バスピンにおける出力電流に比例し、前記バスピン上のバス電圧が所与の値を上回るときに前記第1及び第2の電流が実質的にゼロである、前記順方向電流感知回路と、

前記第2のスイッチングトランジスタの前記ゲートに結合されて前記第2の電流を受け取るように結合される逆方向電流スイッチング回路であって、前記第2の電流出力がゼロ

であるときに前記第2のスイッチングトランジスタをオフにするように更に結合される、前記逆方向電流スイッチング回路と、

前記順方向電流感知回路と前記第1の電圧レールと前記第2の電圧より小さい第3の電圧を提供する第3の電圧レールとに結合される順方向電流保護回路であって、接地への短絡にตอบสนองして前記スイッチ回路をオフにするように結合される、前記順方向電流保護回路と、

を含む、前記単一電流感知回路と、
を含む、ECU。

【請求項2】

請求項1に記載のハイサイドドライバのためのECUであって、

前記第2のスイッチングトランジスタがp型金属酸化シリコン(PMOS)トランジスタであり、

前記逆方向電流スイッチング回路が、

前記第2の電流を受け取るように結合される第1のノードと、

前記第1のノードと前記第3の電圧レールとの間に結合される第1の電流シンクと、

前記第2のスイッチングトランジスタの前記ゲートと前記第3の電圧レールとの間に結合される第1のn型金属酸化シリコン(NMOS)トランジスタであって、前記第1のノードと前記第1の電流シンクとの間の点に結合されるゲートを有する、前記第1のNMOSトランジスタと、

前記第2のスイッチングトランジスタの前記ゲートと前記第3の電圧レールとの間に結合される第1の抵抗器と、

を含む、ECU。

【請求項3】

請求項2に記載のハイサイドドライバのためのECUであって、

前記スイッチ回路が、

第2の抵抗器と、

前記第1の電圧レールと前記入力ノードとの間に前記第2の抵抗器と共に直列に結合される第1の電流源であって、第2のノード上に安定電圧を提供する、前記第1の電流源と、

前記入力ノードと前記バスピンとの間に直列に結合される第2及び第3のNMOSトランジスタであって、前記第2のノードに結合されて第1のダイオードと第2のダイオードとを介して前記第1及び第2のNMOSトランジスタの共通ソースに更に結合されるそれぞれのゲートを有する、前記第2及び第3のNMOSトランジスタと、

を含む、ECU。

【請求項4】

請求項3に記載のハイサイドドライバのためのECUであって、

前記順方向電流感知回路が、

第1、第2及び第3のPMOSトランジスタであって、前記第1、第2及び第3のPMOSトランジスタの各々が、前記第1の電圧レールに結合されるソースと、共に結合されるそれぞれのゲートとを有し、前記第1のPMOSトランジスタのドレインが前記第1のPMOSトランジスタのゲートに結合され、前記第2のPMOSトランジスタのドレインが前記第1の電流を供給し、前記第3のPMOSトランジスタのドレインが前記第2の電流を供給する、前記第1、第2及び第3のPMOSトランジスタと、

前記第1のPMOSトランジスタのドレインと、前記第2及び第3のNMOSトランジスタのそれぞれのソースの間に結合される第3のノードとの間に、第3のダイオードと共に直列に結合される第4及び第5のNMOSトランジスタであって、前記第5のNMOSトランジスタが前記第2及び第3のNMOSトランジスタのそれぞれのゲートに結合されるゲートを有する、前記第4及び第5のNMOSトランジスタと、

前記入力ノードに結合される非反転入力と、前記第3のダイオードと前記第5のNMOSトランジスタとの間の第4のノードに結合される反転入力と、前記第4のNMOSトランジスタのゲートに結合される出力とを有する第1の演算増幅器と、

10

20

30

40

50

を含む、ECU。

【請求項 5】

請求項 4 に記載のハイサイドドライバのための ECU であって、
前記順方向電流感知回路が、前記第 4 のノードと前記第 3 の電圧レールとの間に結合される第 2 の電流シンクを更に含む、ECU。

【請求項 6】

請求項 4 に記載のハイサイドドライバのための ECU であって、
前記順方向電流保護回路が、

第 3 の抵抗器と、

第 4 のダイオードと、

前記第 1 の電圧レールと前記第 3 のノードとの間に前記第 3 の抵抗器と第 4 のダイオードと共に直列に結合される第 6 及び第 7 の NMOS トランジスタであって、前記第 6 の NMOS トランジスタが前記第 1 の演算増幅器の前記出力に結合されるゲートを有し、前記第 7 の NMOS トランジスタが前記第 2 の NMOS トランジスタの前記ゲートに結合されるゲートを有する、前記第 6 及び第 7 の NMOS トランジスタと、

前記第 1 の電圧レールと前記第 3 の電圧レールとの間に第 3 の電流シンク (I f _ r e f) と共に直列に結合される第 4 の抵抗器と、

第 2 の演算増幅器であって、前記第 3 の抵抗器と前記第 6 の NMOS トランジスタとの間の第 5 のノードに結合される非反転入力と、前記第 4 の抵抗器と前記第 3 の電流シンクとの間の第 6 のノードに結合される反転入力と、第 5 のダイオードを介して前記第 2 及び第 3 の NMOS トランジスタの前記それぞれのゲートに結合される出力とを有する、前記第 2 の演算増幅器と、

を含む、ECU。

【請求項 7】

請求項 1 に記載のハイサイドドライバのための ECU であって、
前記増幅器回路が浮遊増幅器である、ECU。

【請求項 8】

請求項 2 に記載のハイサイドドライバのための ECU であって、
前記増幅器回路が、

第 2 の電流シンクと、

第 4 の PMOS トランジスタと、

第 5 の PMOS トランジスタと、

第 6 の PMOS トランジスタと、

前記第 1 の電圧レールと前記第 3 の電圧レールとの間に前記第 4 の PMOS トランジスタと第 2 の電流シンクと共に直列に結合される第 8 の NMOS トランジスタと、

前記第 1 の電圧レールと前記第 3 の電圧レールとの間に前記第 5 の PMOS トランジスタと共に直列に結合される第 2 の電流源と、

前記第 6 の PMOS トランジスタに直列に結合される第 3 の電流源と、

を更に含み、

前記第 3 の電流源の端子が前記第 1 の電圧レールに結合され、前記第 6 の PMOS トランジスタのドレインが前記第 2 のスイッチングトランジスタの前記ゲートに結合され、前記第 4 の PMOS トランジスタが、前記第 6 の PMOS トランジスタのゲートと前記第 4 の PMOS トランジスタのドレインとに結合されるゲートを有し、前記第 1 のスイッチングトランジスタのゲートが前記第 2 の電流源と前記第 5 の PMOS トランジスタとの間のノードに結合される、ECU。

【請求項 9】

請求項 1 に記載のハイサイドドライバのための ECU であって、

前記第 1 の電圧が約 14 V であり、前記第 2 の電圧が約 7 V であり、前記第 3 の電圧が局地接地である、ECU。

【請求項 10】

10

20

30

40

50

トランシーバチップであって、
 複数のデコーダと、
 複数のトランシーバであって、前記複数のトランシーバの各々がそれぞれのチャンネルを介して前記複数のデコーダのそれぞれのデコーダに結合され、前記複数のトランシーバのトランシーバがハイサイドドライバのための電子制御ユニット（ECU）を含む、前記複数のトランシーバと、
 を含む、

前記 ECU が、
 第 1 の電圧レールと第 2 の電圧レールとの間に直列に結合される第 1 及び第 2 のスイッチングトランジスタを含む増幅器回路であって、前記第 1 及び第 2 のスイッチングトランジスタのそれぞれのゲートを制御するように結合される、前記増幅器回路と、

10

前記 ECU 上のバスピンを接地への短絡とバッテリーへの短絡との両方から保護するために結合される単一電流感知回路であって、

前記第 1 のスイッチングトランジスタと前記第 2 のスイッチングトランジスタとの間に位置する入力ノードと、

通常動作の間に前記入力ノードから前記バスピンに電流を通すように結合されるスイッチ回路と、

前記入力ノードと前記第 1 の電圧レールとに結合される順方向電流感知回路であって、第 1 の出力ノード上に第 1 の電流を提供して第 2 の出力ノード上に第 2 の電流を提供するように結合され、前記第 1 及び第 2 の電流の各々が前記バスピンにおける出力電流に比例し、前記バスピン上のバス電圧が或る選択された値を上回るときに前記第 1 及び第 2 の電流が実質的にゼロである、前記順方向電流感知回路と、

20

前記第 2 のスイッチングトランジスタの前記ゲートに結合されて前記第 2 の電流を受け取るように結合される逆方向電流スイッチング回路であって、前記第 2 の電流出力がゼロであるときに前記第 2 のスイッチングトランジスタをオフにするように結合される、前記逆方向電流スイッチング回路と、

前記順方向電流感知回路と前記第 1 の電圧レールと第 3 の電圧レールとに結合される順方向電流保護回路であって、接地への短絡に応答して前記スイッチ回路をオフにするように結合される、前記順方向電流保護回路と、

を含む、前記単一電流感知回路と、
 を含む、トランシーバチップ。

30

【請求項 1 1】

請求項 1 0 に記載のトランシーバチップであって、
 前記第 2 のスイッチングトランジスタが p 型金属酸化シリコン（PMOS）トランジスタであり、

前記逆方向電流スイッチング回路が、
 前記第 2 の電流を受け取るように結合される第 1 のノードと、
 前記第 1 のノードと前記第 3 の電圧レールとの間に結合される第 1 の電流シンクと、
 前記第 2 のスイッチングトランジスタのゲートと前記第 3 の電圧レールとの間に結合される第 1 の n 型金属酸化シリコン（NMOS）トランジスタであって、前記第 1 のノードと前記第 1 の電流シンクとの間の点に結合されるゲートを有する、前記第 1 の NMOS トランジスタと、

40

前記第 2 のスイッチングトランジスタの前記ゲートと前記第 3 の電圧レールとの間に結合される第 1 の抵抗器と、

を含む、トランシーバチップ。

【請求項 1 2】

請求項 1 1 に記載のトランシーバチップであって、
 前記増幅器回路が、
 第 2 の電流シンクと、

第 4 の PMOS トランジスタと、

50

第 5 の P M O S トランジスタと、

第 6 の P M O S トランジスタと、

前記第 1 の電圧レールと前記第 3 の電圧レールとの間に前記第 4 の P M O S トランジスタと前記第 2 の電流シンクと共に直列に結合される第 8 の N M O S トランジスタと、

前記第 1 の電圧レールと前記第 3 の電圧レールとの間に前記第 5 の P M O S トランジスタと共に直列に結合される第 2 の電流源と、

前記第 6 の P M O S トランジスタに直列に結合される第 3 の電流源と、

を更に含み、

前記第 3 の電流源の端子が前記第 1 の電圧レールに結合され、前記第 6 の P M O S トランジスタのドレインが前記第 2 のスイッチングトランジスタの前記ゲートに結合され、第 4 の P M O S トランジスタが、前記第 6 の P M O S トランジスタのゲートと前記第 4 の P M O S トランジスタのドレインとに結合されるゲートを有し、前記第 1 のスイッチングトランジスタのゲートが前記第 2 の電流源と前記第 5 の P M O S トランジスタとの間のノードに結合される、トランシーバチップ。

10

【請求項 1 3】

請求項 1 0 に記載のトランシーバチップであって、

前記複数のトランシーバが周辺機器センサインタフェーストランシーバである、トランシーバチップ。

【請求項 1 4】

システムオンチップ (S O C) であって、

20

第 1 の電圧を提供する第 1 の電圧レールと、前記第 1 の電圧より小さい第 2 の電圧を提供する第 2 の電圧レールと、前記第 2 の電圧より小さい第 3 の電圧を提供する第 3 の電圧レールとを提供するように結合される電力供給モジュールと、

前記第 2 及び第 3 の電圧レールを受け取るように結合される第 1 の複数のトランシーバと、

前記第 1、前記第 2 及び前記第 3 の電圧レールを受け取るように結合される第 2 の複数のトランシーバであって、前記第 2 の複数のトランシーバの各々がそれぞれのチャンネルを介して複数のデコーダのそれぞれのデコーダに結合され、前記第 2 の複数のトランシーバのトランシーバがハイサイドドライバのための E C U を含む、前記第 2 の複数のトランシーバと、

30

を含み、

前記 E C U が、

前記第 1 の電圧レールと前記第 2 の電圧レールとの間に直列に結合される第 1 及び第 2 のスイッチングトランジスタを含む増幅器回路であって、前記第 1 及び第 2 のスイッチングトランジスタのそれぞれのゲートを制御するように結合される、前記増幅器回路と、

接地への短絡とバッテリーへの短絡との両方から前記 E C U 上のバスピンを保護するために結合される単一感知回路であって、

前記第 1 のスイッチングトランジスタと前記第 2 のスイッチングトランジスタとの間に位置する入力ノードと、

通常動作の間に前記入力ノードから前記バスピンに電流を流すように結合されるスイッチ回路と、

40

前記入力ノードと前記第 1 の電圧レールとに結合される順方向電流感知回路であって、第 1 の電流と第 2 の電流とを提供するように結合され、前記第 1 及び第 2 の電流の各々が前記バスピンにおける出力電流に比例し、前記バスピン上のバス電圧が或る選択された値を上回るときに前記第 1 及び第 2 の電流が実質的にゼロである、前記順方向電流感知回路と、

前記第 2 のスイッチングトランジスタのゲートに結合されて前記第 2 の電流を受け取るように結合される逆方向電流スイッチング回路であって、前記第 2 の電流がゼロであるときに前記第 2 のスイッチングトランジスタをオフにするように更に結合される、前記逆方向電流スイッチング回路と、

50

前記順方向電流感知回路と前記第 1 の電圧レールと前記第 3 の電圧レールとに結合される順方向電流保護回路であって、接地への短絡に応答して前記スイッチ回路をオフにするように結合される、前記順方向電流保護回路と、
を含む、SOC。

【請求項 15】

請求項 14 に記載の SOC であって、
前記第 2 のスイッチングトランジスタが p 型金属酸化シリコン (PMOS) トランジスタであり、

前記逆方向電流スイッチング回路が、
前記第 2 の電流を受け取るように結合される第 1 のノードと、
前記第 1 のノードと前記第 3 の電圧レールとの間に結合される第 1 の電流シンクと、
前記第 2 のスイッチングトランジスタのゲートと前記第 3 の電圧レールとの間に結合される第 1 の n 型金属酸化シリコン (NMOS) トランジスタであって、前記第 1 のノードと前記第 1 の電流シンクとの間の点に結合されるゲートを有する、前記第 1 の NMOS トランジスタと、

前記第 2 のスイッチングトランジスタの前記ゲートと前記第 3 の電圧レールとの間に結合される第 1 の抵抗器と、
を含む、SOC。

【請求項 16】

請求項 15 に記載の SOC であって、
前記増幅器回路が、
第 2 の電流シンクと、
第 4 の PMOS トランジスタと、
第 5 の PMOS トランジスタと、
第 6 の PMOS トランジスタと、

前記第 1 の電圧レールと前記第 3 の電圧レールとの間に前記第 4 の PMOS トランジスタと前記第 2 の電流シンクと共に直列に結合される第 8 の NMOS トランジスタと、

前記第 1 の電圧レールと前記第 3 の電圧レールとの間に前記第 5 の PMOS トランジスタと共に直列に結合される第 2 の電流源と、

前記第 6 の PMOS トランジスタに直列に結合される第 3 の電流源と、
を更に含み、

前記第 3 の電流源が前記第 1 の電圧レールに結合される端子を有し、前記第 6 の PMOS トランジスタが前記第 2 のスイッチングトランジスタのゲートに結合されるドレインを有し、前記第 4 の PMOS トランジスタが前記第 6 の PMOS トランジスタのゲートと前記第 4 の PMOS トランジスタのドレインとに結合されるゲートを有し、前記第 1 のスイッチングトランジスタのゲートが前記第 2 の電流源と前記第 5 のトランジスタとの間のノードに結合される、SOC。

【請求項 17】

請求項 14 に記載の SOC であって、
前記第 2 の複数のトランシーバが周辺機器センサインタフェーストランシーバである、
SOC。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概して電子回路に関し、より詳細にはハイサイドドライバのための逆方向 (reverse) 電流保護を提供する回路に関する。

【背景技術】

【0002】

周辺機器センサインタフェース (PSI) は発展しつつあるオートモーティブ規格であり、PSI 5 が現行版であり、ローカル相互接続ネットワーク (LIN) の代替と考えら

10

20

30

40

50

れている。多数のオートモーティブ用途が、エアバッグ加速度センサ、超音波、動力伝達装置、制動応用例などのP S Iプロトコルを用いている。P S Iトランシーバの電子制御ユニット（E C U）は、ベース電圧などの電力と同期（S Y N C）パルスを送信し、同期パルスは、センサからデータ収集を開始する。センサは、電流変調されたデータに回答し、E C Uがこれを感じてデジタル波形に変換する。トランシーババスピン（出力）は、接地又はバッテリーのいずれかに短絡する可能性があり、障害保護のために双方向電流感知を必要とする。以下に説明するように、接地への短絡とバッテリーへの短絡に対する保護は従来は2つの異なる回路を用いており、これはチップのための面積の増加と電力消費の増加の両方につながる。保護回路のためのより小さなフットプリント及び一層低い電力消費が望まれる。

10

【発明の概要】

【0003】

記載される例は、接地への短絡及びバッテリー保護への短絡の両方のための単一電流感知経路を提供し、両方の保護を提供するための2つ又はそれ以上の電流感知ループの使用を排除する。これにより、回路に必要な面積と、回路の動作に必要な電力の両方における効率が提供される。

【0004】

一態様において、ハイサイドドライバのための電子制御ユニットが、第1の電圧を搬送する第1の電圧レールと、第1の電圧よりも小さい第2の電圧を搬送する第2の電圧レールとの間で第2のスイッチングトランジスタに直列に結合される第1のスイッチングトランジスタを含む増幅器回路と、ハイサイドドライバ上のバスピンを接地への短絡及びバッテリーへの短絡の両方から保護するように結合される単一電流感知回路とを含む。増幅器回路は、第1及び第2のスイッチングトランジスタのそれぞれのスイッチングトランジスタのゲートを制御するように結合される。単一電流検出回路は、第1のスイッチングトランジスタと第2のスイッチングトランジスタとの間に位置する入力ノードと、通常動作の間、入力ノードからバスピンに電流を通すように結合されるスイッチ回路と、入力ノードに及び第1の電圧レールに結合され、第1の出力ノードに第1の電流を、第2の出力ノードに第2の電流を供給するように結合される順方向電流検出回路と、第2の電流を受け取るように結合される逆方向電流スイッチング回路と、順方向電流検出回路、第1の電圧レール、及び第3の電圧レールに結合される順方向電流保護回路とを含む。第1の電流及び第2の電流の各々は、バスピンにおける出力電流にそれぞれ比例し、バスピン上のバス電圧が所与の値を上回ると、第1及び第2の電流が実質的にゼロになる。逆方向電流スイッチング回路は、更に第2のスイッチングトランジスタのゲートに結合され、第2の電流出力がゼロであるとき第2のスイッチングトランジスタをオフにするように結合される。順方向電流保護回路は、第2の電圧よりも小さい第3の電圧を提供し、更に、接地への短絡に回答してスイッチ回路をオフにするように結合される。

20

30

【0005】

別の態様において、トランシーバチップが、複数のデコーダと、複数のトランシーバとを含む。複数のトランシーバの各々は、それぞれのチャンネルを介して複数のデコーダのそれぞれのデコーダに結合される。複数のトランシーバの各々は、ハイサイドドライバのための電子制御ユニット（E C U）を含む。E C Uは、第1の電圧レールと第2の電圧レールとの間の第2のスイッチングトランジスタに直列に結合される第1のスイッチングトランジスタを含む増幅器回路と、E C U上のバスピンを接地への短絡及びバッテリーへの短絡の両方から保護するように結合される単一電流感知回路とを含む。増幅器回路は、第1及び第2のスイッチングトランジスタのそれぞれのゲートを制御するように結合される。単一電流感知回路は、第1のスイッチングトランジスタと第2のスイッチングトランジスタとの間に位置する入力ノードと、通常動作の間、入力ノードからバスピンに電流を通すように結合されるスイッチ回路と、入力ノードに及び第1の電圧レールに結合される順方向電流感知回路と、第2の電流を受け取るように結合され、第2のスイッチングトランジスタのゲートに更に結合される逆方向電流スイッチング回路と、順方向電流感知回路に結

40

50

合され、第 1 の電圧レール及び第 3 の電圧レールに結合される、順方向電流保護回路とを含む。順方向電流感知回路は、第 1 の出力ノードに第 1 の電流を、第 2 の出力ノードに第 2 の電流を提供するように結合され、第 1 の電流及び第 2 の出力ノードに第 2 の電流を提供するように結合され、バスピンにおける出力電流にそれぞれ比例し、バスピン上のバス電圧が選択された値を上回るとき第 1 及び第 2 の電流が実質的にゼロである。逆方向電流スイッチング回路は、第 2 の電流がゼロであるとき、第 2 のスイッチングトランジスタをオフにするように結合される。順方向保護回路は、接地への短絡に反応してスイッチ回路をオフにする。

【 0 0 0 6 】

更に別の態様において、システムオンチップ (SOC) は、第 1 の電圧を提供する第 1 の電圧レールと、第 1 の電圧よりも小さい第 2 の電圧を提供する第 2 の電圧レールと、第 2 の電圧よりも小さい第 3 の電圧を提供する第 3 の電圧レールとを提供するように結合される電力供給モジュール；第 2 及び第 3 の電圧レールを受けとるように結合される第 1 の複数のトランシーバ；第 1、第 2、及び第 3 の電圧レールを受けとるように結合される第 2 の複数のトランシーバを含む。第 2 の複数のトランシーバの各々は、それぞれのチャンネルを介して複数のデコーダのそれぞれのデコーダに結合されており、第 2 の複数のトランシーバのトランシーバが、ハイサイドドライバのための ECU を含み得る。ECU は、第 1 の電圧レールと第 2 の電圧レールとの間で第 2 のスイッチングトランジスタに直列に結合される第 1 のスイッチングトランジスタと、ECU 上のバスピンを接地への短絡及びバッテリーへの短絡の両方から保護するように結合される単一感知回路とを含む増幅器回路を含む。増幅器回路は、第 1 及び第 2 のスイッチングトランジスタのそれぞれのゲートを制御するように結合される。単一感知回路は、第 1 のスイッチングトランジスタと第 2 のスイッチングトランジスタとの間に位置する入力ノードと、通常動作の間、入力ノードからバスピンに電流を通すように結合されるスイッチ回路と、入力ノードに及び第 1 の電圧レールに結合される順方向電流感知回路と、第 2 の電流を受け取るように結合され、更に、第 2 のスイッチングトランジスタのゲートに結合される逆方向電流スイッチング回路と、順方向電流感知回路に、第 1 の電圧レール及び第 3 の電圧レールに結合される順方向電流保護回路とを含む。順方向電流感知回路は、第 1 の電流及び第 2 の電流を供給するように結合され、第 1 の電流及び第 2 の電流の各々が、バスピンにおける出力電流に比例し、バスピン上のバス電圧が選択値を上回るとき、第 1 及び第 2 の電流が実質的にゼロである。逆方向電流スイッチング回路は、第 2 の電流がゼロであるとき、第 2 のスイッチングトランジスタをオフにするように結合される。順方向電流保護回路は更に、接地への短絡に反応してスイッチ回路をオフにするように結合されている。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】本記載の一実施例に従って感知回路を用い得るハイサイドドライバのための ECU の高レベルの概略を示す。

【 0 0 0 8 】

【 図 2 】従来のハイサイドドライバのための ECU の幾分より詳細な概略を示す。

【 0 0 0 9 】

【 図 3 A 】従来のハイサイドドライバのための ECU の実装を示す。

【 図 3 B 】従来のハイサイドドライバのための ECU の実装を示す。

【 0 0 1 0 】

【 図 4 】本記載の一実施例に従った、ハイサイドドライバのための ECU の一部の実装を示す。

【 0 0 1 1 】

【 図 5 】本記載の一実施例に従った、記載された保護回路を用い得るスタンドアロン P S I 5 トランシーバチップを含むシステムの高レベルの概略を示す。

【 0 0 1 2 】

【 図 6 】本記載の一実施例に従った、記載された保護回路を用い得る SOC を含むシステ

10

20

30

40

50

ムの高レベルの概略を示す。

【発明を実施するための形態】

【0013】

図面において、類似の参照符号は同様の要素を示す。本記載における「或る」又は「一つの」実施例への異なる言及は、必ずしも同じ実施例を意味するものではなく、そのような言及は少なくとも一つを意味し得る。更に、特定の特徴、構造、又は特性が一実施例と関連して記載されている場合、そのような特徴、構造、又は特性は、明示的に記載されているかどうかにかかわらず、他の実施例に関連して実施され得る。本明細書で用いられるように、「結合する」という語は「通信可能に結合される」（ワイヤレス接続を含み得る）として限定されない限り、間接的又は直接的な電氣的接続である。そのため、第1のデバイスが第2のデバイスに結合する場合、その接続は、直接的な電氣的接続を介するもの、又は他のデバイス及び接続を介する間接的電氣的接続を介するものであり得る。

10

【0014】

図1は、ハイサイドドライバのためのECU102と、双方向信号線116を介してECUのバスピンOUTxに結合されるセンサ104を含むオートモーティブシステム100の高レベルの概略を示す。この図では一つのセンサのみが示されているが、典型的には多数のセンサがECU102に結合される。一実施例のオートモーティブシステム100は、例えばPSI5などのPSIプロトコルを用いて動作するように設計されているが、オートモーティブシステム100は他のオートモーティブプロトコルで動作することもできる。PSI5プロトコルでは、双方向信号線116がセンサとデータ送信の両方に電力を供給する2ワイヤ接続である。ECU102は、例えば5Vであり得るVCCのレールと局地接地との間で動作する低電圧論理回路106を含む。ECU102はまた、14~40Vの範囲で典型的に「高い」電圧を有するレールVDD_HVと、一実施例において約7Vの電圧を有する「中間の」電圧を有するレールVDD_MVとの間で動作する高電圧同期パルス生成及び電流感知回路108を含む。

20

【0015】

低電圧論理回路106は、同期パルス生成及び電流感知回路108に信号110を提供し、同期パルス生成及び電流感知回路108は、関連するセンサからデータ収集を開始するために同期パルスが提供されるべきであることを示すことができる。同期パルス生成及び電流感知回路108は、バスピンOUTxに信号112を提供する。信号112は例えば、オートモーティブシステム100が作動しているときに7Vのベース電圧を提供し得る。信号110上のパルスの受信に应答して、同期パルス生成及び電流感知回路108は同期パルスを提供し、その一実施例は12Vである。同期パルスはセンサ104からの应答をトリガし、これは、双方向信号線116上の電流変調を用いて信号114を提供し、センサの通常（静止）電流消費によって表される「低」レベルと、センサの増加した電流シンクによって生成される「高」レベルを有する。同期パルス生成及び電流感知回路108は電流の変化を検出し、デジタル信号を提供するように構成される。

30

【0016】

双方向性信号線116は、オートモーティブシステムを介して数メートル走り得る。オートモーティブシステム100の寿命の間、バスピンOUTxは、バッテリー又は接地のいずれかに不用意に短絡される可能性があるため、これらの条件のいずれかが発生した場合にはECU102を保護しなければならない。図2は、図1を幾分詳細にしたものであるオートモーティブシステム200を示す。ECU202は、低電圧論理回路204、この例では浮遊増幅器である増幅器回路206、及び、順方向電流感知回路208と逆方向電流感知回路210の、2つの保護回路を含む。2つ又はそれ以上の別個の保護回路の使用は、これらの回路の各々がチップ上で大量の占有面積を使用し、走るためにかなりの電力消費を必要とする場合であっても、一般的である。PSI5プロトコルでは、デバイスあたり複数のチャンネルが存在するため、各チャンネルには順方向電流感知回路と逆方向電流感知回路の両方が必要となり、各々大きな面積が必要で、200mAの範囲の電流が消費される。

40

50

【 0 0 1 7 】

図 3 A 及び図 3 B は共に、E C U 2 0 2 として用いられ得るハイサイドドライバ回路のための E C U 3 0 0 を示す。E C U 3 0 0 は、低電圧論理回路 3 0 2、この場合も浮遊増幅器である増幅器回路 3 0 4、順方向電流感知回路 3 0 6、及び逆方向電流感知回路 3 0 8 を含む。低電圧論理回路 3 0 2 は、回路の低電圧部の上側レールと下側レールとの間の n 型金属酸化物シリコン (N M O S) トランジスタ M a に直列に結合された抵抗器 R 5 及び R 6 を含む分圧器を含む。N M O S トランジスタ M a は、回路がアクティブであるときにイネーブル信号を受信する。抵抗器 R 5 と R 6 との間で取られる電圧が、増幅器 3 1 0 の非反転入力に結合され、増幅器 3 1 0 の出力は、増幅器 3 1 0 の反転入力に、また、電流源 3 1 2 に結合される。電流源 3 1 2 は、スイッチ S 1 を介してノード 3 1 6 に結合され、電流シンク 3 1 4 も、第 2 のスイッチ S 2 を介してノード 3 1 6 に結合される。同期化信号が、低電圧論理回路 3 0 2 の出力が下側レール又は基準電圧 V r e f のいずれかに等しくなるようにスイッチ S 1、S 2 を制御し、一方、コンデンサ C 1 が、低電圧論理回路 3 0 2 の出力信号と下側レールとの間で結合され、信号が、下側レールの値と V r e f との間で傾斜遷移を有することを確実にする。

10

【 0 0 1 8 】

低電圧論理回路 3 0 2 によって生成された信号は増幅器回路 3 0 4 に供給され、増幅器回路 3 0 4 は、図示の実施例では、高電圧レール V D D _ H V、中間電圧レール V D D _ M V、及び低電圧レール V D D _ L V を受け取る浮遊増幅器回路である。電圧レール V D D _ H V、V D D _ M V、及び V D D _ L V は、それぞれ、第 1、第 2、及び第 3 の電圧レールと称され得る。一実施例において、高電圧レール V D D _ H V は約 1 4 V の第 1 の電圧を搬送し、中間電圧レール V D D _ M V は約 7 V の第 2 電圧を搬送し、低電圧レール V D D _ L V は下側電圧レールとも呼ばれる第 3 の電圧の局地接地を搬送する。図 3 A ~ 図 3 B に示す実施例では、無線周波数 (R F) 干渉を避けるために、増幅器回路 3 0 4 によって生成されたパルスに対して非常に制御された形状を有する必要がある。この必要性のために、受信した信号は、高電圧レール V D D _ H V、中間電圧レール V D D _ M V、及び低電圧レール V D D _ L V の各々に結合されたパルス整形増幅器 3 1 8 の非反転入力上で受信される。ダイオード D H V が、示された回路から上流に移動する電流からの保護を提供する。

20

【 0 0 1 9 】

パルス整形増幅器 3 1 8 は、p 型金属酸化物シリコン (P M O S) トランジスタ M 4 のゲートに結合される反転出力と、N M O S トランジスタ M 3 のゲートに結合される非反転出力とを提供する。P M O S トランジスタ M 4 は、高電圧レール V D D _ H V に結合されるソースを有し、N M O S トランジスタ M 3 は低電圧レール V D D _ L V に結合されるソースを有する。P M O S トランジスタ M 5 と N M O S トランジスタ M 6 は、P M O S トランジスタ M 4 と N M O S トランジスタ M 3 のドレイン間で並列に結合され、P M O S トランジスタ M 5 のゲートは、電流源 V b p を介して高電圧レール V D D _ H V に結合され、N M O S トランジスタ M 6 のゲートは、電流シンク V b n を介して低電圧レールに結合される。P M O S トランジスタ M 2 は、V D D _ H V と V D D _ L V との間で N M O S トランジスタ M 1 に直列に結合される。P M O S トランジスタ M 2 のゲートは P M O S トランジスタ M 4 のドレインに結合され、N M O S トランジスタ M 1 のゲートは N M O S トランジスタ M 3 のドレインに結合される。ノード 3 2 0 は P M O S トランジスタ M 2 と N M O S トランジスタ M 1 のドレインの間に存在し、N M O S トランジスタ M b と P M O S トランジスタ M c のゲートを駆動するように結合され、また、抵抗器 R 7 と R 8 を含む分圧器を介してパルス整形増幅器 3 1 8 の反転入力に結合されてフィードバックループを提供する。N M O S トランジスタ M b は、電流シンク 3 2 2 を介して V D D _ L V に結合されるソースと、V D D _ H V に結合されるドレインとを有し、P M O S トランジスタ M c は、電流源 3 2 4 を介して V D D _ H V に結合されるソースと、V D D _ L V に結合されるドレインとを有する。最後に、N M O S スイッチングトランジスタ M s r が、高電圧レール V D D _ H V と中間電圧レール V D D _ M V との間で P M O S スイッチングトランジスタ

30

40

50

M s nに直列に結合される。NMOSスイッチングトランジスタM s rのゲートは、電流源3 2 4とPMOSTランジスタM cとの間のノード3 2 6に結合され、PMOSスイッチングトランジスタM s nのゲートは、NMOSTランジスタM bと電流シンク3 2 2との間のノード3 2 8に結合される。NMOSスイッチングトランジスタM s rとPMOSスイッチングトランジスタM s nのソースの間にあるノード3 3 0は、順方向電流感知回路3 0 6と逆方向電流感知回路3 0 8の両方に信号を提供する。通常動作の間、例えば、短絡回路が存在しないとき、増幅器回路3 0 4は、センサに電力を供給するために中間電圧レールV D D _ M Vで搬送される値に等しいベース電圧を提供する。増幅器回路3 0 4がパルス整形増幅器3 1 8への入力上のパルスを受信すると、増幅器回路3 0 4は、RF干渉を最小化するように設計された正確な形状を有するパルスを提供する。

10

【0020】

順方向電流感知回路3 0 6内で、NMOSTランジスタM 7 F及びM 7 Rが、ノード3 3 0とバスピンO U T Xとの間で直列に結合される。電流源3 3 2は、V D D _ H Vとノード3 3 0との間の抵抗器R gに直列に結合され、電流源3 3 2と抵抗器R gとの間のノードN 2が、NMOSTランジスタM 7 FとM 7 Rのゲートに結合される。NMOSTランジスタM 7 F及びM 7 Rのゲートの、ノードN 2上の安定電圧への結合により、接地への短絡時にNMOSTランジスタM 7 F及びM 7 Rが特にオフにならない限り、ノード3 3 0で受信した信号が確実にバスピンO U T xに渡されることが確実となる。

【0021】

また、順方向電流感知回路3 0 6内では、演算増幅器O A 2が、PMOSTランジスタM 8、M 1 0、及びNMOSTランジスタM 9、M 1 6と共に、電流検知を実施し、演算増幅器O p fが、第3及び第4の抵抗器R 3、R 4、NMOSTランジスタM 1 1、M 1 2、ダイオードD 3及び電流シンクI f _ r e fと連携して、短絡対接地に対する保護を提供する。演算増幅器O A 2の非反転入力は、送信信号を受信するためにノード3 3 0に結合され、その出力をNMOSTランジスタM 1 6のゲートに供給する。PMOSTランジスタM 8、及びNMOSTランジスタM 1 6、M 9は、高電圧レールV D D _ H Vと第3のノードN 3との間に直列に結合されており、ノードN 3は、それぞれ、第1のダイオード及び第2のダイオードとみなすことができるバックツープックダイオードD 1、D 2を介して、NMOSTランジスタM 7 F、M 7 Rのゲートに結合される。NMOSTランジスタM 1 6のソースとNMOSTランジスタM 9のドレインとの間に位置するノードN 4は、演算増幅器O A 2の反転入力に結合され、NMOSTランジスタM 9のゲートは、NMOSTランジスタM 7 F、M 7 Rのゲートと共通して、ノードN 2に結合される。PMOSTランジスタM 8はダイオード結合され、PMOSTランジスタM 8のゲートは、PMOSTランジスタM 1 0のゲートに更に結合され、PMOSTランジスタM 1 0はV D D _ H VとノードN 7との間に結合され、これは更なる処理のための電流I r c vを提供する。

20

30

【0022】

接地への短絡から保護する順方向電流感知回路3 0 6の部分内では、抵抗器R 3が、V D D _ H VとノードN 3との間でNMOSTランジスタM 1 2及びM 1 1に直列に結合され、抵抗器R 4が、V D D _ H VとV D D _ L Vとの間で電流シンクI f _ r e fに直列に結合される。NMOSTランジスタM 1 2のゲートは、演算増幅器O A 2の出力に結合され、NMOSTランジスタM 1 1のゲートがノードN 2に結合され、抵抗器R 3とNMOSTランジスタM 1 2のドレインとの間の第5のノードN 5が、演算増幅器O p fの非反転入力に結合される。第6のノードN 6が、抵抗器R 4と電流シンクI f _ r e fとの間に存在し、演算増幅器O p fの反転ノードに結合され、演算増幅器O p fの出力は、ダイオードD 3を介してノードN 2に結合され、また、NMOSTランジスタM 7 F及びM 7 Rのゲートに結合される。順方向電流感知回路の動作は、この回路にわずかな追加しか含まない図4に関して後述する。

40

【0023】

逆方向電流感知回路3 0 8も、2つの演算増幅器O A 1及びO p rを含む。更に、逆方

50

向電流感知回路308は、 VDD_HV と VDD_MV との間でNMOSトランジスタM15及びPMOSトランジスタM14に直列に結合される抵抗器R1rと、 VDD_HV と VDD_LV との間で電流シンク I_{r_ref} に直列に結合される抵抗器R2rとを含む。演算増幅器OA1の非反転入力は、出力信号をバスピンOUTxに提供するノード330に結合され、演算増幅器OA1の反転入力は、NMOSトランジスタM15のそれぞれのソースとPMOSトランジスタM14との間に位置するノード348に結合され、演算増幅器OA1の出力は、NMOSトランジスタM15のゲートに結合される。抵抗器R1rとNMOSトランジスタM15との間に位置するノード344が、演算増幅器Oprの反転ノードに結合され、抵抗器R2rと電流シンク I_{r_ref} との間に位置するノード346が、非反転入力Ofrに結合される。演算増幅器Oprの出力は、ダイオードD4を介して、PMOSトランジスタM14及びMsnのゲートと共通して、ノード328に結合される。逆方向電流感知回路308の通常動作の間、ノード346上の電圧はノード344上の電圧よりも小さく、演算増幅器Oprに低信号を出力させ、これは、PMOSスイッチングトランジスタMsn上の低値を変化させず、PMOSスイッチングトランジスタMsnを通る電流を維持する。バッテリーへの短絡により逆方向電流が流れると、演算増幅器OA1はNMOSトランジスタM15をONにし、これによりノード344上の電圧が下がり、演算増幅器Oprに高信号を出力させ、これによりPMOSスイッチングトランジスタMsnをオフにするように作用し、電流がバスピンOUTxから中間電圧レール VDD_MV に流れることから保護する。

【0024】

ECU300は良好に動作するが、回路は2つの別個の感知回路を用いて、接地への短絡及びバッテリーへの短絡に対する保護を提供する。これらの2つの検知回路は高電圧であり、単一PSI5チャンネルに対して電力消費を少なくとも200mA増大させるとともに、回路のための面積を増大させる。多重チャンネルを持つチップ又はSOCの場合、電力消費は更に大きくなる。生じ得る別の問題は、同期パルスの立ち上がりエッジの間、高電圧レール VDD_HV から中間電圧レール VDD_MV への交差電流(cross current)が誤った逆方向電流と誤解され得、誤って逆方向電流保護がトリガされる可能性があることである。バッテリーへの短絡から保護する必要性に対するもう一つの解決策は、バスピンOUTxと中間電圧レール VDD_MV との間の差動電圧コンパレータを用いて逆方向電流条件を感知することである。ただし、この解決策は、差動電圧コンパレータも高電圧でなければならないため、面積も大幅に増加する。

【0025】

図4は、バッテリーへの短絡を調整するための第2の感知回路の使用を排除し、接地への短絡及びバッテリーへの短絡の両方からバスピンOUTxを保護するため、すなわち、バスピンOUTx上のバス電圧が高すぎ又は低すぎてもチップに害を及ぼさないことを保証するために単一電流感知回路を用いる、ハイサイドドライバ回路のためのECU400の一部を示す。ECU300に対して行われた変更を強調するために、低電圧論理回路302及びラインA-A'の左側にある増幅器回路304の部分は、これらの回路が同じままであるので、この図には示されていない。示される増幅器回路304'の部分は、ECU300から修正されており、第8のNMOSトランジスタM20、及び第4、第5、及び第6のPMOSトランジスタM21、M22、M23、並びに、第2の電流シンク C_{si2} 及び第2及び第3の電流源 C_{so2} 及び C_{so3} を含む。第8のNMOSトランジスタM20は、 VDD_HV と VDD_LV との間でPMOSトランジスタM21及び第2の電流シンク C_{si2} に直列に結合される。第2の電流源 C_{so2} は、 VDD_HV と VDD_LV との間でPMOSトランジスタM22に直列に結合され、第3の電流源 C_{so3} はPMOSトランジスタM23に直列に結合される。第3の電流源 C_{so3} の一つの端子は VDD_HV に結合され、PMOSトランジスタM23のドレインは、第2のスイッチングトランジスタとも呼ばれるPMOSスイッチングトランジスタMsnのゲートに結合される。PMOSトランジスタM21及びM23のゲートは共に、及びPMOSトランジスタM21のドレインに結合されて、電流ミラーを形成する。最後に、第1のスイッチング

トランジスタとも呼ばれるNMOSスイッチングトランジスタMsrのゲートは、第2の電流源Cso2とPMOSTランジスタM22との間の点に結合される。

【0026】

単一電流感知回路は4つのセクションを含み、各セクションは点線によって囲まれる。即ち、1)第1の電流源Is_g、第2の抵抗器R2、第1及び第2のダイオードD1及びD2、並びに、共通のソースを有する第2及び第3のNMOSTランジスタM7F、M7Rを含、スイッチ回路402、2)第1の演算増幅器OA2、第3のダイオードD3、第4のNMOSTランジスタM16、第5のNMOSTランジスタM9、及び、第1、第2、及び第3のPMOSTランジスタM8、M10、Mrevを含む、順方向電流NMOSTランジスタ406、3)第2の演算増幅器Opf、第3及び第4の抵抗器R3、R4、第4及び第5のダイオードD4、D5、第3の電流シンクIf_{ref}、第6のダイオードM12、及び第7のNMOSTランジスタM11を含む、順方向ダイオード404、並びに、4)第1の電流シンクCsi1、第1のNMOSTランジスタMswitch、及び第1の抵抗器R1を含み、PMOSスイッチングトランジスタMsnのゲートに結合される、逆方向電流スイッチング回路408である。図示の実施例では、スイッチ回路402、順方向電流感知回路404、及び順方向電流保護回路406は、第4及び第5のNMOSTランジスタM16及びM9の間の順方向電流感知回路404への第3のダイオードD3の追加、及び、第6及び第7のNMOSTランジスタM12及びM11の間の順方向電流保護回路406への第4のダイオードD4の追加を除いて、図3A及び3Bにおけるそれらの対応する回路と同じデバイスを含み、同じように動作する。順方向電流感知回路404も、追加のPMOSTランジスタMrevを含むように変更されており、そのゲートは、PMOSTランジスタM8及びM10のゲートに結合される。PMOSTランジスタMrevは、VDD_{HV}に結合されるソースと、ノードN8を介して逆方向電流スイッチング回路408に電流IMrevを供給するように結合されるドレインとを有する。

【0027】

ECU400の通常動作の間、増幅器回路304'は、PMOSTランジスタMsnをオンにして、電圧VDD_{MV}を提供することによって、ノード330でベース電圧を提供する。増幅器回路304'がパルス信号を供給すると、PMOSスイッチングトランジスタMsnがオフになり、NMOSスイッチングトランジスタMsrがONになって、電圧VDD_{HV}が供給される。図3Aに示される増幅器回路304と、図4に増幅器回路304'として示される変形との両方は、低減されたノイズを提供するなどのオートモーティブ回路の特定の必要性を満たすような形状のパルスを提供する。しかしながら、本明細書に記載される単一感知回路と共に他の増幅器回路を用い得ることが理解されるであろう。記載された単一検知回路は、浮遊増幅器回路と共に用いられて示されているが、記載された単一検知回路は浮遊でない増幅器回路と共に用いることもできる。

【0028】

出力信号、すなわちベース電圧及び/又は同期パルスは、入力ノードとも呼ばれるノード330からスイッチ回路402を介してバスピン出力に渡される。第2及び第3のNMOSTランジスタM7F、M7Rのゲートは、後述するように、これらのトランジスタのゲート上の電圧をこれらのトランジスタの閾値未満にされない限り、第2及び第3のNMOSTランジスタM7F、M7Rを完全にONに保持する、第2のノードN2で提供される安定した電圧に結合される。出力信号は演算増幅器OA2の非反転入力にも供給されるが、演算増幅器OA2の出力は、第4のNMOSTランジスタM16のゲートに供給される。PMOSTランジスタM8及び第4及び第5のNMOSTランジスタM16及びM9を用いて演算増幅器OA2の反転入力にフィードバック値が供給され、フィードバック値は、第4のノードN4から第4のNMOSTランジスタM16と第5のNMOSTランジスタM9との間で取得される。第5のNMOSTランジスタM9及び第7のNMOSTランジスタM11は第2のNMOSTランジスタM7Fに比例するサイズであり、例えば、第2のNMOSTランジスタM7Fがサイズ1000×1を有する場合、第5のNMOSTランジスタM9及び第7のNMOSTランジスタM11は、値10×1を有し得、第2

10

20

30

40

50

のNMOSトランジスタM7Fの100分の1の電流をソースすることになる。ECU400の通常動作の間、順方向電流感知回路404の第4のNMOSトランジスタM16及び第6のNMOSトランジスタM12は、センサによって伝送されるデータによって生じる変動を含む、バスピンOUTxを通る電流を検出し、順方向電流感知回路404は、第1の電流としても知られる比例電流Ircvを、センサから送られるデータを感知するためのコンパレータを備える処理回路に供給する第1の出力ノードN7と、第2の電流としても知られる比例電流IMrevを逆方向電流スイッチング回路408に供給する第2の出力ノードN8との両方に比例電流を供給する。バスピンOUTx上の接地への短絡状態の間、演算増幅器Opfは、NMOSトランジスタMスイッチがONのままである一方、第2のNMOSトランジスタM7F上のゲートの電圧を制限することによって電流を調整する。

10

【0029】

逆方向電流スイッチング回路408は、第1の電流シンクCsi1を介してVDD_LVに結合される第1のノードN9で比例電流IMrevを受け取り、そのため、供給された電流は一定のレートでシンクされる。第1のNMOSトランジスタが、PMOSスイッチングトランジスタMsnのゲートとVDD_LVとの間に結合され、抵抗器R1が、第1のNMOSトランジスタと並列に、PMOSスイッチングトランジスタMsnとVDD_LVとの間に結合される。第1のNMOSトランジスタMswitchのゲートは、第1のノードN9と第1の電流シンクCsi1との間の点に結合される。ECU400の通常動作の間、第1のノードN9において提供される電流IMrevは、第1の電流シンクCsi1によってシンクされる電流よりも大きく、第1のNMOSトランジスタMswitchのゲートはオンに保たれる。第1のNMOSトランジスタMswitchがONの場合、PMOSスイッチングトランジスタMsnのゲートはVDD_LVに結合され、VDD_LVは、PMOSスイッチングトランジスタMsnをONに保つように機能する。しかしながら、バッテリーへの短絡が生じると、第1のノードN9における第2の電流IMrevはゼロになる。これは、第1のNMOSトランジスタMswitch上の電圧が低下して、第1の電流シンクCsi1が電流をシンクして第1のNMOSトランジスタMswitchをオフにすることを意味する。これにより、PMOSスイッチングトランジスタMsnのゲートが立ち上がり、PMOSスイッチングトランジスタMsnがオフになる。ECU300では、バッテリーへの短絡が生じると、逆方向電流がバスピンOUTxから第5のNMOSトランジスタM9及び第4のNMOSトランジスタM16を通過して、第1出力ノードN7で電流が生じる可能性があることは注目に値する。しかしながら、第3のダイオードD3を追加すると、逆方向電流は許容されず、第1の出力ノードN7上の第1の電流Ircvと、ノードN8/N9上の第2の電流IMrevとが、バッテリーへの短絡の間ゼロになる。このように、所望の逆方向電流スイッチング保護は、追加の検知回路を必要とせず供給され、設計による空間及び電力が節約される。ノードN4を介して演算増幅器OA2の非反転入力に結合される電流シンクIoffsetによって、追加の利点が提供され得る。この電流シンクによって提供されるオフセット電流は、回路が、バッテリーへの短絡と高電圧レールVDD_HVから中間電圧レールVDD_MVへの瞬時交差電流とを区別することを可能にする。すなわち、ノードN8を介する電流IMrevは開ラインではゼロではなく、バッテリーへの短絡の間ゼロである。バッテリーへの短絡の間の電流制限レベルは、Ioffset値を用いて調整され得る。

20

30

40

【0030】

図5は、記載されたECUをハイサイドドライバ回路に用い得るスタンドアロンPSI5トランシーバチップ502を含むシステム500の高レベルの概略を示す。PSI5トランシーバチップ502は、高電圧を提供するVDD_HVと、中間電圧を提供するVDD_MVと、局地接地などの低電圧を提供するVDD_LVとの3つの電力供給入力を受けとる。3つの電力供給入力はPSI5トランシーバ504のセットに結合され、それらはそれぞれのチャンネル及びデコーダに結合される。PSI5トランシーバチップ502のチャンネルの各々からの出力は、受信したデータのソフトウェア処理を提供するデータモジ

50

ジュール530に提供される。図示の例ではPSI5トランシーバチップ502が4つのPSI5トランシーバ及び4つのチャンネルを有するが、このチップが用いられる特定のシステムによって必要に応じて提供される任意の数のチャンネルが存在し得ることが理解されよう。PSI5トランシーバ506は第1のチャンネル514に結合され、第1のチャンネル514は、マンチェスタデコーダである第1のデコーダ522に結合され、PSI5トランシーバ508は、第2のデコーダ524に結合される第2のチャンネル516に結合され、PSI5トランシーバ510は、第3のデコーダ526に結合される第3のチャンネル518に結合され、PSI5トランシーバ512は、第4のデコーダ528に結合される第4のチャンネル520に結合される。

【0031】

図6は、本記載の一実施例に従って説明された保護回路を用い得るSOC602を含むシステム600の高レベルの概略を示す。SOC602はオートモーティブバッテリー601に結合され、イグニッションがオンにされると、電力供給モジュール604が、高電圧レールVDD_HV、中間電圧レールVDD_MV及び低電圧レールVDD_LVを電力供給ラインに供給する。多数のトランシーバシステムをSOC602上に設けることができ、図示の例では、これらは、VDD_MV及びVDD_LVを受け取るLINトランシーバ606、同じくVDD_MV及びVDD_LVを受け取るフレックス・レイ(FR)トランシーバ608、並びに、いずれもVDD_HV、VDD_MV及びVDD_LVの3つ全てを受け取るコントローラエリアネットワーク(CAN)トランシーバ610及びPSI5トランシーバ612を含む。スタンドアロンチップの場合と同様に、PSI5トランシーバ612は4つのトランシーバ(別個には図示せず)を含み、トランシーバの各々がそれぞれのチャンネル及びデコーダに結合される。デコーダの出力は、データソフトウェア処理622に提供される。

【0032】

本明細書に記載されるように、革新的な回路が、ハイサイドドライバのバスピンを、接地への短絡及びバッテリーへの短絡の両方から保護する。記載された回路は、チップ上で使用する面積がより少なく、消費電力がより少ない。これは、回路が別個の検知回路を必要としないからである。記載されている保護回路は、PSI5トランシーバのためのハイサイドドライブ又は他のハイサイドドライブと共に用いられ得る。スタンドアロンチップと、記載された回路を含むSOCの両方も示されている。記載の保護回路を用いると、バッテリーへの短絡は10mA未満の電流を通過させるように動作し得る。

【0033】

本記載において、単数形の要素への言及は明示的にそのように述べられない限り、「一つのみ」を意味することを意図せず、むしろ「一つ以上」を意味することを意図する。

【0034】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例が可能である。

10

20

30

40

50

【図面】

【図 1】

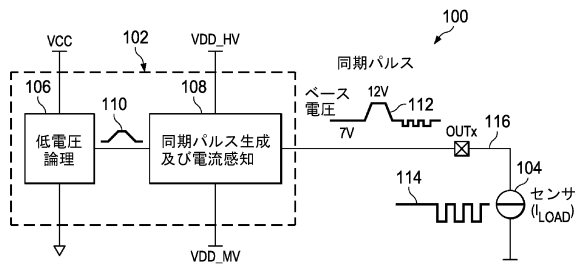


FIG. 1

【図 2】

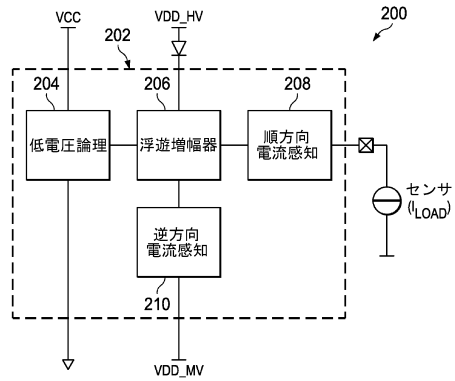


FIG. 2
(従来技術)

【図 3 A】

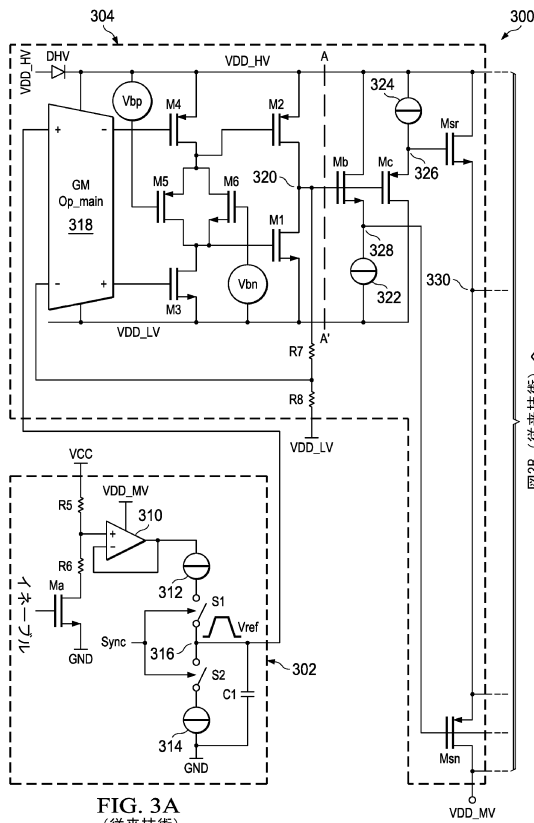


FIG. 3A
(従来技術)

【図 3 B】

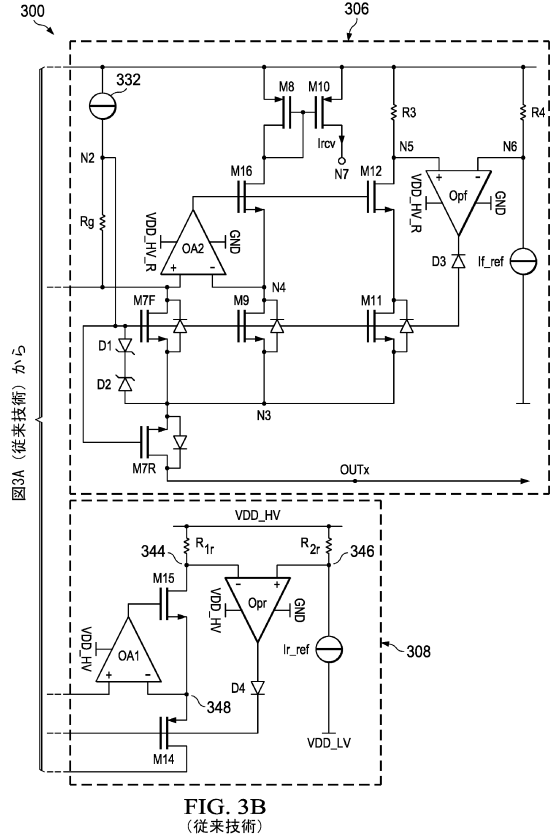


FIG. 3B
(従来技術)

10

20

30

40

50

【 図 4 】

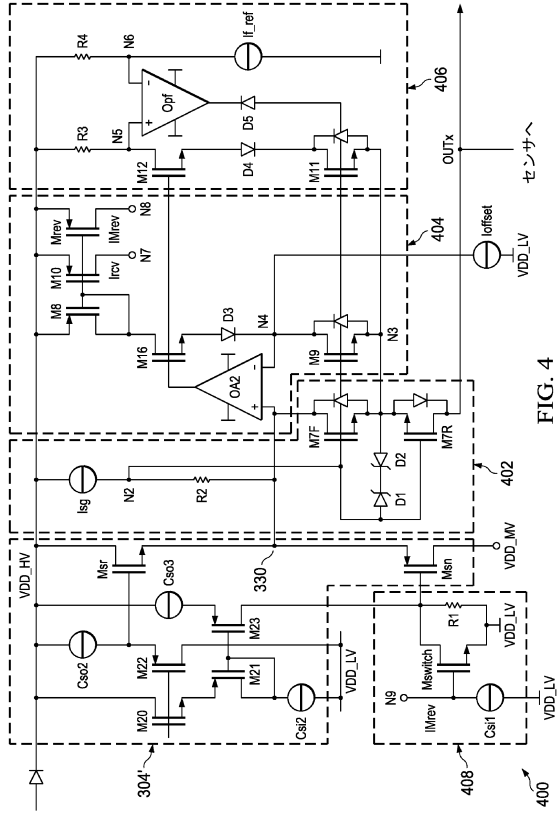


FIG. 4

【 図 5 】

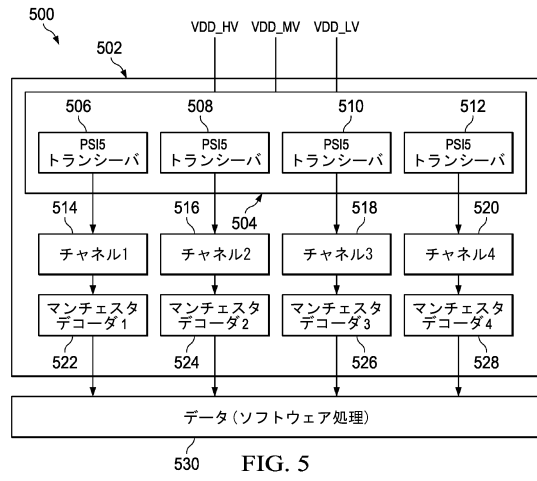


FIG. 5

【 図 6 】

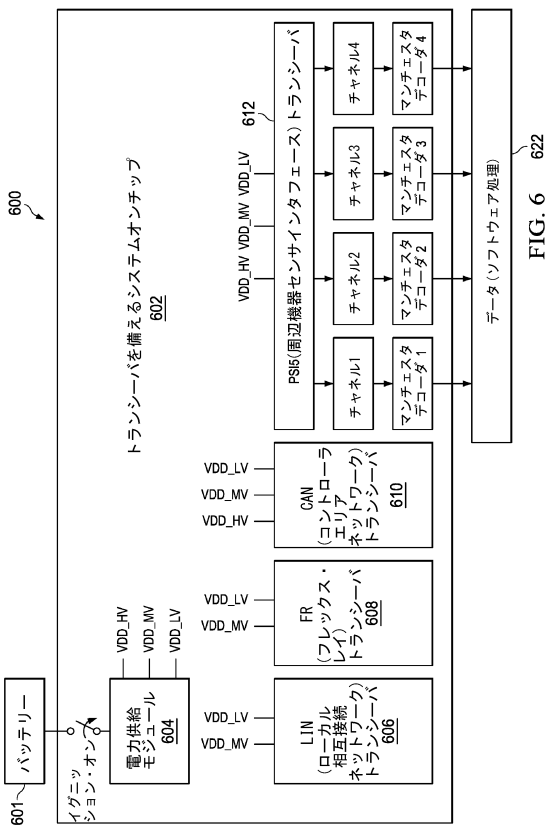


FIG. 6

10

20

30

40

50

フロントページの続き

ダラス, キャンドルライト レーン 11048

審査官 田中 慎太郎

(56)参考文献 特開2015-106965(JP, A)

米国特許出願公開第2019/0058320(US, A1)

(58)調査した分野 (Int.Cl., DB名)

H02H 3/08

H02H 7/20

H02H 7/18

H02J 7/00

B60R 16/02