

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3659247号
(P3659247)

(45) 発行日 平成17年6月15日(2005.6.15)

(24) 登録日 平成17年3月25日(2005.3.25)

(51) Int. Cl.⁷

F I

G09G 3/36
G02F 1/133
G09G 3/20

G09G 3/36
G02F 1/133 510
G02F 1/133 550
G09G 3/20 612L
G09G 3/20 612T

請求項の数 9 (全 19 頁)

(21) 出願番号 特願2002-337909 (P2002-337909)
(22) 出願日 平成14年11月21日(2002.11.21)
(65) 公開番号 特開2004-170768 (P2004-170768A)
(43) 公開日 平成16年6月17日(2004.6.17)
審査請求日 平成15年9月12日(2003.9.12)

(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100090479
弁理士 井上 一
(74) 代理人 100090387
弁理士 布施 行夫
(74) 代理人 100090398
弁理士 大淵 美千栄
(72) 発明者 森田 晶
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 駆動回路、電気光学装置及び駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、
各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、
各画素が前記走査線のいずれか1つと前記信号線のいずれか1つとに接続される複数の画素と、
各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第j(1 ≤ j ≤ 3、jは整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、
を有する電気光学装置を駆動するための駆動回路であって、
スタートパルス信号をシフトしたシフト出力に対応するゲート信号を各走査線に出力するゲート信号生成回路を含み、
前記ゲート信号生成回路は、
前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成するスタートパルス信号生成回路を含むことを特徴とする駆動回路。

【請求項2】

請求項1において、
前記スタートパルス信号生成回路は、

第1のフレームに続いて第2のフレームで各画素にデータ信号が書き込まれる場合に、前記第1のフレームの垂直走査期間と前記第2のフレームの垂直走査期間との間に設けられた帰線期間において、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成することを特徴とする駆動回路。

【請求項3】

請求項1又は2において、

第1～第3の色成分用の各画素が一括して選択される期間内において前記第1、第2、第3のデマルチプレクス制御信号の順にアクティブになる場合に、

前記スタートパルス信号生成回路は、

10

前記第2及び第3のデマルチプレクス制御信号が重複してアクティブになることを条件に前記スタートパルス信号を生成することを特徴とする駆動回路。

【請求項4】

複数の走査線と、

各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各画素が前記走査線のいずれか1つと前記信号線のいずれか1つとに接続される複数の画素と、

各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

20

スタートパルス信号をシフトしたシフト出力に対応するゲート信号を各走査線に出力するゲート信号生成回路と、

を含み、

前記ゲート信号生成回路は、

前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成するスタートパルス信号生成回路を含むことを特徴とする電気光学装置。

【請求項5】

請求項4において、

30

前記スタートパルス信号生成回路は、

第1のフレームに続いて第2のフレームで各画素にデータ信号が書き込まれる場合に、前記第1のフレームの垂直走査期間と前記第2のフレームの垂直走査期間との間に設けられた帰線期間において、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成することを特徴とする電気光学装置。

【請求項6】

請求項4又は5において、

第1～第3の色成分用の各画素が一括して選択される期間内において前記第1、第2、第3のデマルチプレクス制御信号の順にアクティブになる場合に、

40

前記スタートパルス信号生成回路は、

前記第2及び第3のデマルチプレクス制御信号が重複してアクティブになることを条件に前記スタートパルス信号を生成することを特徴とする電気光学装置。

【請求項7】

複数の走査線と、

各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各画素が前記走査線のいずれか1つと前記信号線のいずれか1つとに接続される複数の画素と、

各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に

50

基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、

を有する電気光学装置を駆動するための駆動方法であって、

前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件にスタートパルス信号を生成し、

前記スタートパルス信号をシフトしたシフト出力に対応するゲート信号を、各走査線に出力することを特徴とする駆動方法。

【請求項8】

請求項7において、

第1のフレームに続いて第2のフレームで各画素にデータ信号が書き込まれる場合に、前記第1のフレームの垂直走査期間と前記第2のフレームの垂直走査期間との間に設けられた帰線期間において、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成することを特徴とする駆動方法。

10

【請求項9】

請求項7又は8において、

第1～第3の色成分用の各画素が一括して選択される期間内において前記第1、第2、第3のデマルチプレクス制御信号の順にアクティブになる場合に、前記第2及び第3のデマルチプレクス制御信号が重複してアクティブになることを条件に前記スタートパルス信号を生成することを特徴とする駆動方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、駆動回路、電気光学装置及び駆動方法に関する。

【0002】

【従来の技術】

液晶(Liquid Crystal Display: LCD)パネルに代表される表示パネル(広義には電気光学装置)は、各種情報機器の表示部に用いられている。情報機器の小型軽量化や高画質化の要求により、表示パネルの小型化、画素の微細化が望まれている。その1つの解決策として、低温ポリシリコン(Low Temperature Poly-Silicon: 以下LTPSと略す。)プロセスにより、表示パネルを形成することが検討されている。

30

【0003】

LTPSプロセスによれば、スイッチ素子(例えば、薄膜トランジスタ(Thin Film Transistor: TFT))等を含む画素が形成されるパネル基板(例えばガラス基板)上に、駆動回路等を直接形成することができる。そのため、部品数を削減し、表示パネルの小型軽量化が可能となる。またLTPSでは、これまでのシリコンプロセスの技術を応用して、開口率を維持したまま画素の微細化を図ることができる。更にまたLTPSは、アモルファスシリコン(amorphous silicon: a-Si)に比べて電荷の移動度が大きく、かつ寄生容量が小さい。したがって、画面サイズの拡大により1画素当たりの画素選択期間が短くなった場合でも、当該基板上に形成された画素の充電期間を確保し、画質の向上を図ることが可能となる。

40

【0004】

【特許文献1】

特開2002-23709号公報

【0005】

【発明が解決しようとする課題】

例えばLTPSによりTFTが形成される表示パネルでは、該表示パネルを駆動するドライバ(駆動回路)の全部をパネル上に形成することができる。しかしながら、シリコン基板上でIC化された場合に比べると、微細化や速度の点で問題があり、ドライバの機能の一部を表示パネル上に形成することが検討されている。

50

【0006】

そこで、1本の信号線を、R、G、B用（第1～第3の色成分用）の画素電極に接続可能なR、G、B用信号線のいずれかに接続するデマルチプレクサを設ける表示パネルが考えられる。この場合、LTPSの電荷の移動度が大きいことを利用して、信号線上に、R、G、B用の表示データが、時分割されて伝送される。そして、当該R、G、B用画素の選択期間に、各色成分用の表示データが、デマルチプレクサにより順次R、G、B用信号線に切り替えて出力され、各色成分ごとに設けられた画素電極に書き込まれる。このような構成によれば、ドライバから信号線に表示データを出力するための端子の数を削減することができる。そのため、端子間のピッチに制限されることなく、画素の微細化による信号線数の増加にも対応することができる。

10

【0007】

しかしながら、ドライバ及び表示パネルを含めた装置全体の低消費電力化をより追求する場合には、表示パネルの端子数を減らすことが望ましい。その際、表示パネルの画質を劣化させることなく、表示パネルとドライバとの間で伝達される信号の数を削減する必要がある。

【0008】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、電気光学装置と駆動回路とが同一基板上に形成された場合に、画質を劣化させることなく端子数を削減することができる電気光学装置の駆動回路、電気光学装置及びその駆動方法を提供することにある。

20

【0009】

【課題を解決するための手段】

上記課題を解決するために本発明は、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各画素が前記走査線のいずれか1つと前記信号線のいずれか1つとに接続される複数の画素と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j （ $1 \leq j \leq 3$ 、 j は整数）の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する電気光学装置を駆動するための駆動回路であって、スタートパルス信号をシフトしたシフト出力に対応するゲート信号を各走査線に出力するゲート信号生成回路を含み、前記ゲート信号生成回路は、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成するスタートパルス信号生成回路を含む駆動回路に係する。

30

【0010】

本発明において、電気光学装置では、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各画素が走査線と信号線とにより特定される複数の画素と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j の色成分用の各画素に接続され第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを含む。したがって、各走査線による選択期間において、信号線に時分割されて出力された第1～第3の色成分用のデータ信号が第1～第3のデマルチプレクス制御信号により切り替え出力されて、各色成分用の各画素への書き込みが行われる。すなわち、画素への書き込み期間においては、第1～第3のデマルチプレクス制御信号が、排他的にアクティブとなる。

40

【0011】

そこで本発明では、スタートパルス信号生成回路が、第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件にスタートパルス信号を生成する。そして、該スタートパルス信号をシフトしたシフト出力に対応するゲート信号を各走査線に出力する。

【0012】

50

こうすることで、非常に簡素な構成で、スタートパルス信号を入力するための端子を削減することができる。特に電気光学装置と当該駆動回路とを同一基板上に形成する場合には、電気光学装置の端子数を削減できるため、より低消費電力化を図ることができる。

【0013】

また本発明に係る駆動回路では、前記スタートパルス信号生成回路は、第1のフレームに続いて第2のフレームで各画素にデータ信号が書き込まれる場合に、前記第1のフレームの垂直走査期間と前記第2のフレームの垂直走査期間との間に設けられた帰線期間において、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成することができる。

【0014】

本発明においては、表示品位への影響がない帰線期間において、本来重複してアクティブとすべきでない第1～第3のデマルチプレクス制御信号の少なくとも2つを重複してアクティブにしてスタートパルス信号を内部で生成するようにした。そして、本来の画素への書き込み期間において、本来のデータ信号が改めて各画素に書き込まれる。したがって、画質を劣化させることなく、スタートパルス信号を内部で生成することができ、かつその入力端子を削減することができる。

【0015】

また本発明に係る駆動回路では、第1～第3の色成分用の各画素が一括して選択される期間内において前記第1、第2、第3のデマルチプレクス制御信号の順にアクティブになる場合に、前記スタートパルス信号生成回路は、前記第2及び第3のデマルチプレクス制御信号が重複してアクティブになることを条件に前記スタートパルス信号を生成することができる。

【0016】

第1～第3の色成分用の各画素が一括して選択される期間内において第1、第2、第3のデマルチプレクス制御信号の順にアクティブになる場合において、スタートパルス信号を生成するために第1のデマルチプレクス制御信号を用いる場合を考える。この場合、第1のデマルチプレクス制御信号をアクティブにしてスタートパルス信号を生成した後、該スタートパルス信号により1フレームの垂直走査期間の最初の選択期間の開始直後に、改めて第1のデマルチプレクス制御信号をアクティブにする必要がある。したがって、第1のデマルチプレクス制御信号の生成タイミングが、他の第2及び第3のデマルチプレクス制御信号に比べて余裕がない。この傾向は、画素数の増大により画素の選択期間の短縮化が進むに伴い、より顕著となる。

【0017】

したがって本発明においては、第1のデマルチプレクス制御信号を除いて第2及び第3のデマルチプレクス制御信号を用いてスタートパルス信号を生成するようにしたので、画素の選択期間の短縮化が進んだ場合にも、端子数を削減可能な駆動回路を提供することができる。

【0018】

また本発明は、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各画素が前記走査線のいずれか1つと前記信号線のいずれか1つとに接続される複数の画素と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサと、スタートパルス信号をシフトしたシフト出力に対応するゲート信号を各走査線に出力するゲート信号生成回路とを含み、前記ゲート信号生成回路は、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成するスタートパルス信号生成回路を含む電気光学装置に係る。

【0019】

また本発明に係る電気光学装置では、前記スタートパルス信号生成回路は、第1のフレー

10

20

30

40

50

ムに続いて第2のフレームで各画素にデータ信号が書き込まれる場合に、前記第1のフレームの垂直走査期間と前記第2のフレームの垂直走査期間との間に設けられた帰線期間において、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成することができる。

【0020】

また本発明に係る電気光学装置では、第1～第3の色成分用の各画素が一括して選択される期間内において前記第1、第2、第3のデマルチプレクス制御信号の順にアクティブになる場合に、前記スタートパルス信号生成回路は、前記第2及び第3のデマルチプレクス制御信号が重複してアクティブになることを条件に前記スタートパルス信号を生成することができる。

10

【0021】

また本発明は、複数の走査線と、各信号線が第1～第3の色成分用のデータ信号を多重化して伝送される複数の信号線と、各画素が前記走査線のいずれか1つと前記信号線のいずれか1つとに接続される複数の画素と、各デマルチプレクス用スイッチ素子が一端が各信号線に接続され他端が第 j ($1 \leq j \leq 3$ 、 j は整数)の色成分用の各画素に接続され、第1～第3のデマルチプレクス制御信号に基づいて排他的にスイッチ制御される第1～第3のデマルチプレクス用スイッチ素子を含む複数のデマルチプレクサとを有する電気光学装置を駆動するための駆動方法であって、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件にスタートパルス信号を生成し、前記スタートパルス信号をシフトしたシフト出力に対応するゲート信号を、各走査線に出力する駆動方法に係る。

20

【0022】

また本発明に係る駆動方法では、第1のフレームに続いて第2のフレームで各画素にデータ信号が書き込まれる場合に、前記第1のフレームの垂直走査期間と前記第2のフレームの垂直走査期間との間に設けられた帰線期間において、前記第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件に前記スタートパルス信号を生成することができる。

【0023】

また本発明に係る駆動方法では、第1～第3の色成分用の各画素が一括して選択される期間内において前記第1、第2、第3のデマルチプレクス制御信号の順にアクティブになる場合に、前記第2及び第3のデマルチプレクス制御信号が重複してアクティブになることを条件に前記スタートパルス信号を生成することができる。

30

【0024】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0025】

また以下では、電気光学装置として、LTPSによりスイッチ素子としてTFTが形成された表示パネル(液晶パネル)を例に説明するが、本発明はこれに限定されるものではない。

40

【0026】

図1に、本実施形態における表示パネルの構成の概要を示す。本実施形態における表示パネル(広義には電気光学装置)10は、複数の走査線(ゲート線)と、複数の信号線(データ線)と、複数の画素とを含む。複数の走査線と複数の信号線とは、互いに交差するように配置される。画素は、走査線と信号線とにより特定される。

【0027】

表示パネル10では、各走査線(GL)及び各信号線(SL)により3画素単位で選択される。選択された各画素には、信号線に対応する3本の色成分用信号線(R、G、B)のいずれかを伝送する各色成分用信号が書き込まれる。各画素は、TFTと画素電極とを含

50

む。

【0028】

表示パネル10では、例えばガラス基板等のパネル基板上に走査線及び信号線が形成される。より具体的には、図1に示すパネル基板上に、Y方向に複数配列されそれぞれX方向に伸びる走査線 $GL_1 \sim GL_M$ (M は2以上の整数)と、X方向に複数配列されそれぞれY方向に伸びる信号線 $SL_1 \sim SL_N$ (N は2以上の整数)とが形成されている。更に該パネル基板上には、X方向に第1～第3の色成分用信号線を1組として複数組配列されそれぞれY方向に伸びる色成分用信号線(R_1 、 G_1 、 B_1)～(R_N 、 G_N 、 B_N)が形成されている。

【0029】

走査線 $GL_1 \sim GL_M$ と、第1の色成分用信号線 $R_1 \sim R_N$ との交差位置に、R用画素(第1の色成分用画素) $PR(PR_{11} \sim PR_{MN})$ が設けられている。走査線 $GL_1 \sim GL_M$ と、第2の色成分用信号線 $G_1 \sim G_N$ との交差位置に、G用画素(第2の色成分用画素) $PG(PG_{11} \sim PG_{MN})$ が設けられている。走査線 $GL_1 \sim GL_M$ と、第3の色成分用信号線 $B_1 \sim B_N$ との交差位置に、B用画素(第3の色成分用画素) $PB(PB_{11} \sim PB_{MN})$ が設けられている。

【0030】

図2(A)、(B)に、色成分用画素の構成例を示す。ここでは、R用画素 PR_{mn} ($1 \leq m \leq M$ 、 $1 \leq n \leq N$ 、 m 、 n は整数)の構成例を示すが、他の色成分用画素の構成も同様である。

【0031】

図2(A)において、第1のスイッチ素子 $SW1$ としての TFT_{mn} はn型トランジスタである。 TFT_{mn} のゲート電極は、走査線 GL_m に接続される。 TFT_{mn} のソース電極は、第1の色成分用信号線 R_n に接続される。 TFT_{mn} のドレイン電極は、画素電極 PE_{mn} に接続される。画素電極 PE_{mn} に対向して、対向電極 CE_{mn} が設けられている。対向電極 CE_{mn} には、コモン電圧 V_{COM} が印加される。画素電極 PE_{mn} と対向電極 CE_{mn} との間には、液晶材が挟持されて液晶層 LC_{mn} が形成される。画素電極 PE_{mn} と対向電極 CE_{mn} との間の電圧に応じて、液晶層 LC_{mn} の透過率が変化する。また、画素電極 PE_{mn} の電荷のリークを補うため、画素電極 PE_{mn} と対向電極 CE_{mn} と並列に補助容量 CS_{mn} が形成される。補助容量 CS_{mn} の一端は、画素電極 PE_{mn} と同電位にされる。補助容量 CS_{mn} の他端は、対向電極 CE_{mn} と同電位にされる。

【0032】

また図2(B)に示すように、第1のスイッチ素子 $SW1$ としてトランスファゲートを用いることも可能である。トランスファゲートは、n型トランジスタである TFT_{mn} と、p型トランジスタである $pTFT_{mn}$ とにより構成される。 $pTFT_{mn}$ のゲート電極は、走査線 GL_m と互いに論理レベルが反転する走査線 XGL_m に接続される必要がある。図2(B)では、書き込むべき電圧に応じたオフセット電圧を不要とする構成をとることができる。

【0033】

また図1において、パネル基板上には、ゲート信号生成回路20と、各信号線に対応して設けられたデマルチプレクサ(demultiplexer) $DMUX_1 \sim DMUX_N$ とが設けられている。

【0034】

ゲート信号生成回路20には、走査線 $GL_1 \sim GL_M$ が接続される。またゲート信号生成回路20には、デマルチプレクス制御信号と、シフトクロック CPV とが入力される。デマルチプレクス制御信号は、各デマルチプレクサのスイッチ制御を行うための信号である。シフトクロック CPV は、走査線 $GL_1 \sim GL_M$ を順次選択するタイミングを規定するクロックである。

【0035】

ゲート信号生成回路20は、シフトクロック CPV を用いてゲート信号(選択信号) GA

10

20

30

40

50

$T E_1 \sim G A T E_M$ を生成する。ゲート信号 $G A T E_1 \sim G A T E_M$ は、それぞれ走査線 $G L_1 \sim G L_M$ に出力される。ゲート信号 $G A T E_1 \sim G A T E_M$ は、スタートパルス信号により開始される 1 フレームの垂直走査期間においていずれか 1 つがアクティブとなるパルス信号である。

【 0 0 3 6 】

図 1 において、第 1 ~ 第 3 のスイッチ素子 $S W 1 \sim S W 3$ は、走査線 $G L_m$ に供給されたゲート信号 $G A T E_m$ によりスイッチ制御 (オン・オフ制御) される。各スイッチ素子がオン状態のとき、各色成分用信号線と各画素電極とが電氣的に接続される。

【 0 0 3 7 】

このようなゲート信号 $G A T E_1 \sim G A T E_M$ は、例えばスタートパルス信号をシフトレジスタによりシフトしたシフト出力に対応する信号である。シフトレジスタは、複数のフリップフロップ (flip-flop) を有し、各フリップフロップに共通に入力されたシフトクロックに基づいてシフト動作を行う。スタートパルス信号は、ゲート信号生成回路 20 において、デマルチプレクス制御信号に基づいて生成される。

10

【 0 0 3 8 】

デマルチプレクス制御信号は、例えば表示パネル 10 の外部に設けられたソースドライバ (信号線駆動回路) から供給される。また信号線 $S L_1 \sim S L_N$ は、例えば表示パネル 10 の外部に設けられたソースドライバ (信号線駆動回路) により駆動される。ソースドライバは、各色成分用の画素に、階調データに対応したデータ信号を出力する。この際、ソースドライバは、色成分用画素ごとに時分割され各色成分の階調データに対応した電圧 (データ信号) を、各色成分用信号線に出力する。そしてソースドライバは、時分割のタイミングに合わせて、各色成分の階調データに対応した電圧を各色成分用信号線に選択出力するためのデマルチプレクス制御信号を生成し、表示パネル 10 に対して出力する。

20

【 0 0 3 9 】

図 3 に、ソースドライバにより信号線に出力されるデータ信号とデマルチプレクス制御信号との関係を模式的に示す。ここでは、信号線 $S L_n$ に出力されたデータ信号 $D A T A_n$ を示す。

【 0 0 4 0 】

ソースドライバは、信号線ごとに、各色成分用の階調データ (表示データ) に対応した電圧が時分割により多重化されたデータ信号を出力する。図 3 では、ソースドライバは、R 用画素への書込信号、G 用画素への書込信号及び B 用画素への書込信号を多重化して信号線 $S L_n$ に出力する。ここで、R 用画素への書込信号は、信号線 $S L_n$ に対応する R 用画素 $P R_{1n} \sim P R_{Mn}$ のうち、例えば走査線 $G L_m$ により選択される R 用画素 $P R_{mn}$ への書込信号である。G 用画素への書込信号は、信号線 $S L_n$ に対応する G 用画素 $P G_{1n} \sim P G_{Mn}$ のうち、例えば走査線 $G L_m$ により選択される G 用画素 $P G_{mn}$ への書込信号である。B 用画素への書込信号は、信号線 $S L_n$ に対応する B 用画素 $P B_{1n} \sim P B_{Mn}$ のうち、例えば走査線 $G L_m$ により選択される B 用画素 $P B_{mn}$ への書込信号である。

30

【 0 0 4 1 】

またソースドライバは、データ信号 $D A T A_n$ において多重化される各色成分用書込信号の時分割タイミングに合わせて、デマルチプレクス制御信号を生成する。デマルチプレクス制御信号は、第 1 ~ 第 3 のデマルチプレクス制御信号 ($R s e l$ 、 $G s e l$ 、 $B s e l$) からなる。

40

【 0 0 4 2 】

またパネル基板には、信号線 $S L_n$ に対応するデマルチプレクサ $D M U X_n$ が設けられている。デマルチプレクサ $D M U X_n$ は、第 1 ~ 第 3 ($i = 3$) のデマルチプレクス用スイッチ素子 $D S W 1 \sim D S W 3$ を含む。

【 0 0 4 3 】

デマルチプレクサ $D M U X_n$ の出力側には、第 1 ~ 第 3 の色成分用信号線 (R_n 、 G_n 、 B_n) が接続される。また、入力側には、信号線 $S L_n$ が接続される。デマルチプレクサ $D M U X_n$ は、デマルチプレクス制御信号に応じて、信号線 $S L_n$ と、第 1 ~ 第 3 の色成

50

分用信号線 (R_n 、 G_n 、 B_n) のいずれかとを、電氣的に接続する。デマルチプレクサ $DMUX_1 \sim DMUX_N$ には、それぞれ共通にデマルチプレクス制御信号が入力される。

【0044】

第1のデマルチプレクス用スイッチ素子 DSW_1 は、第1のデマルチプレクス制御信号 R_{sel} によりオン・オフ制御される。第2のデマルチプレクス用スイッチ素子 DSW_2 は、第2のデマルチプレクス制御信号 G_{sel} によりオン・オフ制御される。第3のデマルチプレクス用スイッチ素子 DSW_3 は、第3のデマルチプレクス制御信号 B_{sel} によりオン・オフ制御される。第1～第3のデマルチプレクス制御信号 (R_{sel} 、 G_{sel} 、 B_{sel}) は周期的に順次アクティブとなる。そのため、デマルチプレクサ $DMUX_n$ は、周期的に、信号線 SL_n と第1～第3の色成分用信号線 (R_n 、 G_n 、 B_n) とを順次電氣的に接続する。

10

【0045】

このような構成の表示パネル10において、時分割された第1～第3の色成分用の階調データに対応した電圧が、信号線 SL_n に出力される。デマルチプレクサ $DMUX_n$ では、時分割タイミングに合わせて生成された第1～第3のデマルチプレクス制御信号 (R_{sel} 、 G_{sel} 、 B_{sel}) により、各色成分の階調データに対応した電圧が、第1～第3の色成分用信号線 (R_n 、 G_n 、 B_n) に印加される。このとき、走査線 GL_m により選択された第1～第3の色成分用画素 (PR_{mn} 、 PG_{mn} 、 PB_{mn}) のいずれかにおいて、色成分用信号線と画素電極とが電氣的に接続される。

【0046】

20

なお図1において、シフトクロックを生成する回路の機能の一部又は全部、或いは上述のソースドライバの一部又は全部の機能を有する回路を、表示パネル10のパネル基板上に形成するようにしてもよい。

【0047】

表示パネル10の駆動回路の機能は、ゲート信号生成回路20、デマルチプレクサ $DMUX_1 \sim DMUX_N$ 及び上述の機能を有するソースドライバにより構成される回路の一部又は全部により実現される。

【0048】

ゲート信号生成回路20は、以下のようにゲート信号を生成する。

【0049】

30

図4に、ゲート信号生成回路20の構成例を示す。ゲート信号生成回路20は、シフトレジスタ30と、スタートパルス信号生成回路40とを含む。

【0050】

シフトレジスタ30は、複数のフリップフロップ $FF_1 \sim FF_M$ を含む。フリップフロップ FF_p ($1 \leq p \leq M-1$ 、 p は整数) の出力は、次の段のフリップフロップ FF_{p+1} の入力に接続される。フリップフロップ FF_p の出力は、走査線 GL_p に接続される。

【0051】

各フリップフロップは、入力端子Dと、クロック入力端子Cと、出力端子Qと、リセット端子Rとを有する。フリップフロップは、クロック入力端子Cへの入力信号の立ち上がりで、入力端子Dへの入力信号をラッチする。そしてフリップフロップは、ラッチした信号を、出力端子Qから出力する。またフリップフロップは、リセット端子Rへの入力信号の論理レベルが「H」となったとき、ラッチした内容を初期化し、出力端子Qからの出力信号を論理レベル「L」にする。

40

【0052】

フリップフロップ FF_1 の入力端子Dには、スタートパルス信号 $ISTV$ が入力される。フリップフロップ $FF_1 \sim FF_M$ の各リセット端子Rには、所与のリセット信号 RST が共通に入力される。またフリップフロップ $FF_1 \sim FF_M$ の各クロック入力端子Cには、シフトクロック CPV が入力される。

【0053】

スタートパルス信号生成回路40は、第1～第3のデマルチプレクス制御信号 (R_{sel}

50

、 $Gsel$ 、 $Bsel$)に基づいてスタートパルス信号 $ISTV$ を生成する。第1～第3のデマルチプレクス制御信号($Rsel$ 、 $Gsel$ 、 $Bsel$)は、同時にオン状態とならないように第1～第3のデマルチプレクス用スイッチング素子 $DSW1$ ～ $DSW3$ のスイッチ制御を行う。したがって、第1～第3のデマルチプレクス制御信号($Rsel$ 、 $Gsel$ 、 $Bsel$)は、本来同時にアクティブとならない。

【0054】

そこで、第1～第3のデマルチプレクス制御信号($Rsel$ 、 $Gsel$ 、 $Bsel$)のうち少なくとも2つが同時にアクティブのとき、スタートパルス信号生成回路40は、スタートパルス信号 $ISTV$ を生成するようにしている。こうすることで、第1～第3のデマルチプレクス制御信号($Rsel$ 、 $Gsel$ 、 $Bsel$)が本来行うべき排他的なスイッチ制御という機能を維持しながら、1フレームの垂直走査期間を開始すべきタイミングを指示することができる。したがって、スタートパルス信号を外部で生成する必要がなく、ゲート信号生成回路20(表示パネル10)に入力するための信号を不要とすることができる。

10

【0055】

図5に、スタートパルス信号生成回路40の構成例を示す。スタートパルス信号生成回路40は、2入力1出力ANDゲート42を含む。ANDゲート42には、第2及び第3のデマルチプレクス制御信号($Gsel$ 、 $Bsel$)が入力される。ANDゲート42の出力端子からは、スタートパルス信号 $ISTV$ が出力される。ANDゲート42は、第2及び第3のデマルチプレクス制御信号($Gsel$ 、 $Bsel$)の論理積演算結果をその出力端子から出力する。

20

【0056】

このような構成のシフトレジスタ30では、まずリセット信号 RST により各フリップフロップの出力がリセットされる。そして、フリップフロップ FF_1 に入力されたスタートパルス信号 $ISTV$ は、シフトクロック CPV の立ち上がりで取り込まれ、それ以降シフトクロック CPV に同期してシフトされる。各フリップフロップからのシフト出力又はこれに対応した信号は、走査線 GL_1 ～ GL_M に出力される。これにより、走査線 GL_1 ～ GL_M に、各走査線が排他的に選択されるゲート信号 $GATE_1$ ～ $GATE_M$ を出力することができる。

【0057】

図6に、スタートパルス信号生成回路40の動作例のタイミングチャートを示す。ここでは、帰線期間において、第2及び第3のデマルチプレクス制御信号($Gsel$ 、 $Bsel$)が重複してアクティブとなることによりスタートパルス信号 $ISTV$ が生成される。

30

【0058】

ここで帰線期間とは、第1のフレームに続いて第2のフレームで各画素にデータ信号が書き込まれる場合に、第1のフレームの垂直走査期間と第2のフレームの垂直走査期間との間に設けられる期間である。垂直走査期間は、複数の水平走査期間を含む。各水平走査期間では、いずれか1つの走査線が選択される。

【0059】

図6において、例えば第1の走査線を走査線 GL_M 、第2の走査線を走査線 GL_1 とすると、走査線 GL_M が選択されたフレームの垂直走査期間と、走査線 GL_1 が選択されたフレームの垂直走査期間との間に帰線期間が設けられる。

40

【0060】

ここで、第1のフレームで走査線 GL_1 ～ GL_M が順次選択され、該第1のフレームに続く第2のフレームで走査線 GL_1 ～ GL_M が順次選択されるものとする。走査線 GL_M による選択期間は、第1のフレームの最後の水平走査期間とすることができる。また、走査線 GL_1 による選択期間は、第2のフレームの最初の水平走査期間とすることができる。

【0061】

より具体的には、走査線 GL_M に接続されるR用画素(PR_{M1} ～ PR_{MN})、G用画素(PG_{M1} ～ PG_{MN})、B用画素(PB_{M1} ～ PB_{MN}) (第1の画素群)への各色成

50

分用信号の書き込み期間と、走査線 GL_1 に接続される R 用画素 ($PR_{11} \sim PR_{1N}$)、G 用画素 ($PG_{11} \sim PG_{1N}$)、B 用画素 ($PB_{11} \sim PB_{1N}$) (第 2 の画素群) への各色成分用信号の書き込み期間との間に、帰線期間が設けられる。

【0062】

このように、帰線期間において第 2 及び第 3 のデマルチプレクス制御信号が重複してアクティブとなることを条件にスタートパルス信号 $ISTV$ を生成することとしたのは、当該期間への画素の書き込みは直接的には表示品位に関係しないためである。すなわち、一時的に重複してアクティブとなったデマルチプレクス制御信号により複数の画素に不要な書き込み動作が行われるが、本来の選択期間において各色成分用画素ごとに改めてデータ信号が書き込まれる。したがって、画質(表示品位)を劣化させることがない。

10

【0063】

このような表示パネルでは、走査線ごとに選択された期間において、第 1 ~ 第 3 のデマルチプレクス制御信号により各色成分用画素に各色成分用のデータ信号が書き込まれる。そして、走査線 GL_M による選択期間の後には帰線期間となる。この帰線期間において、第 2 及び第 3 のデマルチプレクス制御信号 ($Gsel$ 、 $Bsel$) が重複してアクティブとなると、これらの論理積演算結果がスタートパルス信号 $ISTV$ として生成される。

【0064】

シフトクロック CPV の立ち上がりでスタートパルス信号 $ISTV$ の論理レベルが「H」のとき、シフトレジスタ 30 においてシフトクロック CPV が取り込まれる。その後、シフトレジスタ 30 におけるシフトクロック CPV に同期したシフト動作により、各走査線

20

【0065】

次に、比較例における表示パネルとの対比において、上述の実施形態の効果を説明する。

【0066】

図 7 に、比較例における表示パネルの構成の概要を示す。ただし、図 1 に示す表示パネル 10 と同一部分には同一符号を付し、適宜説明を省略する。

【0067】

比較例における表示パネル 100 が図 1 に示す表示パネル 10 と異なる点は、ゲート信号生成回路 20 を有しない点である。したがって、比較例における表示パネル 100 では、走査線 $GL_1 \sim GL_M$ に、図示しない外部のゲートドライバによりゲート信号 $GATE_1 \sim GATE_M$ が供給される。

30

【0068】

なお比較例における表示パネル 100 の動作タイミングは、スタートパルス信号 $ISTV$ 、ゲート信号 $GATE_1 \sim GATE_M$ 、第 1 ~ 第 3 のデマルチプレクス制御信号 ($Rsel$ 、 $Gsel$ 、 $Bsel$) 及びデータ信号に関して表示パネル 10 の動作タイミングと共通である(図 6 参照)。

【0069】

しかしながら、表示パネル 10 と表示パネル 100 との端子の数を比較すると、表示パネル 100 では、ゲート信号及びデマルチプレクス制御信号を入力するための端子の数「 $M + 3$ 」が必要とされる。

40

【0070】

そこで、表示パネル 100 を構成するパネル基板上に、ゲート信号を生成する回路を形成し、端子数を削減する手法が考えられる。この場合、データ信号の出力タイミングと同期をとる必要があるため、少なくともスタートパルス信号及びシフトクロックは表示パネル 100 の外部から供給される。したがって、表示パネル 100 では、スタートパルス信号、シフトクロック及びデマルチプレクス制御信号を入力するための端子の数が「5」に削減される。LTPS プロセスにより回路の形成が可能なパネル基板上には、歩留まり、回路規模、速度又はコスト等を考慮すると、ソースドライバのような複雑な回路を形成することが困難である。

【0071】

50

これに対して、表示パネル10では、パネル基板上にゲート信号生成回路20が設けられる。したがって、表示パネル10ではゲート信号生成回路20においてスタートパルス信号が生成されるため、シフトクロック及びデマルチプレクス制御信号を入力するための端子の数を「4」に削減することができる。このため、より低消費電力を図ることができる。

【0072】

LTPSによりTFTが形成される表示パネル上に形成されるゲート信号生成回路20のスタートパルス信号生成回路40は、図5に示したものに限定されるものではない。

【0073】

なお図6において、第2及び第3のデマルチプレクス制御信号(Gsel、Bsel)によりスタートパルス信号ISTVを生成しているが、これに限定されるものではない。スタートパルス信号生成回路は、第1～第3のデマルチプレクス制御信号のうち少なくとも2つが重複してアクティブになることを条件にスタートパルス信号ISTVを生成するものであればよい。

10

【0074】

図8(A)～(C)に、スタートパルス信号生成回路40の他の構成例を示す。図8(A)におけるスタートパルス信号生成回路40は、3入力1出力ANDゲート44を含む。ANDゲート44には、第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)が入力される。ANDゲート44は、その出力端子から第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)の論理積演算結果を出力する。したがって、第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)が全て同時にアクティブとなったとき、スタートパルス信号ISTVがアクティブとなる。

20

【0075】

図8(B)におけるスタートパルス信号生成回路40は、2入力1出力ANDゲート46を含む。ANDゲート46には、第1及び第2のデマルチプレクス制御信号(Rsel、Gsel)が入力される。ANDゲート46は、その出力端子から第1及び第2のデマルチプレクス制御信号(Rsel、Gsel)の論理積演算結果を出力する。したがって、第1及び第2のデマルチプレクス制御信号(Rsel、Gsel)が同時にアクティブとなったとき、スタートパルス信号ISTVがアクティブとなる。

【0076】

図8(C)におけるスタートパルス信号生成回路40は、2入力1出力ANDゲート48を含む。ANDゲート48には、第1及び第3のデマルチプレクス制御信号(Rsel、Bsel)が入力される。ANDゲート48は、その出力端子から第1及び第3のデマルチプレクス制御信号(Rsel、Bsel)の論理積演算結果を出力する。したがって、第1及び第3のデマルチプレクス制御信号(Rsel、Bsel)が同時にアクティブとなったとき、スタートパルス信号ISTVがアクティブとなる。

30

【0077】

ところで、上述のように第1、第2、第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)の順に周期的にアクティブとなる。そのため、スタートパルス信号ISTVを生成するために第1のデマルチプレクス制御信号Rselをアクティブにした後、スタートパルス信号ISTVにより1フレームの垂直走査期間の最初の選択期間(図6の第2のフレームの垂直走査期間において、ゲート信号GATE₁による選択期間)の開始直後に、改めて第1のデマルチプレクス制御信号Rselをアクティブにする必要がある。

40

【0078】

したがって、第1のデマルチプレクス制御信号Rselの生成タイミングが、他の第2及び第3のデマルチプレクス制御信号(Gsel、Bsel)に比べて余裕がない。この傾向は、画素数の増大により画素の選択期間の短縮化が進むに伴い、より顕著となる。以上のことから、画素の選択期間の短縮化が進むと、第1、第2、第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)の順にアクティブとなる場合に、図5に示すように、第1のデマルチプレクス制御信号Rselを除く他のデマルチプレクス制御信号を用

50

いてスタートパルス信号 S T V を生成することが望ましい。

【 0 0 7 9 】

(変形例)

図 9 に、本変形例における表示パネルの構成の概要を示す。ただし、図 1 に示す表示パネル 1 0 と同一部分には同一符号を付し、適宜説明を省略する。本変形例における表示パネル 2 0 0 が図 1 に示す表示パネル 1 0 と異なる点は、ゲート信号生成回路 2 0 に代えてゲート信号生成回路 2 1 0 を含む点である。

【 0 0 8 0 】

ゲート信号生成回路 2 1 0 は、デマルチプレクス制御信号に基づいて、シフトクロックを生成することができる点で、ゲート信号生成回路 2 0 と異なる。

10

【 0 0 8 1 】

このような構成により、本変形例における表示パネル 2 0 0 は、外部からシフトクロックが入力される必要がないため、更に端子数を削減し低消費電力化を図ることが可能となる。

【 0 0 8 2 】

図 1 0 に、ゲート信号生成回路 2 1 0 の構成例を示す。ただし、図 4 に示すゲート信号生成回路 2 0 と同一部分には同一符号を付し、適宜説明を省略する。ゲート信号生成回路 2 1 0 がゲート信号生成回路 2 0 と異なる点は、シフトクロック生成回路 2 2 0 を含む点である。したがって、シフトレジスタ 3 0 を構成する各フリップフロップのクロック入力端子 C には共通して、シフトクロック生成回路 2 2 0 により生成されたシフトクロック I C P V が入力される。

20

【 0 0 8 3 】

シフトクロック生成回路 2 2 0 は、デマルチプレクス制御信号に基づいてシフトクロック I C P V を生成する。

【 0 0 8 4 】

図 1 1 に、シフトクロック生成回路 2 2 0 の構成例を示す。ここでは、第 1 ~ 第 3 のデマルチプレクス制御信号 (R s e l 、 G s e l 、 B s e l) のうち、第 1 及び第 3 のデマルチプレクス制御信号 (R s e l 、 B s e l) を用いてシフトクロックを生成する回路の構成例を示す。

【 0 0 8 5 】

シフトクロック生成回路 2 2 0 は、T フリップフロップ (T f l i p - f l o p : T F F) 2 2 2 と、立ち下がりエッジ検出回路 2 2 4 とを含む。T F F 2 2 2 は、そのクロック入力端子 C への入力信号の立ち上がりで、その出力端子 Q から出力されるシフトクロック I C P V の論理レベルを反転させる。また T F F 2 2 2 は、そのリセット入力端子 R への入力信号により、出力端子 Q からの出力信号の論理レベルを「 L 」にする。

30

【 0 0 8 6 】

立ち下がりエッジ検出回路 2 2 4 は、第 3 のデマルチプレクス制御信号 B s e l の立ち下がりエッジを検出する。より具体的には、立ち下がりエッジ検出回路 2 2 4 は、第 3 のデマルチプレクス制御信号 B s e l の立ち下がりエッジがその立ち上がりとなるパルス信号を出力する。該パルス信号のパルス幅は、遅延素子 2 2 6 の遅延時間によって決められる。

40

【 0 0 8 7 】

T F F 2 2 2 の入力端子 C には、第 1 のデマルチプレクス制御信号 R s e l と、立ち下がりエッジ検出回路 2 2 4 の出力との論理和演算結果が入力される。

【 0 0 8 8 】

このような構成のシフトクロック生成回路 2 2 0 は、第 1 のデマルチプレクス制御信号 R s e l の立ち上がりでその論理レベルが変化するシフトクロック I C P V を生成する。またシフトクロック生成回路 2 2 0 は、第 3 のデマルチプレクス制御信号 B s e l の立ち下がりエッジでその論理レベルが変化するシフトクロック I C P V を生成する。

【 0 0 8 9 】

50

図12に、本変形例におけるゲート信号生成回路210の動作例のタイミングチャートを示す。まず、シフトクロック生成回路220のTFF222では、リセット信号RSTによりその出力端子Qから出力されるシフトクロックICPVがリセットされた状態とする。その後、スタートパルス信号生成回路40において、第2及び第3のデマルチプレクス制御信号(Gsel、Bsel)が同時にアクティブとなり、スタートパルス信号ISTVの論理レベルが「H」となる(t1)。

【0090】

次に、第1のデマルチプレクス制御信号Rselの立ち上がりで、TFF222の出力信号の論理レベルが反転され、シフトクロックICPVの論理レベルが「H」となる(t2)。これにより、シフトレジスタ30のフリップフロップFF₁では、シフトクロックICPVの立ち上がりでスタートパルス信号ISTVが取り込まれ、走査線GL₁の選択期間を示すゲート信号GATE₁が出力される。

10

【0091】

続いて、第3のデマルチプレクス制御信号Bselの立ち下がりで、TFF222の出力信号の論理レベルが反転され、シフトクロックICPVの論理レベルが「L」となる(t3)。

【0092】

以降、TFF222では、第1のデマルチプレクス制御信号Rselの立ち上がり、又は第3のデマルチプレクス制御信号Bselの立ち下がり、その出力信号の論理レベルの反転動作が繰り返される。

20

【0093】

その結果、第1、第2、第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)が順にアクティブとなる期間T0を1周期とするシフトクロックICPVが生成される。そして、シフトレジスタ30により、シフトクロックICPVの立ち上がりでシフト動作が行われ、走査線GL₂～GL_Mに順次ゲート信号GATE₂～GATE_Mが出力される。

【0094】

なお本変形例においては、立ち下がりエッジ検出回路224で第3のデマルチプレクス制御信号Bselの立ち下がりを検出していたが、これに限定されるものではない。立ち下がりエッジ検出回路224は、第2のデマルチプレクス制御信号Gselの立ち下がり

30

を検出するようにしても同様の効果を得ることができる。

【0095】

更にまたシフトクロック生成回路220では、図11に示した構成に限定されるものではない。RSフリップフロップにおいて第1のデマルチプレクス制御信号Rselでセットされ、第2のデマルチプレクス制御信号Gsel又は第2のデマルチプレクス制御信号BselによりリセットされるシフトクロックICPVを生成するようにしてもよい。この場合でも、周期T0のシフトクロックを生成することが可能である。

【0096】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

40

【0097】

また、上述した実施形態では、R、G、Bの各色成分に対応する3画素単位で選択されるものとして説明したが、これに限定されるものではない。例えば1、2又は4以上の画素数単位で選択される場合についても同様に適用することが可能である。

【0098】

また、第1～第3のデマルチプレクス制御信号(Rsel、Gsel、Bsel)が周期的にアクティブとなる順序は、上述の実施形態に限定されるものではない。

【0099】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部

50

、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【図 1】 本実施形態における表示パネルの構成の概要を示す構成図。

【図 2】 図 2 (A)、(B) は、色成分用画素の構成例を示す構成図。

【図 3】 信号線に出力されるデータ信号とデマルチプレクス制御信号との関係を示す模式図。

【図 4】 ゲート信号生成回路の構成例を示す回路構成図。

【図 5】 スタートパルス信号生成回路の構成例を示す回路図。

【図 6】 スタートパルス信号生成回路の動作例のタイミングチャート。

【図 7】 比較例における表示パネルの構成の概要を示す構成図。

【図 8】 図 8 (A) ~ (C) はスタートパルス信号生成回路の他の構成例を示す回路図

。

【図 9】 本変形例における表示パネルの構成の概要を示す構成図。

【図 10】 本変形例のゲート信号生成回路の構成例を示す回路構成図。

【図 11】 シフトクロック生成回路の構成例を示す回路図。

【図 12】 本変形例におけるシフトクロック生成回路の動作例のタイミングチャート。

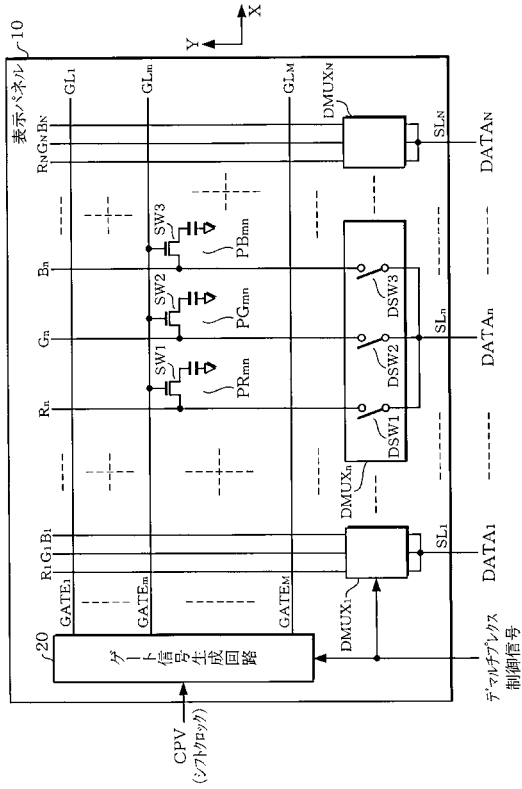
【符号の説明】

1 0、1 0 0、2 0 0 表示パネル、 2 0、2 1 0 ゲート信号生成回路、3 0 シフトレジスタ、 4 0 スタートパルス信号生成回路、 4 2、4 6、4 8 2 入力 1 出力 AND ゲート、 4 4 3 入力 1 出力 AND ゲート、 2 2 0 シフトクロック生成回路、 2 2 2 T フリップフロップ (T F F)、2 2 4 エッジ検出回路、 2 2 6 遅延素子、 $B_1 \sim B_N$ 第 3 の色成分用信号線、 B_{sel} 第 3 のデマルチプレクス制御信号、 CPV シフトクロック、 $DMUX_1 \sim DMUX_N$ 、 $DMUX_n$ デマルチプレクサ、 $DSW_1 \sim DSW_3$ 第 1 ~ 第 3 のデマルチプレクス用スイッチ素子、 $G_1 \sim G_N$ 第 2 の色成分用信号線、 $GATE_1 \sim GATE_M$ 、 $GATE_m$ ゲート信号、 $GL_1 \sim GL_M$ 、 GL_m 走査線、 G_{sel} 第 2 のデマルチプレクス制御信号、 $ICPV$ シフトクロック、 $ISTV$ スタートパルス信号、 $R_1 \sim R_N$ 第 1 の色成分用信号線、 R_{sel} 第 1 のデマルチプレクス制御信号、 $SL_1 \sim SL_N$ 信号線、 $SW_1 \sim SW_3$ 第 1 ~ 第 3 のスイッチ素子

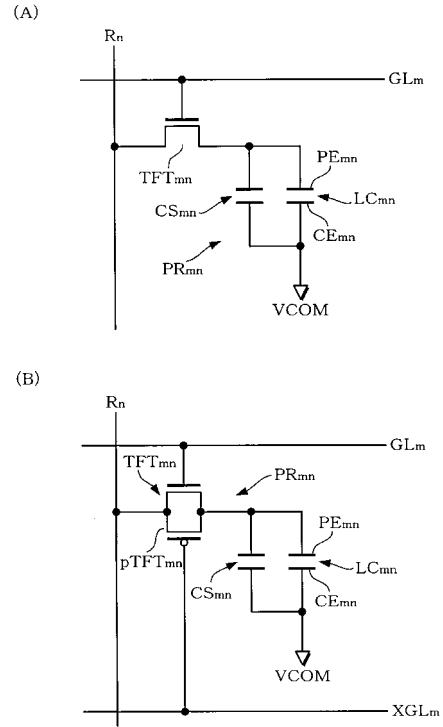
10

20

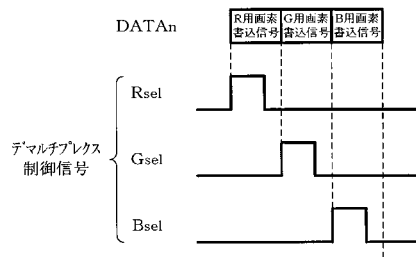
【図1】



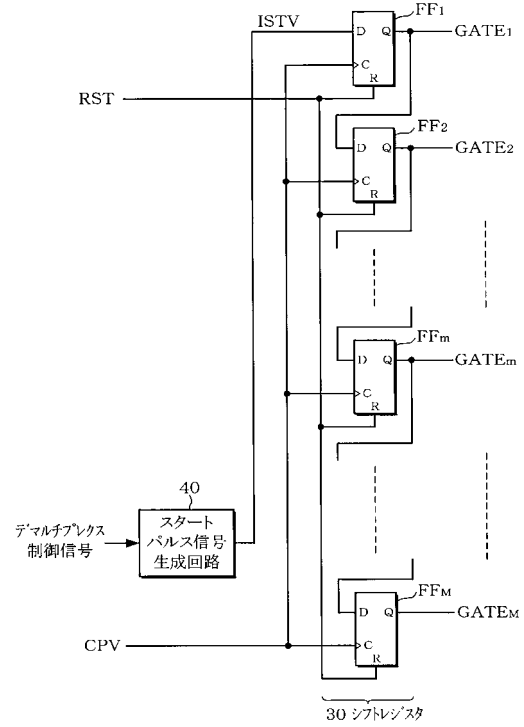
【図2】



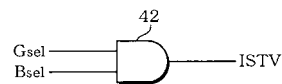
【図3】



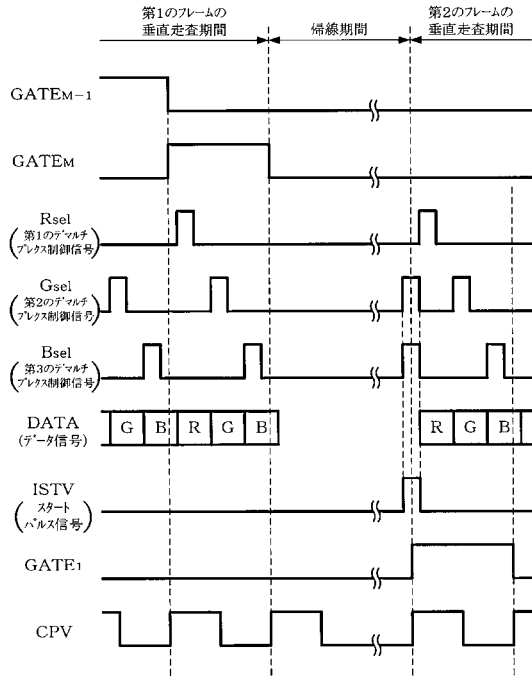
【図4】



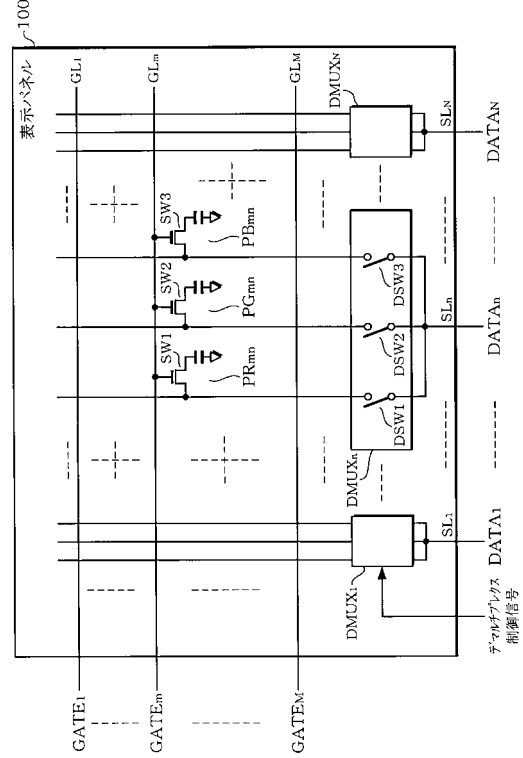
【図5】



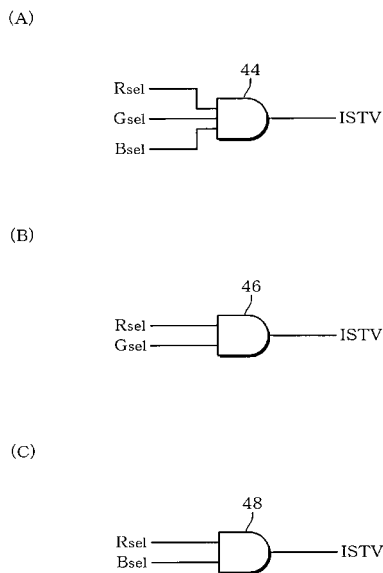
【 図 6 】



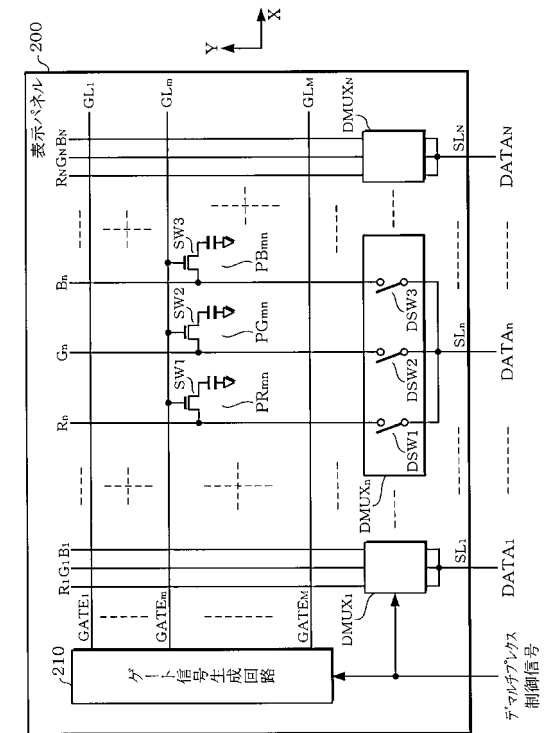
【 図 7 】



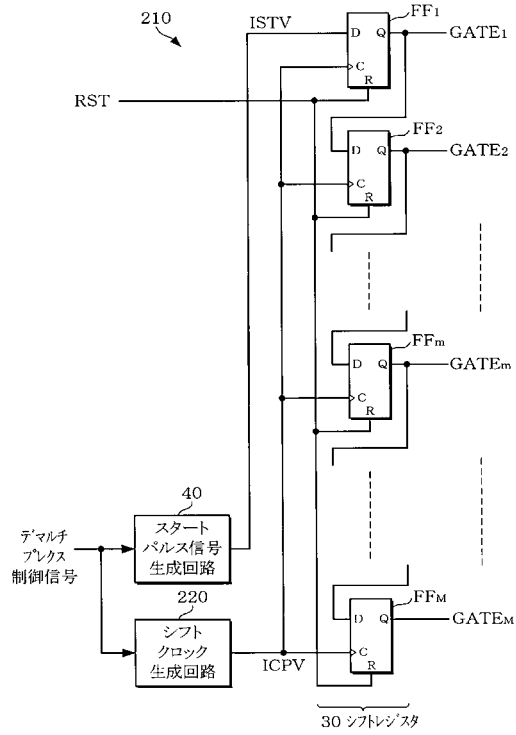
【 図 8 】



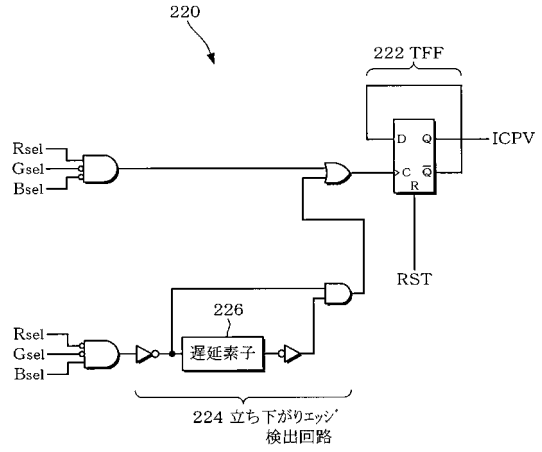
【 図 9 】



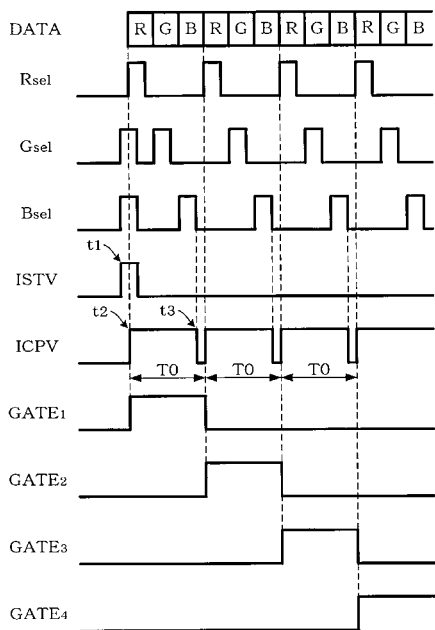
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開平11-296142(JP,A)
特開昭61-223791(JP,A)
特開2001-042287(JP,A)
特開2000-275611(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G09G 3/00- 3/38
G02F 1/133 505-580