

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年8月27日(27.08.2015)



(10) 国際公開番号

WO 2015/125685 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2015/053808
- (22) 国際出願日: 2015年2月12日(12.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-031738 2014年2月21日(21.02.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 岡田 訓明(OKADA Kuniaki), 内田 誠一(UCHIDA Seichi).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

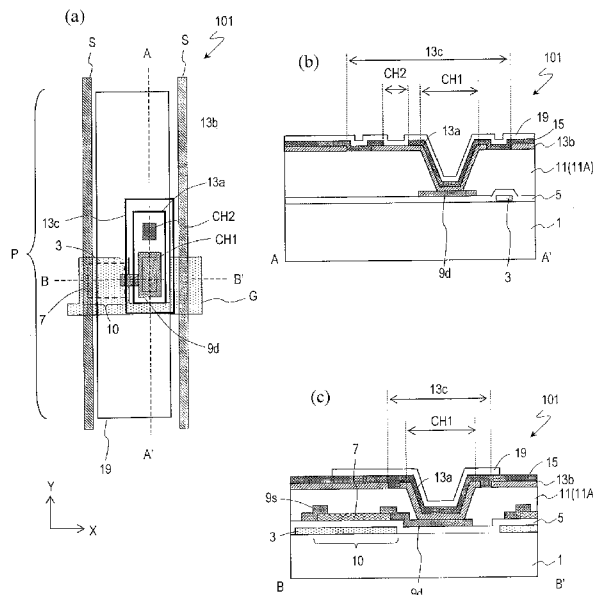
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: アクティブマトリクス基板およびその製造方法

【図1】



(57) Abstract: Each pixel region (P) of an active matrix substrate (101) is provided with: a thin film transistor (10); an interlayer insulating layer (11) containing an organic insulating layer; a transparent connection layer (13a) formed on the interlayer insulating layer (11); an inorganic insulating layer (15) formed on the transparent connection layer (13a); and a pixel electrode (19) formed on the inorganic insulating layer (15). The transparent connection layer (13a) is in contact with a drain electrode within a first contact hole (CH1) that is provided in the interlayer insulating layer (11), and the pixel electrode (19) is in contact with the transparent connection layer (13a) within a second contact hole (CH2) that is provided in the inorganic insulating layer (15). The first contact hole and the second contact hole do not overlap each other when viewed from the normal direction of a substrate (1). The bottom surface and the wall surface of the first contact hole are covered by the transparent connection layer (13a), the inorganic insulating layer (15) and the pixel electrode (19) within the first contact hole.

(57) 要約: アクティブマトリクス基板 (101) における各画素領域 (P) は、薄膜トランジスタ (10) と、有機絶縁層を含む層間絶縁層 (11) と、層間絶縁層 (11) 上に形成された透明接続層 (13a) と、透明接続層 (13a) 上に形成された無機絶縁層 (15) と、無機絶縁層 (15) 上に形成された画素電極 (19) とを備え、透明接続層 (13a) は、層間絶縁層 (11) に設けられた第1のコンタクトホール (CH1) 内でドレイン電極と接し、画素電極 (19) は、無機絶縁層 (15) に設けられた第2のコンタクトホール (CH2) 内で透明接続層 (13a) と接しており、基板 (1) の法線方向から見たとき、第1のコンタクトホールと、第2のコンタクトホールとは互いに重なっておらず、第1のコンタクトホール内において、第1のコンタクトホールの底面および壁面は、透明接続層 (13a)、無機絶縁層 (15) および画素電極 (19) で覆われている。

WO 2015/125685 A1

明 細 書

発明の名称：アクティブマトリクス基板およびその製造方法

技術分野

[0001] 本発明は、アクティブマトリクス基板に関し、特に、液晶表示装置に好適に用いられるアクティブマトリクス基板に関する。

背景技術

[0002] アクティブマトリクス型の液晶表示装置は、一般に、画素ごとにスイッチング素子として薄膜トランジスタ（TFT）が形成されたアクティブマトリクス基板と、カラーフィルタなどが形成された対向基板と、アクティブマトリクス基板および対向基板の間に設けられた液晶層とを備えている。TFTに電氣的に接続された画素電極と、共通電極との電位差に応じた電界が液晶層に印加され、この電界によって液晶層中の液晶分子の配向状態が変化することにより、各画素の光透過率を制御して表示を行うことができる。

[0003] アクティブマトリクス型の液晶表示装置には、その用途に応じて様々な表示モードが提案され、採用されている。表示モードとしては、TN（Twisted Nematic）モード、VA（Vertical Alignment）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モードなどが挙げられる。

[0004] これらの液晶表示装置の中には、アクティブマトリクス基板が無機絶縁層を間に介して形成された2つの透明導電層を有するものがある。無機絶縁層を間に挟んだ2つの透明導電層で形成される電極の構造を、簡単のために、「2層電極構造」ということにする。

[0005] 例えば、一般的なFFSモードでは、下層の透明導電層は共通電極として設けられ、上層の透明導電層は複数のスリットを有する画素電極として設けられる。

[0006] また、出願人は、2層電極構造を利用した補助容量を有する液晶表示装置

を研究開発している。具体的には、下層の透明導電層を補助容量対向電極（共通電圧または補助容量対向電圧が供給される）とし、上層の透明導電層を画素電極とした構成を検討している。この液晶表示装置は、例えばVAモードであるが、他の表示モードにも適用できる。

[0007] 2層電極構造を有するアクティブマトリクス基板の構成は、例えば、特許文献1～3に開示されている。上層の透明導電層を画素電極として機能させる場合、上層の透明導電層を、下層の透明導電層の下方に位置するTFTのドレイン電極と電気的に接続させる必要がある。

[0008] 例えば特許文献1に開示されたアクティブマトリクス基板では、TFTを覆う層間絶縁層と、2つの透明導電層に挟まれた無機絶縁層とをエッチングしてコンタクトホールを形成し、コンタクトホール内で、TFTのドレイン電極と画素電極とを接触させている。

[0009] また、特許文献2に開示されたアクティブマトリクス基板では、層間絶縁層に形成する開口部と、無機絶縁層に形成する開口部とを、基板の上方から見たときに十字に交差するように配置している。画素電極は、これらの2つの開口部が交差した部分に露出されたドレイン電極に接するように配置されている。

[0010] 一方、特許文献3は、コンタクトホール内で、ドレイン電極と画素電極とを、透明な接続層（中継層ともいう）を介して接続する構成を開示している。接続層は、下層の透明導電層と同じ透明導電膜から形成され得る。

先行技術文献

特許文献

[0011] 特許文献1：特開2008-32899号公報

特許文献2：国際公開第2013/146216号

特許文献3：特開2009-31468号公報

発明の概要

発明が解決しようとする課題

[0012] しかしながら、本発明者が検討したところ、特許文献１～３に開示されたアクティブマトリクス基板では、次のような問題があることを見出した。

[0013] ＴＦＴを覆う層間絶縁層として、水分吸収率が比較的高い有機絶縁層を使用する場合がある。この場合、層間絶縁層に形成された開口部の側壁から水分等が層間絶縁層に入り、層間絶縁層の下方にあるＴＦＴの特性を劣化させるおそれがある。特に、アクティブマトリクス基板を液晶表示装置に適用すると、画素電極上に配置される液晶層と層間絶縁層との間で水分などのやり取りが生じやすい。また、ＴＦＴの活性層として酸化物半導体層を用いる場合、ＴＦＴ特性に対する水分の影響は特に大きくなる。

[0014] 本発明の実施形態は、有機絶縁層への水分の浸入に起因するＴＦＴ特性の劣化が抑制されたアクティブマトリクス基板を提供することを目的とする。

課題を解決するための手段

[0015] 本発明による一実施形態のアクティブマトリクス基板は、基板と、前記基板上に、行方向および列方向を有するマトリクス状に配列された複数の画素領域とを備えたアクティブマトリクス基板であって、前記複数の画素領域のそれぞれは、前記基板に支持された薄膜トランジスタと、前記薄膜トランジスタを覆うように形成された、有機絶縁層を含む層間絶縁層と、前記層間絶縁層上に形成された透明接続層と、前記透明接続層上に形成された無機絶縁層と、前記無機絶縁層上に形成され、かつ、前記透明接続層を介して前記薄膜トランジスタのドレイン電極に電氣的に接続された画素電極とを備え、前記透明接続層は、前記層間絶縁層に設けられた第１のコンタクトホール内で前記ドレイン電極と接し、前記画素電極は、前記無機絶縁層に設けられた第２のコンタクトホール内で前記透明接続層と接しており、前記基板の法線方向から見たとき、前記第１のコンタクトホールと、前記第２のコンタクトホールとは互いに重なっておらず、前記第１のコンタクトホール内において、前記第１のコンタクトホールの底面および壁面は、前記透明接続層、前記無機絶縁層および前記画素電極で覆われている。

[0016] ある実施形態において、上記アクティブマトリクス基板は、前記薄膜トラ

ンジスタのゲート電極を含み、かつ、前記ゲート電極と同じ膜から形成されたゲート配線と、前記薄膜トランジスタのソース電極を含み、かつ、前記ソース電極と同じ膜から形成されたソース配線とをさらに備え、前記ゲート配線は前記行方向に延び、前記ソース配線は前記列方向に延びている。

[0017] ある実施形態において、前記基板の法線方向から見たとき、前記画素電極は、前記ゲート配線を前記列方向に横切るように配置されている。

[0018] ある実施形態において、前記基板の法線方向から見たとき、前記第1のコンタクトホールの前記列方向の幅は、前記行方向の幅よりも大きい。

[0019] ある実施形態において、前記基板の法線方向から見たとき、前記第2のコンタクトホールは、前記ゲート配線、前記ソース配線および前記ドレイン電極のいずれとも重なっていない。

[0020] ある実施形態において、前記第1および第2のコンタクトホールは、前記列方向に配列されている。

[0021] ある実施形態において、前記基板の法線方向から見たとき、前記第2のコンタクトホールは、前記ゲート配線と重なっている。

[0022] ある実施形態において、前記基板の法線方向から見たとき、前記第1および第2のコンタクトホールは、前記行方向に配列されている。

[0023] ある実施形態において、前記第1のコンタクトホール内では、前記画素電極と前記透明接続層とは前記無機絶縁層によって分離されている。

[0024] ある実施形態において、前記透明接続層と同一の透明導電膜から形成された透明電極をさらに備え、前記透明電極は、前記透明接続層と電氣的に分離されており、前記画素電極の少なくとも一部は、前記無機絶縁層を介して前記透明電極と重なっている。

[0025] ある実施形態において、前記薄膜トランジスタの活性層は、酸化物半導体層である。

[0026] ある実施形態において、前記酸化物半導体層は、In、GaおよびZnのうち少なくとも1つを含む。

[0027] ある実施形態において、前記酸化物半導体層は、結晶質部分を含む。

[0028] 本発明による一実施形態のアクティブマトリクス基板を製造する方法は、
（a）基板上に、ゲート電極を含むゲート配線を形成する工程と、（b）前記ゲート配線を覆うゲート絶縁層を形成する工程と、（c）前記ゲート絶縁層上に、薄膜トランジスタの活性層となる半導体層を形成する工程と、（d）前記半導体層上に、ソース電極を含むソース配線と、ドレイン電極とを形成し、これによって薄膜トランジスタを得る工程と、（e）前記薄膜トランジスタを覆うように、有機絶縁層を含む層間絶縁層を形成する工程であって、前記層間絶縁層は前記ドレイン電極の一部を露出する第1のコンタクトホールを有する、工程と、（f）前記層間絶縁層上に、前記第1のコンタクトホール内で前記ドレイン電極と接する透明接続層を形成する工程と、（g）前記透明接続層上に、前記透明接続層の一部を露出する第2のコンタクトホールを有する無機絶縁層を形成する工程と、（h）前記無機絶縁層上に、前記第2のコンタクトホール内で前記透明接続層と接する画素電極を形成する工程とを包含し、前記基板の法線方向から見たとき、前記第1のコンタクトホールと、前記第2のコンタクトホールとは互いに重なっておらず、前記第1のコンタクトホールの底面および壁面は、前記透明接続層、前記無機絶縁層および前記画素電極で覆われている。

発明の効果

[0029] 本発明の実施形態によると、有機絶縁層に形成された第1のコンタクトホールの壁面が透明接続層、無機絶縁層および画素電極の3層で覆われているので、第1のコンタクトホールの壁面から有機絶縁層への水分の侵入を抑制できる。このため、有機絶縁層への水分の浸入に起因するTFT特性の劣化を抑制することが可能である。

図面の簡単な説明

[0030] [図1]（a）は、本発明の実施形態によるアクティブマトリクス基板101の模式的な平面図であり、（b）および（c）は、それぞれ、（a）のA-A'線およびB-B'線に沿った断面図である。

[図2]（a）は、アクティブマトリクス基板101の製造方法を説明するため

の工程平面図であり、(b)および(c)は、それぞれ、(a)のA-A'線およびB-B'線に沿った断面図である。

[図3](a)は、アクティブマトリクス基板101の製造方法を説明するための工程平面図であり、(b)および(c)は、それぞれ、(a)のA-A'線およびB-B'線に沿った断面図である。

[図4](a)は、本発明の実施形態による他のアクティブマトリクス基板102の模式的な平面図であり、(b)および(c)は、それぞれ、(a)のA-A'線およびB-B'線に沿った断面図である。

[図5]アクティブマトリクス基板102における透明接続層および透明電極の形状を例示する平面図である。

[図6](a)は、本発明の実施形態によるさらに他のアクティブマトリクス基板103の模式的な平面図であり、(b)および(c)は、それぞれ、(a)のA-A'線およびB-B'線に沿った断面図である。

[図7]アクティブマトリクス基板103における透明接続層および透明電極の形状を例示する平面図である。

[図8](a)は、参照例のアクティブマトリクス基板201の模式的な平面図であり、(b)および(c)は、それぞれ、(a)のC-C'線およびD-D'線に沿った断面図である。

[図9](a)は、参照例のアクティブマトリクス基板202の模式的な平面図であり、(b)および(c)は、それぞれ、(a)のC-C'線およびD-D'線に沿った断面図である。

発明を実施するための形態

[0031] 以下、図面を参照して、本発明の実施形態によるアクティブマトリクス基板の構造と製造方法を説明する。以下では、FFSモードの液晶表示装置に用いられるアクティブマトリクス基板を例示する。なお、本発明の実施形態はこれに限られず、後述するように、2層電極構造を有するVAモードの液晶表示装置にも適用され得る。また、液晶表示装置に限定されず、他の表示装置にも適用できる。

[0032] 図1(a)は、本発明によるアクティブマトリクス基板101の第1の実施形態を示す模式的な平面図である。図1(b)および(c)は、アクティブマトリクス基板101の模式的な断面図である。図1(b)は、図1(a)中のA-A'線に沿った断面、図1(c)は、図1(a)中のB-B'線に沿った断面を示す。

[0033] アクティブマトリクス基板101は、複数の画素領域Pを有している。複数の画素領域Pは、行方向および列方向を有するマトリクス状に配列されている。図1(a)～(c)には、単一の画素領域Pのみを示す。また、図1(a)では、行方向を「X」、列方向を「Y」で示している。ここでは、これらの方向は直交しているが、直交していなくてもよい。

[0034] 複数の画素領域Pのそれぞれは、基板1に支持された薄膜トランジスタ（以下、「TFT」）10と、TFT10を覆うように形成された、有機絶縁層11Aを含む層間絶縁層11と、層間絶縁層11上に形成された透明接続層13aと、透明接続層13a上に形成された無機絶縁層15と、無機絶縁層15上に形成された画素電極19とを有している。画素電極19は、透明接続層13aを介して、TFT10のドレイン電極9dに電氣的に接続されている。層間絶縁層11は、有機絶縁層11Aを含んでいればよく、例えば無機絶縁材料から形成された層（無機層間絶縁層）を下層とし、有機絶縁層11Aを上層とする積層構造を有していてもよい。

[0035] 層間絶縁層11には、ドレイン電極9dを露出する第1のコンタクトホールCH1が設けられている。透明接続層13aは、第1のコンタクトホールCH1内で、ドレイン電極9dと接している。

[0036] また、無機絶縁層15には、透明接続層13aを露出する第2のコンタクトホールCH2が設けられている。基板1の法線方向から見たとき、第1のコンタクトホールCH1と、第2のコンタクトホールCH2とは互いに重ならないように配置されている。画素電極19は、第2のコンタクトホールCH2内で透明接続層13aと接している。

[0037] なお、本明細書では、透明接続層13aとドレイン電極9dを接続するた

めの領域（第1のコンタクトホールCH1を含む）を「透明接続層ードレイン電極コンタクト領域」、画素電極19と透明接続層13aとを接続する領域（第2のコンタクトホールCH2を含む）を「画素電極－透明接続層コンタクト領域」と呼ぶ。

[0038] 本実施形態では、透明接続層13a、無機絶縁層15および画素電極19の各一部は、層間絶縁層11に設けられた第1のコンタクトホールCH1内に位置している。第1のコンタクトホールCH1内において、第1のコンタクトホールCH1の底面および壁面は、透明接続層13a、無機絶縁層15および画素電極19で覆われている。

[0039] 第1のコンタクトホールCH1内では、透明接続層13aと画素電極19とは、無機絶縁層15によって分離されていてもよい。また、無機絶縁層15は、平坦化膜ではなく、例えば層間絶縁層11よりも薄い絶縁膜であってもよい。この場合、透明接続層13a、無機絶縁層15および画素電極19は、第1のコンタクトホールCH1の形状を反映した凹部を有していてもよい。

[0040] TFT10は、例えばボトムゲート型TFTであり、基板1上に形成されたゲート電極3、ゲート電極3を覆うゲート絶縁層5、ゲート絶縁層5上に形成された半導体層（活性層）7、ソース電極9sおよびドレイン電極9dを有する。半導体層7は、少なくとも一部が、ゲート絶縁層5を介してゲート電極3と重なるように配置されている。ソースおよびドレイン電極9s、9dは、半導体層7と電氣的に接続されている。図示するように、ソース電極9sは、半導体層7のソース側の端部全体を覆うように形成され、ドレイン電極9dは、半導体層7のドレイン側の端部の一部のみを覆うように形成されていてもよい。

[0041] ソースおよびドレイン電極9s、9dは、半導体層7の上面と直接接するように配置されていてもよい（トップコンタクト構造）。あるいは、半導体層7の下面と直接接するように配置されていてもよい（ボトムコンタクト構造）。または、TFT10は、半導体層7とソースおよびドレイン電極9s

、9 dとの間に、チャネルを保護するための保護膜（エッチストップ膜）を有していてもよい（エッチストップ型）。この場合、ソースおよびドレイン電極9 s、9 dは、保護膜に設けられた開口内で半導体層7と接する。さらに、T F T 1 0は、トップゲート型T F Tであってもよい。この場合でも、ボトムコンタクト構造あるいはトップコンタクト構造を有し得る。

[0042] アクティブマトリクス基板1 0 1は、透明接続層1 3 aと同一の透明導電膜から形成された透明電極1 3 bをさらに備えてもよい。透明電極1 3 bは、透明接続層1 3 aと電氣的に分離されている。ここでは、透明電極1 3 bは、第1のコンタクトホールC H 1を含む透明接続層ードレイン電極コンタクト領域と、第2のコンタクトホールC H 2を含む画素電極ー透明接続層コンタクト領域とを含む領域を開口する開口部1 3 cを有している。透明接続層1 3 aは、開口部1 3 c内に、透明電極1 3 bと分離して設けられている。従って、基板1の法線方向から見たとき、開口部1 3 cの輪郭の内部に、透明接続層1 3 aと、第1および第2のコンタクトホールC H 1、C H 2とが配置されている。

[0043] 透明電極1 3 bの一部は補助容量電極として用いられ得る。この場合、画素電極1 9の少なくとも一部は、無機絶縁層1 5を介して透明電極1 3 bと重なるように配置される。これにより、画素電極1 9と、透明電極1 3 bと、これらの間の無機絶縁層1 5とが、補助容量として機能する。補助容量は、透明電極1 3 bおよび透明な画素電極1 9で形成されているので、画素開口率を低下させることなく、大きな容量値を有し得る。

[0044] 本実施形態のアクティブマトリクス基板1 0 1では、有機絶縁層1 1 Aを含む層間絶縁層1 1の第1のコンタクトホールC H 1の底面および壁面が、透明接続層1 3 a、無機絶縁層1 5および画素電極1 9の少なくとも3層で覆われている。これにより、有機絶縁層1 1 Aの壁面から、有機絶縁層1 1 A内に水分等が浸入することを抑制できる。従って、アクティブマトリクス基板1 0 1の外部（例えば液晶層など）と有機絶縁層1 1 Aとの間で、水分等が移動するのを遮蔽できるので、水分等によるT F T 1 0の特性劣化を抑

制できる。

[0045] なお、特許文献 1 および 2 に開示された 2 層電極構造を有するアクティブマトリクス基板では、層間絶縁層および無機絶縁層を貫通するコンタクトホールが設けられており、画素電極は、コンタクトホール内で直接ドレイン電極と接している。以下、図面を参照しながら、画素電極とドレイン電極とが直接接する構成を説明する。

[0046] 図 8 (a) は、参考例のアクティブマトリクス基板 201 の平面図であり、図 8 (b) および (c) は、アクティブマトリクス基板 201 の C-C' 線および D-D' 線に沿った断面図である。図 9 (a) は、参考例のアクティブマトリクス基板 202 の平面図であり、図 9 (b) および (c) は、アクティブマトリクス基板 202 の C-C' 線および D-D' 線に沿った断面図である。図 8 および図 9 では、図 1 と同様の構成要素に同じ参照符号を付している。

[0047] 図 8 に示すアクティブマトリクス基板 201 では、基板 1 の法線方向から見たとき、無機絶縁層 15 の第 2 のコンタクトホール CH2 内に、層間絶縁層 11 の第 1 のコンタクトホール CH1 が位置するように、これらのコンタクトホール CH1、CH2 が配置されている。透明電極 13b は、これらのコンタクトホール CH1、CH2 と重ならないように、開口されている（開口部 13c）。画素電極 19 は、第 1 および第 2 のコンタクトホール CH1、CH2 内で、第 1 のコンタクトホール CH1 によって露出されたドレイン電極 9d と直接接している。この構成では、第 1 のコンタクトホール CH1 の底面および壁面は、画素電極 19 のみによって覆われている。

[0048] また、図 9 に示すアクティブマトリクス基板 202 では、基板 1 の法線方向から見たとき、無機絶縁層 15 の第 2 のコンタクトホール CH2 と、層間絶縁層 11 の第 1 のコンタクトホール CH1 とが十字に交差するように配置されている点で、図 8 のアクティブマトリクス基板 201 と異なる。画素電極 19 は、第 1 および第 2 のコンタクトホール CH1、CH2 が重なり合う部分で露出されたドレイン電極 9d と直接接している。第 1 および第 2 のコ

ンタクトホールCH1、CH2を部分的に重なるように配置するので、図8に示すアクティブマトリクス基板201と比べて、コンタクト領域に要する面積を低減できる。この構成では、図9(b)および(c)から分かるように、第1のコンタクトホールCH1の壁面の一部および底面は画素電極19のみによって覆われ、壁面の他の部分は画素電極19と無機絶縁層15との2層で覆われている。

[0049] このように、参考例のアクティブマトリクス基板201、202では、有機絶縁層を含む層間絶縁層11の壁面の全体または一部は、画素電極19のみで覆われる。このため、画素電極19のカバレッジが低いと、水分吸収率の高い有機絶縁層の壁面が、アクティブマトリクス基板201、202の外部（例えば液晶層）に晒され、外部から水分等が有機絶縁層に浸入するおそれがある。これは、TFT10の特性劣化などを引き起こす要因となる。TFT10の特性劣化は、特に高温高湿度環境下でアクティブマトリクス基板201、202を動作させる場合に顕著になり得る。また、特に半導体層7として酸化物半導体層を用いる場合に、水分によって酸化物半導体層内の酸素欠損が増加し、低抵抗化される等の問題も生じ得る。

[0050] なお、図示しないが、参考例のアクティブマトリクス基板201、202において、透明電極13bと同じ膜から接続層（中継層）を形成し、この接続層を介して、画素電極19とドレイン電極9dとを接続することも考えられる（特許文献3）。この場合、画素電極19だけでなく、接続層も、第1のコンタクトホールCH1の壁面全体または壁面の一部を覆うように配置される。しかしながら、これらの2層の透明導電膜でも、第1のコンタクトホールCH1の壁面を十分に保護できず、水分等の有機絶縁層への侵入を十分に抑制できない可能性がある。

[0051] さらに、図示しないが、基板1の法線方向から見たとき、層間絶縁層11の第1のコンタクトホールCH1内に、無機絶縁層15の第2のコンタクトホールCH2を配置すると、第1のコンタクトホールCH1の壁面は、画素電極19だけでなく、無機絶縁層15でも覆われる。しかしながら、この場

合には、画素電極 19 とドレイン電極 9d とのコンタクト面積を確保するために、コンタクト領域に要する面積が増大し、画素領域のピッチが拡大するという問題がある。

[0052] これに対し、本実施形態では、上述したように、第 1 のコンタクトホール CH1 の壁面全体を、比較的バリア性の高い無機絶縁層 15 を含む 3 層で覆うことが可能になる。従って、例えば液晶層と有機絶縁層との間の、第 1 のコンタクトホール CH1 の壁面を通じた水分等の移動を、より確実に抑制できる。また、本実施形態では、第 1 のコンタクトホール CH1 を、第 2 のコンタクトホール CH2 よりも TFT10 の近くに配置している。TFT10 に近い位置にあるコンタクトホールの壁面が 3 層で保護されるので、TFT10 の特性の劣化をより効果的に抑制できる。

[0053] 本実施形態のアクティブマトリクス基板 101 は、行方向（X 方向）に延び、ゲート電極 3 と同じ膜から形成されたゲート配線 G と、列方向（Y 方向）に延び、ソース電極 9s と同じ膜から形成されたソース配線 S とをさらに備える。ゲート配線 G は、TFT10 のゲート電極 3 を含む。ゲート電極 3 は、ゲート配線 G と一体的に形成されていてもよい。また、ゲート電極 3 は、ゲート配線 G の一部であってもよい。ソース配線 S は、TFT10 のソース電極 9s を含む。ソース電極 9s は、ソース配線 S と一体的に形成されていてもよい。また、ソース電極 9s は、ソース配線 S の一部であってもよい。

[0054] ソース配線 S およびゲート配線 G は、例えば金属膜から形成される。この場合、画素領域 P のうちソース配線 S やゲート配線 G が配置されている部分は、可視光が通過しない。本明細書では、画素領域 P のうち可視光を透過しない領域を「遮光領域」と呼ぶ。これに対し、画素領域 P のうち金属膜等で遮光されておらず、可視光が通過し得る領域を「開口領域」と呼ぶ。

[0055] アクティブマトリクス基板 101 では、第 1 のコンタクトホール CH1 は遮光領域（ドレイン電極 9d で遮光される領域）に形成されている。一方、第 2 のコンタクトホール CH2 は開口領域に形成されていてもよい。すなわ

ち、第2のコンタクトホールCH2は、基板1の法線方向から見たときに、ゲート配線G、ドレイン電極9dおよびソース配線Sなどの金属配線（金属電極）のいずれとも重ならないように配置されていてもよい。例えば、第1および第2のコンタクトホールCH1、CH2は、列方向に配列されていてもよい。

[0056] 第2のコンタクトホールCH2を含む画素電極—透明接続層コンタクト領域は透明である。このため、第2のコンタクトホールCH2を開口領域に配置しても、画素開口率（画素領域Pに占める開口領域の割合）を低下させることない。また、第1のコンタクトホールCH1のサイズは、無機絶縁層と層間絶縁層とを貫通するように設けられた従来のコンタクトホール（図8、図9）のサイズよりも小さくできる。従って、コンタクト領域による画素開口率の低下を従来よりも低減でき、従来よりも画素開口率を高めることが可能になる。

[0057] また、基板1の法線方向から見たとき、第1のコンタクトホールCH1は、ゲート配線Gと重なってなくてもよい。ドレイン電極9dとゲート配線Gとが重なり合う部分の面積を小さく抑え、ドレイン電極9dのうちゲート配線Gと重なっていない部分上に第1のコンタクトホールCH1を配置してもよい。例えば、図示するように、基板1の法線方向から見たとき、ゲート配線Gは凹部を有しており、第1のコンタクトホールCH1の少なくとも一部が凹部内に配置されていてもよい。

[0058] 第1および第2のコンタクトホールCH1、CH2の配置は、図示する例に限定されない。後述する実施形態のように、基板1の法線方向から見たとき、第2のコンタクトホールCH2は、ゲート配線Gと重なっていてもよい。さらに、第1および第2のコンタクトホールCH1、CH2は、行方向に配列されていてもよい。

[0059] 第1のコンタクトホールCH1は、その列方向の幅が、行方向の幅よりも大きい形状を有していてもよい。図示する例では、第1のコンタクトホールCH1は、基板1の法線方向から見たとき、列方向に延びる長辺と、行方向

に延びる短辺とを有する矩形である。このように、第1のコンタクトホールCH1を列方向に長い形状にすることにより、ドレイン電極9dと後で形成する透明接続層とのコンタクト面積を確保しつつ、画素領域Pの幅（行方向の幅）を縮小できる。

[0060] 基板1の法線方向から見たとき、透明接続層13aは、ドレイン電極9d上から列方向に延びていてもよい。透明接続層13aの列方向の幅は、行方向の幅よりも大きくてもよい。透明接続層13aは、例えば列方向に延びる矩形であってもよい。

[0061] 図示する例では、基板1の法線方向から見たとき、画素電極19は、ゲート配線Gを列方向に横切るように配置されている。なお、画素電極19は、ゲート配線Gの一部とのみ重なるように配置されてもよい。例えば、隣接する画素電極19の間に、ゲート配線Gが配置されていてもよい。

[0062] 無機絶縁層15は、層間絶縁層11よりも薄いことが好ましい。無機絶縁層15を薄くすることにより（例えば200nm以下）、第2のコンタクトホールCH2のサイズや段差を小さく抑えることができる。従って、アクティブマトリクス基板101を表示装置に使用する場合、第2のコンタクトホールCH2を開口領域に配置しても、第2のコンタクトホールCH2に起因する透過光の散乱を小さく抑えることができるので、表示特性への影響を小さくできる。また、無機絶縁層15を補助容量の誘電体として用いる場合、無機絶縁層15の厚さは、例えば50nm以上300nm以下であってもよい。

[0063] TFT10の半導体層（活性層）7は、酸化物半導体層であってもよい。酸化物半導体は移動度が高いので、2層電極構造を利用して形成される比較的大きな容量値の補助容量を十分に速く充電できる。また、酸化物半導体層は、水分と接することにより電気抵抗が変化し得るため、アクティブマトリクス基板101の半導体層7として酸化物半導体層を用いると、水分による特性低下をより効果的に抑制できる。

[0064] 酸化物半導体層は、例えば、In、GaおよびZnのうち少なくとも1種

の金属元素を含んでもよい。本実施形態では、酸化物半導体層は、例えば、 In-Ga-Zn-O 系の酸化物を含む。ここで、 In-Ga-Zn-O 系の酸化物は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga および Zn の割合（組成比）は特に限定されず、例えば $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等を含む。このような酸化物半導体層は、 In-Ga-Zn-O 系の半導体を含む酸化物半導体膜から形成され得る。 In-Ga-Zn-O 系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質 In-Ga-Zn-O 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。なお、結晶質 In-Ga-Zn-O 系の半導体の結晶構造は、例えば、特開2012-134475号公報に開示されている。参考のために、特開2012-134475号公報の開示内容の全てを本明細書に援用する。 In-Ga-Zn-O 系半導体層を有するTFTは、高い移動度（ $\alpha\text{-SiTFT}$ に比べ20倍超）および低いリーク電流（ $\alpha\text{-SiTFT}$ に比べ100分の1未満）を有しているので、駆動TFTおよび画素TFTとして好適に用いられる。

[0065] 酸化物半導体層は、 In-Ga-Zn-O 系の酸化物の代わりに、他の酸化物を含んでいてもよい。例えば Zn-O 系（ ZnO ）、 In-Zn-O 系（ IZO ）、 Zn-Ti-O 系（ ZTO ）、 Cd-Ge-O 系、 Cd-Pb-O 系、 In-Sn-Zn-O 系（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ）、 In-Ga-Sn-O 系の酸化物などを含んでいてもよい。

[0066] なお、半導体層7は酸化物半導体層に限定されず、アモルファスシリコン層、ポリシリコン層、微結晶シリコン層等のシリコン半導体層であってもよい。

[0067] （アクティブマトリクス基板101の製造方法）

次に、図2および図3を参照して、アクティブマトリクス基板101の製造方法を説明する。各図の（a）は、それぞれ、アクティブマトリクス基板

101の製造方法を説明するための模式的な工程平面図であり、各図の(b)および(c)は、それぞれ、(a)の平面図におけるA-A'線およびB-B'線に沿った工程断面図である。

[0068] まず、図2(a)～(c)を参照しながら、基板1上にゲート配線層、ゲート絶縁層5、半導体層7、ソース配線層および層間絶縁層11を形成する工程を説明する。

[0069] 基板1を用意し、基板1上に、ゲート配線膜を形成し、それをフォトリソ工程によりパターニングすることによってゲート配線層(厚さ:例えば200nm以上500nm以下)を形成する。

[0070] 基板1としては、絶縁性の表面を有する基板であればよく、例えばガラス基板、シリコン基板、耐熱性を有するプラスチック基板(樹脂基板)などを用いることができる。

[0071] ゲート配線層は、ゲート電極3およびゲート配線Gを含む。ここでは、ゲート配線Gは、画素領域Pを行方向(X方向)に横切るように形成される。ゲート配線Gのうち後で形成される半導体層と重なる部分がゲート電極3となる。ゲート配線Gの幅は、ゲート電極3を含む部分で、他の部分よりも大きくてもよい。例えば、基板1の法線方向から見たとき、ゲート配線Gは、画素領域P内で凹部を有していてもよい。

[0072] ゲート配線層の材料は特に限定しない。アルミニウム(Al)、タングステン(W)、モリブデン(Mo)、タンタル(Ta)、クロム(Cr)、チタン(Ti)、銅(Cu)等の金属又はその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。また、これら複数の膜を積層した積層膜を用いてもよい。ここでは、Ta₂N₅膜(厚さ:30nm)を下層とし、W膜(厚さ:300nm)を上層とする積層膜を用いる。

[0073] 続いて、ゲート配線層を覆うように、ゲート絶縁層5を形成する。ゲート絶縁層5は、例えば、厚さが約100nm～約600nmの窒化シリコン(SiN_x)、酸化シリコン(SiO₂)、酸化窒化シリコン(SiO_xN_y; x>y)、窒化酸化シリコン(SiN_xO_y; x>y)または、これらの積層膜から

形成される。ここでは、例えばCVD法を用いて、 SiN_x 膜（厚さ：325 nm）を下層とし、 SiO_2 膜（厚さ：50 nm）を上層とする2層構造のゲート絶縁層5を形成する。なお、半導体層7として酸化物半導体層を用いる場合、積層膜を用いてゲート絶縁層5を形成するときには、ゲート絶縁層5の最上層（すなわち半導体層に接する層）は、酸素を含む層（例えば SiO_2 などの酸化物層）であることが好ましい。これにより、酸化物半導体層に酸素欠損が生じた場合に、酸化物層に含まれる酸素によって酸素欠損を回復することが可能となるので、酸化物半導体層の酸素欠損を効果的に低減できる。

[0074] この後、ゲート絶縁層5上に半導体層7を形成する。本実施形態では、半導体層7として酸化物半導体層を形成する。例えばスパッタ法を用いて、厚さが30 nm以上200 nm以下の半導体膜（図示せず）をゲート絶縁層5上に形成する。この後、フォトリソグラフィにより、半導体膜のパターニングを行い、半導体層7を得る。半導体層7は、その少なくとも一部がゲート絶縁層5を介してゲート電極3と重なるように配置される。ここでは、半導体層7として、厚さが50 nmの In-Ga-Zn-O 系半導体層を形成する。なお、 In-Ga-Zn-O 系半導体層以外の酸化物半導体層を形成してもよいし、多結晶シリコン層など他の公知の半導体層を形成してもよい。

[0075] 続いて、半導体層7およびゲート絶縁層5上に、例えばスパッタ法でソース配線膜を形成し、フォトリソ工程によりソース配線膜のパターニングを行う。これにより、ソース配線層（厚さ：例えば50 nm～500 nm）を得る。ソース配線層は、ソース電極9s、ドレイン電極9d、ソース配線Sなどを含む。ここでは、ソース配線Sは、半導体層7の上面の一部と重なるように形成される。ソース配線Sのうち半導体層7と重なる部分がソース電極9sとなる。ドレイン電極9dは、半導体層7の上面の他の一部と重なるように配置される。半導体層7のうちゲート配線Gと重なり、かつ、ソース電極9sとドレイン電極9dとの間に位置する部分がチャネル領域となる。このようにして、TFT10を得る。

- [0076] ドレイン電極 9 d は、基板 1 の法線方向から見たとき、ゲート配線 G の凹部内に位置していてもよい。これにより、ドレイン電極 9 d とゲート配線 G との重なり容量を低減できる。
- [0077] ソース配線層の材料は特に限定せず、アルミニウム (Al)、タングステン (W)、モリブデン (Mo)、タンタル (Ta)、銅 (Cu)、クロム (Cr)、チタン (Ti) 等の金属又はその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。ここでは、例えば、基板 1 側から、厚さが 30 nm の Ti 膜、厚さが 200 nm の Al 膜、および厚さが 100 nm の Ti 膜をこの順に積み重ねた積層膜 (Ti/Al/Ti) を用いる。
- [0078] 次に、TF T 1 O を覆う層間絶縁層 1 1 を形成する。例えば、層間絶縁層 1 1 は、無機層間絶縁層 (パッシベーション膜) 1 1 B と、その上に形成された有機絶縁層 1 1 A とを含む。
- [0079] 層間絶縁層 1 1 は、例えば次のようにして形成される。まず、TF T 1 O を覆うように、例えば C V D 法により、無機層間絶縁層 1 1 B を形成する。次いで、無機層間絶縁層 1 1 B の上に、例えば塗布により有機絶縁層 1 1 A を形成する。この後、有機絶縁層 1 1 A のパターニングを行い、ドレイン電極 9 d 上に位置する部分に開口部を設ける。続いて、パターニングされた有機絶縁層 1 1 A をマスクとして、無機層間絶縁層 1 1 B のエッチングを行う。これにより、無機層間絶縁層 1 1 B および有機絶縁層 1 1 A には、ドレイン電極 9 d の一部を露出する第 1 のコンタクトホール C H 1 が形成される。
- [0080] 無機層間絶縁層 1 1 B として、例えば厚さが約 50 nm ~ 約 500 nm の窒化シリコン (SiN_x)、酸化シリコン (SiO_2)、酸化窒化シリコン (SiO_xN_y ; $x > y$)、窒化酸化シリコン (SiN_xO_y ; $x > y$)、または、これらの積層膜を用いることができる。ここでは、無機層間絶縁層 1 1 B として、 SiO_2 膜 (厚さ: 300 nm) を下層とし、 SiN_x 膜 (厚さ: 100 nm) を上層とする積層膜を用いる。
- [0081] 有機絶縁層 1 1 A は、例えば厚さが約 1000 nm ~ 約 5000 nm の透明樹脂層である。透明樹脂層は、一般的な無機絶縁層に比べて、厚い膜を容

易に形成でき、且つ、誘電率が低いので、透明樹脂層の上に形成される電極（例えば画素電極）と、透明樹脂層の下に形成されている電極や配線（例えば、ゲートバスライン12やソースバスライン16）との間の寄生容量を小さくできるという利点を有している。有機絶縁層11Aは、平坦化膜として機能し、基板1の表面に略平行な上面を有していてもよい。ここでは、有機絶縁層11Aとして、厚さが例えば2000nmのポジ型の感光性樹脂膜を用いる。

[0082] なお、上記では、有機絶縁層11Aを先にパターニングし、これをマスクとして無機層間絶縁層11Bのパターニングを行う方法を説明したが、層間絶縁層11のエッチング方法はこれに限定されない。無機層間絶縁層11Bを先にパターニングしてもよい。

[0083] 次に、図3(a)～(c)を参照しながら、透明接続層13a、透明電極13bおよび無機絶縁層15を形成する工程を説明する。

[0084] 層間絶縁層11上および第1のコンタクトホールCH1内に、例えばスパッタ法により第1の透明導電膜（不図示）を形成し、フォトリソ工程によって第1の透明導電膜をパターニングする。これにより、透明接続層13aおよび透明電極13bを形成する。透明接続層13aおよび透明電極13bは互いに分離している。透明接続層13aは、第1のコンタクトホールCH1内および層間絶縁層11上に位置し、第1のコンタクトホールCH1内でドレイン電極9dと接している。透明接続層13aは、第1のコンタクトホールCH1の底面および壁面全体を覆っていることが好ましい。透明電極13bは、画素領域P内のコンタクト領域（透明接続層ードレイン電極コンタクト領域、画素電極ー透明接続層コンタクト領域）以外の部分の略全体に形成されていてもよい。また、画素領域Pごとに分離されず、複数の画素領域Pに亘って形成されていてもよい。

[0085] 第1の透明導電膜としては、例えばITO（インジウム・錫酸化物）膜、IZO（インジウム・亜鉛酸化物）膜やZnO（酸化亜鉛）膜などを用いることができる。第1の透明導電膜の厚さは、例えば50nm以上200nm

以下である。ここでは、第1の透明導電膜として、厚さが例えば100nmのITO膜を用いる。

[0086] この後、透明接続層13aおよび透明電極13b上に、例えばCVD法により、無機絶縁膜を形成し、フォトリソ工程により無機絶縁膜のパターニングを行う。これにより、無機絶縁膜のうち透明接続層13a上に位置する部分に、透明接続層13aを露出する開口部（第2のコンタクトホールCH2）を形成する。このようにして、第2のコンタクトホールCH2を有する無機絶縁層15を得る。第2のコンタクトホールCH2は、基板1の法線方向から見たとき、第1のコンタクトホールCH1と重ならないように配置される。第2のコンタクトホールCH2は、画素領域Pの開口領域内に配置されていてもよい。ここでは、基板1の法線方向から見たとき、第2のコンタクトホールCH2は、第1のコンタクトホールCH1と列方向に並ぶように配置されている。

[0087] 無機絶縁層15のうち第1のコンタクトホールCH1内に位置する部分には、開口部が設けられないことが好ましい。これにより、第1のコンタクトホールCH1の壁面をより確実に保護できる。

[0088] 無機絶縁層15としては、特に限定されず、例えば窒化シリコン（ SiN_x ）、酸化シリコン（ SiO_2 ）、酸化窒化シリコン（ SiO_xN_y ； $x > y$ ）、窒化酸化シリコン（ SiN_xO_y ； $x > y$ ）または、これらの積層膜から形成される。本実施形態では、無機絶縁層15は、補助容量を構成する容量絶縁膜としても利用されるため、所定の容量 C_{cs} が得られるように、無機絶縁層15の材料や厚さを適宜選択することが好ましい。無機絶縁層15の材料としては、誘電率と絶縁性の観点から SiN_x が好適に用いられ得る。無機絶縁層15の厚さは、例えば50nm以上400nm以下である。50nm以上であれば、より確実に絶縁性を確保できる。一方、400nm以下であれば、より確実に所望の容量が得られる。本実施形態では、無機絶縁層15として、例えば厚さが200nmの SiN_x 膜を用いる。

[0089] この後、画素電極19を形成することにより、図1に示すアクティブマト

リクス基板 101 を得る。

[0090] 画素電極 19 は、無機絶縁層 15 上および第 2 のコンタクトホール CH2 内に、例えばスパッタ法により第 2 の透明導電膜（図示せず）を形成し、フォトリソ工程によって第 2 の透明導電膜をパターニングすることによって形成される。画素電極 19 は、画素領域 P ごとに分離している。画素電極 19 は、第 2 のコンタクトホール CH2 内で透明接続層 13a と接している。これにより、画素電極 19 とドレイン電極 9d とを、透明接続層 13a を介して電氣的に接続させる。ここでは、画素電極 19 の少なくとも一部は、無機絶縁層 15 を介して透明電極 13b と重なるように配置されており、これによって補助容量を構成している。なお、アクティブマトリクス基板 101 を FFS モードの表示装置に用いる場合には、画素電極 19 に複数のスリットが形成され得る。

[0091] 第 2 の透明導電膜としては、例えば ITO（インジウム・錫酸化物）膜、IZO（インジウム・亜鉛酸化物）膜や ZnO（酸化亜鉛）膜などを用いることができる。第 2 の透明導電膜の厚さは、例えば 50 nm 以上 200 nm 以下である。ここでは、第 2 の透明導電膜として、厚さが例えば 100 nm の IZO 膜を用いる。

[0092] なお、本実施形態において、透明接続層 13a、無機絶縁層 15 および画素電極 19 の合計厚さは、層間絶縁層 11 の厚さ未満であることが好ましい。これにより、第 1 のコンタクトホール CH1 内に、透明接続層 13a、無機絶縁層 15 および画素電極 19 の 3 層構造を形成できるので、第 1 のコンタクトホール CH1 の壁面を介した水分等の移動をより確実に抑制できる。

[0093] 次に、図 4 を参照して、本発明の実施形態による他のアクティブマトリクス基板 102 の構造を説明する。

[0094] 図 4 (a) は、アクティブマトリクス基板 102 の第 1 の実施形態を示す模式的な平面図である。図 4 (b) および (c) は、アクティブマトリクス基板 102 の模式的な断面図である。図 4 (b) は、図 4 (a) 中の A-A' 線に沿った断面、図 4 (c) は、図 4 (a) 中の B-B' 線に沿った断面

を示す。図4において、図1と同様の構成要素には同じ参照符号を付している。

[0095] アクティブマトリクス基板102は、第2のコンタクトホールCH2を、画素領域Pの遮光領域と重なるように配置している点で、図1に示すアクティブマトリクス基板101と異なっている。例えば、第2のコンタクトホールCH2は、基板1の法線方向から見たとき、ゲート配線Gと重なるように配置されている。図示するように、ゲート配線G（またはゲート電極3）だけでなく、半導体層7とも重なっていてもよい。

[0096] 図5は、アクティブマトリクス基板102における透明接続層13aおよび透明電極13bの形状を説明するための図であり、画素電極19を除いた平面構造を示している。この例では、基板1の法線方向から見たとき、透明接続層13aは、ドレイン電極9dの少なくとも一部、および半導体層7の一部と重なるように配置される。透明接続層13aは、例えばゲート配線Gに沿って延びていてもよい。透明電極13bは、透明接続層13aと分離して形成される。透明電極13bは、画素電極－透明接続層コンタクト領域および透明接続層－ドレイン電極コンタクト領域を含む領域を除いて、複数の画素領域Pに亘って設けられている。また、第2のコンタクトホールCH2は、画素領域Pの遮光領域内に、透明電極13bの一部を露出するように形成される。

[0097] アクティブマトリクス基板102では、基板1の法線方向から見たとき、透明電極13bの開口部13cは、その輪郭内に第1および第2のコンタクトホールCH1、CH2が位置するように、ゲート配線Gに沿って設けられている。

[0098] 基板1の法線方向から見たとき、第1のコンタクトホールCH1と第2のコンタクトホールCH2とは、行方向に並んで配置されていてもよい。この場合、第2のコンタクトホールCH2を、ゲート電極3および半導体層7の少なくとも一部と重なるように配置することにより、画素領域Pの行方向の幅を拡大することなく、第2のコンタクトホールCH2を設けることができ

る。

[0099] 上記以外の構成は、図1に示すアクティブマトリクス基板101と同様であるため、説明を省略する。また、アクティブマトリクス基板102は、図2および図3を参照しながら前述した方法と同様の方法で製造され得る。

[0100] アクティブマトリクス基板102によると、アクティブマトリクス基板101と同様に、第1のコンタクトホールCH1の底面および壁面が、透明接続層13a、無機絶縁層15および画素電極19の少なくとも3層で覆われているので、有機絶縁層11A内に水分等が浸入することを抑制できる。また、アクティブマトリクス基板102では、第2のコンタクトホールCH2が画素領域Pの開口領域内に設けられていないので、開口領域を透過する光が、第2のコンタクトホールCH2によって散乱されることを抑制できる。

[0101] 次に、図6を参照して、本発明の実施形態によるさらに他のアクティブマトリクス基板103の構造を説明する。

[0102] 図6(a)は、アクティブマトリクス基板103の第1の実施形態を示す模式的な平面図である。図6(b)および(c)は、アクティブマトリクス基板103の模式的な断面図である。図6(b)は、図6(a)中のA-A'線に沿った断面、図6(c)は、図6(a)中のB-B'線に沿った断面を示す。図6において、図1と同様の構成要素には同じ参照符号を付している。

[0103] アクティブマトリクス基板103は、TFT10のチャネル領域上に、透明電極13bを設けない点で、図1に示すアクティブマトリクス基板101と異なっている。

[0104] 図7は、アクティブマトリクス基板103における透明接続層13aおよび透明電極13bの形状を説明するための図であり、画素電極19を除いた平面構造を示している。図7から分かるように、例えば、基板1の法線方向から見たとき、透明電極13bの開口部13cは、その輪郭内に、列方向に延びる透明接続層13aおよび第1および第2のコンタクトホールCH1、CH2だけでなく、TFT10のチャネル領域も位置するように配置されて

いる。

[0105] 上記以外の構成は、図1に示すアクティブマトリクス基板101と同様であるため、説明を省略する。また、アクティブマトリクス基板103は、図2および図3を参照しながら前述した方法と同様の方法で製造され得る。

[0106] アクティブマトリクス基板103によると、アクティブマトリクス基板101と同様に、第1のコンタクトホールCH1の底面および壁面が、透明接続層13a、無機絶縁層15および画素電極19の少なくとも3層で覆われているので、有機絶縁層11A内に水分等が浸入することを抑制できる。また、アクティブマトリクス基板103では、透明電極13bが、TFT10のチャネル領域およびドレイン電極9dと重ならないように開口されている。これにより、透明電極13bが、ドレイン電極9dと重ならないように配置されるので、寄生容量を低減できる。

[0107] 本実施形態のアクティブマトリクス基板の構成は、図1、図4および図6に例示した構成に限定されない。例えば第1および第2のコンタクトホールCH1、CH2は、画素電極19とドレイン電極9dとが、透明接続層13aを介して電氣的に接続できるように配置されていればよく、図示するような配置関係に限定されない。ただし、基板1の法線方向から見たとき、第1のコンタクトホールCH1と第2のコンタクトホールCH2とが離れすぎていると、透明接続層13aのサイズが増大する。その結果、透明電極13bのサイズが小さくなり、十分な面積を有する補助容量を形成できない場合がある。従って、基板1の法線方向から見たときの、第1のコンタクトホールCH1と第2のコンタクトホールCH2との最短距離は、例えば10 μ m以下であることが好ましい。一方、第1のコンタクトホールCH1の壁面を保護する観点から、第1のコンタクトホールCH1と第2のコンタクトホールCH2との最短距離は、例えば2 μ m以上であってもよい。

[0108] 本実施形態のアクティブマトリクス基板101、102、103は、各種の表示モードの液晶表示装置に適用され得る。

[0109] アクティブマトリクス基板101、102、103をFFSモードの液晶

表示装置に用いる場合、画素電極 19 に複数のスリットを設け、透明電極 13b を共通電極として機能させてもよい。共通電極は、画素領域 P ごとに分離されていなくてもよい。本実施形態では、透明電極 13b は共通電極であり、ゲート配線 G およびソース配線 S を跨いで、複数の画素領域 P を覆うように形成されている。また、画素電極 19 の少なくとも一部を、無機絶縁層 15 を介して透明電極（共通電極） 13b と重なるように配置することによって、無機絶縁層 15 を誘電体とする補助容量を形成できる。

[0110] アクティブマトリクス基板 101、102、103 は、垂直配向モード（VA モード）の液晶表示装置にも適用され得る。この場合、透明電極 13b は補助容量対向電極（共通電圧または補助容量対向電圧が供給される）となり、透明電極 13b と画素電極 19 と無機絶縁層 15 とによって補助容量を形成できる。

[0111] また、本実施形態のアクティブマトリクス基板 101、102、103 は、液晶表示装置以外の表示装置、例えば有機エレクトロルミネセンス（EL）表示装置および無機エレクトロルミネセンス表示装置等にも適用できる。

産業上の利用可能性

[0112] 本発明の実施形態は、アクティブマトリクス基板を備えた種々の装置、例えば液晶表示装置、有機エレクトロルミネセンス（EL）表示装置、無機エレクトロルミネセンスなどの表示装置や、イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備えた装置に広く適用される。

符号の説明

[0113]

1	基板
3	ゲート電極
5	ゲート絶縁層
7	半導体層
9s	ソース電極
9d	ドレイン電極

- 1 0 薄膜トランジスタ (T F T)
- 1 1 A 有機絶縁層
- 1 1 層間絶縁層
- 1 3 a 透明接続層
- 1 3 b 透明電極
- 1 3 c 開口部
- 1 5 無機絶縁層
- 1 9 画素電極
- C H 1 第1のコンタクトホール (透明接続層ードレイン電極コンタクト用)
- C H 2 第2のコンタクトホール (画素電極ー透明接続層コンタクト用)
- 1 0 1、1 0 2、1 0 3 アクティブマトリクス基板

請求の範囲

- [請求項1] 基板と、前記基板上に、行方向および列方向を有するマトリクス状に配列された複数の画素領域とを備えたアクティブマトリクス基板であって、
- 前記複数の画素領域のそれぞれは、
- 前記基板に支持された薄膜トランジスタと、
- 前記薄膜トランジスタを覆うように形成された、有機絶縁層を含む層間絶縁層と、
- 前記層間絶縁層上に形成された透明接続層と、
- 前記透明接続層上に形成された無機絶縁層と、
- 前記無機絶縁層上に形成され、かつ、前記透明接続層を介して前記薄膜トランジスタのドレイン電極に電氣的に接続された画素電極とを備え、
- 前記透明接続層は、前記層間絶縁層に設けられた第1のコンタクトホール内で前記ドレイン電極と接し、
- 前記画素電極は、前記無機絶縁層に設けられた第2のコンタクトホール内で前記透明接続層と接しており、
- 前記基板の法線方向から見たとき、前記第1のコンタクトホールと、前記第2のコンタクトホールとは互いに重なっておらず、
- 前記第1のコンタクトホール内において、前記第1のコンタクトホールの底面および壁面は、前記透明接続層、前記無機絶縁層および前記画素電極で覆われているアクティブマトリクス基板。
- [請求項2] 前記薄膜トランジスタのゲート電極を含み、かつ、前記ゲート電極と同じ膜から形成されたゲート配線と、
- 前記薄膜トランジスタのソース電極を含み、かつ、前記ソース電極と同じ膜から形成されたソース配線と
- をさらに備え、
- 前記ゲート配線は前記行方向に延び、前記ソース配線は前記列方向

に延びている請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記基板の法線方向から見たとき、前記画素電極は、前記ゲート配線を前記列方向に横切るように配置されている、請求項2に記載のアクティブマトリクス基板。

[請求項4] 前記基板の法線方向から見たとき、前記第1のコンタクトホールは、前記列方向の幅は、前記行方向の幅よりも大きい、請求項2または3に記載のアクティブマトリクス基板。

[請求項5] 前記基板の法線方向から見たとき、前記第2のコンタクトホールは、前記ゲート配線、前記ソース配線および前記ドレイン電極のいずれとも重なっていない、請求項2から4のいずれかに記載のアクティブマトリクス基板。

[請求項6] 前記第1および第2のコンタクトホールは、前記列方向に配列されている、請求項2から5のいずれかに記載のアクティブマトリクス基板。

[請求項7] 前記基板の法線方向から見たとき、前記第2のコンタクトホールは、前記ゲート配線と重なっている、請求項2から4のいずれかに記載のアクティブマトリクス基板。

[請求項8] 前記基板の法線方向から見たとき、前記第1および第2のコンタクトホールは、前記行方向に配列されている、請求項2から4および7のいずれかに記載のアクティブマトリクス基板。

[請求項9] 前記第1のコンタクトホール内では、前記画素電極と前記透明接続層とは前記無機絶縁層によって分離されている請求項1から8のいずれかに記載のアクティブマトリクス基板。

[請求項10] 前記透明接続層と同一の透明導電膜から形成された透明電極をさらに備え、

前記透明電極は、前記透明接続層と電氣的に分離されており、

前記画素電極の少なくとも一部は、前記無機絶縁層を介して前記透明電極と重なっている請求項1から9のいずれかに記載のアクティブ

マトリクス基板。

[請求項11] 前記薄膜トランジスタの活性層は、酸化物半導体層である請求項1から10のいずれかに記載のアクティブマトリクス基板。

[請求項12] 前記酸化物半導体層は、In、GaおよびZnのうち少なくとも1つを含む請求項11に記載のアクティブマトリクス基板。

[請求項13] 前記酸化物半導体層は、結晶質部分を含む請求項11または12に記載のアクティブマトリクス基板。

[請求項14] アクティブマトリクス基板を製造する方法であって、

(a) 基板上に、ゲート電極を含むゲート配線を形成する工程と、

(b) 前記ゲート配線を覆うゲート絶縁層を形成する工程と、

(c) 前記ゲート絶縁層上に、薄膜トランジスタの活性層となる半導体層を形成する工程と、

(d) 前記半導体層上に、ソース電極を含むソース配線と、ドレイン電極とを形成し、これによって薄膜トランジスタを得る工程と、

(e) 前記薄膜トランジスタを覆うように、有機絶縁層を含む層間絶縁層を形成する工程であって、前記層間絶縁層は前記ドレイン電極の一部を露出する第1のコンタクトホールを有する、工程と、

(f) 前記層間絶縁層上に、前記第1のコンタクトホール内で前記ドレイン電極と接する透明接続層を形成する工程と、

(g) 前記透明接続層上に、前記透明接続層の一部を露出する第2のコンタクトホールを有する無機絶縁層を形成する工程と、

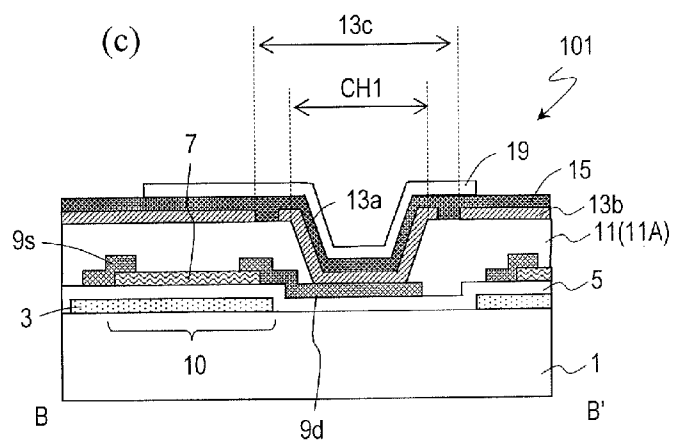
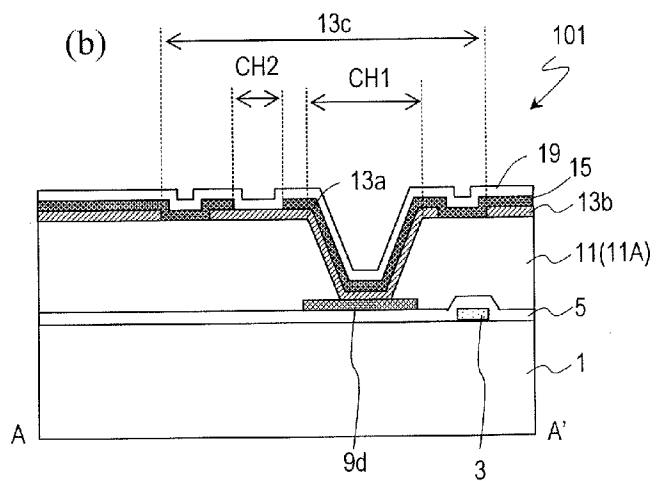
(h) 前記無機絶縁層上に、前記第2のコンタクトホール内で前記透明接続層と接する画素電極を形成する工程と

を包含し、

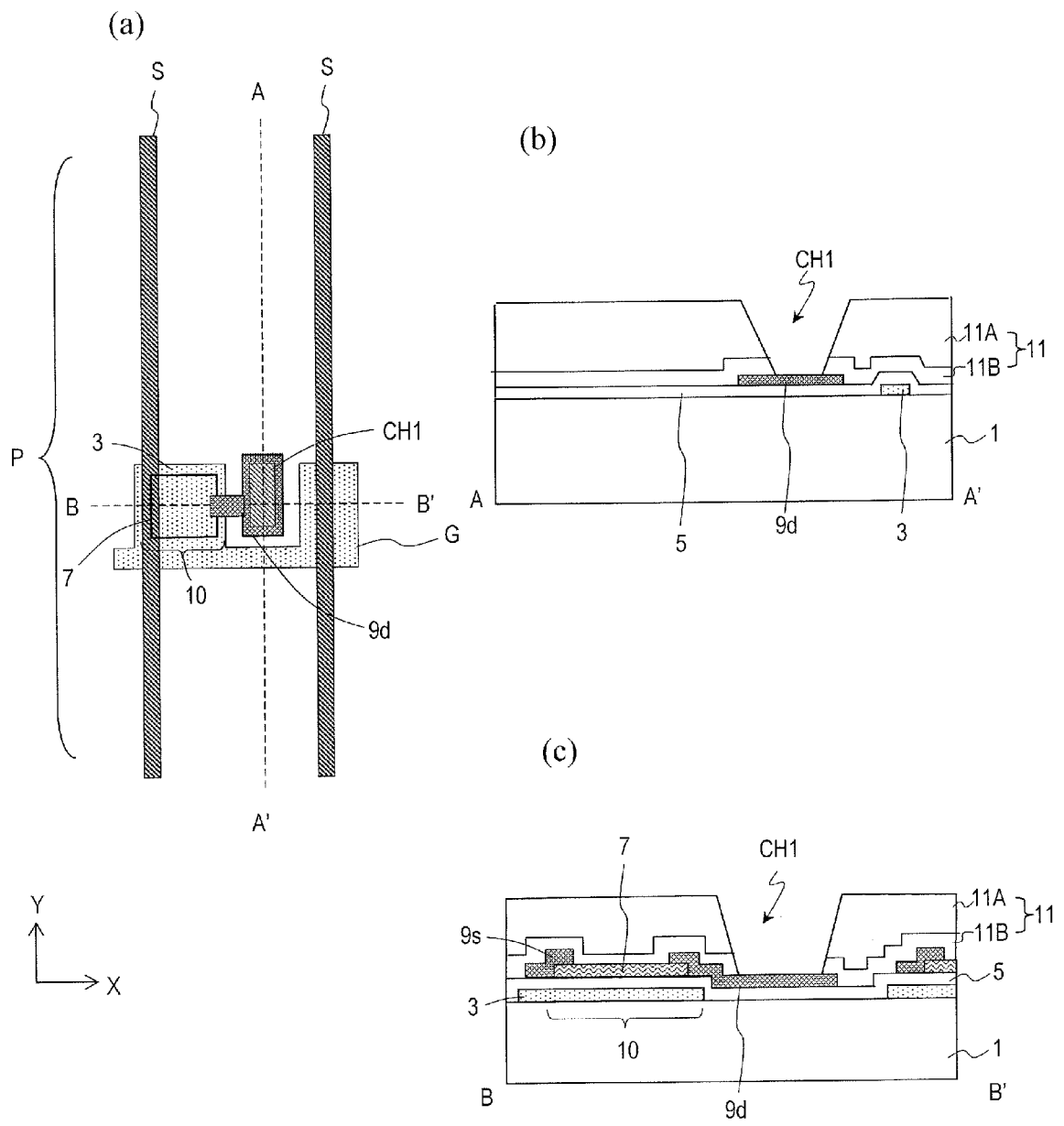
前記基板の法線方向から見たとき、前記第1のコンタクトホールと、前記第2のコンタクトホールとは互いに重なっておらず、

前記第1のコンタクトホールの底面および壁面は、前記透明接続層、前記無機絶縁層および前記画素電極で覆われているアクティブマト

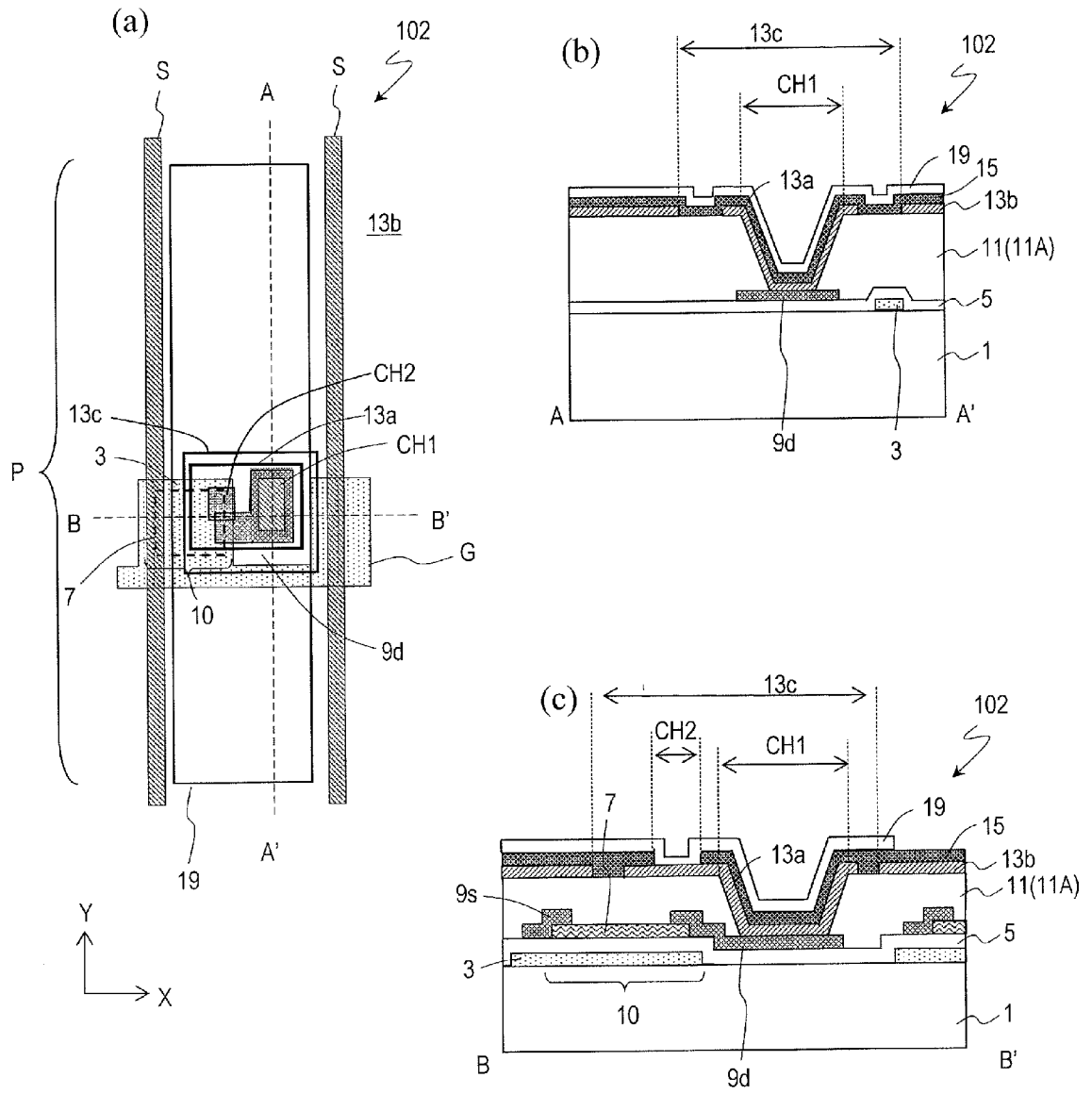
リクス基板の製造方法。



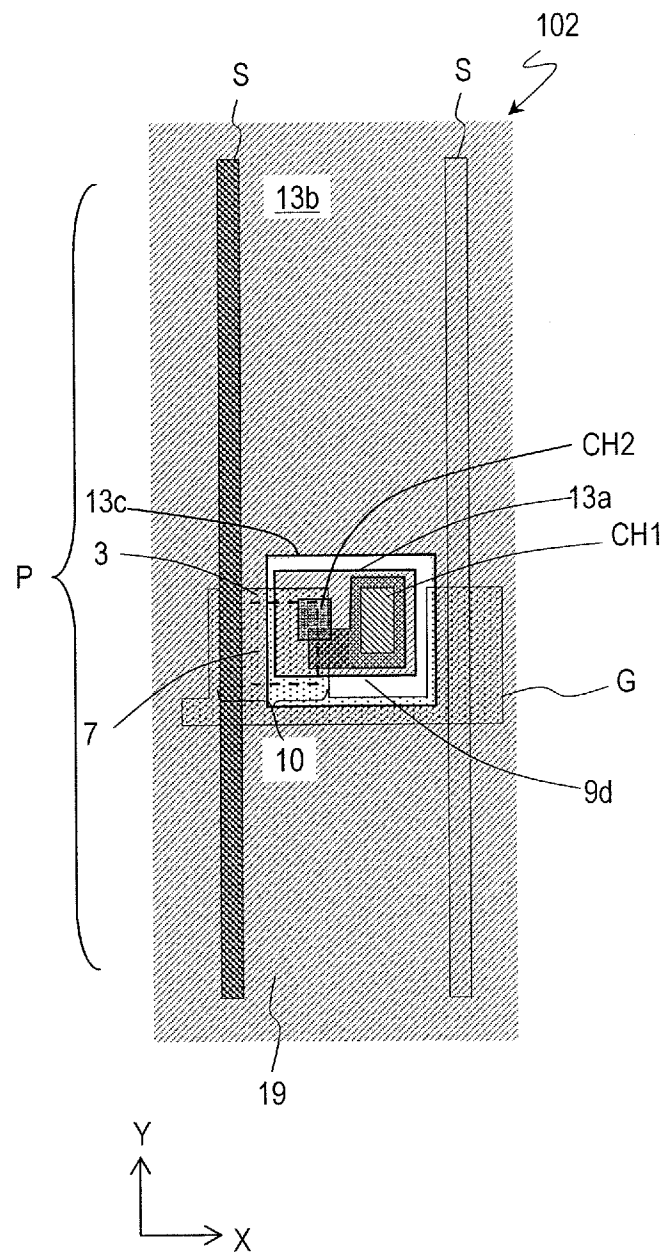
[図2]



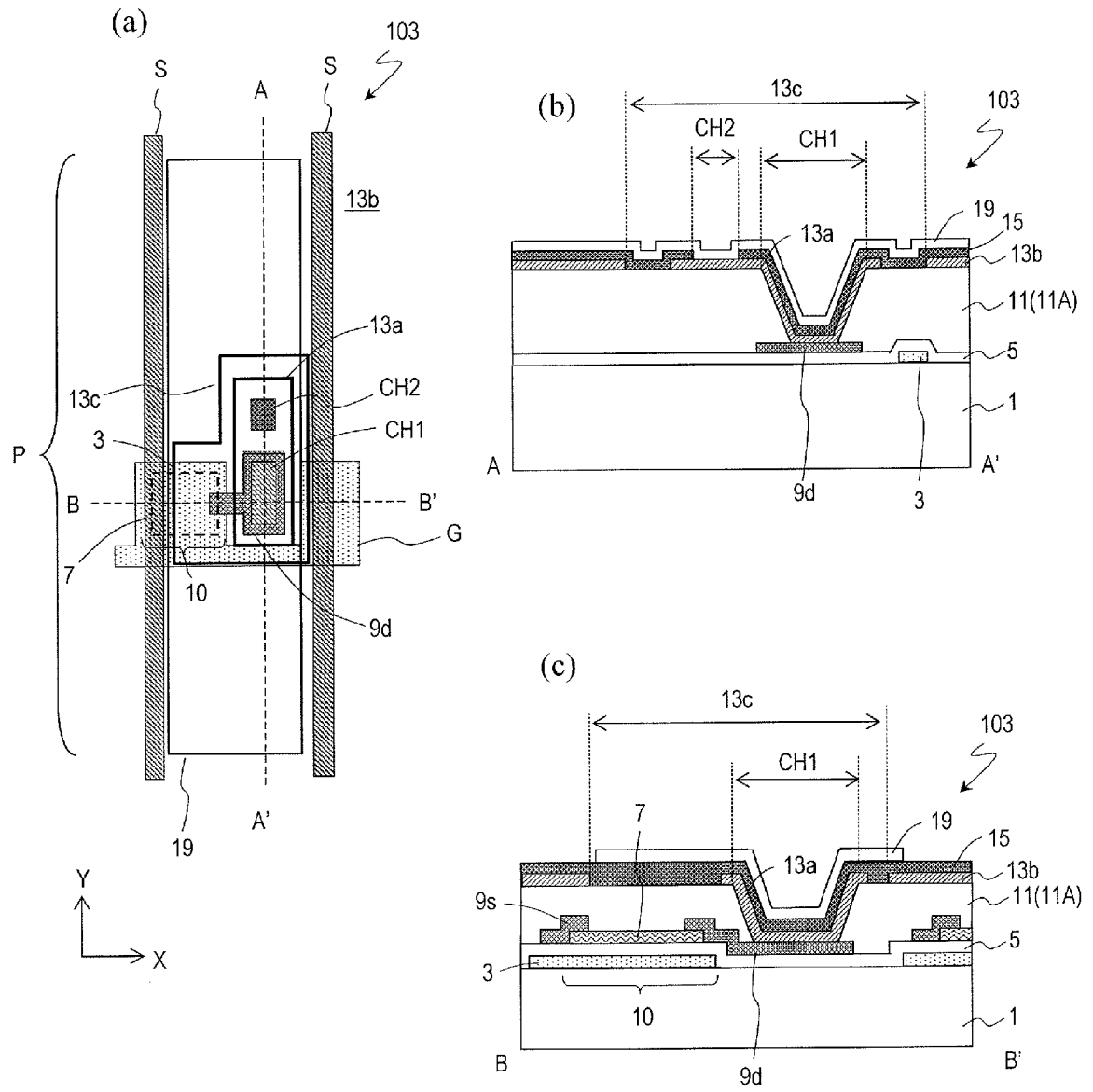
[図4]



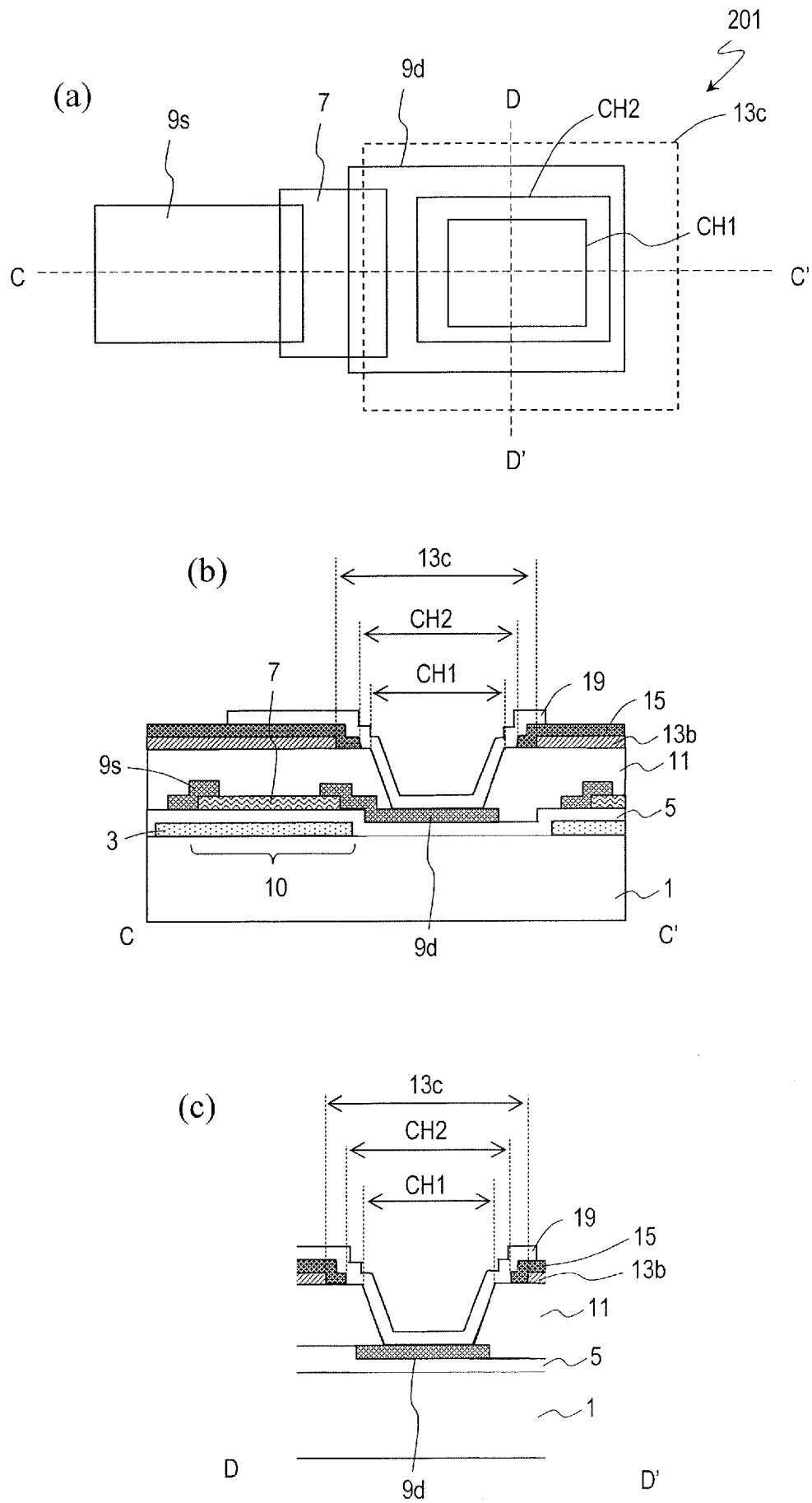
[図5]



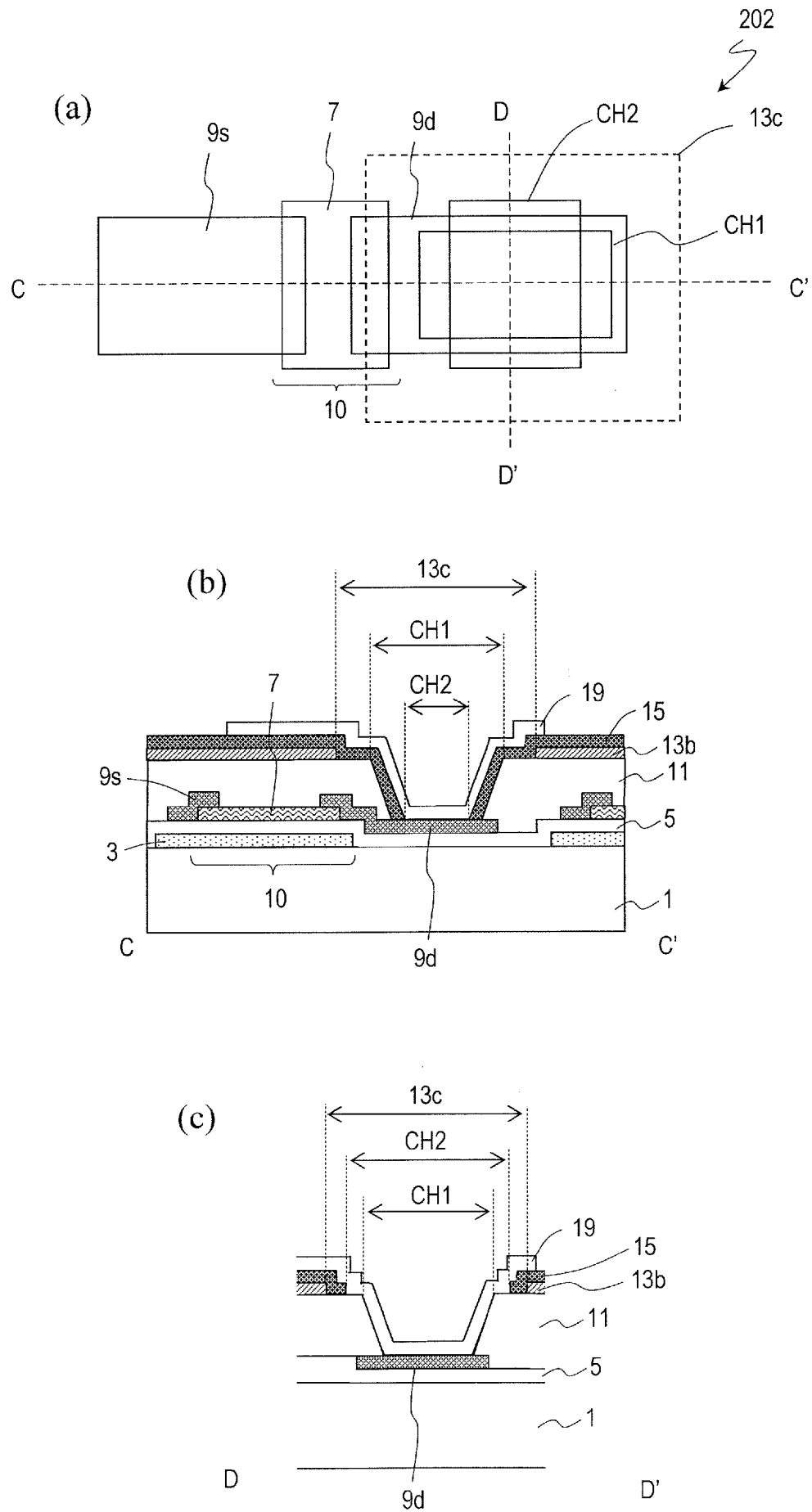
[図6]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/053808

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-3200 A (Kabushiki Kaisha Japan Display Central), 07 January 2013 (07.01.2013), paragraphs [0010] to [0061]; fig. 1 to 4 & US 2012/0314169 A1	1-14
Y	JP 2014-16638 A (Japan Display Inc.), 30 January 2014 (30.01.2014), paragraphs [0019] to [0027]; fig. 1 to 3 (Family: none)	1-14
Y	JP 2013-127562 A (Japan Display East Inc.), 27 June 2013 (27.06.2013), paragraphs [0023] to [0037]; fig. 1 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 April 2015 (09.04.15)

Date of mailing of the international search report
21 April 2015 (21.04.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/053808

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-134475 A (Semiconductor Energy Laboratory Co., Ltd.), 12 July 2012 (12.07.2012), claims 1, 5; paragraphs [0030] to [0032] & US 2012/0138922 A1 & DE 112011104002 T & CN 103339715 A & KR 10-2013-0118921 A	11-13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1368(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1368, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-3200 A（株式会社ジャパンディスプレイセントラル） 2013.01.07, 段落【0010】－【0061】、図1－4 & US 2012/0314169 A1	1-14
Y	JP 2014-16638 A（株式会社ジャパンディスプレイ）2014.01.30, 段 落【0019】－【0027】、図1－3（ファミリーなし）	1-14

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 4 . 2 0 1 5

国際調査報告の発送日

2 1 . 0 4 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 洋允

2 L

3 4 1 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-127562 A (株式会社ジャパンディスプレイイースト) 2013.06.27, 段落【0023】－【0037】、図1 (ファミリーなし)	1-14
Y	JP 2012-134475 A (株式会社半導体エネルギー研究所) 2012.07.12, 請求項1, 5、段落【0030】－【0032】 & US 2012/0138922 A1 & DE 112011104002 T & CN 103339715 A & KR 10-2013-0118921 A	11-13