

(43) 国際公開日
2007 年 9 月 27 日 (27.09.2007)

PCT

(10) 国際公開番号
WO 2007/108494 A1

(51) 国際特許分類:

H01L 21/265 (2006.01) H01L 27/092 (2006.01)
H01L 21/8234 (2006.01) H01L 29/417 (2006.01)
H01L 21/8238 (2006.01) H01L 29/78 (2006.01)
H01L 27/088 (2006.01)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 成廣 充 (NARIHIRO, Mitsuru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2007/055772

(22) 国際出願日: 2007 年 3 月 20 日 (20.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2006-078585 2006 年 3 月 22 日 (22.03.2006) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

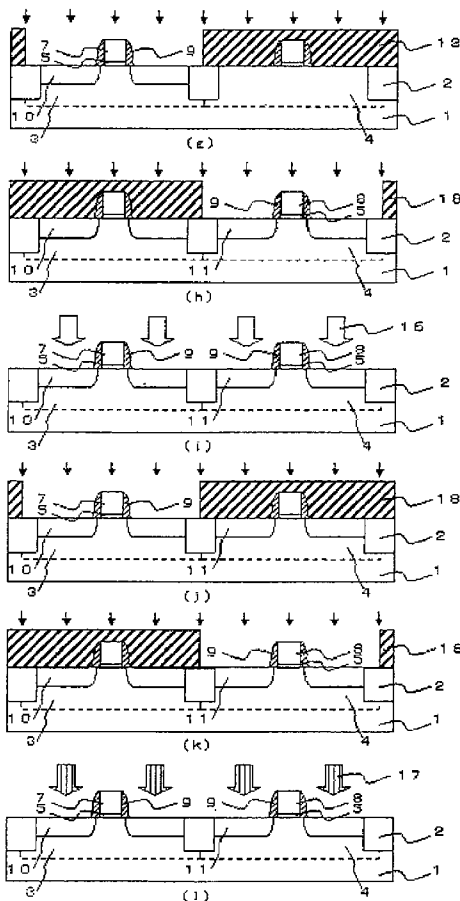
(74) 代理人: 浜田 治雄 (HAMADA, Haruo); 〒1070062 東京都港区南青山 3 丁目 4 番 1 2 号 知恵の館 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PROCESS FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A process for producing a semiconductor device that simultaneously attains enhancing of the impurity activation ratio and suppressing of any junction leakage current with respect to PN junction formed with the use of laser annealing. There is provided a process for producing a semiconductor device, characterized in that in the stage of doping a given region of semiconductor substrate with a given amount of impurity to thereby attain activation and forming of PN junction, there are employed the impurity doping step of doping a given region with a given amount of impurity and the activation step of activating the given region having been doped with the impurity, these steps repeated multiple times, and that in the impurity doping step for final impurity doping, the given region is activated only by a laser annealing method. Enhancing of the impurity activation ratio and suppressing of any junction leakage current with respect to PN junction formed with the use of laser annealing can be simultaneously attained with good balance.

(57) 要約: レーザーアニールを用いて形成されたPN接合の接合リーク電流を抑制することと、不純物の活性化率を高くすることを両立できる半導体装置の製造方法を提供する。半導体装置の製造方法において、半導体基板の所定の領域に不純物が所定量導入されて活性化されPN接合が形成される際に、所定の領域に所定量の不純物が導入される不純物導入工程と、前記不純物を導入した所定の領域が活性化される活性化工程を有し、両工程が複数回繰り返されて、最後に不純物が導入された不純物導入工程では前記所定の領域がレーザーアニール法のみで活性化されることを特徴とする。レーザーアニールを用いて形成されたPN接合の接合リーク電流を抑制することと、不純物の活性化率を高くすることをバランスよく両立させることができる。

WO 2007/108494 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置の製造方法

技術分野

- [0001] 本発明は、半導体装置の製造方法に関し、特に、接合の急峻さを緩和することで接合リーク電流を低減させるとともに、不純物の全体の活性化率を向上させることで、電極の層抵抗を減少させられる半導体装置の製造方法に関する。

背景技術

- [0002] 本発明に関する現時点での技術水準をより十分に説明する目的で、本願で引用され或いは特定される特許、特許出願、特許公報、科学論文等の全てを、ここに、参照することでそれらの全ての説明を組入れる。
- [0003] 近年、CMOS (Complementary Metal Oxide Semiconductor) トランジスタの微細化を進めていく上で重要な、浅接合を形成するために、不純物を活性化する際に、従来のRTA (Rapid Thermal Annealing) のかわりに、アニール時間がミリ秒オーダーの極短時間アニールを採用する試みが広がっている。極短時間アニールの例としては、特許文献1に示されるようなフラッシュランプアニール、特許文献2に示されるようなレーザーアニールがある。
- [0004] この中でも、レーザーアニールは、特許文献3に示されるように、古くからの技術であるが、以前は、そのアニール温度をSiの融点より高くして、Siを溶融させるものが主流であった。しかしながら、Siを溶融させると、ゲート電極が変形してしまうなどの問題があり、CMOSトランジスタの作製には、不向きであった。
- [0005] そこで、近年、レーザーアニールは、アニール温度をSiの融点よりやや低い温度とし、Siを溶融させないタイプが主流となりつつある。現在、CMOSトランジスタの作製に用いることが検討されている、Siを溶融させないタイプのレーザーアニールは、(1) アニール時間がミリ秒オーダーの極短時間アニールであるため拡散レスであり、(2) アニール温度をSiの融点よりやや低い温度まで上昇させるので、不純物の固溶限が上昇し、RTAに比較すると、不純物の高活性化が可能、(3) 基板の一部分のみアニールするので、フラッシュランプアニールに比較すると、基板損傷の可能性が小さい

、という利点を持つ。

[0006] 特許文献2には、このようなレーザーアニールをCMOSトランジスタの作製に用いたプロセスで、代表的な2つのプロセスが述べられている。

[0007] その1つは、通常S/D (Source/Drain) プロセスの不純物の活性化にレーザーアニールを用いたもので、特許文献2の実施の形態1、2、3、5に述べられたプロセスがこれに相当する。通常S/Dプロセスとは、例えば特許文献2の図1に見られるように、CMOSトランジスタのS/Dエクステンション電極、深いS/D電極の不純物を、この順番でドーピングして形成するものである。通常S/Dプロセスは、CMOSトランジスタの最も一般的な形成方法であり、工程数が、後述の逆転S/Dプロセスに比べて少なくなる。特許文献2には、通常S/Dプロセスの不純物の活性化にレーザーアニールを用いる例が記述されており、レーザーアニールで、S/Dエクステンション電極の不純物と深いS/D電極の不純物をまとめて最後に一度に活性化させる方法が開示されている。

[0008] もう1つは、逆転S/Dプロセスの不純物の活性化にレーザーアニールを用いたもので、特許文献2の実施の形態4に述べられたプロセスがこれに相当する。逆転S/Dプロセスとは、例えば特許文献2の図21に見られるように、まずダミーのサイドウォールを形成し、深いS/D電極をドーピングする、その後、ダミーサイドウォールを除去して、S/Dエクステンション電極をドーピングするものである。ドーピングして、S/Dエクステンション電極と深いS/D電極を形成する順番が、通常のCMOSトランジスタの作製工程とは、逆であるので、逆転S/Dプロセス(または、反転S/Dプロセス)と呼ばれる。逆転S/Dプロセスは、前述の通常S/Dプロセスに比べて、工程数は多くなるが、S/Dエクステンション電極に加わる熱負荷を小さくすることが可能なため、S/Dエクステンション電極の浅接合化に有利なプロセスである。特許文献2の実施の形態4には、逆転S/Dプロセスの不純物の活性化にレーザーアニールを用いる例が記述されており、レーザーアニールで、S/Dエクステンション電極の不純物と深いS/D電極の不純物をまとめて最後に一度に活性化する、もしくは、深いS/D電極は、イオン注入後1050℃で1秒程度のアニール処理を行い先に活性化させておき、その後、S/Dエクステンション注入後にレーザーアニールを行って、S/Dエ

クステンション電極の不純物を活性化させる方法が開示されている。

[0009] 特許文献1:特開2005-142344号公報

特許文献2:特開2005-302883号公報

特許文献3:特開平6-5536号公報

特許文献4:特開平6-69149号公報

特許文献5:特開2001-176986号公報

非特許文献1:2004年12月、インターナショナル・エレクトロン・デバイス・ミーティング2004、テクニカル・ダイジェスト 第975-978頁(International Electron Devices Meeting 2004, Technical Digest, P975-978)

非特許文献2:2004年6月、2004シンポジウム・オン・ブイエルエスアイ・テクノロジー・ダイジェスト・オフ・テクニカル・ペーパーズ 第92-93頁(2004 Symposium on VLSI Technology Digest of Technical Papers, P92-93)

発明の開示

発明が解決しようとする課題

[0010] しかしながら、特許文献2に開示された半導体装置の製造方法、すなわち、対象とする電極のすべての不純物を、レーザーアニール単独でまとめて活性化する方法(以下、本明細書では、第1の製造方法と呼ぶ)には、問題がある。

[0011] その問題点は、レーザーアニールで活性化された不純物からなるPN接合の接合リーク電流増加の問題である。レーザーアニールで形成されたPN接合の場合、レーザーアニールがミリ秒オーダーの極短時間アニールであるため、イオン注入時に発生した欠陥を回復しきれない可能性があることが、非特許文献1で指摘されている。欠陥がPN接合の接合界面近くに存在すると、通常のリーク成分の他に、これらの欠陥を介したリーク電流が流れ、接合リーク電流が増加してしまう。また、このような欠陥未回復の問題の他に、レーザーアニールで形成されたPN接合は、レーザーアニールが拡散レスであるという特徴を有するため、接合界面が従来のRTAで形成されたPN接合の接合界面に比べて、急峻になり、この結果、リーク電流が増加してしまう。

[0012] このような接合リーク電流増加の問題に対する解決法としては、S/Dエクステンション電極や深いS/D電極にドーピングされた不純物を活性化する際に、その活性化

をレーザーアニール単独でなく、従来のRTAなどのアニール技術とレーザーアニールを組み合わせで行うことが、既に提案されている。例えば、非特許文献2には、通常S/DプロセスでRTAとレーザーアニールを組み合わせ、S/Dエクステンション電極と深いS/D電極の不純物を活性化する方法が開示されている。また特許文献4には、通常S/Dプロセスで深いS/D電極にドーピングされた不純物を、電気炉による低温アニールとレーザーアニールを組み合わせで活性化する方法が開示されている。

[0013] しかし、このような方法、すなわち、対象とする電極のすべての不純物を、従来のRTAなどのアニール技術とレーザーアニールの組み合わせでまとめて活性化する方法(以下、本明細書では、第2の製造方法と呼ぶ)にも、問題がある。それは、このような方法を用いると、確かに接合リーク電流は減少するが、レーザーアニールの有する、不純物の高活性化という利点を阻害してしまうことである。非特許文献1には、レーザーアニールとRTAを組み合わせで活性化を行った場合の不純物の活性化率は、レーザーアニール単独で活性化を行った場合の不純物の活性化率より、低くなることがシミュレーションで示されている。

[0014] 以上、説明してきたように、従来提案されている方法(第1の製造方法と第2の製造方法)では、レーザーアニールを用いて形成されたPN接合の接合リーク電流を抑制することと、不純物の活性化率を高くすることが、両立できていなかった。

[0015] 本発明の目的は、レーザーアニールを用いて形成されたPN接合の接合リーク電流を抑制することと、不純物の活性化率を高くすることを両立させる半導体装置の製造方法を提供することである。

課題を解決するための手段

[0016] 本発明に係る半導体装置の製造方法は、半導体装置の製造方法において、半導体基板の所定の領域に不純物が所定量導入されて活性化されPN接合が形成される際に、所定の領域に所定量の不純物が導入される不純物導入工程と、前記不純物を導入した所定の領域が活性化される活性化工程を有し、両工程が複数回繰り返されて、最後に不純物が導入された不純物導入工程では前記所定の領域がレーザーアニール法で活性化されることを特徴とする。

- [0017] また、本発明に係る半導体装置の製造方法は、半導体装置の製造方法において、半導体基板の所定の領域に不純物が所定量導入されて活性化されPN接合が形成される際に、所定の領域に所定量の不純物が導入される不純物導入工程と、前記不純物を導入した所定の領域が活性化される活性化工程を有し、両工程が2回繰り返されて、最後に不純物が導入された不純物導入工程では前記所定の領域がレーザーアニール法で活性化されることを特徴とする。
- [0018] さらに、最後に導入される不純物の前記活性化工程を除いて、不純物の前記活性化工程が前記レーザーアニール方法に加えて前記レーザーアニール法以外の活性化法を含んでもよい。
- [0019] 加えて、最後に導入する不純物の前記活性化工程を除いて、不純物の活性化工程はRTA方法を用いて活性化されてもよい。
- [0020] 続いて、不純物の導入工程がイオン注入法で導入されてもよい。
- [0021] 次に、半導体装置がMISFETである半導体装置の製造方法において、前記製造方法が、S/Dエクステンション電極領域を先に形成する工程と、その後に深いS/D電極領域を形成する工程とを有する通常S/Dプロセスであり、前記2つの電極領域のうち深いS/D電極領域に用いてもよい。
- [0022] 一方、半導体装置がMISFETである半導体装置の製造方法において、前記製造方法が、S/Dエクステンション電極領域を先に形成する工程と、その後に深いS/D電極領域を形成する工程とを有する通常S/Dプロセスであり、前記2つの電極領域のうち前記S/Dエクステンション電極領域に用いてもよい。
- [0023] また、半導体装置がMISFETである半導体装置の製造方法において、前記製造方法が、深いS/D電極領域を先に形成する工程と、その後にS/Dエクステンション電極領域を形成するとを有する逆転S/Dプロセスであり、前記2つの電極領域のうち前記深いS/D電極領域に用いてもよい。
- [0024] さらに、半導体装置がMISFETである半導体装置の製造方法において、前記製造方法が、深いS/D電極領域を先に形成する工程と、その後にS/Dエクステンション電極領域を形成する工程とを有する逆転S/Dプロセスであり、前記2つの電極領域のうち前記S/Dエクステンション電極領域に用いてもよい。

[0025] [発明の特徴]

本発明の半導体装置の製造方法は、半導体基板の所定の領域に不純物を所定量導入して活性化しPN接合を形成する際に、所定の領域に導入する所定量の不純物を2回にわけて導入し、その所定量の不純物のうち任意の割合の不純物を最初に導入する工程と、その不純物をRTAで活性化する工程と、残りの割合の不純物を2回目に導入する工程と、2回目に導入した不純物をレーザーアニール単独で活性化する工程を有することを特徴とする。

[0026] [作用]

最初に導入した不純物は、まずRTAで活性化され、次に、残りの不純物を活性化するときにレーザーアニールされる。すなわち、最初に導入した不純物は、結果的にRTAとレーザーアニールの組み合わせで活性化される。一方、2回目に導入された不純物は、レーザーアニール単独で活性化される。本発明の方法で形成されたPN接合の接合境界は、2回目に導入しレーザーアニール単独で活性化を行った不純物の分布から決定されるのではなく、先に導入しRTAとレーザーアニールの組み合わせで活性化した不純物の分布によって定まる(RTAの分だけ、熱の負荷を多く受けていて、深いところまで拡散するため)。したがって、従来手法の、対象とする電極のすべての不純物をレーザーアニール単独で活性化する方法(第1の製造方法)で形成されたPN接合にくらべて、接合は急峻ではなくなる(第1の理由)。また、本発明では、最初に導入した不純物に対しては、まずRTAが行われるので、この不純物の導入時(イオン注入時)に発生した欠陥は回復される(第2の理由)。2回目に導入した不純物に対してはレーザーアニール単独で活性化するため、この不純物の導入時(イオン注入時)に発生した欠陥は回復しきれないが、これらの欠陥の存在する位置が、RTAとレーザーアニールの組み合わせで活性化される不純物の分布から決まっている接合境界から離れたところに位置するため、リーク電流に対する寄与は小さくなる(第3の理由)。以上の3つの理由から、対象とする電極のすべての不純物をレーザーアニール単独で活性化する方法(第1の製造方法)で形成されたPN接合に比較して、本発明の方法で形成されたPN接合の接合リーク電流は減少する。また、不純物をトータルで見た場合の活性化率は、ある割合の不純物をレーザーアニール

単独で活性化しているため、この不純物が高活性化する部分が効いて、従来手法の、対象とする電極のすべての不純物をRTAとレーザーアニールの組み合わせで活性化する方法(第2の製造方法)より、不純物の活性化率は高くなる。

発明の効果

- [0027] 本発明によれば、レーザーアニールを用いて形成されたPN接合の接合リーク電流を抑制することと、不純物の活性化率を高くすることをバランスよく両立させることができる。

図面の簡単な説明

- [0028] [図1]本発明の第1の実施の形態の半導体装置の製造方法を示すMISFETの製造工程の各段階の状態を示す縦断面図であり、(a)は、素子分離構造2を作製後の状態、(b)は、ゲート絶縁膜5とゲート電極層6を形成後の状態、(c)は、リソグラフィーを行って、n型FETのゲート電極層に、イオン注入によるプレドーピングを行う工程、(d)は、リソグラフィーを行ってp型FETのゲート電極層に、イオン注入によるプレドーピングを行う工程、(e)は、ゲートエッチングにより、n型FETのゲート電極7とp型FETのゲート電極8を作製した後の状態、(f)ゲートサイドウォール9を形成後の状態を示している。

[図2]本発明の第1の実施の形態の半導体装置の製造方法を示すMISFETの製造工程の各段階の状態を示す縦断面図であり、(g)は、リソグラフィーを行って、n型FETの深いS/D電極領域10を形成するために、1回目のイオン注入で1/2の不純物を導入する工程、(h)は、リソグラフィーを行って、p型FETの深いS/D電極領域11を形成するために、1回目のイオン注入で1/2の不純物を導入する工程、(i)は図2(g)、(h)で導入した不純物をRTAで活性化する工程、(j)は、n型FETの深いS/D電極領域10の残り1/2の不純物を2回目のイオン注入で導入する工程であり、(k)は、p型FETの深いS/D電極領域11の残り1/2の不純物を2回目のイオン注入で導入する工程であり、(l)は、図2(j)、(k)で導入した不純物をレーザーアニールで活性化する工程を示している。

[図3]本発明の第1の実施の形態の半導体装置の製造方法を示すMISFETの製造工程の各段階の状態を示す縦断面図であり、(m)は、ゲートサイドウォール9の除去

工程、(n)は、リソグラフィーを行って、n型FETのS/Dエクステンション電極領域12を形成するために、イオン注入を行う工程、(o)は、リソグラフィーを行って、p型FETのS/Dエクステンション電極領域13を形成するために、イオン注入を行う工程、(p)は、図3(n)、(o)で導入した不純物をレーザーアニールで活性化する工程、(q)は、ゲートサイドウォール(第2のゲートサイドウォール)14の作製工程、(r)は、シリサイド15の作製工程を示している。

[図4]本発明の第2の実施の形態の半導体装置であるMISFETの製造工程の各段階の状態を示す縦断面図であり、(j)は、ゲートサイドウォール9の除去工程、(k)は、リソグラフィーを行って、n型FETのS/Dエクステンション電極領域12を形成するために、1回目のイオン注入で1/2の不純物を導入する工程、(l)は、リソグラフィーを行って、p型FETのS/Dエクステンション電極領域13を形成するために、1回目のイオン注入で1/2の不純物を導入する工程、(m)は、図4(k)、(l)で導入した不純物をRTAで活性化する工程、(n)は、n型FETのS/Dエクステンション電極領域12の残り1/2の不純物をイオン注入で導入する工程、(o)は、p型FETのS/Dエクステンション電極13の残り1/2の不純物をイオン注入で導入する工程を示している。

[図5]本発明の第2の実施の形態の半導体装置であるMISFETの製造工程の各段階の状態を示す縦断面図であり、(p)は、図4(n)、(o)で導入した不純物をレーザーアニールで活性化する工程、(q)は、ゲートサイドウォール(第2のゲートサイドウォール)14を形成する工程、(r)は、深いS/D電極に、シリサイド15を形成する工程を示している。

[図6]本発明の第3の実施の形態の半導体装置であるMISFETの製造工程の各段階の状態を示す縦断面図であり、(f)は、リソグラフィーを行って、n型FETのS/Dエクステンション電極領域12を形成するために、1回目のイオン注入で1/2の不純物を導入する工程、(g)は、p型FETのS/Dエクステンション電極領域13を形成するために、1回目のイオン注入で1/2の不純物を導入する工程、(h)は、図6(f)、(g)で導入した不純物をRTAで活性化する工程、(i)は、n型FETのS/Dエクステンション電極領域12の残り1/2の不純物をイオン注入する工程、(j)p型FETのS/Dエクステンション電極領域13の残り1/2の不純物をイオン注入する工程、(k)は、レー

レーザーアニールにより、図6(i)、(j)で導入した不純物を活性化する工程を示している。
[図7]本発明の第3の実施の形態の半導体装置であるMISFETの製造工程の各段階の状態を示す縦断面図であり、(l)は、ゲートサイドウォール(第1のゲートサイドウォール)9の作製工程、(m)は、リソグラフィーを行って、n型FETの深いS/D電極領域10を形成するために、イオン注入を行う工程、(n)は、リソグラフィーを行って、p型FETの深いS/D電極領域10を形成するために、イオン注入を行う工程、(o)は、レーザーアニールにより、図7(m)、(n)で導入した不純物を活性化する工程、(p)は、深いS/D電極に、シリサイド15を形成する工程を示している。

[図8]本発明の第4の実施の形態の半導体装置であるMISFETの製造工程の各段階の状態を示す縦断面図であり、(f)は、リソグラフィーを行って、n型FETのS/Dエクステンション電極領域12を形成するために、イオン注入を行う工程、(g)は、リソグラフィーを行って、p型FETのS/Dエクステンション電極領域13を形成するために、イオン注入を行う工程、(h)は、ゲートサイドウォール(第1のゲートサイドウォール)9の作製工程、(i)は、リソグラフィーを行って、n型FETの深いS/D電極領域10を形成するために、1回目のイオン注入で1/2の不純物を導入する工程、(j)は、リソグラフィーを行って、p型FETの深いS/D電極領域11を形成するために、1回目のイオン注入で1/2の不純物を導入する工程を示している。

[図9]本発明の第4の実施の形態の半導体装置であるMISFETの製造工程の各段階の状態を示す縦断面図であり、(k)は、RTAにより、図8(i)、(j)で導入した不純物を活性化させる工程、(l)は、n型FETの深いS/D電極領域10の残り1/2の不純物をイオン注入する工程、(m)は、p型FETの深いS/D電極領域11の残り1/2の不純物をイオン注入する工程、(n)は、レーザーアニールにより、図9(l)、(m)で導入した不純物を活性化させる工程、(o)は、深いS/D電極に、シリサイド15を形成する工程を示している。

符号の説明

- [0029] 1 Si基板
2 素子分離構造
3 pウェル

- 4 nウェル
- 5 ゲート絶縁膜
- 6 ゲート電極層
- 7 n型FETのゲート電極
- 8 p型FETのゲート電極
- 9 ゲートサイドウォール(第1のゲートサイドウォール)
- 10 n型FETの深いS/D電極領域
- 11 p型FETの深いS/D電極領域
- 12 n型FETのS/Dエクステンション電極領域
- 13 p型FETのS/Dエクステンション電極領域
- 14 ゲートサイドウォール(第2のゲートサイドウォール)
- 15 シリサイド
- 16 ランプ光
- 17 レーザー光
- 18 レジストマスク

発明を実施するための最良の形態

[0030] [発明の第1の実施の形態]

次に、本発明の第1の実施の形態の製造方法について図面を参照して詳細に説明する。

[0031] 図1から図3は、本発明のMISFET (Metal Insulator Semiconductor Field Effect Transistor) の製造工程の各段階の状態を示す断面図である。各断面図は、MISFETのゲート長方向(ゲート電極に垂直な方向)の断面を示している。各断面図には、2つのMISFETが示されているが、左側がn型のMISFET、右側がp型のMISFETである。本発明の第1の実施形態は、逆転S/Dプロセスで形成されるMISFETの深いS/D電極に、本発明に特徴的な製造方法を用いた例である。

[0032] まず、最初に、図1(a)に示すように、Si(シリコン)基板1上に、素子分離構造2を作製する。この際には、MISFETの素子分離を作製する際の一般的な手法であるSTI (Shallow Trench Isolation) 法を用いる。ないしはLOCOS (Local Oxidation of Silicon

法を用いてもよい。なお、本発明は、通常、Si(100)面を用いることを想定しているが、基板の面方位には限定されないので、Si(110)面などの異なる面を有するSi基板を用いてもよい。またSOI(Silicon on Insulator)基板やSGOI(Silicon Germanium on Insulator)基板でもかまわない。素子分離構造2を作製した後は、リソグラフィーを行って、n型のFET(Field Effect Transistor)となる領域に、pウェル注入を行ってpウェル3を形成し、さらにn型FETのしきい値調整用のイオン注入を行う。例えば、pウェル注入として、1価のBをエネルギー150keVで $8 \times 10^{12} \text{cm}^{-2}$ 注入する。また、しきい値調整用のイオン注入として、1価のBを15keVで $8 \times 10^{12} \text{cm}^{-2}$ イオン注入する。注入後には、レジストマスクを剥離し、再びリソグラフィーを行って、p型のFETとなる領域に、nウェル注入を行ってnウェル4を形成し、さらにp型FETのしきい値調整用のイオン注入を行う。例えば、1価のPをエネルギー350keVで $1.5 \times 10^{13} \text{cm}^{-2}$ 注入する。また、しきい値調整用のイオン注入として、1価のAsを80keVで $2.5 \times 10^{12} \text{cm}^{-2}$ イオン注入する。その後、レジストマスクを剥離すると、図1(a)の断面形状となる。

[0033] 次に、図1(b)に示すように、Si(シリコン)基板1上にゲート絶縁膜5とゲート電極層6を作製する。例えばゲート絶縁膜5として、膜厚1.2nmの酸化膜を形成する。ゲート絶縁膜5としては、この他に、酸化膜、 Ta_2O_5 、 Al_2O_3 、 HfO_2 、 ZrO_2 、 ZrON 、 HfON 、 HfAlON 、 HfSiON などのいわゆるHigh-k膜などを使用してもよい。ゲート絶縁膜5の形成後は、ゲート電極材料を堆積させる。例えば、CVD(Chemical Vapor Deposition)法を用いて、ポリシリコン150nmを堆積させる。ゲート電極層6の材料としては、ポリSiの他に、ポリSiGe、TaN、TiN、W、WNなどの金属、NiSi等を用いたフルシリサイドなどを用いることもできる。また、これらの材料の積層構造としてもよい。本実施形態では、以後、ゲート電極材料をポリSiであるとして、説明していく。

[0034] その後、図1(c)、(d)に示されるように、ゲート電極材料にプレドーピングを行う。まず、図1(c)に示すように、リソグラフィーを行い、n型FETのゲート電極7となる領域に、プレドーピングを行う。プレドーピングは、例えば、1価のPをエネルギー8keVで $5 \times 10^{15} \text{cm}^{-2}$ 注入することで行う。その後、レジストマスク18を剥離し、再びリソグラフィーを行って、図1(d)に示すように、p型FETのゲート電極8となる領域に、プレドーピングを行う。このプレドーピングは、例えば、1価のBをエネルギー2keVで 5×10^{15}

cm^{-2} 注入することで行う。注入後、レジストマスク18を剥離する。

[0035] プレドーピング後は、リソグラフィーを行い、レジストマスクに HBr/O_2 系のガスを用いて、ゲート電極層6のエッチングを行う。エッチング後、レジストマスクを剥離する。そうすると、図1(e)に示すように、n型FETのゲート電極7、p型FETのゲート電極8が形成された状態となる。

[0036] この後、図1(f)に示すように、ゲートサイドウォール(第1のゲートサイドウォール)9を作製する。それにはまず、ゲートサイドウォール9となる絶縁膜を堆積させる。例えば、窒化膜50nmを堆積させる。その後、ゲートサイドウォール絶縁膜として堆積させた材料をエッチバックし、ゲートサイドウォール9を形成する。なお、ゲートサイドウォール絶縁膜としては、酸化膜を用いてもよく、酸化膜と窒化膜の積層膜を用いることも可能である。

[0037] 次に、図2(g)～(l)に示すように、深いS/D電極領域の形成と活性化を行う。本実施形態は、逆転S/Dプロセスであるので、S/Dエクステンション電極領域の形成に先立って、深いS/D電極領域の形成を行う。本発明に特徴的な手法は、本実施形態では、この深いS/D電極領域の形成とその活性化に用いられる。

[0038] まず、図2(g)に示すように、リソグラフィーを行って、n型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7、ゲートサイドウォール9をマスクにして、n型FETの深いS/D電極領域10を形成するために、イオン注入を行う。例えば、1価のAsをエネルギー12keVで $1.5 \times 10^{15} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。

[0039] 次に、図2(h)に示すように、リソグラフィーを行って、p型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8、ゲートサイドウォール9をマスクにして、p型FETの深いS/D電極領域11を形成するために、イオン注入を行う。例えば、1価のBをエネルギー2keVで $1.5 \times 10^{15} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。

[0040] その後、図2(i)に示すように、RTAにより、図2(g)、(h)で導入した不純物を活性化させる。例えば、1030°Cのスパイクアニール(目的の温度に到達すると、すぐに温度をさげるアニール)によって、活性化させる。

[0041] 図2(g)～図2(i)に示される工程は、逆転S/Dプロセスで深いS/D電極領域を形成し、その不純物を活性化する際に通常よく行われるプロセスである。従来例では、図2(g)、図2(h)で注入する不純物量は、深いS/D電極領域を形成するためのすべての不純物量であるが、本発明では、深いS/D電極を形成するための不純物量の1/2しか、図2(g)、図2(h)の段階では、導入しない。本発明では、1/2の不純物を先にRTAで活性化させた後、残りの不純物を以後の工程で注入し、レーザーアニールで活性化させる。

[0042] まず、図2(j)に示すように、n型FETの深いS/D電極領域10の残り1/2の不純物をイオン注入する。図2(g)に示す工程と同様に、リソグラフィーを行って、レジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7、ゲートサイドウォール9をマスクにして、イオン注入を行う。図2(g)に示す工程と同様に、1価のAsをエネルギー12keVで $1.5 \times 10^{15} \text{ cm}^{-2}$ 注入する。これにより、n型FETの深いS/D電極領域10には、トータルで $3 \times 10^{15} \text{ cm}^{-2}$ のAsが注入されたことになる。この不純物量は、n型FETの深いS/D電極領域10を形成するための不純物量として、一般的な値である。その後、レジストマスク18を剥離する。

[0043] 次に、図2(k)に示すように、p型FETの深いS/D電極領域11の残り1/2の不純物をイオン注入する。図2(h)に示す工程と同様に、リソグラフィーを行って、レジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8、ゲートサイドウォール9をマスクにして、イオン注入を行う。図2(h)に示す工程と同様に、1価のBをエネルギー2keVで $1.5 \times 10^{15} \text{ cm}^{-2}$ 注入する。これにより、p型FETの深いS/D電極領域11には、トータルで $3 \times 10^{15} \text{ cm}^{-2}$ のBが注入されたことになる。この不純物量は、p型FETの深いS/D電極領域11を形成するための不純物量として、一般的な値である。その後、レジストマスク18を剥離する。

[0044] それから、図2(l)に示すように、レーザーアニールにより、図2(j)、(k)で導入した不純物を活性化させる。例えば、波長 $10.6 \mu\text{m}$ の炭酸ガスレーザーを用いて、温度 1330°C で活性化させる。

[0045] 深いS/D電極領域を形成し、活性化した後は、図3(m)に示すように、ゲートサイドウォール9を除去する。ゲートサイドウォール絶縁膜として、窒化膜を用いている場

合には、リン酸を用いて除去する。

[0046] 次に、S/Dエクステンション電極領域の形成とその活性化を行う。

[0047] まず、図3(n)に示すように、リソグラフィーを行って、n型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7をマスクにして、n型FETのS/Dエクステンション電極領域12を形成するために、イオン注入を行う。例えば、1価のAsをエネルギー2keVで $5 \times 10^{14} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。なお、図3(n)には図示していないが、n型FETのS/Dエクステンション電極領域12を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合がある。例えば、1価の BF_2 を $2 \times 10^{13} \text{cm}^{-2}$ イオン注入する。

[0048] 次に、図3(o)に示すように、リソグラフィーを行って、p型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8をマスクにして、p型FETのS/Dエクステンション電極領域13を形成するために、イオン注入を行う。例えば、1価のBをエネルギー0.5keVで $5 \times 10^{14} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。なお、図3(o)には図示していないが、p型FETのS/Dエクステンション電極領域13を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合がある。例えば、1価のAsを $2 \times 10^{13} \text{cm}^{-2}$ イオン注入する。

[0049] それから、図3(p)で示すように、レーザーアニールにより、図3(n)、(o)で導入した不純物を活性化させる。例えば、波長 $10.6 \mu\text{m}$ の炭酸ガスレーザーを用いて、温度 1330°C で活性化させる。なお、この活性化をRTAで行ってはいけない。その理由は、例えば、 1030°C のスパイクアニールのようなRTAを行ったとすると、先にレーザーアニールで高活性化された深いS/D電極の不純物の一部が不活性化してしまうからである。

[0050] その後、図3(q)で示すように、ゲートサイドウォール(第2のゲートサイドウォール)14を作製する。それにはまず、ゲートサイドウォール14となる絶縁膜を堆積させる。例えば、酸化膜50nmを堆積させる。その後、ゲートサイドウォール絶縁膜として堆積させた材料をエッチバックし、ゲートサイドウォール14を形成する。なお、ゲートサイドウ

オール絶縁膜としては、窒化膜を用いてもよく、酸化膜と窒化膜の積層膜を用いることも可能である。なお、ゲートサイドウォール絶縁膜を堆積させる際には、その温度を750℃以下、好ましくは650℃以下、さらに可能ならば550℃以下にする。これは、レーザーアニールによって高活性化された不純物の不活性化を防ぐためである。

[0051] 最後に、図3(r)で示すように、深いS/D電極領域に、シリサイド15を形成する。例えば、膜厚50nmのNiシリサイドを形成する。なお、シリサイド15は、Niシリサイドに限定されるものでなく、TiシリサイドやCoシリサイド、Pdシリサイド、Ptシリサイドであってもかまわない。その後、ストッパー絶縁膜、層間絶縁膜を堆積させて、リソグラフィーとエッチングを行い、コンタクトホールを形成し、金属を埋め込んでコンタクトを形成する(未図示)。コンタクトに用いる金属としては、W、Al、TiN、Tiや、これら金属の積層膜を用いる。その後、配線工程を400℃以下の温度で行い、デバイスが完成する。

[0052] 以上、述べてきたような本発明の半導体装置の製造方法を用いることによって、深いS/D電極の接合リーク電流は、第1の製造方法を用いた場合に比較して、1桁程度減少した。また、深いS/D電極の層抵抗は、第2の製造方法を用いた場合に比較して、およそ10%低下した。

[0053] なお、本発明の手法は、不純物の種類により限定されない。例えば、上記の説明でn型FETの深いS/D電極領域10を形成する不純物として、Asを例に説明したが、Pでも可能であるし、AsとPの両方の不純物で深いS/D電極を形成することも可能である。

[0054] また、本発明の手法は、レーザーの波長によっても限定されない。例えば、上記の説明で図2(l)、図3(p)のレーザーアニールによる活性化として、炭酸ガスレーザーによるレーザーアニールを用いた例を示したが、例えば、波長810nmの半導体レーザーや、波長1064nmのYAGレーザーでも可能である。アニール温度は、FETのゲート電極や基板に損傷を与えない限り、レーザーの波長によらず、Siの融点以下の温度で高い方が好ましい。

[0055] さらに、本発明の不純物導入手法は、イオン注入に限定されない。例えば、プラズマドーピングでも可能である。

- [0056] それから、本実施形態では、図2 (l) のレーザーアニールを省略することが可能である。この場合には、図3 (p) のレーザーアニールによって、図2 (j)、(k) で導入した不純物も同時に活性化させる。
- [0057] 本実施形態では、深いS/D電極に不純物を導入する際に、不純物量を1/2にして、全く同じイオン注入条件で2回にわけて導入している。不純物量の割合は、1/2を原則とするが、必ずしもこれに限定されるものではない。先に導入される不純物量の割合を1/2より多くして、後に導入する不純物量の割合を1/2より小さくすることもできる。また、その反対も可能である。先に導入する不純物の割合が多くなると、本発明の方法は、第2の製造方法に近くなるので、接合リーク電流はさらに減少していくが、不純物のトータルでの活性化率は低下していく。逆に、後に導入する不純物の割合が多くなると、本発明の方法は、第1の製造方法に近くなるので、接合リーク電流は増加するが、不純物のトータルでの活性化率は向上していく。本発明の方法では、このように、不純物の割合を調整することで、要求された仕様を満たすように、接合の特性を調整することができる。
- [0058] 深いS/D電極に不純物を導入する際の、イオン注入条件のエネルギーについては、同じイオン種を注入する限り、上述のとおり、同じことを原則とする。この場合、先に導入された不純物の方が、RTAによる熱負荷の分だけ、深く拡散し、PN接合の境界は、この不純物分布によって定まる。もし、後で導入する不純物のエネルギーを高くすると、場合によっては、最初に導入され、RTAされた不純物により定まっている接合境界よりも、深く注入されてしまい、レーザーアニール後の接合境界が急峻になってしまうため、接合リーク電流が増加してしまうことがある。また、逆にエネルギーを小さくすると、深いS/D電極全体に不純物が広がらないので、層抵抗が小さくならない可能性がある。よって、深いS/D電極に後で導入する不純物のイオン注入のエネルギーについては、レーザーアニール後の接合境界がRTAで決まる接合境界となり、かつ最大限深いS/D電極中に不純物が広がることが確実な、同じエネルギーで注入するのがよい。
- [0059] 本実施形態では、深いS/D電極に導入する不純物は、2回に分けて導入した。これを3回に分けることも可能である。その際には、上記に述べた例とトータルの不純物

量は同じにし、1／3ずつ3回に分けてイオン注入することを原則とする。その際の熱処理は、例えば、1回目の不純物導入後にRTA、2回目の不純物導入後にRTA、3回目の不純物導入後にレーザーアニールを行う。

- [0060] 本実施形態の説明の最後に、本発明と既存の発明との差異をもう一度明確にしておく。
- [0061] 不純物を複数回にわけて導入し、複数回にわけた不純物が導入される度にアニールにより活性化されるプロセスは、例えば、特許文献5に記述されている。すなわち特許文献5には、不純物注入1→不純物注入1で注入された不純物の活性化→不純物注入2→不純物注入2で注入された不純物の活性化の発明が開示されている。
- [0062] また、1つの不純物注入の次に、レーザーアニール以外のアニールとレーザーアニールを行うことは、特許文献2や特許文献4に述べられている。すなわち、特許文献2や特許文献4では、不純物注入1→不純物注入1で注入された不純物の活性化(レーザーアニール以外のアニール+レーザーアニール)の発明が開示されている。
- [0063] これらの発明を単純に組み合わせて得られる発明は、(例1)不純物注入1→不純物注入1で注入された不純物の活性化(レーザーアニール以外のアニール+レーザーアニール)→不純物注入2→不純物注入2で注入された不純物の活性化(任意の方法)(例2)不純物注入1→不純物注入1で注入された不純物の活性化(任意の方法)→不純物注入2→不純物注入2で注入された不純物の活性化(レーザーアニール以外のアニール+レーザーアニール)のいずれかである。
- [0064] 一方、本発明は、不純物注入1→不純物注入1で注入された不純物の活性化(レーザーアニール以外のアニール)→不純物注入2→不純物注入2で注入された不純物の活性化(レーザーアニールのみ)であり、例1と例2のいずれにも該当せず、同じ構成とはならない。特に、特許文献2や特許文献4で開示されている発明は、直前に注入された不純物全体に対して、レーザーアニール以外のアニール+レーザーアニール、を行う発明であり、「少なくとも最後に導入した不純物の活性化をレーザーアニール単独で行う」本発明の特徴が、既存発明の単純な組み合わせである、例1や例2から、導かれるものではない。本発明では、最終的に不純物が受けた熱履歴で整理すると、不純物注入1で注入された不純物については、レーザーアニール以外のア

ニール+レーザーアニール、不純物注入2で注入された不純物については、レーザーアニール、の熱履歴をそれぞれ受けている。すなわち、不純物注入1で注入された不純物は、特許文献2や特許文献4で開示されている発明と同じだが、不純物注入2で注入された不純物は、レーザーアニールだけで活性化されており、この不純物の存在が、特許文献2や特許文献4で開示されている発明で生じる欠点(不純物の活性化率の低下)を克服する要素となっている。

[0065] [発明の第2の実施の形態]

次に、本発明の第2の実施の形態の製造方法について図面を参照して詳細に説明する。

[0066] 図4から図5は、本発明のMISFET (Metal Insulator Semiconductor Field Effect Transistor) の製造工程の各段階の状態を示す断面図である。各断面図は、MISFETのゲート長方向(ゲート電極に垂直な方向)の断面を示している。各断面図には、2つのMISFETが示されているが、左側がn型のMISFET、右側がp型のMISFETである。本発明の第2の実施形態は、逆転S/Dプロセスで形成されるMISFETのS/Dエクステンション電極に本発明の製造方法を用いた例である。

[0067] 本実施形態の製造方法では、第1の実施形態の図1(a)から(f)、図2(g)から(i)までは、その製造方法は同じである。ただし、本実施形態の場合、図2(g)、(h)では、イオン注入する不純物量は、深いS/D電極領域を構成するすべての不純物量を1度に注入する。すなわち、図2(g)では、1価のAsをエネルギー12keVで $3 \times 10^{15} \text{ cm}^{-2}$ 注入する。図2(h)では、1価のBをエネルギー2keVで $3 \times 10^{15} \text{ cm}^{-2}$ 注入する。その後、これらの不純物を、図2(i)に示すように、RTAで活性化する。例えば、1030°Cのスパイクアニールで活性化する。

[0068] その後、図4(j)に示すように、ゲートサイドウォール9を除去する。ゲートサイドウォール絶縁膜として、窒化膜を用いている場合には、リン酸を用いて除去する。

[0069] この後、S/Dエクステンション電極領域の形成とその活性化を行う。本実施形態でも、第1の実施形態と同様に、必要な不純物量の1/2をまず注入し、RTA処理を行う。

[0070] まず、図4(k)に示すように、リソグラフィーを行って、n型のFETとなる領域のみにイ

オン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7をマスクにして、n型FETのS/Dエクステンション電極領域12を形成するために、イオン注入を行う。例えば、1価のAsをエネルギー2keVで $2.5 \times 10^{14} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。なお、図4(k)には図示していないが、n型FETのS/Dエクステンション電極領域12を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合がある。例えば、1価の BF_2 を $1 \times 10^{13} \text{cm}^{-2}$ イオン注入する。n型FETのポケット注入も、1/2の不純物量をこのときイオン注入する。

[0071] 次に、図4(l)に示すように、リソグラフィーを行って、p型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8をマスクにして、p型FETのS/Dエクステンション電極領域13を形成するために、イオン注入を行う。例えば、1価のBをエネルギー0.5keVで $2.5 \times 10^{14} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。なお、図4(l)には図示していないが、p型FETのS/Dエクステンション電極領域13を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合がある。例えば、1価のAsを $1 \times 10^{13} \text{cm}^{-2}$ イオン注入する。p型FETのポケット注入も、1/2の不純物量をこのときイオン注入する。

[0072] その後、図4(m)に示すように、RTA処理を行う。ただし、本実施形態では、深いS/D電極は、図2(i)で既に十分活性化されており、S/Dエクステンション電極領域の不純物に対して実施することになるので、アニール温度は、不純物の拡散が大きくなりFETの短チャネル特性が悪化しないように、十分低くする。例えば、600℃30秒の低温アニールを行う。

[0073] この後、第1の実施形態と同様に、残り1/2の不純物を導入して、レーザーアニールで活性化する。

[0074] まず、図4(n)に示すように、n型FETのS/Dエクステンション電極領域12の残り1/2の不純物をイオン注入する。図4(k)に示す工程と同様に、リソグラフィーを行って、レジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7をマスクにして、イオン注入を行う。図4(k)に示す工程と同様に、1価のAsを

エネルギー2keVで $2.5 \times 10^{14} \text{ cm}^{-2}$ 注入する。これにより、n型FETのS/Dエクステンション電極領域12となる領域には、トータルで $5 \times 10^{14} \text{ cm}^{-2}$ のAsが注入されたことになる。この不純物量は、n型FETのS/Dエクステンション電極領域12を形成するための不純物量として、一般的な値である。なお、図4(n)には図示していないが、n型FETのS/Dエクステンション電極領域12を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合には、例えば、1価の BF_2 を $1 \times 10^{13} \text{ cm}^{-2}$ イオン注入する。n型FETのポケット注入も、残り1/2の不純物量をこのときイオン注入する。その後、レジスト領域18を剥離する。

[0075] 次に、図4(o)に示すように、p型FETのS/Dエクステンション電極13の残り1/2の不純物をイオン注入する。図4(l)に示す工程と同様に、リソグラフィーを行って、レジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8をマスクにして、イオン注入を行う。図4(l)に示す工程と同様に、1価のBをエネルギー0.5keVで $2.5 \times 10^{14} \text{ cm}^{-2}$ 注入する。これにより、p型FETのS/Dエクステンション電極領域13には、トータルで $5 \times 10^{14} \text{ cm}^{-2}$ のBが注入されたことになる。この不純物量は、p型FETのS/Dエクステンション電極領域13を形成するための不純物量として、一般的な値である。なお、図4(o)には図示していないが、p型FETのS/Dエクステンション電極領域13を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合には、例えば、1価のAsを $1 \times 10^{13} \text{ cm}^{-2}$ イオン注入する。p型FETのポケット注入も、残り1/2の不純物量をこのときイオン注入する。その後、レジストマスク18を剥離する。

[0076] それから、図5(p)で示すように、レーザーアニールにより、図4(n)、(o)で導入した不純物を活性化させる。例えば、波長 $10.6 \mu\text{m}$ の炭酸ガスレーザーを用いて、温度 1330°C で活性化させる。

[0077] その後は、図5(q)で示すように、ゲートサイドウォール(第2のゲートサイドウォール)14を形成する。これは、第1の実施形態の図3(q)と同様である。

[0078] 最後に、図5(r)で示すように、深いS/D電極に、シリサイド15を形成する。これは、第1の実施形態の図3(r)と同様である。シリサイド15形成後も、第1の実施形態と同様にプロセスを行い、デバイスを完成させる。

[0079] なお、本実施形態の場合も、第1の実施形態と同様に、不純物の種類により限定されない。例えば、上記の説明でp型FETのS/Dエクステンション電極領域13を形成する不純物として、Bを例に説明したが、1価の BF_2 でも可能である。また、第1の実施形態と同様に、レーザーの波長によっても限定されない。さらに、第1の実施形態と同様に、本実施形態の不純物導入手法は、イオン注入に限定されない。

[0080] S/Dエクステンション電極部分に2回にわけて導入する不純物のイオン注入条件に関しても、その考え方は、第1の実施形態と同様である。また第1の実施形態と同様に2回以上の複数回にわけて導入することも可能である。

[0081] 本実施形態の場合、S/Dエクステンション電極部分の接合リーク電流を抑制し、不純物を高活性化できる。また、逆転S/Dプロセスであるので、後述の通常S/Dプロセスのエクステンション電極に本発明の手法を用いた場合より、短チャネル特性が良くなる。

[0082] [発明の第3の実施の形態]

次に、本発明の第3の実施の形態の製造方法について図面を参照して詳細に説明する。

[0083] 図6から図7は、本発明のMISFET (Metal Insulator Semiconductor Field Effect Transistor) の製造工程の各段階の状態を示す断面図である。各断面図は、MISFETのゲート長方向(ゲート電極に垂直な方向)の断面を示している。各断面図には、2つのMISFETが示されているが、左側がn型のMISFET、右側がp型のMISFETである。本発明の第3の実施形態は、通常S/Dプロセスで形成されるMISFETのS/Dエクステンション電極に本発明の製造方法を用いた例である。

[0084] 本実施形態の製造方法では、第1の実施形態の図1(a)から(e)までは、その製造方法は同じである。この後、S/Dエクステンション電極領域の形成とその活性化を、第2の実施形態と同様に行う。

[0085] まず、図6(f)に示すように、リソグラフィーを行って、n型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7をマスクにして、n型FETのS/Dエクステンション電極領域12を形成するために、イオン注入を行う。例えば、1価のAsをエネルギー2keVで2.5

$\times 10^{14} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。なお、図6(f)には図示していないが、n型FETのS/Dエクステンション電極領域12を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合がある。例えば、1価のBF₂を $1 \times 10^{13} \text{cm}^{-2}$ イオン注入する。n型FETのポケット注入も、1/2の不純物量をこのときイオン注入する。

[0086] 次に、図6(g)に示すように、リソグラフィーを行って、p型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8をマスクにして、p型FETのS/Dエクステンション電極領域13を形成するために、イオン注入を行う。例えば、1価のBをエネルギー0.5keVで $2.5 \times 10^{14} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。なお、図6(g)には図示していないが、p型FETのS/Dエクステンション電極領域13を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合がある。例えば、1価のAsを $1 \times 10^{13} \text{cm}^{-2}$ イオン注入する。p型FETのポケット注入も、1/2の不純物量をこのときイオン注入する。

[0087] その後、図6(h)に示すように、RTA処理を行う。ただし、本実施形態では、S/Dエクステンション電極領域の不純物に対して実施することになるので、アニール温度は、不純物の拡散が大きくなりFETの短チャネル特性が悪化しないように、十分低くする。例えば、600°C30秒の低温アニールを行う。

[0088] この後、第2の実施形態と同様に、残り1/2の不純物を導入して、レーザーアニールで活性化する。

[0089] まず、図6(i)に示すように、n型FETのS/Dエクステンション電極領域12の残り1/2の不純物をイオン注入する。図6(f)に示す工程と同様に、リソグラフィーを行って、レジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7をマスクにして、イオン注入を行う。図6(f)に示す工程と同様に、1価のAsをエネルギー2keVで $2.5 \times 10^{14} \text{cm}^{-2}$ 注入する。これにより、n型FETのS/Dエクステンション電極領域12には、トータルで $5 \times 10^{14} \text{cm}^{-2}$ のAsが注入されたことになる。なお、図6(i)には図示していないが、n型FETのS/Dエクステンション電極領域12を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う

場合には、例えば、1価の BF^2 を $1 \times 10^{13} \text{cm}^{-2}$ イオン注入する。n型FETのポケット注入も、残り1/2の不純物量をこのときイオン注入する。その後、レジストマスク18を剥離する。

[0090] 次に、図6(j)に示すように、p型FETのS/Dエクステンション電極領域13の残り1/2の不純物をイオン注入する。図6(g)に示す工程と同様に、リソグラフィーを行って、レジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8をマスクにして、イオン注入を行う。図6(g)に示す工程と同様に、1価のBをエネルギー0.5keVで $2.5 \times 10^{14} \text{cm}^{-2}$ 注入する。これにより、p型FETのS/Dエクステンション電極領域13には、トータルで $5 \times 10^{14} \text{cm}^{-2}$ のBが注入されたことになる。なお、図6(j)には図示していないが、p型FETのS/Dエクステンション電極領域13を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合には、例えば、1価のAsを $1 \times 10^{13} \text{cm}^{-2}$ イオン注入する。p型FETのポケット注入も、残り1/2の不純物量をこのときイオン注入する。その後、レジストマスク18を剥離する。

[0091] それから、図6(k)に示すように、レーザーアニールにより、図6(i)、(j)で導入した不純物を活性化させる。例えば、波長 $10.6 \mu\text{m}$ の炭酸ガスレーザーを用いて、温度 1330°C で活性化させる。

[0092] この後、図7(l)に示すように、ゲートサイドウォール(第1のゲートサイドウォール)9を作製する。それにはまず、ゲートサイドウォールとなる絶縁膜を堆積させる。例えば、酸化膜50nmを堆積させる。その後、ゲートサイドウォール絶縁膜として堆積させた材料をエッチバックし、ゲートサイドウォール9を形成する。なお、ゲートサイドウォール絶縁膜としては、窒化膜を用いてもよく、酸化膜と窒化膜の積層膜を用いることも可能である。

[0093] その後、図7(m)に示すように、リソグラフィーを行って、n型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7、ゲートサイドウォール9をマスクにして、n型FETの深いS/D電極領域10を形成するために、イオン注入を行う。例えば、1価のAsをエネルギー12keVで $3 \times 10^{15} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。

- [0094] 次に、図7(n)に示すように、リソグラフィーを行って、p型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8、ゲートサイドウォール9をマスクにして、p型FETの深いS/D電極領域11を形成するために、イオン注入を行う。例えば、1価のBをエネルギー2keVで $3 \times 10^{15} \text{ cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。
- [0095] それから、図7(o)で示すように、レーザーアニールにより、図7(m)、(n)で導入した不純物を活性化させる。例えば、波長 $10.6 \mu\text{m}$ の炭酸ガスレーザーを用いて、温度 1330°C で活性化させる。なお、この活性化をRTAで行ってはいけない。その理由は、例えば、 1030°C のスパイクアニールを行うと、先にレーザーアニールで高活性化されたS/Dエクステンション電極の不純物の一部が不活性化してしまうからである。
- [0096] 最後に、図7(p)で示すように、深いS/D電極に、シリサイド15を形成する。これは、第1の実施形態の図3(r)と同様である。シリサイド15形成後も、第1の実施形態と同様にプロセスを行い、デバイスを完成させる。
- [0097] なお、本実施形態の場合も、第1の実施形態と同様に、不純物の種類により限定されない。例えば、上記の説明でp型FETのS/Dエクステンション電極領域13を形成する不純物として、Bを例に説明したが、1価の BF_2 でも可能である。また、第1の実施形態と同様に、レーザーの波長によっても限定されない。さらに、第1の実施形態と同様に、本実施形態の不純物導入手法は、イオン注入に限定されない。
- [0098] S/Dエクステンション電極部分に2回にわけて導入する不純物のイオン注入条件に関しても、その考え方は、第1の実施形態と同様である。また第1の実施形態と同様に2回以上の複数回にわけて導入することも可能である。
- [0099] 本実施形態の場合、S/Dエクステンション電極部分の接合リーク電流を抑制し、不純物を高活性化できる。また、通常S/Dプロセスであるので、本発明の効果を得ながら、工程数を少なくすることができる。
- [0100] [発明の第4の実施の形態]
- 次に、本発明の第4の実施の形態の製造方法について図面を参照して詳細に説明する。

- [0101] 図8から図9は、本発明のMISFET (Metal Insulator Semiconductor Field Effect Transistor) の製造工程の各段階の状態を示す断面図である。各断面図は、MISFETのゲート長方向(ゲート電極に垂直な方向)の断面を示している。各断面図には、2つのMISFETが示されているが、左側がn型のMISFET、右側がp型のMISFETである。本発明の第4の実施形態は、通常S/Dプロセスで形成されるMISFETの深いS/D電極領域に本発明の製造方法を用いた例である。
- [0102] 本実施形態の製造方法では、第1の実施形態の図1(a)から(e)までは、その製造方法は同じである。
- [0103] まず、図8(f)に示すように、リソグラフィーを行って、n型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7をマスクにして、n型FETのS/Dエクステンション電極領域12を形成するために、イオン注入を行う。例えば、1価のAsをエネルギー2keVで $5 \times 10^{14} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。なお、図8(f)には図示していないが、n型FETのS/Dエクステンション電極領域12を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合がある。例えば、1価の BF_2 を $2 \times 10^{13} \text{cm}^{-2}$ イオン注入する。
- [0104] 次に、図8(g)に示すように、リソグラフィーを行って、p型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8をマスクにして、p型FETのS/Dエクステンション電極領域13を形成するために、イオン注入を行う。例えば、1価のBをエネルギー0.5keVで $5 \times 10^{14} \text{cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。なお、図8(g)には図示していないが、p型FETのS/Dエクステンション電極領域13を形成するイオン注入の前もしくは後に、ポケット領域を形成するためのイオン注入を行う場合がある。例えば、1価のAsを $2 \times 10^{13} \text{cm}^{-2}$ イオン注入する。
- [0105] この後、図8(h)に示すように、ゲートサイドウォール(第1のゲートサイドウォール)9を作製する。それにはまず、ゲートサイドウォールとなる絶縁膜を堆積させる。例えば、酸化膜50nmを堆積させる。その後、ゲートサイドウォール絶縁膜として堆積させた材料をエッチバックし、ゲートサイドウォール9を形成する。なお、ゲートサイドウォー

ル絶縁膜としては、窒化膜を用いてもよく、酸化膜と窒化膜の積層膜を用いることも可能である。

[0106] この後、深いS/D電極領域の形成とその活性化を、第1の実施形態と同様に行う。

[0107] まず、図8(i)に示すように、リソグラフィーを行って、n型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7、ゲートサイドウォール9をマスクにして、n型FETの深いS/D電極領域10を形成するために、イオン注入を行う。例えば、1価のAsをエネルギー12keVで $1.5 \times 10^{15} \text{ cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。

[0108] 次に、図8(j)に示すように、リソグラフィーを行って、p型のFETとなる領域のみにイオン注入できるようにレジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8、ゲートサイドウォール9をマスクにして、p型FETの深いS/D電極領域11を形成するために、イオン注入を行う。例えば、1価のBをエネルギー2keVで $1.5 \times 10^{15} \text{ cm}^{-2}$ 注入する。その後、レジストマスク18を剥離する。

[0109] その後、図9(k)に示すように、RTAにより、図8(i)、(j)で導入した不純物を活性化させる。例えば、1030°Cのスパイクアニールによって、活性化させる。

[0110] まず、図9(l)に示すように、n型FETの深いS/D電極領域10の残り1/2の不純物をイオン注入する。図8(i)に示す工程と同様に、リソグラフィーを行って、レジストマスク18を形成する。それから、このレジストマスク18、n型FETのゲート電極7、ゲートサイドウォール9をマスクにして、イオン注入を行う。図8(i)に示す工程と同様に、1価のAsをエネルギー12keVで $1.5 \times 10^{15} \text{ cm}^{-2}$ 注入する。これにより、n型FETの深いS/D電極領域10には、トータルで $3 \times 10^{15} \text{ cm}^{-2}$ のAsが注入されたことになる。その後、レジストマスク18を剥離する。

[0111] 次に、図9(m)に示すように、p型FETの深いS/D電極領域11の残り1/2の不純物をイオン注入する。図8(j)に示す工程と同様に、リソグラフィーを行って、レジストマスク18を形成する。それから、このレジストマスク18、p型FETのゲート電極8、ゲートサイドウォール9をマスクにして、イオン注入を行う。図8(j)に示す工程と同様に、1価のBをエネルギー2keVで $1.5 \times 10^{15} \text{ cm}^{-2}$ 注入する。これにより、p型FETの深いS

／D電極領域11には、トータルで $3 \times 10^{15} \text{ cm}^{-2}$ のBが注入されたことになる。その後、レジストマスク18を剥離する。

[0112] それから、図9(n)で示すように、レーザーアニールにより、図9(l)、(m)で導入した不純物を活性化させる。例えば、波長 $10.6 \mu\text{m}$ の炭酸ガスレーザーを用いて、温度 1330°C で活性化させる。

[0113] 最後に、図9(o)で示すように、深いS／D電極に、シリサイド15を形成する。これは、第1の実施形態の図3(r)と同様である。シリサイド15形成後も、第1の実施形態と同様にプロセスを行い、デバイスを完成させる。

[0114] なお、本実施形態の場合も、第1の実施形態と同様に、不純物の種類により限定されない。例えば、上記の説明でp型FETのS／Dエクステンション電極13を形成する不純物として、Bを例に説明したが、1価のBF₂でも可能である。また、第1の実施形態と同様に、レーザーの波長によっても限定されない。さらに、第1の実施形態と同様に、本実施形態の不純物導入手法は、イオン注入に限定されない。

[0115] 深いS／D電極部分に2回にわけて導入する不純物のイオン注入条件に関しても、その考え方は、第1の実施形態と同様である。また第1の実施形態と同様に2回以上の複数回にわけて導入することも可能である。

[0116] 本実施形態の場合、深いS／D電極部分の接合リーク電流を抑制し、不純物を高活性化できる。また、通常S／Dプロセスであるので、本発明の効果を得ながら、工程数を少なくすることができる。

[0117] 以上、本発明の実施形態について説明してきたが、本発明は、同じミリ秒オーダーの極短時間アニールであるフラッシュランプアニール技術に適用することも可能である。その際は、上記1から4の実施形態において、レーザーアニールを行う部分をそのままフラッシュランプアニールに置き換えればよい。そうすると、フラッシュランプアニールを用いて形成されたPN接合の接合リーク電流を抑制することと、不純物の活性化率を高くすることをバランスよく両立させることができる。

[0118] 幾つかの好適な実施の形態及び実施例に関連付けして本発明を説明したが、これら実施の形態及び実施例は単に実例を挙げて発明を説明するためのものであって、限定することを意味するものではないことが理解できる。本明細書を読んだ後であれ

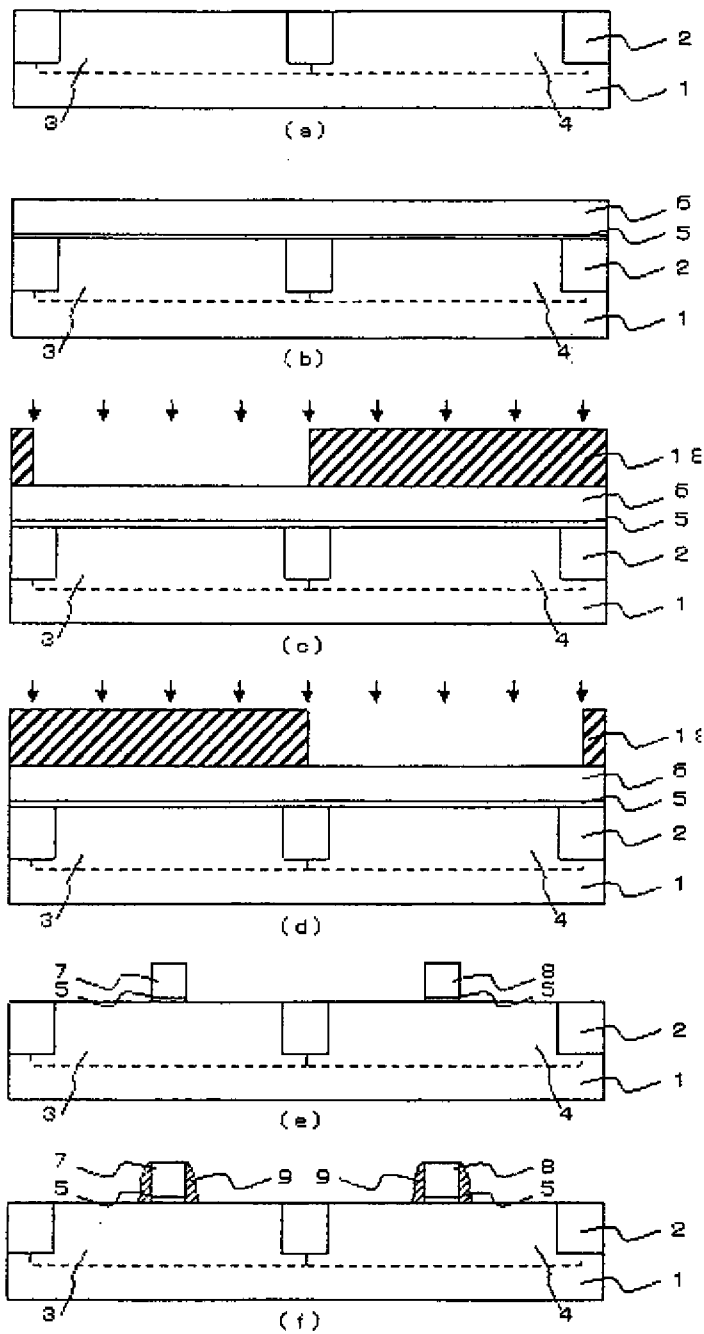
ば、当業者にとって等価な構成要素や技術による数多くの変更および置換が容易であることが明白であるが、このような変更および置換は、添付の請求項の真の範囲及び精神に該当するものであることは明白である。

請求の範囲

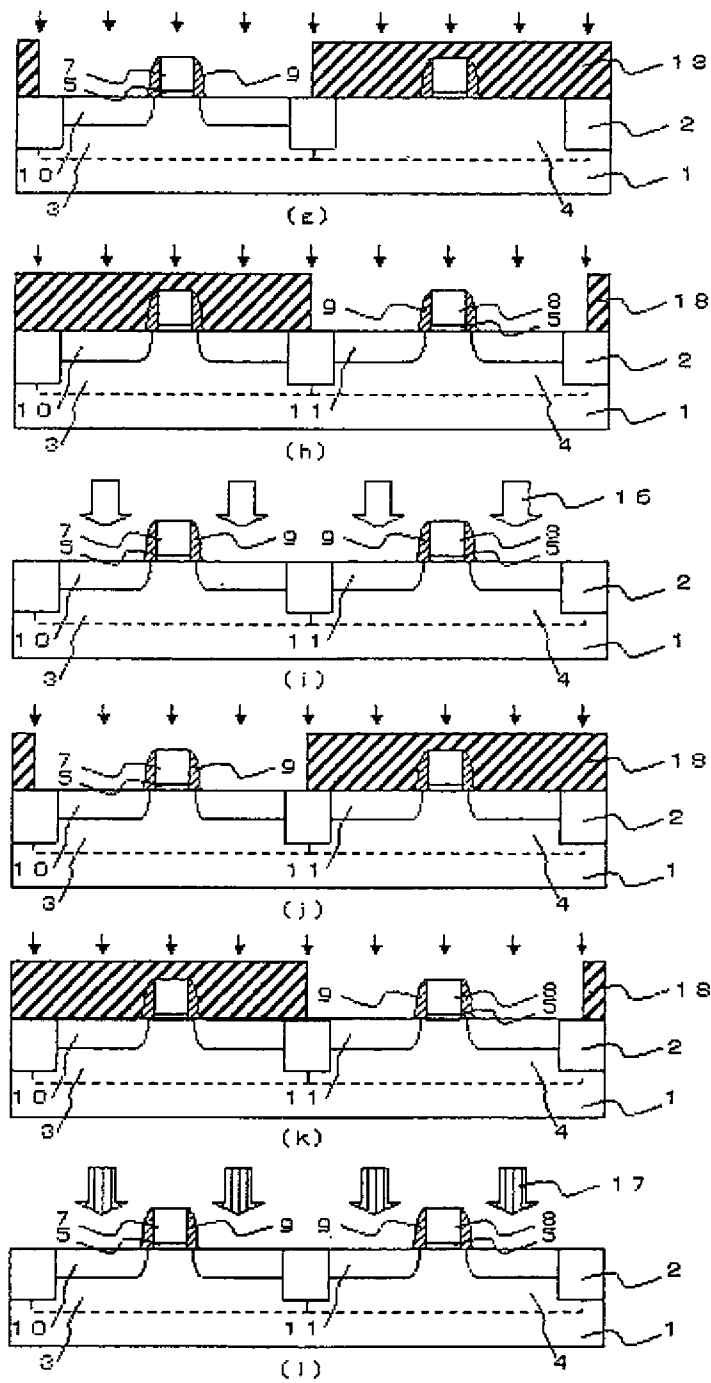
- [1] 半導体装置の製造方法において、
半導体基板の所定の領域に不純物が所定量導入されて活性化されPN接合が形成される際に、所定の領域に所定量の不純物が導入される不純物導入工程と、
前記不純物を導入した所定の領域が活性化される活性化工程を有し、
両工程が複数回繰り返されて、最後に不純物が導入された不純物導入工程では前記所定の領域がレーザーアニール法で活性化されることを特徴とする半導体装置の製造方法。
- [2] 半導体装置の製造方法において、
半導体基板の所定の領域に不純物が所定量導入されて活性化されPN接合が形成される際に、所定の領域に所定量の不純物が導入される不純物導入工程と、
前記不純物を導入した所定の領域が活性化される活性化工程を有し、
両工程が2回繰り返されて、最後に不純物が導入された不純物導入工程では前記所定の領域がレーザーアニール法で活性化されることを特徴とする半導体装置の製造方法。
- [3] 最後に導入される不純物の前記活性化工程を除いて、不純物の前記活性化工程が前記レーザーアニール方法に加えて前記レーザーアニール法以外の活性化法を含むことを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。
- [4] 最後に導入する不純物の前記活性化工程を除いて、不純物の活性化工程はRTA方法を用いて活性化されることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置の製造方法。
- [5] 不純物の導入工程がイオン注入法で導入されることを特徴とする請求項1乃至請求項4のいずれか一項に記載の半導体装置の製造方法。
- [6] 半導体装置がMISFETである半導体装置の製造方法において、前記製造方法が、S/Dエクステンション電極領域を先に形成する工程と、その後に深いS/D電極領域を形成する工程とを有する通常S/Dプロセスであり、前記2つの電極領域のうち、前記深いS/D電極領域に用いられることを特徴とする請求項1乃至請求項5のいずれか一項に記載の半導体装置の製造方法。

- [7] 半導体装置がMISFETである半導体装置の製造方法において、前記製造方法が、S/Dエクステンション電極領域を先に形成する工程と、その後に深いS/D電極領域を形成する工程とを有する通常S/Dプロセスであり、前記2つの電極領域のうち、前記S/Dエクステンション電極領域に用いられることを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置の製造方法。
- [8] 半導体装置がMISFETである半導体装置の製造方法において、前記製造方法が、深いS/D電極領域を先に形成する工程と、その後にS/Dエクステンション電極領域を形成する工程とを有する逆転S/Dプロセスであり、前記2つの電極領域のうち、前記深いS/D電極領域に用いられることを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置の製造方法。
- [9] 半導体装置がMISFETである半導体装置の製造方法において、前記製造方法が、深いS/D電極領域を先に形成する工程と、その後にS/Dエクステンション電極領域を形成する工程とを有する逆転S/Dプロセスであり、前記2つの電極領域のうち、前記S/Dエクステンション電極領域に用いられることを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置の製造方法。

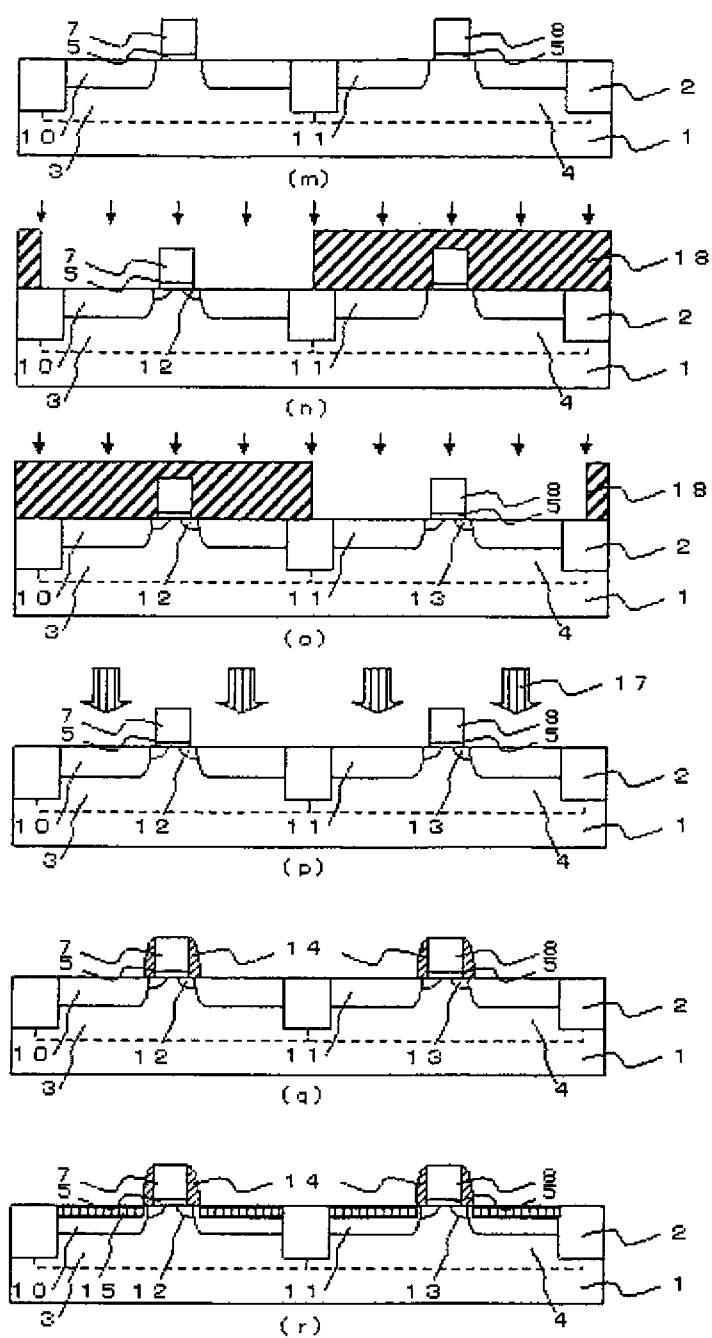
[図1]



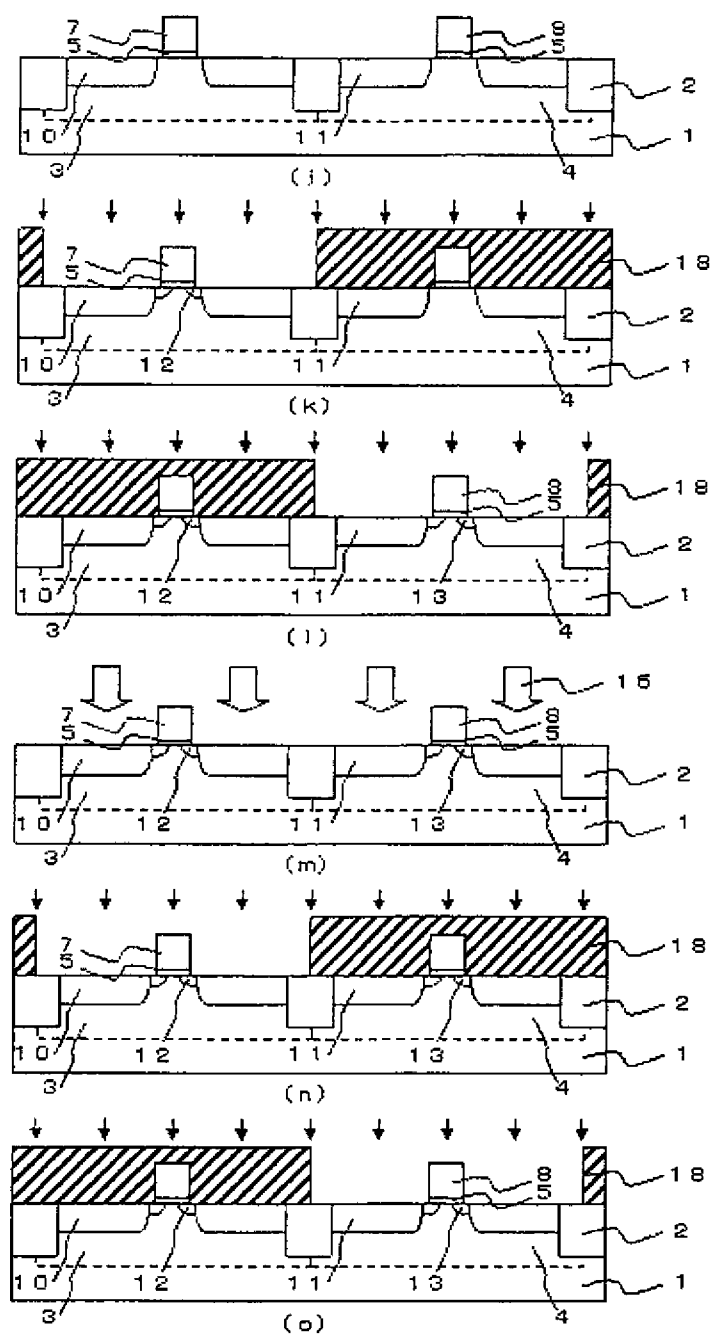
[図2]



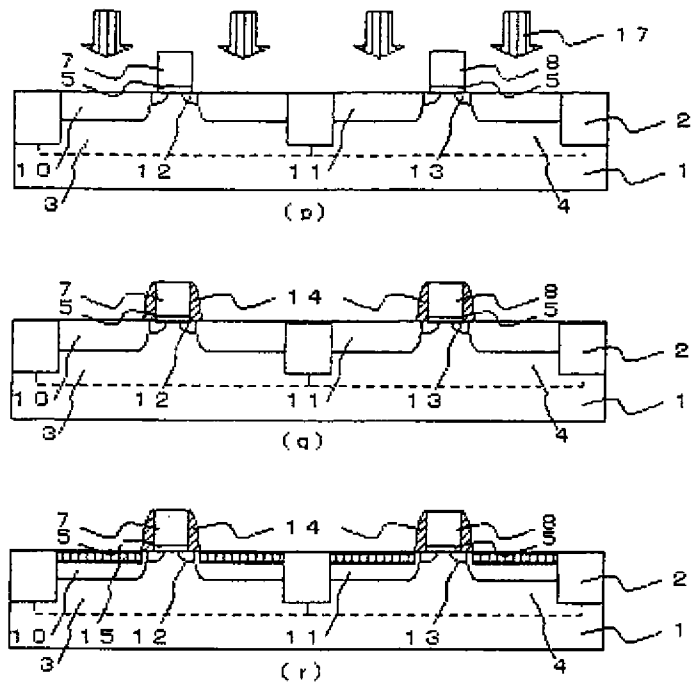
[図3]



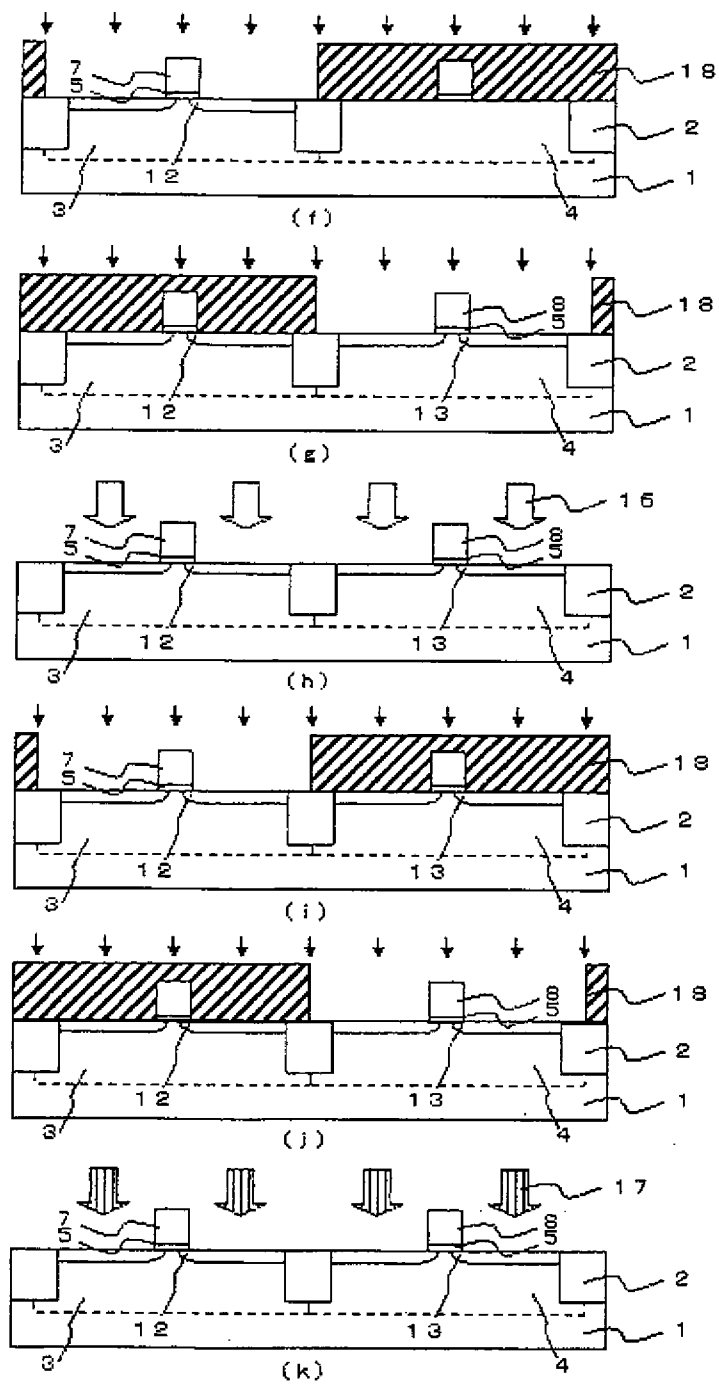
[図4]



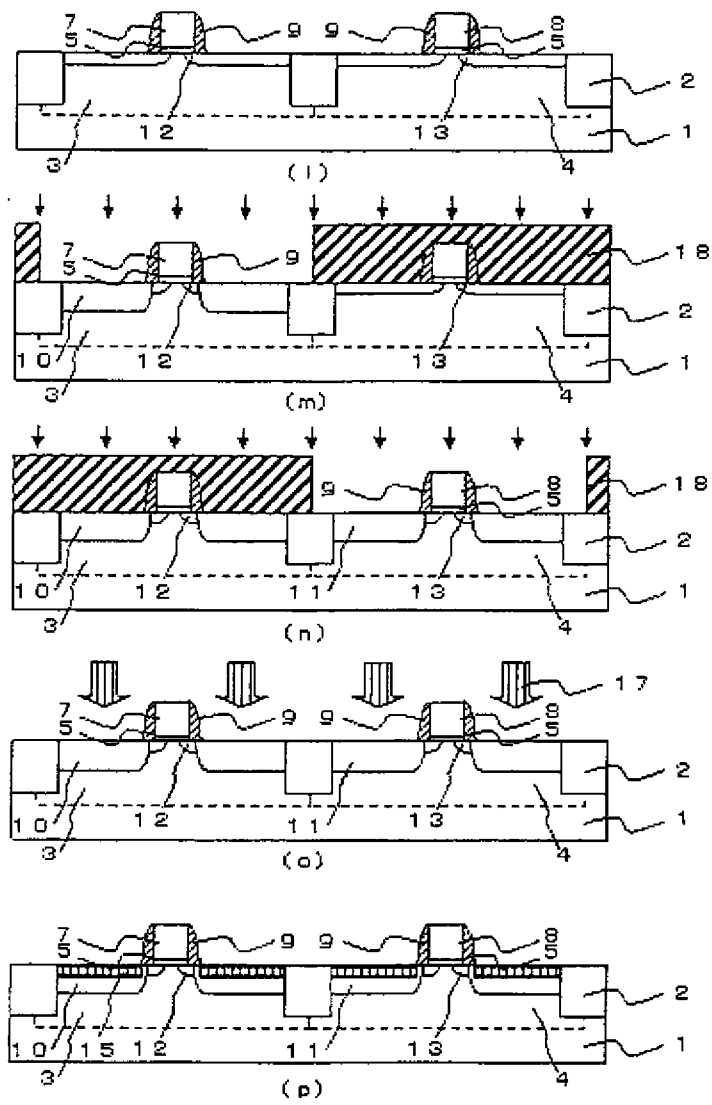
[図5]



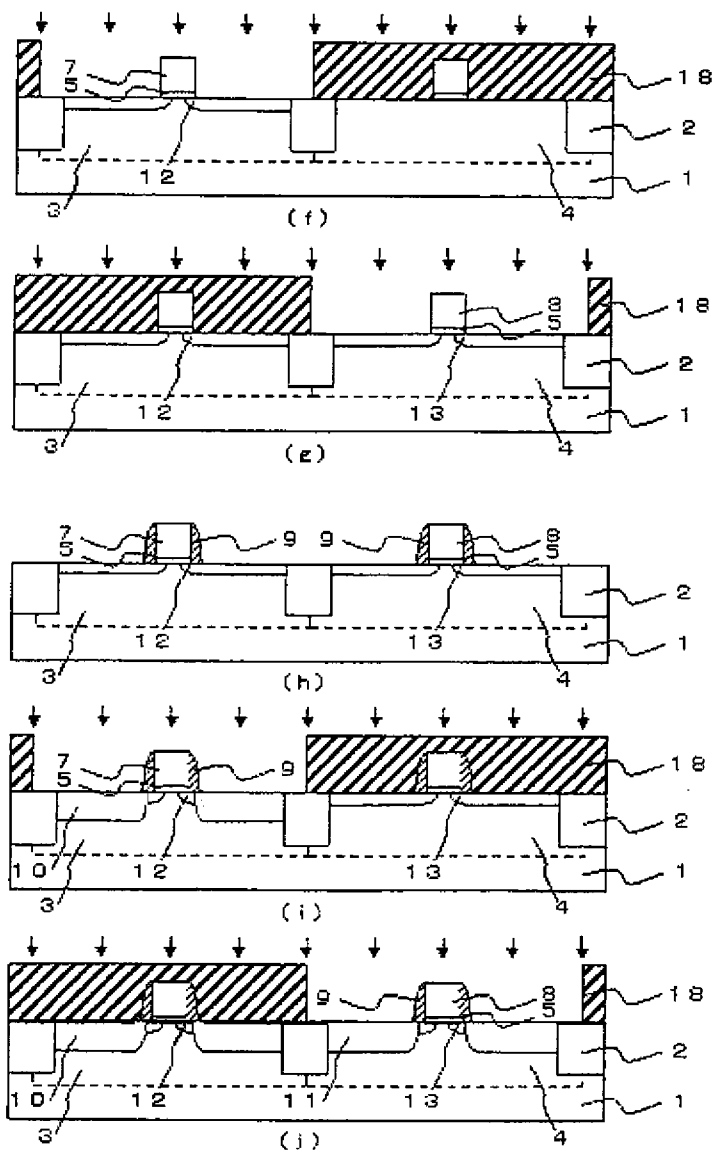
[図6]



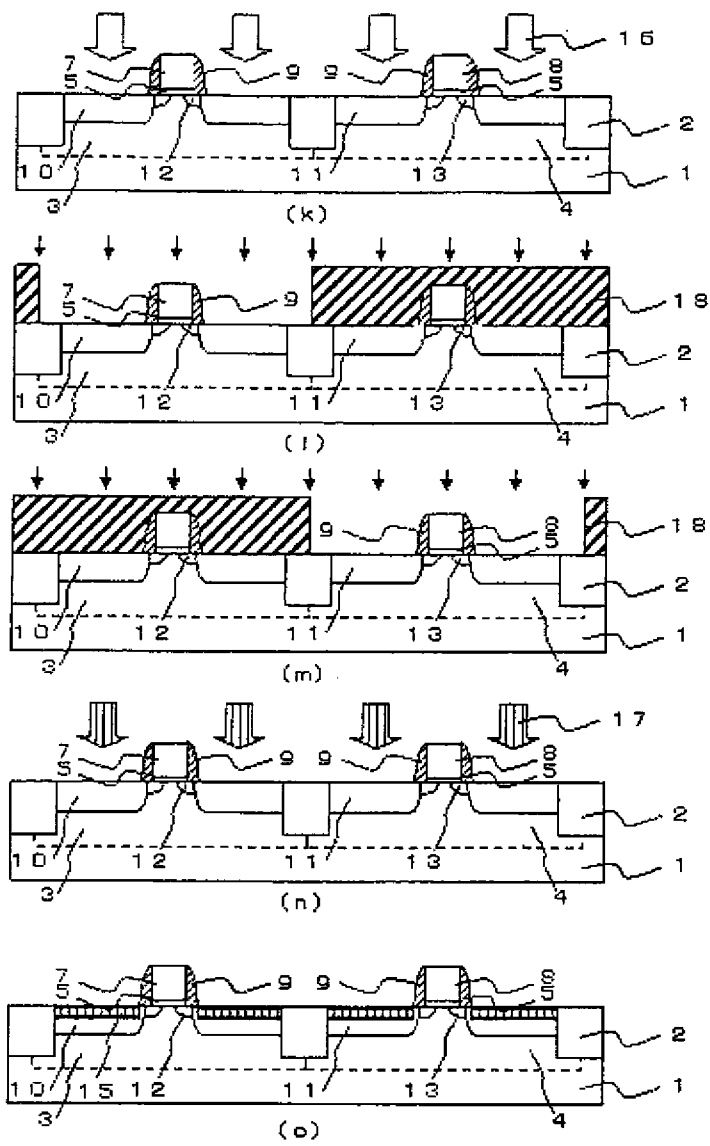
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055772

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/265(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i,
H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/417(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/265, H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/417,
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-082678 A (NEC Corp.), 21 March, 2000 (21.03.00), Figs. 1, 5, 6 (Family: none)	1-5 6
Y	JP 2005-302883 A (Hitachi, Ltd.), 27 October, 2005 (27.10.05), Figs. 1 to 6 (Family: none)	6
A	JP 2001-176986 A (NEC Corp.), 29 June, 2001 (29.06.01), Full text; Figs. 1 to 15 (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 May, 2007 (30.05.07)

Date of mailing of the international search report
12 June, 2007 (12.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055772

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

It appears that the group of inventions claimed in claims 1-9 are linked with each other only in the matter of "process for producing a semiconductor device, characterized in that in the stage of doping a given region of semiconductor substrate with a given amount of impurity to thereby attain activation and forming of PN junction, there are employed the impurity doping step of doping a given region with a given amount of impurity and the activation step of activating the given region having been doped with the impurity, these steps repeated multiple times, and that in the impurity doping step for the final impurity doping, the given region is activated by a laser annealing (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 6 .

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055772

Continuation of Box No.III of continuation of first sheet (2)

method". However, this matter cannot be a special technical feature as described in the prior art literature, for example, JP 2000-082678 A (NEC Corp.) 21 March, 2000 (21.03.00), Figs. 1, 5 and 6, etc.

From the embodiments of invention specified in the independent claims, it appears that the claims of this international application claim four inventions classified into [claims 1-6], [claim 7], [claim 8] and [claim 9].

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/265(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/417(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/265, H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/417, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2000-082678 A（日本電気株式会社），2000.03.21，第1，5，6図（ファミリーなし）	1-5 6
Y	JP 2005-302883 A（株式会社日立製作所），2005.10.27，第1－6図（ファミリーなし）	6
A	JP 2001-176986 A（日本電気株式会社），2001.06.29，全文，第1－15図（ファミリーなし）	1-6

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 5 . 2 0 0 7

国際調査報告の発送日

1 2 . 0 6 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

萩原 周治

電話番号 03-3581-1101 内線 3498

4 L

9 8 3 5

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1－9に記載されている一群の発明は、「半導体基板の所定の領域に不純物が所定量導入されて活性化されP N接合が形成される際に、所定の領域に所定量の不純物が導入される不純物導入工程と、前記不純物を導入した所定の領域が活性化される活性化工程を有し、両工程が複数回繰り返されて、最後に不純物が導入された不純物導入工程では前記所定の領域がレーザーアニール法で活性化されることを特徴とする半導体装置の製造方法。」という事項でのみ連関していると認めるが、この事項は先行技術文献、例えば、J P 2 0 0 0－0 8 2 6 7 8 A（日本電気株式会社）、2 0 0 0．0 3．2 1，第1，5，6図等に記載されているため、特別な技術的特徴とはなり得ない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

1-6

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

第 III 欄の続き

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1-6]、[7]、[8]、[9] とに区分される 4 個の発明が記載されていると認める。