



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년12월30일

(11) 등록번호 10-2748920

(24) 등록일자 2024년12월26일

- (51) 국제특허분류(Int. Cl.)
H01L 21/311 (2006.01) H01L 21/02 (2006.01)
H01L 21/033 (2006.01) H01L 21/3213 (2006.01)
H01L 21/467 (2006.01)
- (52) CPC특허분류
H01L 21/31144 (2013.01)
H01L 21/02175 (2013.01)
- (21) 출원번호 10-2024-7006715(분할)
- (22) 출원일자(국제) 2020년06월22일
심사청구일자 2024년02월27일
- (85) 번역문제출일자 2024년02월27일
- (65) 공개번호 10-2024-0031441
- (43) 공개일자 2024년03월07일
- (62) 원출원 특허 10-2022-7003106
원출원일자(국제) 2020년06월22일
심사청구일자 2023년06월19일
- (86) 국제출원번호 PCT/US2020/038996
- (87) 국제공개번호 WO 2020/263757
국제공개일자 2020년12월30일
- (30) 우선권주장
62/867,797 2019년06월27일 미국(US)
- (56) 선행기술조사문헌
KR1020180002026 A
US20180240667 A1
WO2018152115 A1
- (73) 특허권자
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
- (72) 발명자
허, 성준
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
유, 정이
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
(뒷면에 계속)
- (74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 14 항

심사관 : 최상원

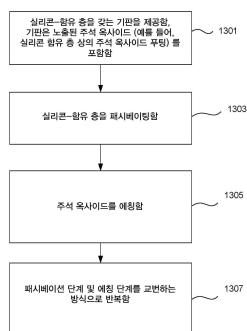
(54) 발명의 명칭 교번하는 에칭 및 패시베이션 프로세스

(57) 요약

주석 옥사이드 막들은 반도체 디바이스 제조시 스페이서들 및 하드 마스크들로서 사용된다. 일 방법에서, 주석 옥사이드 층 (예를 들어, 스페이서 푸팅) 은 SiOC, SiON, SiONC, 비정질 실리콘, SiC, 또는 SiN과 같은 노출된 실리콘-함유 층의 존재시 선택적으로 에칭되어야 한다. 실리콘-함유 층에 대한 손상을 감소시키기 위해, 프로세

(뒷면에 계속)

대표도 - 도13



스는 주석 옥사이드 에칭 화학 물질을 향해 실리콘-함유 층을 패시베이팅하는 단계, 주석 옥사이드를 에칭하는 단계, 및 교번하는 방식으로 패시베이션 및 에칭을 반복하는 것을 수반한다. 예를 들어, 패시베이션 및 에칭은 각각 2 내지 50 회 수행될 수 있다. 일 구현 예에서, 플라즈마에서 활성화된 산소-함유 반응 물질로 기판을 처리함으로써 패시베이션이 수행되고, 그리고 주석 옥사이드 에칭은 Cl_2 및 BCl_3 의 혼합물을 사용하는 것과 같은 염소-기반 화학 물질에 의해 수행된다.

(52) CPC특허분류

H01L 21/02274 (2013.01)
H01L 21/0228 (2013.01)
H01L 21/0332 (2013.01)
H01L 21/0337 (2013.01)
H01L 21/31122 (2013.01)
H01L 21/31138 (2013.01)
H01L 21/32137 (2013.01)
H01L 21/32139 (2013.01)
H01L 21/467 (2013.01)

(72) 발명자

리앙, 첸-웨이

미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650

한슨, 알란 제이.

미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650

탄, 사만다 에스.에이치.

미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650

명세서

청구범위

청구항 1

반도체 기판을 프로세싱하는 방법에 있어서,

- (a) 노출된 실리콘-함유 재료 및 노출된 주석 옥사이드를 갖는 반도체 기판을 제공하는 단계;
- (b) 주석 옥사이드 에칭 화학 물질에 대해 상기 노출된 실리콘-함유 재료를 패시베이팅하는 단계;
- (c) 상기 주석 옥사이드 에칭 화학 물질을 사용하여 상기 노출된 주석 옥사이드를 에칭하는 단계; 및
- (d) 상기 단계 (b) 및 상기 단계 (c) 가 교번하는 방식으로 수행되도록 상기 단계 (b) 및 상기 단계 (c) 를 반복하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 2

제 1 항에 있어서,

상기 노출된 실리콘-함유 재료는 비정질 실리콘, 실리콘 옥사이드, SiON, SiOC, SiONC, SiC, 및 SiN으로 구성된 그룹으로부터 선택되는, 반도체 기판 프로세싱 방법.

청구항 3

제 1 항에 있어서,

상기 단계 (c) 는 상기 반도체 기판을 Cl_2 , BCl_3 , 및 이들의 조합들로 구성된 그룹으로부터 선택된 플라즈마-활성화된 염소-함유 반응 물질에 노출시키는 것을 포함하는, 염소-기반 에칭 화학 물질을 사용하여 주석 옥사이드를 에칭하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 4

제 1 항에 있어서,

상기 단계 (c) 는 주석 하이드라이드의 형성을 발생시키는 수소-기반 에칭 화학 물질을 사용하여 상기 주석 옥사이드를 에칭하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 5

제 1 항에 있어서,

상기 단계 (c) 는 H_2 , HBr , NH_3 , H_2O , 탄화수소, 및 이들의 조합들로 구성된 그룹으로부터 선택된 플라즈마 활성화된 수소-함유 반응 물질과 상기 반도체 기판을 콘택트시킴으로써 수소-기반 에칭 화학물질을 사용하여 상기 주석 옥사이드를 에칭하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 6

제 1 항에 있어서,

상기 단계 (c) 는 상기 반도체 기판을 Cl_2 , BCl_3 , 및 이들의 조합들로 구성된 그룹으로부터 선택된 염소-함유 반응 물질, 및 헬륨, 네온, 아르곤, 및 제논 및 이들의 조합들로 구성된 그룹으로부터 선택된 희석 가스를 포함하는 플라즈마-활성화된 프로세스 가스에 노출시키는 것을 포함하는, 염소-기반 에칭 화학 물질을 사용하여 주석 옥사이드를 에칭하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 7

제 1 항에 있어서,

상기 단계 (b) 는 산소-함유 반응 물질로 상기 기판을 처리하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 8

제 1 항에 있어서,

상기 단계 (b) 는 플라즈마-활성화된 산소-함유 반응 물질로 상기 기판을 처리하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 9

제 1 항에 있어서,

상기 단계 (b) 는 O_2 , O_3 , SO_2 , 및 CO_2 로 구성된 그룹으로부터 선택된 가스를 포함하는 프로세스 가스에서 형성된 플라즈마로 상기 기판을 처리하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 10

제 1 항에 있어서,

상기 단계 (b) 는 상기 단계 (c) 전에 수행되는, 반도체 기판 프로세싱 방법.

청구항 11

제 1 항에 있어서,

상기 단계 (c) 는 상기 단계 (b) 전에 수행되는, 반도체 기판 프로세싱 방법.

청구항 12

제 1 항에 있어서,

상기 단계 (b) 및 상기 단계 (c) 는 2 내지 50 회 수행되는, 반도체 기판 프로세싱 방법.

청구항 13

제 1 항에 있어서,

상기 실리콘-함유 재료는 비정질 실리콘, 실리콘 옥사이드, $SiON$, $SiOC$, $SiONC$, SiC , 및 SiN 으로 구성된 그룹으로부터 선택되고, 상기 단계 (b) 에서 패시베이팅하는 단계는 플라즈마-활성화된 산소-함유 반응 물질을 사용하여 상기 기판을 처리하는 단계를 포함하고, 상기 단계 (c) 는 상기 반도체 기판을 Cl_2 , BCl_3 , 및 이들의 조합들로 구성된 그룹으로부터 선택된 플라즈마-활성화된 염소-함유 반응 물질에 노출하는 것을 포함하는, 염소-기반 에칭 화학 물질을 사용하여 상기 주석 옥사이드를 에칭하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

청구항 14

제 1 항에 있어서,

상기 단계 (b) 는 질소-함유 반응 물질로 상기 반도체 기판을 처리하는 단계를 포함하는, 반도체 기판 프로세싱 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 디바이스 제작 방법들에 관한 것이다. 구체적으로, 본 발명의 실시 예들은 반도체 프로세싱에서 주석 옥사이드 막들을 사용하는 방법들에 관한 것이다.

배경 기술

[0002] 집적 회로 (IC) 제조에서, 증착 및 에칭 기법들 (techniques) 은 유전체 층들에 임베딩된 금속 라인들을 형성하기 위해, 재료들의 패턴들을 형성하기 위해 사용된다. 일부 패턴링 스킴들은 정밀한 패턴링 및 소규모 피처들

의 형성을 가능하게 하는 스페이서들의 사용을 수반한다. 스페이서들은 (통상적으로 이전 패터닝에 의해 결정된) 규정된 거리들에 의해 분리되도록 기판 상에 형성되고, 아래에 놓인 층들의 패터닝을 위한 마스크로서 사용된다. 스페이서들 및 주변 층들의 재료들은 스페이서들의 형성 및 하부 층들의 패터닝 모두를 가능하게 하는 적절한 에칭 선택도를 갖도록 선택된다. 패터닝이 완료된 후, 스페이서들은 에칭에 의해 제거되고, 최종적으로 제조된 반도체 디바이스의 일부가 아니다.

[0003] 스페이서들은 DRAM (dynamic random-access memory) 의 형성, finFET들 (fin field effect transistors) 의 핀들을 패터닝하고, BEOL (back end of line) 프로세싱을 포함하는 다양한 애플리케이션들에서 패터닝을 위해 사용된다.

[0004] 본 명세서에 제공된 배경기술 기술 (description) 은 본 개시의 맥락을 일반적으로 제시하는 목적을 위한 것이다. 이 배경기술 섹션에 기술된 정도의 본 명세서에 명명된 발명자들의 업적, 뿐만 아니라 출원시 종래 기술로서 달리 인정되지 않을 수도 있는 본 기술의 양태들은 본 개시에 대한 종래 기술로서 명시적으로나 암시적으로 인정되지 않는다.

발명의 내용

[0005] 참조로서 인용

[0006] PCT 신청 양식은 본 출원의 일부로서 본 명세서와 동시에 제출되었다. 본 출원이 동시에 제출된 PCT 신청 양식에서 식별된 바와 같이 우선권 또는 이익을 주장하는 출원 각각은 전체가 모든 목적들을 위해 참조로서 포함되었다.

[0007] 일 양태에서, 반도체 기판을 프로세싱하는 방법이 제공되고, 방법은 (a) 실리콘-함유 층 위에 복수의 돌출하는 피쳐들을 갖는 반도체 기판을 제공하는 단계로서, 반도체 기판은 돌출하는 피쳐들에 노출된 주석 옥사이드 및 실리콘-함유 층의 노출된 실리콘-함유 재료를 포함하는, 반도체 기판을 제공하는 단계; (b) 주석 옥사이드 에칭 화학 물질을 향해 노출된 실리콘-함유 재료를 패시베이팅하는 단계; (c) 주석 옥사이드 에칭 화학 물질을 사용하여 노출된 주석 옥사이드를 에칭하는 단계; 및 (d) 단계 (b) 및 단계 (c) 가 교번하는 방식으로 수행되도록 단계 (b) 및 단계 (c) 를 반복하는 단계를 포함한다. 이 방법을 사용하여, 돌출하는 피쳐들 근방에 주석 옥사이드 푸팅이 실리콘-함유 층에 손상을 유발하지 않고 감소될 수 있다.

[0008] 일부 실시 예들에서, 실리콘-함유 재료는 비정질 실리콘, 실리콘 옥사이드, SiON, SiOC, SiONC, SiC, 및 SiN 중 적어도 하나이다. 일 실시 예에서, 단계 (c) 에서 염소-기반 에칭 화학 물질을 사용하여 주석 옥사이드를 에칭하는 단계 및 반도체 기판을 Cl_2 , BCl_3 , 및 이들의 조합들로 구성된 그룹으로부터 선택된 플라즈마-활성화된 염소-함유 반응 물질에 노출시키는 단계를 포함한다. 일부 구현 예들에서, 플라즈마는 Cl_2 , BCl_3 및 이들의 조합들로 구성된 그룹으로부터 선택된 염소-함유 반응 물질, 및 헬륨, 네온, 아르곤, 및 제논 및 이들의 조합으로 구성된 그룹으로부터 선택된 희석 가스를 포함하는 프로세스 가스에서 형성된다.

[0009] 일 실시 예에서, 단계 (c) 에서 주석 옥사이드를 에칭하는 단계는 주석 하이드라이드의 형성을 발생시키는 수소-기반 에칭 화학 물질을 사용하는 단계를 포함한다. 예를 들어, 단계 (c) 는 H_2 , HBr , NH_3 , H_2O , 탄화수소, 및 이들의 조합들로 구성된 그룹으로부터 선택된 플라즈마 활성화된 수소-함유 반응 물질과 반도체 기판을 콘택트 시킴으로써 수소-기반 에칭 화학물질을 사용하여 주석 옥사이드를 에칭이 수행될 수 있다.

[0010] 일부 실시 예들에서, 실리콘-함유 층의 패시베이션은 단계 (b) 는 산소-함유 반응 물질로 기판을 처리함으로써 수행된다. 예를 들어, 실리콘-함유 층은 단계 (b) 는 플라즈마-활성화된 산소-함유 반응 물질로 기판을 처리함으로써 패시베이팅될 수도 있다. 특정한 실시 예들에서, O_2 , O_3 , SO_2 , 및 CO_2 로 구성된 그룹으로부터 선택된 가스를 포함하는 프로세스 가스에서 플라즈마가 형성된다.

[0011] 일부 실시 예들에서, 패시베이션 단계 (b) 는 에칭 단계 (c) 전에 수행된다. 일부 실시 예들에서, 에칭 단계 (c) 는 패시베이션 단계 (b) 전에 수행된다. 일부 실시 예들에서, 단계 (b) 및 단계 (c) 는 2 내지 50 회 수행된다.

[0012] 일부 실시 예들에서, 돌출하는 피쳐들은 수평 표면들 및 측벽들을 포함하고, 방법은 돌출하는 피쳐들의 측벽들에서 주석 옥사이드 푸팅을 감소시킨다.

[0013] 일 구현 예에서, 비정질 실리콘, 실리콘 옥사이드, SiON, SiOC, SiONC, SiC, 및 SiN으로 구성된 그룹으로부터

선택되고, 단계 (b) 에서 패시베이팅하는 단계는 플라스마-활성화된 산소-함유 반응 물질을 사용하여 기판을 처리하는 단계를 포함하고, 단계 (c) 에서 에칭하는 단계는 반도체 기판을 Cl_2 , BCl_3 , 및 이들의 조합들로 구성된 그룹으로부터 선택된 플라스마-활성화된 염소-함유 반응 물질에 노출하는 것을 포함하는, 염소-기반 에칭 화학 물질을 사용하여 주석 옥사이드를 에칭하는 단계를 포함한다.

[0014] 일부 실시 예들에서, 단계 (b) 의 패시베이션은 질소-함유 반응 물질로 반도체 기판을 처리하는 것을 포함한다.

[0015] 일부 실시 예들에서, 방법은 반도체 기판에 포토레지스트를 도포하는 단계; 포토레지스트를 광에 노출시키는 단계; 포토레지스트를 패터닝하고 패터를 반도체 기판으로 전사하는 단계; 및 반도체 기판으로부터 포토레지스트를 선택적으로 제거하는 단계를 더 포함한다.

[0016] 또 다른 양태에서, 반도체 기판을 프로세싱하기 위한 장치가 제공되고, 장치는 (a) 반도체 기판을 위한 지지부 및 프로세싱 챔버 내로 하나 이상의 반응 물질들의 도입을 위한 유입구를 갖는 프로세싱 챔버; 및 (b) 제어기로서, (i) 반도체 기판 상의 실리콘-함유 층을 주석 옥사이드 에칭 화학 물질을 향해 패시베이션을 유발하는 단계; (ii) 반도체 기판 상에 주석 옥사이드의 에칭을 유발하는 단계; 및 (iii) 단계 (i) 및 단계 (ii) 의 교번하는 방식으로 반복을 유발하는 단계를 위한 프로그램 인스트럭션들을 포함하는, 제어기를 포함한다. 일부 실시 예들에서, 단계 (i) 는 플라스마-활성화된 산소-함유 반응 물질 (예를 들어, 플라스마-활성화된 O_2) 을 사용하여 반도체 기판의 처리를 유발하는 것을 포함한다. 일부 실시 예들에서, 단계 (ii) 는 염소-기반 화학 물질을 사용하여 주석 옥사이드의 에칭을 유발하는 것을 포함한다. 일부 실시 예들에서, 단계 (ii) 는 수소-기반 화학 물질을 사용하여 주석 옥사이드의 에칭을 유발하는 것을 포함한다. 일부 실시 예들에서, 프로그램 인스트럭션들은 2 내지 50 회 교번하는 방식으로 단계 (i) 및 단계 (ii) 를 수행하기 위한 인스트럭션들을 포함한다.

[0017] 또 다른 양태에서, 장치가 제공되고, 장치는 프로세스 챔버 및 본 명세서에 제공된 임의의 방법들을 유발하기 위한 프로그램 인스트럭션들을 갖는 제어기를 포함한다.

[0018] 또 다른 양태에서, 본 명세서에 기술된 임의의 방법들을 수행하기 위해 구성된 코드를 포함하는 비 일시적인 컴퓨터 판독 가능 매체가 제공된다.

[0019] 본 명세서에 기술된 주제의 하나 이상의 구현 예들의 세부사항들은 첨부된 도면들 및 이하의 기술 (description) 에 제시된다.

도면의 간단한 설명

[0020] 도 1a 내지 도 1f는 스페이서 형성을 수반하는 프로세싱을 겪는 반도체 기판의 개략적인 단면도들을 도시한다.

도 2는 본 명세서에 제공된 실시 예에 따른 방법에 대한 프로세스 흐름도이다.

도 3a 내지 도 3e는 본 명세서에 제공된 실시 예에 따른 프로세싱을 겪는 반도체 기판의 개략적인 단면도들을 도시한다.

도 4는 본 명세서에 제공된 실시 예에 따른 주석 옥사이드 스페이서들을 형성하는 방법에 대한 프로세스 흐름도이다.

도 5a 내지 도 5c는 본 명세서에 제공된 실시 예에 따른 프로세싱을 겪는 반도체 기판의 개략적인 단면도들을 도시한다.

도 5d 내지 도 5g는 본 명세서에 제공된 또 다른 실시 예에 따른 프로세싱을 겪는 반도체 기판의 개략적인 단면도들을 도시한다.

도 5h 내지 도 5k는 본 명세서에 제공된 또 다른 실시 예에 따른 프로세싱을 겪는 반도체 기판의 개략적인 단면도들을 도시한다.

도 5l 내지 도 5o는 본 명세서에 제공된 또 다른 실시 예에 따른 프로세싱을 겪는 반도체 기판의 개략적인 단면도들을 도시한다.

도 6은 본 명세서에 제공된 실시 예에 따른 반도체의 방법에 대한 프로세스 흐름도이다.

도 7a 내지 도 7c는 본 명세서에 제공된 실시 예에 따른 프로세싱을 겪는 반도체 기판의 개략적인 단면도들을

도시한다.

도 8은 본 명세서에 제공된 실시 예에 따른 방법에 대한 프로세스 흐름도이다.

도 9a 내지 도 9c는 본 명세서에 제공된 실시 예에 따른 프로세싱을 겪는 반도체 기관의 개략적인 단면도들을 도시한다.

도 10은 본 명세서에 제공된 실시 예에 따른 방법에 대한 프로세스 흐름도이다.

도 11은 본 명세서에 제공된 예칭 화학 물질들을 사용하여 주석 옥사이드를 예칭하기 적합한 장치의 개략적인 표현이다.

도 12는 본 명세서에 제공된 실시 예에 따른 멀티-스테이션 프로세싱 시스템의 개략도를 도시한다.

도 13은 본 명세서에 제공된 실시 예에 따른 방법에 대한 프로세스 흐름도이다.

도 14a 내지 도 14c는 본 명세서에 제공된 실시 예에 따른 프로세싱을 겪는 반도체 기관의 개략적인 단면도들을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0021] 반도체 디바이스 제작시 주석 옥사이드 막들을 채용하는 방법들이 제공된다. 방법들은 실리콘-함유 화합물들 (예를 들어, 실리콘 옥사이드 (SiO_2), 실리콘 카바이드 (SiC), 실리콘 나이트라이드 (SiN), 실리콘 옥시카바이드 (SiOC), 실리콘 옥시나이트라이드 (SiNO), 실리콘 옥시카보나이트라이드 (SiCNO), 및 실리콘 카보나이트라이드 (SiCN)), 원소 실리콘 (Si), 탄소 (비정질 탄소 및 다이아몬드 유사 탄소 포함), 포토레지스트, 탄소-함유 화합물들 (예를 들어, 유기 폴리머들, 금속 카바이드들, 텅스텐-함유 탄소), 금속들 (예를 들어, 텅스텐), 금속 옥사이드들 (예를 들어, 티타늄 옥사이드, 하프늄 옥사이드, 지르코늄 옥사이드, 탄탈륨 옥사이드), 및 금속 나이트라이드들 (예를 들어, 탄탈륨 나이트라이드 (TaN) 및 티타늄 나이트라이드 (TiN)) 과 같은 광범위한 재료들을 채용하는 프로세스 스킴들에 주석 옥사이드 막들의 통합을 가능하게 하는 튜닝 가능 예칭 레이트들 및 선택도들을 갖는 다수의 예칭 프로세스들을 활용한다. 일부 실시 예들에서, 주석 옥사이드는 임의의 이들 재료들의 존재시 적어도 약 10:1, 예컨대 적어도 약 20:1의 예칭 선택도로 예칭된다. 일부 실시 예들에서, 이들 재료들 중 임의의 재료는 주석 옥사이드의 존재시 적어도 약 10:1, 예컨대 적어도 약 20:1의 예칭 선택도로 예칭된다.
- [0022] 일부 실시 예들에서, 주석 옥사이드 막이 스페이서, 또는 하드 마스크 (예를 들어, 포토레지스트 아래 그리고 타깃 층 위에 위치된 중간 층) 인, 패터닝 프로세스들에서 사용된다. 예를 들어, 주석 옥사이드는 자기-정렬된 스페이서-보조된 패터닝 (self-aligned spacer-assisted patterning) 에서 스페이서, SADP (self-aligned double patterning) 또는 SAQP (self-aligned quadruple patterning) 의 중간 층, 콘택트 홀 하드 마스크, EUV (extreme UV) 하드 마스크, 리버스 톤 마스크 (reverse tone mask), 또는 BEOL (back end of the line) 하드 마스크일 수 있다. 선택적인 예칭 프로세스들과 함께, 주석 옥사이드는 이들 적용 예들에 의해 부과된 (impose) 엄격한 CD (critical dimension)/프로파일 및 선택도 요건들을 충족한다. 예칭 프로세스들은 Lam Research Corporation에 의해 제공된 Kryo[®] 및 Flex[™] 예칭 툴들과 같은 플라즈마 예칭을 허용하는 다양한 툴들 상에서 구현될 수 있다.
- [0023] 주석 옥사이드는 주석 옥사이드를 휘발성 주석 하이드라이드 생성물들 (예를 들어, 주석 테트라하이드라이드) 로 변환하는 수소-기반 예칭들을 사용하여 매우 다양한 재료들에 대해 선택적으로 예칭될 수 있다. 본 명세서에 사용된 바와 같은 용어 "주석 하이드라이드"는 복수의 주석 하이드라이드들 (주석-수소 결합을 갖는 화합물들) 을 포함하고 주석 테트라하이드라이드 (SnH_4) 로만 제한되지 않는다. 유사하게 "주석 클로라이드" 및 "실리콘 플루오라이드"와 같은 용어들은 복수의 클로라이드들 및 플루오라이드들을 포함할 수도 있다. 많은 다른 금속들의 하이드라이드들과 달리, 주석 테트라하이드라이드는 낮은 비등점을 갖고, 따라서 퍼지 및/또는 배기에 의해 프로세스 챔버들로부터 용이하게 제거될 수 있어서 수소-기반 예칭을 선택적인 주석 옥사이드 예칭에 특히 매력적인 프로세스로 만든다.
- [0024] 본 명세서에 사용된 바와 같이, 주석 옥사이드는 주석 (Sn) 및 산소 (O) 를 포함하는 재료들을 지칭하고, 선택 가능하게 (optionally) 수소를 포함할 수도 있다. 본 명세서에 사용된 바와 같이, 주석 옥사이드는 탄소 및 질소와 같은 소량의 다른 원소들을 더 포함할 수도 있고, 다른 원소들의 총량은 10 원자% 이하이다 (수소는 함량의 계산에 포함되지 않음). 예를 들어, ALD-증착된 주석 옥사이드는 약 0.5 내지 5 원자% 탄소를 함유할 수

있다. 주석 옥사이드는 예를 들어, ALD, PECVD, 또는 PVD에 의해 증착될 수 있다. 주석 옥사이드의 화학량론은 일반적으로 가변할 수 있다. 일부 실시 예들에서, 주석 대 산소의 원자비는 약 1:2 (SnO_2) 이다. 1:2 주석 대 산소 화학량론으로부터 작은 편차들이 SnO_2 에서 가능하고 SnO_2 구조의 범위 내에 있다는 것이 이해된다. 예를 들어, SnO_2 의 일부 예들에서 0 대 Sn 원자비는 약 2.0 내지 2.3이다. 약 1.5 내지 2.5의 0 대 Sn 비를 갖는 주석 옥사이드들은 본 명세서에 사용된 바와 같이 SnO_2 재료의 범위 내에 있다. 본 명세서에 기술된 주석 옥사이드 재료들은 인듐 주석 옥사이드 재료들 및 다른 혼합된 옥사이드들과 구별된다.

[0025] 본 명세서에 사용된 바와 같은 다른 화학적 화합물들에서, 화학량론은 명시되지 않는 한 가변할 수도 있다는 것이 이해된다. 예를 들어, SiN 및 HfO 와 같은 화학식들은 화학량론이 아닌 존재하는 원소들을 명시한다. 또한, 본 명세서에 기술된 재료들은 (화학식에 명시되지 않더라도) 수소 및 화학적 명칭에 명시적으로 나열되지 않은 소량의 도펀트들 (예컨대 10 원자% 미만의 도펀트) 을 포함할 수도 있다는 것이 이해된다.

[0026] 본 명세서에 사용된 바와 같은 용어 "반도체 기관"은 그 구조 내 어디든 반도체 재료를 포함하는 반도체 디바이스 제조의 임의의 스테이지에서 기관을 지칭한다. 반도체 기관 내의 반도체 재료는 노출될 필요가 없다는 것이 이해된다. 반도체 재료를 덮는 다른 재료들 (예를 들어, 유전체들) 의 복수의 층들을 갖는 반도체 웨이퍼들이 반도체 기관들의 예들이다. 이하의 상세한 기술은 개시된 구현 예들이 웨이퍼 상에서 구현된다고 가정한다. 그러나, 개시된 구현 예들은 그렇게 제한되지 않는다. 워크피스 (work piece) 는 다양한 형상들, 사이즈들, 및 재료들일 수도 있다. 반도체 웨이퍼들에 더하여, 개시된 구현 예들의 이익을 취할 수도 있는 다른 워크피스들은 인쇄 회로 기관들, 등과 같은 다양한 물품들을 포함한다.

[0027] 일부 실시 예들에서, 제공된 선택적인 에칭 화학 물질들은 다른 재료들 또는 피처들을 제거하지 않고 기관 상의 특정한 재료들 또는 피처들을 제거하도록 사용된다. 본 명세서에 사용된 바와 같이, 에칭 화학 물질은 (수직 방향의 두께를 참조하여) 재료 또는 피처의 적어도 90 % (예컨대 100 %) 가 제거될 때 재료 또는 피처를 "제거"한다. 본 명세서에 사용된 바와 같이, 용어 "제거하지 않고"는 적어도 50 %의 재료 또는 피처 (예컨대 적어도 80 %) 가 에칭 후에 남는 것을 의미하고, 여기서 %는 수직 방향의 두께를 참조한다.

[0028] 일부 실시 예들에서, 제공된 방법들은 돌출하는 피처들의 측면들에 존재하는 재료들을 제거하지 않고 수평 표면들로부터 재료들을 제거하도록 사용된다. 본 명세서에 사용된 바와 같이, 수평 표면들은 돌출하는 피처들의 상단 상의 볼록한 캡들과 같은 수평 평면으로부터 국부적인 편차들을 갖는 표면들을 포함한다는 것이 이해된다.

[0029] 다른 재료들의 존재시 주석 옥사이드의 선택적인 에칭, 뿐만 아니라 주석 옥사이드의 존재시 다른 재료들의 선택적인 에칭을 위해 다양한 에칭 화학 물질들이 개발되었다. 또 다른 재료의 존재시 주석 옥사이드의 선택적인 에칭은 주석 옥사이드 에칭을 지칭하고, 주석 옥사이드의 에칭 레이트 대 다른 재료의 에칭 레이트의 비는 1보다 크고, 다른 재료는 에칭 프로세스의 언제라도 주석 옥사이드로서 동일한 화학 물질에 노출된다. 예를 들어, 다른 재료는 에칭이 시작될 때 노출될 수도 있고, 또는 에칭 과정 동안 노출될 수도 있다. 또 다른 재료의 존재시 주석 옥사이드의 선택적인 에칭을 위한 에칭 선택도는 주어진 화학 물질에 대해 다른 재료의 에칭 레이트에 대한 주석 옥사이드의 에칭 레이트의 비를 지칭한다. 예를 들어, 주석 옥사이드는 실리콘-함유 화합물의 존재시 50보다 큰 에칭 선택도를 갖는 수소-기반 에칭 화학 물질을 사용하여 선택적으로 에칭될 수 있다.

[0030] 유사하게, 주석 옥사이드의 존재시 재료의 선택적인 에칭은 주석 옥사이드의 에칭 레이트에 대한 그 재료의 에칭 레이트의 비가 1보다 크고, 주석 옥사이드는 에칭 프로세스의 언제라도 에칭된 재료와 동일한 에칭 화학 물질에 노출된다. 예를 들어, 주석 옥사이드는 에칭이 시작될 때 노출될 수도 있고, 또는 에칭 과정 동안 노출될 수도 있다. 주석 옥사이드의 존재시 재료의 선택적인 에칭의 에칭 선택도는 주어진 화학 물질에 대해 주석 옥사이드의 에칭 레이트에 대한 그 재료의 에칭 레이트의 비를 지칭한다. 예를 들어, 탄소는 주석 옥사이드의 존재시 50보다 큰 에칭 선택도를 갖는 산소-기반 에칭 화학 물질을 사용하여 선택적으로 에칭될 수 있다.

[0031] 일부 실시 예들에서, 반도체 기관이 제공되고, 반도체 기관은 노출된 주석 옥사이드 층 및 제 2 재료의 층을 포함하고, 여기서 제 2 재료는 노출될 수도 있고 노출되지 않을 수도 있다. 다음에 주석 옥사이드는 본 명세서에 기술된 선택적인 주석 옥사이드 에칭 화학 물질들 중 하나를 사용하여 제 2 재료의 존재시 선택적으로 에칭된다. 예를 들어, 주석 옥사이드는 수소-기반 화학 물질 및/또는 염소-기반 화학 물질을 사용하여 선택적으로 에칭될 수 있다. 제 2 재료는 이 에칭 전에 노출될 수도 있고 또는 주석 옥사이드 에칭 과정 동안 노출될 수도 있다.

[0032] 일부 실시 예들에서, 반도체 기관이 제공되고, 반도체 기관은 제 1 재료의 노출된 층 및 주석 옥사이드의 층을

포함하고, 여기서 주석 옥사이드는 노출될 수도 있고 노출되지 않을 수도 있다. 다음에, 제 1 재료는 본 명세서에 기술된 선택적인 화학 물질들 중 하나를 사용하여 주석 옥사이드의 존재시 선택적으로 에칭된다. 주석 옥사이드는 이 에칭 전에 노출될 수도 있고 또는 주석 옥사이드 에칭 과정 동안 노출될 수도 있다.

[0033] 수소 기반 에칭. 일부 실시 예들에서, 선택적인 주석 옥사이드 에칭은 수소-기반 에칭을 사용하여 수행된다. 수소-기반 에칭은 주석 옥사이드를 휘발성 주석 하이드라이드로 변환하도록 (통상적으로 반응 물질의 플라즈마 활성화와 함께) 주석 옥사이드를 수소-함유 반응 물질에 노출하는 것을 수반한다. SnH_4 는 -52°C 의 비등점을 갖고 프로세스 챔버로부터 쉽게 제거될 수 있다. 수소-함유 반응 물질들의 예들은 H_2 , HBr , NH_3 , H_2O , 및 탄화수소들 (예컨대 CH_4) 을 포함한다. 수소-함유 반응 물질들의 혼합물들이 또한 사용될 수 있다. 수소-기반 에칭은 수소-함유 반응 물질, 및 선택 가능하게, 불활성 가스를 함유하는 프로세스 가스에서 플라즈마를 형성하는 단계, 및 기판을 형성된 플라즈마와 콘택트시키는 단계를 수반한다. 불활성 가스들의 예들은 질소 (N_2), 헬륨 (He), 아르곤 (Ar), 및 네온 (Ne), 및 제논 (Xe) 을 포함한다. 일부 실시 예들에서, H_2 는 바람직한 수소-함유 반응 물질이고, 일부 실시 예들에서, 적어도 50 체적%, 예컨대 적어도 80 체적%의 H_2 를 함유하는 가스에서 플라즈마를 형성하는 것이 바람직하다. 다른 실시 예들에서, HBr 은 수소-함유 반응 물질로서 사용된다. 예를 들어, 주석 옥사이드는 본질적으로 HBr 및 불활성 가스, 예컨대 HBr , N_2 및 아르곤의 혼합물로 구성된 프로세스 가스에서 형성된 플라즈마를 사용하여 선택적으로 에칭될 수 있다. 수소-기반 에칭은 통상적으로 산소-함유 중 및 불소-함유 중을 포함하지 않는 프로세스 가스를 사용하여 수행된다. 일부 실시 예들에서, 프로세스 가스는 본질적으로 하나 이상의 수소-함유 반응 물질들 및 선택 가능하게, 불활성 가스로 구성된다.

[0034] 수소-기반 에칭은 다음 재료들: 실리콘-함유 화합물들, 예컨대 SiO_2 , SiN , SiC , SiOC , SiCN , SiON , SiCNO , 스피온 글래스; 티타늄 옥사이드, 텅스텐 옥사이드, 및 지르코늄 옥사이드와 같은 금속 옥사이드들; 티타늄 나이트라이드 및 탄탈륨 나이트라이드와 같은 금속 나이트라이드들; 금속들, 예컨대 텅스텐; 포토레지스트 및 유기 폴리머들의 존재시 주석 옥사이드를 선택적으로 제거할 수 있다 또한, 수소 기반 에칭은 실리콘 옥사이드 커버된 실리콘의 존재시 주석 옥사이드를 선택적으로 에칭하도록 사용될 수 있다. 실리콘 옥사이드는 종종 실리콘이 대기에 노출될 때 실리콘 표면 상에 형성된다. 수소-기반 에칭은 또한 원소 실리콘 (예를 들어, 비정질 실리콘) 및 탄소의 존재시 주석 옥사이드를 선택적으로 에칭하도록 사용될 수 있다. 또한, 수소-기반 에칭은 금속 카바이드들, 및 금속 및 탄소를 함유하는 재료들의 존재시 주석 옥사이드를 선택적으로 에칭하도록 사용될 수 있다. 예를 들어, 주석 옥사이드는 텅스텐 탄소 재료 (또한 텅스텐-도핑된 탄소로 지칭됨) 의 존재시 수소-기반 에칭을 사용하여 선택적으로 에칭될 수 있다. 일부 실시 예들에서, 텅스텐 탄소 재료는 약 20 내지 60 원자%의 텅스텐을 포함한다.

[0035] 일부 실시 예들에서, 반도체 기판이 제공되고, 반도체 기판은 노출된 주석 옥사이드 층 및 임의의 이들 재료들의 층을 포함한다. 다음에, 주석 옥사이드는 이들 재료들의 존재시 선택적으로 에칭된다. 이들 재료들은 이 에칭 전에 노출될 수도 있고 또는 주석 옥사이드 에칭 과정 동안 노출될 수도 있다.

[0036] 일부 실시 예들에서 수소-기반 에칭의 에칭 선택도는 10 초과, 예컨대 30 초과, 예를 들어, 50 초과, 또는 80 초과이다. 에칭 선택도는 선택된 프로세스 조건들에 대한 다른 재료의 에칭 레이트에 대한 주석 옥사이드의 에칭 레이트의 비를 지칭한다. 일부 예들에서, 100의 에칭 선택도는 H_2 플라즈마의 사용으로 SiO_2 에 대해 주석 옥사이드를 에칭하기 위해 달성된다.

[0037] (수소-함유 반응 물질에 형성된 플라즈마를 지칭하는) 수소 플라즈마를 활용하는 주석 옥사이드 에칭 방법들은 넓은 범위의 프로세스 조건들 하에서 다양한 장치들에서 구현될 수 있다. 일 구현 예에서, 방법들은 주석 옥사이드의 노출된 층을 갖는 반도체 기판을 에칭 챔버에 제공하는 단계, 및 H_2 (또는 또 다른 수소-함유 가스), 및 선택가능하게 캐리어 가스, 예컨대 헬륨 또는 또 다른 불활성 가스를 포함하는 프로세스 가스로 형성된 플라즈마와 기판을 콘택트시키는 단계를 수반한다. 용어 "에칭 챔버" 또는 "에칭 장치"는 에칭을 위해 구성된 챔버 및 장치를 지칭한다. 일부 실시 예들에서, "에칭 챔버" 또는 "에칭 장치"는 에칭 동작들을 위해 배타적으로 구성된다. 다른 실시 예들에서, "에칭 챔버" 또는 "에칭 장치"는 에칭에 더하여 예를 들어, 증착과 같은 다른 동작들을 수행하도록 구성될 수도 있다. 예를 들어, 일부 실시 예들에서, 에칭 챔버는 또한 ALD 증착을 위해 사용될 수도 있다.

[0038] 일부 실시 예들에서, 수소 플라즈마 에칭에 사용된 플라즈마는 반도체 기판을 하우징하는 동일한 프로세스 챔버에서 생성된다. 다른 실시 예들에서, 플라즈마는 리모트로 생성되고, 프로세스 챔버 내의 하나 이상의 유입구

들을 통해 기판을 하우징하는 프로세스 챔버 내로 도입된다.

- [0039] 에칭은 주석 옥사이드를 휘발성 주석 하이드라이드로 변환하도록 제어된다. 일 실시 예에서, 프로세스 가스의 H_2 함량은 적어도 50 체적%, 예컨대 적어도 80 체적%이다 (100 % 이하일 수 있다). 일부 실시 예들에서, 프로세스 가스는 CH_4 와 같은 탄화수소를 더 포함할 수도 있다. 일부 실시 예들에서, 프로세스 가스는 Cl_2 를 더 포함한다. 예를 들어, 프로세스 가스는 본질적으로 H_2 및 불활성 가스 (예를 들어, He) 로 구성될 수도 있고, 또는 프로세스 가스는 본질적으로 H_2 , 불활성 가스 및 탄화수소 (예를 들어, CH_4) 로 구성될 수도 있다. 에칭은 기판 근방에서 측정된, 약 100 °C 미만의 온도에서 수행된다. 유리하게, 에칭 반응은 배기 및/또는 퍼지에 의해 에칭 프로세스 챔버로부터 용이하게 제거될 수 있는, SnH_4 와 같은 휘발성 재료들만을 생성한다. 에칭 프로세스 온도는 보다 높은 온도들이 형성된 SnH_4 의 분해 및 프로세스 챔버 및 기판을 오염시킬 수 있는 입자들의 형성을 야기할 수 있기 때문에, 바람직하게 약 100 °C 미만이도록 선택된다. 프로세스 가스의 조성 및 프로세스 조건들은 에칭 동안 입자들의 형성을 감소시키거나 제거하도록 선택된다. 중요하게, 에칭 반응은 어떠한 상당한 스퍼터링 컴포넌트도 필요로 하지 않고, 기판에서 외부 바이어스의 부재시, 그리고 중이온들 (예를 들어, 아르곤 이온들) 의 부재시 수행될 수 있다. 스퍼터링 컴포넌트를 감소시키는 것은 기판 상의 제 2 재료에 대해 에칭 선택도를 증가시키는데 유리할 수 있다. 따라서, 일부 실시 예들에서, 에칭은 기판에 외부 바이어스를 제공하지 않고 수행되고 그리고/또는 스퍼터링을 감소시키기 위해 캐리어 가스로서 헬륨 (경질 가스) 을 사용하는 것을 수반한다.
- [0040] 수소 플라즈마 에칭을 위한 플라즈마는 다양한 주파수들 (낮은 주파수 및 높은 주파수) 을 사용하여 생성될 수 있다. 적합한 주파수들의 예들은 400 kHz, 2 MHz, 13.56 MHz, 27 MHz 또는 2.45 GHz를 포함한다. 플라즈마 생성을 위해 사용된 전력은 일부 실시 예들에서, 약 0.0018 내지 0.36 W/cm²의 전력 밀도에 대응하는 약 50 W 내지 1,000 W의 범위일 수 있다. 기판에서의 바이어스는 선택 가능하고, 바이어스 전력은 약 0 내지 500 W의 범위일 수 있다. (일 300 mm 웨이퍼를 프로세싱하기 위한) 샤워헤드 당 적합한 가스 플로우 레이트들은 다음과 같다:
- [0041] H_2 : 25 내지 750 sccm;
- [0042] Cl_2 : 0 내지 500 sccm (예를 들어, 5 내지 200 sccm);
- [0043] He: 0 내지 500 sccm (예를 들어, 5 내지 100 sccm); 그리고
- [0044] CH_4 : 0 내지 500 sccm (예를 들어, 5 내지 100 sccm).
- [0045] 일부 실시 예들에서, 에칭 프로세스는 약 1 내지 175 mTorr의 압력에서 수행될 수 있다.
- [0046] 일부 특정한 실시 예들에서, 플라즈마는 고 주파수 생성 (예를 들어, 13.56 MHz 또는 27 MHz) 을 사용하여 생성되고, 0.07 내지 0.18 W/cm²의 전력 밀도에 대응하는 약 200 내지 500 W의 플라즈마 전력을 사용하여 제공된다. 기판에서 바이어스를 위한 전력은 약 0 내지 200 W이다. (일 300 mm 웨이퍼를 프로세싱하기 위한) 샤워헤드 당 적합한 가스 플로우 레이트들은 다음과 같다:
- [0047] H_2 : 100 내지 300 sccm;
- [0048] Cl_2 : 0 내지 200 sccm (예를 들어, 5 내지 100 sccm);
- [0049] He: 0 내지 100 sccm (예를 들어, 5 내지 50 sccm);
- [0050] CH_4 : 0 내지 100 sccm (예를 들어, 5 내지 50 sccm).
- [0051] 에칭 프로세스는 이들 실시 예들에서 약 1 내지 30 mTorr의 압력에서 수행된다.
- [0052] 수소-기반 에칭의 선택도는 에칭 동안 기판의 표면 상에 탄소-함유 폴리머 (예를 들어, CH_x 폴리머) 를 형성하는 프로세스 가스 내의 탄소-함유 반응 물질들을 사용함으로써 상당히 증가될 수 있다는 것이 발견되었다. 일부 실시 예들에서, 이 실시 예에서 사용된 프로세스 가스는 H_2 및 탄화수소 (예를 들어, 메탄 (CH_4)) 를 포함한다. 프로세스 가스는 통상적으로 또한 불활성 가스를 포함한다. 일부 실시 예들에서, 탄화수소에 대한 H_2 의 비는 바람직하게 적어도 5, 예컨대 적어도 10이다. 일부 실시 예들에서, 탄화수소에 대한 H_2 의 체적비는 약 5 내지 500, 예컨대 약 10 내지 300이다. 일부 실시 예들에서, 또 다른 재료 (또는 재료들) 의 존재시 주석 옥사이드

드의 선택적인 에칭은 H_2 및 탄화수소 (예를 들어, CH_4) 를 포함하는 프로세스 가스에서 형성된 플라즈마에 기판을 노출하는 것을 포함한다. 일 구현 예에서 H_2 는 약 100 내지 500 sccm의 플로우 레이트로 제공되고, 탄화수소는 약 1 내지 20 sccm (예컨대 약 5 내지 10 sccm) 의 플로우 레이트로 제공된다. 프로세스는 약 0.14 내지 1.3 W/cm², 예컨대 0.28 내지 0.71 W/cm²의 전력 밀도들에 대응하는, 약 100 내지 1,000 W, 예컨대 약 200 내지 500 W (단일 300 mm 웨이퍼에 대해) 의 플라즈마 전력을 사용하여 수행될 수 있다. 일부 구현 예들에서, 에칭은 약 50 내지 500 Vb, 예컨대 약 100 내지 200 Vb의 기판 바이어스를 사용하여 수행된다. 프로세스는 바람직하게 약 100 °C 미만의 온도에서 수행된다. 일 특정한 예에서 다음의 가스들이 제공된다: 100 sccm의 H_2 ; 5 sccm의 CH_4 , 100 sccm의 헬륨. 플라즈마는 300 W의 전력을 사용하여 프로세스 가스에서 형성되고, 25 % 듀티 사이클에서 100 Vb의 기판 바이어스가 사용된다. 프로세스는 30 °C 및 5 mTorr의 압력에서 수행된다. 본 명세서에 기술된 바와 같이 기판 상의 탄소-함유 폴리머의 형성은 본 명세서에 열거된 임의의 재료들에 대해 주석 옥사이드의 에칭 선택도를 상승시킬 수 있다. 이 효과는 주석 옥사이드가 포토레지스트, 탄소, 탄소 함유 재료들, 및 실리콘 (Si) 의 존재시 에칭될 때 특히 유용하다. 예를 들어, 에칭이 포토레지스트의 존재시 수행될 때, 에칭 선택도는 100보다 클 수 있고, 일부 경우들에서 거의 무한대이다. 이 매우 선택적인 에칭의 사용은 포토리소그래픽 노출 도스를 하락시키기 위해 그리고/또는 작은 미세 피치에서 높은 중형비로 인한 포토레지스트 라인 붕괴를 방지하도록 보다 작은 두께의 포토레지스트의 사용을 허용한다. 기술된 방법에서 CH_x 폴리머는 포토레지스트가 에칭되는 것을 방지한다. 또한 이 에칭은 포토레지스트 층의 기하 구조를 개선하도록 사용될 수 있다. 일부 실시 예들에서, 반도체 기판 상의 주석 옥사이드는 주석 옥사이드 층 위에 배치된 포토레지스트의 존재시, 그리고 주석 옥사이드 아래에 놓인 재료의 존재시 포토레지스트 및 주석 옥사이드 아래에 놓인 재료 모두에 대해 적어도 10의 에칭 선택도로, 이 에칭을 사용하여 선택적으로 에칭된다. 일부 실시 예들에서, 주석 옥사이드 아래에 놓인 재료는 실리콘 (예를 들어, 비정질 실리콘), 실리콘-함유 화합물 (예를 들어, SiO_2 , SiN , SiC , $SiON$, $SiOC$), 탄소 (예를 들어, 비정질 탄소), 및 탄소-함유 화합물 (예를 들어, 탄소 텅스텐) 을 포함한다.

[0053] 일부 실시 예들에서, HBr은 수소-기반 에칭에서 수소-함유 반응 물질로서 사용된다. 일 구현 예에서, 에칭 방법은 50 내지 100 sccm의 플로우 레이트로 HBr, 및 100 내지 500 sccm의 플로우 레이트로 불활성 가스 (예를 들어, 헬륨) 를 흘리는 단계, 및 0.14 내지 0.71 W/cm²의 전력 밀도들에 대응하는 (일 300 mm 웨이퍼 당) 100 내지 500 W의 RF 전력을 사용하여 이 프로세스 가스로 플라즈마를 형성하는 단계를 수반한다. 이 에칭은 기판 바이어스를 사용하거나 사용하지 않고 수행될 수 있다. 예를 들어, 기판 바이어스는 0 내지 200 Vb, 예컨대 50 내지 200 Vb일 수도 있다. 프로세스는 100 °C 미만의 온도 및 5 내지 50 mTorr의 압력에서 수행될 수 있다.

[0054] **염소 기반 에칭.** 일부 실시 예들에서, 선택적인 주석 옥사이드 에칭은 염소-기반 에칭을 사용하여 수행된다. 염소-기반 에칭은 주석 옥사이드를 주석 클로라이드로 변환하도록 (통상적으로 반응 물질의 플라즈마 활성화와 함께) 주석 옥사이드를 염소-함유 반응 물질에 노출하는 것을 수반한다. $SnCl_4$ 는 114 °C의 비등점을 갖고 프로세스 챔버들로부터 제거될 수 있다. 적합한 염소-함유 반응 물질들의 예들은 Cl_2 , 및 BCl_3 를 포함한다. Cl_2 와 BCl_3 의 혼합물이 일 실시 예에서 사용된다. 염소-기반 에칭은, 일 구현 예에서, 염소-함유 반응 물질, 및 선택 가능하게, 불활성 가스를 함유하는 프로세스 가스에서 플라즈마를 형성하는 단계, 및 기판을 형성된 플라즈마와 콘택트시키는 단계를 수반한다. 염소-기반 에칭은 다음 재료들: 실리콘-함유 화합물들, 예컨대 SiO_2 , SiN , SiC , $SiOC$, $SiCN$, $SiON$, $SiCNO$, 스피ن 온 글래스, 탄소, 및 포토레지스트의 존재시 주석 옥사이드를 선택적으로 제거할 수 있지만, 실리콘-함유 재료에 대한 선택도는 통상적으로 수소-기반 에칭을 사용하는 것보다 낮다. 일부 실시 예들에서, 반도체 기판이 제공되고, 반도체 기판은 노출된 주석 옥사이드 층 및 임의의 이들 재료들의 층을 포함한다. 다음에, 주석 옥사이드는 염소-기반 에칭을 사용하여 이들 재료들의 존재시 선택적으로 에칭된다. 이들 재료들은 이 에칭 전에 노출될 수도 있고 또는 주석 옥사이드 에칭 과정 동안 노출될 수도 있다. 일 구현 예에서, 주석 옥사이드는 BCl_3/Cl_2 에칭을 사용하여 임의의 이들 재료들의 존재시 선택적으로 에칭된다. 일 구현 예에서, 에칭 방법은 5 내지 100 sccm의 플로우 레이트로 BCl_3 , 50 내지 500 sccm의 플로우 레이트로 Cl_2 및 100 내지 500 sccm의 플로우 레이트로 불활성 가스 (예를 들어, 헬륨) 를 흘리는 단계, 및 0.14 내지 0.71 W/cm²의 전력 밀도들에 대응하는 (일 300 mm 웨이퍼 당) 100 내지 500 W의 RF 전력을 사용하는 이 프로세스 가스의 플라즈마 형성하는 단계를 수반한다. 이 에칭은 기판 바이어스를 사용하거나 사용하지 않고 수행될 수 있다. 예를 들어, 기판 바이어스는 0 내지 100 Vb, 예컨대 10 내지 100 Vb일 수도 있다. 프로세스는 100 °C

미만의 온도 및 5 내지 50 mTorr의 압력에서 수행될 수 있다.

[0055] 일부 실시 예들에서, 염소-기반 에칭은 주석 옥사이드의 존재시 특정한 금속 옥사이드들을 선택적으로 에칭하도록 사용된다. 예를 들어, 티타늄 옥사이드는 주석 옥사이드의 존재시 염소-기반 에칭을 사용하여 선택적으로 에칭될 수 있다. 일부 실시 예들에서, 반도체 기판이 제공되고, 반도체 기판은 노출된 티타늄 옥사이드 층 및 주석 옥사이드의 층을 포함한다. 다음에, 티타늄 옥사이드는 주석 옥사이드의 존재시 염소-기반 에칭 화학 물질을 사용하여 선택적으로 에칭된다. 주석 옥사이드는 이 에칭 전에 노출될 수도 있고 또는 주석 옥사이드 에칭 과정 동안 노출될 수도 있다.

[0056] 플루오로카본 기반 에칭. 일부 실시 예들에서, SiO_2 , SiN , SiC , SiOC , SiCN , SiON , SiCNO , 스피ن 온 글래스와 같은 실리콘-함유 화합물들은 플루오로카본-기반 에칭을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭된다. 플루오로카본-기반 에칭은 실리콘-함유 화합물들이 Si-F 결합들을 함유하는 휘발성 화합물들로 변환되도록 플라즈마-활성화된 플루오로카본들 (C_xF_y)에 노출하는 것을 수반한다. 적합한 플루오로카본 반응 물질들의 예들은 CF_4 , C_2F_6 등을 포함한다. 플루오로카본-기반 에칭은, 일 구현 예에서, 플루오로카본, 및 선택 가능하게, 불활성 가스를 함유하는 프로세스 가스에서 플라즈마를 형성하는 단계, 및 기판을 형성된 플라즈마와 콘택트시키는 단계를 수반한다. 플루오로카본 에칭은 주석 옥사이드의 존재시 실리콘-함유 화합물들을 선택적으로 제거할 수 있다. 일부 실시 예들에서, 반도체 기판이 제공되고, 반도체 기판은 노출된 실리콘-함유 화합물 층 및 주석 옥사이드의 층을 포함한다. 다음에, 기판은 플루오로카본 플라즈마와 콘택트되고 실리콘-함유 화합물은 주석 옥사이드의 존재시 선택적으로 에칭된다. 주석 옥사이드는 이 에칭 전에 노출될 수도 있고 또는 에칭 과정 동안 노출될 수도 있다. 플루오로카본-기반 에칭은 불소-기반 에칭의 일종이다.

[0057] 불소 기반 에칭. 일부 실시 예들에서, 원소 실리콘 및 SiO_2 , SiN , SiC , SiOC , SiCN , SiON , SiCNO , 및 스피ن 온 글래스와 같은 실리콘-함유 화합물들은 불소-기반 에칭을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭된다. 불소-기반 에칭은 일부 실시 예들에서 플라즈마-활성화된 불소-함유 시약 (예를 들어, NF_3 , SF_6 , 또는 플루오로카본)에 실리콘-함유 재료를 노출하는 단계, 및 실리콘-함유 재료를 휘발성 실리콘 플루오라이드로 변환하는 단계를 수반한다. 그러나, 주석 옥사이드는 휘발성 플루오라이드를 형성하지 않고 따라서 이 화학 물질에 의해 실질적으로 에칭되지 않는다. 실리콘-함유 재료들에 더하여, 티타늄 옥사이드, 텅스텐, 및 텅스텐 탄소는 불소-기반 에칭들을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭될 수 있다. 불소-기반 에칭은, 일 구현 예에서, 불소-함유 반응 물질 (예를 들어, NF_3), 및 선택 가능하게, 불활성 가스를 함유하는 프로세스 가스에서 플라즈마를 형성하는 단계, 및 기판을 형성된 플라즈마와 콘택트시키는 단계를 수반한다. 불소-기반 에칭은 주석 옥사이드의 존재시 실리콘-함유 화합물 및 원소 실리콘을 선택적으로 제거할 수 있다. 일부 실시 예들에서, 반도체 기판이 제공되고, 반도체 기판은 노출된 실리콘-함유 화합물 층 및/또는 원소 실리콘 (Si) 층 및 주석 옥사이드의 층을 포함한다. 다음에, 기판은 플라즈마의 불소 함유 반응 물질과 콘택트되고 실리콘-함유 화합물 및/또는 Si는 주석 옥사이드의 존재시 선택적으로 에칭된다. 주석 옥사이드는 이 에칭 전에 노출될 수도 있고 또는 에칭 과정 동안 노출될 수도 있다.

[0058] 일 구현 예에서 실리콘 (Si)은 불소-기반 에칭을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭된다. 일 구현 예에서, 이 에칭 방법은 5 내지 100 sccm의 플로우 레이트로 NF_3 , 50 내지 500 sccm의 플로우 레이트로 Cl_2 및 100 내지 500 sccm의 플로우 레이트로 불활성 가스 (예를 들어, 질소 및/또는 헬륨)를 흘리는 단계, 및 0.14 내지 1.4 W/cm²의 전력 밀도들에 대응하는 (일 300 mm 웨이퍼 당) 100 내지 1000 W의 RF 전력을 사용하는 이 프로세스 가스의 플라즈마 형성하는 단계를 수반한다. 이 에칭은 기판 바이어스를 사용하거나 사용하지 않고 수행될 수 있다. 예를 들어, 기판 바이어스는 0 내지 100 Vb, 예컨대 10 내지 100 Vb일 수도 있다. 프로세스는 100 °C 미만의 온도 및 10 내지 300 mTorr의 압력에서 수행될 수 있다.

[0059] 일부 실시 예들에서, 반도체 기판이 제공되고, 반도체 기판은 노출된 티타늄 옥사이드, 텅스텐, 및/또는 텅스텐 탄소의 층 및 주석 옥사이드의 층을 포함한다. 다음에, 기판은 플라즈마의 불소 함유 반응 물질과 콘택트되고 티타늄 옥사이드, 텅스텐 및/또는 텅스텐 탄소는 주석 옥사이드의 존재시 선택적으로 에칭된다. 주석 옥사이드는 이 에칭 전에 노출될 수도 있고 또는 에칭 과정 동안 노출될 수도 있다.

[0060] 일 구현 예에서, 티타늄 옥사이드는 불소-기반 에칭을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭된다. 일 구현 예에서, 이 에칭 방법은 5 내지 500 sccm의 플로우 레이트로 CF_4 , 0 내지 500 sccm (예를 들어, 10 내지 500 sccm)의 플로우 레이트로 CHF_3 및 100 내지 500 sccm의 플로우 레이트로 불활성 가스 (예를 들어, 아르

곤)를 흘리는 단계, 및 0.71 내지 1.4 W/cm²의 전력 밀도들에 대응하는 (일 300 mm 웨이퍼 당) 500 내지 1000 W의 RF 전력을 사용하는 이 프로세스 가스의 플라즈마 형성하는 단계를 수반한다. 이 에칭은 기관 바이어스를 사용하거나 사용하지 않고 수행될 수 있다. 예를 들어, 기관 바이어스는 0 내지 300 Vb, 예컨대 10 내지 300 Vb일 수도 있다. 프로세스는 100 °C 미만의 온도 및 5 내지 50 mTorr의 압력에서 수행될 수 있다.

[0061] 일 구현 예에서, 텅스텐 탄소는 불소-기반 에칭을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭된다. 일 구현 예에서, 이 에칭 방법은 5 내지 100 sccm의 플로우 레이트로 NF₃, 5 내지 500 sccm의 플로우 레이트로 Cl₂ 및 100 내지 500 sccm의 플로우 레이트로 불활성 가스 (예를 들어, 아르곤 및/또는 질소)를 흘리는 단계, 및 0.14 내지 1.4 W/cm²의 전력 밀도들에 대응하는 (일 300 mm 웨이퍼 당) 100 내지 1000 W의 RF 전력을 사용하는 이 프로세스 가스의 플라즈마 형성하는 단계를 수반한다. 이 에칭은 기관 바이어스를 사용하거나 사용하지 않고 수행될 수 있다. 예를 들어, 기관 바이어스는 0 내지 100 Vb, 예컨대 10 내지 100 Vb일 수도 있다. 프로세스는 100 °C 미만의 온도 및 10 내지 100 mTorr의 압력에서 수행될 수 있다.

[0062] 산소 기반 에칭. 일부 실시 예들에서, 원소 탄소, 탄소-함유 화합물들, 폴리머들, 및 포토레지스트로 구성된 그룹으로부터 선택된 하나 이상의 재료들은 주석 옥사이드의 존재시 산소-기반 에칭을 사용하여 선택적으로 에칭된다. 산소-기반 에칭은 일부 실시 예들에서 플라즈마-활성화된 산소-함유 시약 (예를 들어, O₂, O₃, SO₂, 또는 CO₂)에 상기 열거된 재료들을 노출하는 단계, 및 탄소-산소 결합 (예를 들어, CO 또는 CO₂)을 함유하는 휘발성 생성물로 재료를 변환하는 단계를 수반한다. 산소-기반 에칭은, 일 구현 예에서, 산소-함유 반응 물질 (예를 들어, O₂), 및 선택 가능하게, 불활성 가스를 함유하는 프로세스 가스에서 플라즈마를 형성하는 단계, 및 기관을 형성된 플라즈마와 콘택트시키는 단계를 수반한다. 다른 실시 예들에서, 에칭은 플라즈마의 부재시 발생할 수도 있다. 산소-기반 에칭은 주석 옥사이드의 존재시 탄소 (예를 들어, 비정질 또는 다이아몬드-유사 탄소), 탄소-함유 화합물들, 및 포토레지스트를 선택적으로 제거할 수 있다. 일부 실시 예들에서, 반도체 기관이 제공되고, 반도체 기관은 탄소, 탄소-함유 화합물 및 포토레지스트로 구성된 그룹으로부터 선택된 하나 이상의 재료들의 노출된 층, 및 주석 옥사이드의 층을 포함한다. 다음에, 기관은 탄소-함유 재료들을 휘발성 CO 또는 CO₂로 변환하도록 산소-함유 반응 물질 (선택적으로 플라즈마에서 활성화됨)과 콘택트되어 주석 옥사이드의 존재시 선택적으로 에칭된다. 주석 옥사이드는 이 에칭 전에 노출될 수도 있고 또는 에칭 과정 동안 노출될 수도 있다.

[0063] 재료들의 증착. 본 명세서에 참조된 재료들은 CVD (PECVD를 포함함), ALD (PEALD를 포함함), PVD (예를 들어, 금속들 및 금속 옥사이드들의 증착을 위해), (예를 들어, 탄소의 증착, 및 일부 유전체에 대한) 스펀-온 방법들을 사용하여 증착될 수 있다. 컨포멀한 (conformal) 증착이 필요할 때, ALD 방법들이 통상적으로 바람직하다.

[0064] SiO₂, SiC, SiN, SiOC, SiNO, SiCNO, 및 SiCN 재료들은 CVD, PECVD 및 ALD와 같은 다양한 방법들을 사용하여 증착될 수 있다. 증착은 실리콘-함유 전구체와 반응 물질 (예를 들어, 산소-함유 반응 물질, 질소-함유 반응 물질, 또는 탄소-함유 반응 물질) 사이의 반응을 포함할 수 있다. 실란, 테트라알킬실란, 트리알킬실란, TEOS (tetraethylorthosilicate), 등을 포함하는 다양한 실리콘-함유 전구체들이 이들 재료들의 증착을 위해 사용될 수 있다. 예를 들어, SiO₂는 실리콘-함유 전구체로서 TEOS 또는 실란을 사용하여 증착될 수도 있다.

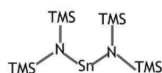
[0065] 탄소는 예를 들어, 탄화수소 전구체 (예를 들어, CH₄)를 사용함으로써 CVD 또는 PECVD 방법에 의해 증착될 수 있다. 다른 구현 예들에서 탄소는 스펀-온 방법들 또는 PVD에 의해 증착될 수도 있다. 포토레지스트 및 유기 폴리머들은 예를 들어 스펀 온 방법들에 의해 증착될 수 있다.

[0066] 주석 옥사이드 층은 CVD (PECVD 포함), ALD (PEALD 포함), 스퍼터링, 등과 같은 임의의 적합한 방법에 의해 증착된다. 일부 실시 예들에서, 기관 상의 임의의 돌출부들 및 리세스된 피처들의 표면들을 포함하여, 기관의 표면을 따르도록 SnO₂ 막을 컨포멀하게 증착하는 것이 바람직하다. 컨포멀한 SnO₂ 막의 적합한 증착 방법들 중 하나는 ALD이다. 열적 또는 플라즈마 강화된 ALD가 사용될 수 있다. 통상적인 열적 ALD 방법에서, 기관은 ALD 프로세스 챔버에 제공되고 주석-함유 전구체, 및 산소-함유 반응 물질에 순차적으로 노출되고, 여기서 주석-함유 전구체 및 산소 함유 반응 물질은 SnO₂를 형성하도록 기관의 표면 상에서 반응하게 된다. ALD 프로세스 챔버는 통상적으로 기관이 주석-함유 전구체에 노출된 후, 그리고 산소-함유 반응 물질이 프로세스 챔버의 벌크에서 반응을 방지하기 위해 프로세스 챔버로 들어가기 전에 불활성 가스로 퍼지된다. 또한, ALD 프로세스 챔버는 통상적으로 기관이 산소-함유 반응 물질로 처리된 후 불활성 가스로 퍼지된다. 순차적인 노출은 몇몇 사이클들 동안 반복되고, 예를 들어, 목표된 두께를 갖는 주석 옥사이드 층이 증착될 때까지 약 10 내지 100 사이클들이

수행될 수 있다. 적합한 주석-함유 전구체들의 예들은 할로겐화된 주석-함유 전구체들 (예컨대 SnCl_4 , 및 SnBr_4), 및 알킬 치환된 주석 아마이드들 등을 포함하는 유기 주석 화합물들과 같은 비-할로겐화된 주석-함유 전구체들을 포함한다. ALD에 적합한 알킬 치환된 주석 아마이드들의 구체적인 예들은 테트라키스(디메틸아미노) 주석, 테트라키스(에틸메틸아미노) 주석, N^2 , N^3 -디-tert-부틸-부탄-2,3-디아미노-주석(II) 및 (1,3-비스(1,1-디메틸에틸)-4,5-디메틸-(4R, 5R)-1,3,2-디아자스탄놀리딘-2-일리덴) 이다.

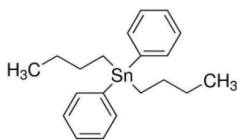
[0067] 예시적인 주석-함유 전구체는 유기 주석 전구체들, 예컨대, 테트라에틸 주석 (SnEt_4), 테트라메틸 주석 (SnMe_4), 테트라키스(디메틸아미노) 주석 ($\text{Sn}(\text{NMe}_2)_4$), 테트라키스(디에틸아미노)주석 ($\text{Sn}(\text{NEt}_2)_4$), 테트라키스(에틸메틸아미노)주석 ($\text{Sn}(\text{NMeEt})_4$), (디메틸아미노)트리메틸주석 (IV) ($\text{Me}_3\text{Sn}(\text{NMe}_2)$), 디부틸주석 디아세테이트 ($\text{Bu}_2\text{Sn}(\text{OAc})_2$), $\text{Sn}(\text{II})(1,3\text{-비스}(1,1\text{-디메틸에틸})\text{-4,5-디메틸-(4R,5R)-1,3,2-디아자스탄놀리딘-2-일리덴})$, N^2 , N^3 -디-tert-부틸-부탄-2,3-디아미노-주석 (II), 등이거나 이들을 포함할 수 있다. 유기 주석 전구체들의 부가적인 예들은 다음을 포함한다:

비스[비스(트리메틸실릴)아미노]주석(II)



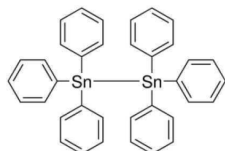
[0068] , 여기서 TMS는 트리메틸실릴이고,

디부틸디페닐주석



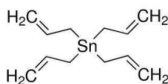
[0069] ,

헥사페닐디틴(IV)



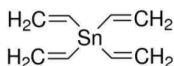
[0070] ,

테트라알릴틴



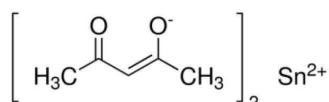
[0071] ,

테트라비닐주석



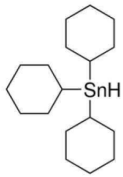
[0072] ,

주석(II) 아세틸아세토네이트



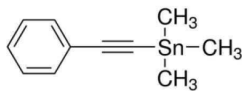
[0073] ,

트리시클로헥실틴 하이드라이드



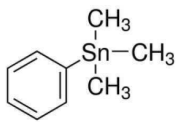
[0074]

트리메틸(페닐에티닐)주석



[0075]

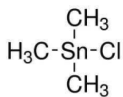
트리메틸페닐틴



[0076]

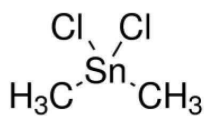
[0077] 또 다른 예에서, 주석-함유 전구체들은 또한 주석 할라이드들 (예를 들어, SnF_2 , SnCl_4 , SnBr_4), 주석 하이드라이드들 (예를 들어, SnH_4), 등과 같은 무기 주석 전구체들일 수 있다. 일부 실시 예들에서, 염소화된 유기 주석 전구체들, 예컨대

트리메틸틴 클로라이드



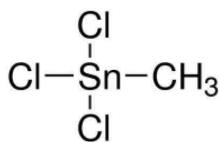
[0078]

디메틸틴 디클로라이드



[0079]

메틸주석 트리클로라이드



[0080]

가 사용된다.

[0081]

일부 실시 예들에서, 주석-함유 전구체는 테트라메틸 주석, 테트라키스(디메틸아미노) 주석, 또는 (디메틸아미노)트리메틸 주석(IV) 이다.

[0082]

산소-함유 반응 물질들은 제한없이 산소, 오존, 물, 과산화수소, 및 NO를 포함한다. 산소-함유 반응 물질들의 혼합물들이 또한 사용될 수 있다. 증착 조건들은 ALD 반응 물질들의 선택에 따라 가변할 것이고, 보다 많은 반응성 전구체들이 일반적으로 보다 덜 반응성인 전구체들보다 낮은 온도들에서 반응할 것이다. 프로세스들은 통

상적으로 약 20 내지 500 °C의 온도에서, 그리고 대기압 이하의 압력에서 수행될 것이다. 온도 및 압력은 반응 물질들이 응결을 방지하기 위해 프로세스 챔버 내에 가스 형태로 남아 있도록 선택된다. 반응 물질 각각은 단독으로 또는 아르곤, 헬륨, 또는 질소와 같은 캐리어 가스와 혼합된 가스 형태로 프로세스 챔버에 제공된다. 이들 혼합물들의 플로우 레이트들은 프로세스 챔버의 크기에 종속될 것이고, 일부 실시 예들에서 약 10 내지 10,000 sccm이다.

[0083] 일 예에서, ALD 프로세스는 ALD 진공 챔버 내의 기판을 200 내지 400 °C의 온도에서 SnCl_4 (주석-함유 전구체) 및 탈 이온수 (산소-함유 반응 물질)에 순차적으로 그리고 교번적으로 노출하는 것을 포함한다. ALD 사이클의 구체적인 예에서, SnCl_4 증기와 N_2 캐리어 가스의 혼합물은 0.5 초 동안 ALD 프로세스 챔버 내로 도입되고, 이어서 3 초 동안 기판에 노출된다. 다음에 ALD 프로세스 챔버는 프로세스 챔버의 벌크로부터 SnCl_4 를 제거하기 위해 10 초 동안 N_2 를 사용하여 퍼지되고, N_2 캐리어 가스와 H_2O 증기의 혼합물은 1 초 동안 프로세스 챔버 내로 흐르고 3 초 동안 기판에 노출된다. 다음에, ALD 프로세스 챔버는 N_2 를 사용하여 퍼지되고 사이클이 반복된다. ALD 프로세스는 대기압 이하의 압력 (예를 들어, 0.4 Torr) 및 200 내지 400 °C의 온도에서 수행된다.

[0084] ALD에서 할로겐화된 주석 전구체들의 사용이 많은 실시 예들에서 적합하지만, 일부 실시 예들에서, SnCl_4 와 같은 할로겐화된 전구체들의 사용으로 발생할 수도 있는 부식 문제들을 방지하기 위해 비-할로겐화된 유기 주석 전구체들을 사용하는 것이 보다 바람직하다. 적합한 비-할로겐화 유기 주석 전구체들의 예들은 테트라키스(디메틸아미노) 주석과 같은 알킬아미노틴 (알킬화된 주석 아미드) 전구체들을 포함한다. ALD 프로세스의 일 예에서, 기판은 약 50 내지 300 °C의 온도에서 ALD 챔버 내에서 테트라키스(디메틸아미노) 주석 및 H_2O_2 에 순차적으로 노출된다. 유리하게, 이 전구체의 사용은 100 °C 이하의 저온들에서 SnO_2 막들의 증착을 허용한다. 예를 들어, SnO_2 막들은 반응 레이트를 향상시키기 위해 플라즈마를 사용하지 않고 50 °C에서 증착될 수 있다.

[0085] 일부 실시 예들에서, SnO_2 막들은 PEALD에 의해 증착된다. 열적 ALD에 대해 상기 기술된 바와 같은 동일한 유형들의 주석-함유 전구체들 및 산소-함유 반응 물질들이 사용될 수 있다. PEALD에서 ALD 장치는 프로세스 챔버 내에서 플라즈마를 생성하고 기판을 플라즈마로 처리하기 위한 시스템을 구비한다. 통상적인 PEALD 프로세스 시퀀스에서, 기판은 PEALD 프로세스 챔버에 제공되고 기판의 표면 상에 흡착하는 주석-함유 전구체에 노출된다. 프로세스 챔버는 프로세스 챔버로부터 전구체를 제거하도록 불활성 가스 (예를 들어, 아르곤 또는 헬륨)를 사용하여 퍼지되고, 기판은 프로세스 챔버 내로 도입되는 산소-함유 반응 물질에 노출된다. 산소-함유 반응 물질의 도입과 동시에 또는 지연 후에, 플라즈마가 프로세스 챔버 내에서 형성된다. 기판의 표면 상의 플라즈마는 주석-함유 전구체와 산소-함유 반응 물질 사이의 반응을 용이하게 하여 주석 옥사이드의 형성을 발생시킨다. 다음에, 프로세스 챔버는 불활성 가스로 퍼지되고, 주석 전구체 도징, 퍼지, 산소-함유 반응 물질 도징, 플라즈마 처리, 및 제 2 퍼지를 포함하는 사이클은 목표된 두께의 주석 옥사이드 막을 형성하기 위해 필요한 만큼 다수 회 반복된다.

[0086] *스페이서로서의 주석 옥사이드*

[0087] 일부 실시 예들에서, 주석 옥사이드 층들이 스페이서들로서 사용된다. 주석 옥사이드 스페이서들의 사용은 프로세스의 상이한 스테이지들에서 반도체 기판의 개략적인 단면도들을 제공하는, 도 1a 내지 도 1f를 참조하여 예시된다. 도 2는 이들 방법들의 실시 예에 대한 프로세스 흐름도를 제공한다.

[0088] 도 2를 참조하면, 프로세스는 복수의 돌출하는 피치들을 갖는 기판을 제공함으로써 201에서 시작된다. 예시적인 기판이 도 1a에 도시되고, ESL (etch stop layer) (103) 상에 존재하는 2 개의 맨드릴들 (101)을 도시한다. 이웃하는 맨드릴들 사이의 거리 d1은, 일부 실시 예들에서, 약 10 내지 100 nm이다. 일부 실시 예들에서, 약 40 내지 100 nm의 상대적으로 보다 큰 거리들이 사용된다. 다른 적용 예들에서, 가장 가까운 맨드릴들 사이의 거리는 약 10 내지 30 nm이다. 또한 피치 (pitch)로 지칭되는, 가장 가까운 맨드릴들의 중심들 사이의 거리 d2는, 일부 실시 예들에서, 약 30 내지 130 nm이다. 일부 실시 예들에서, 피치는 약 80 내지 130 nm이다. 다른 실시 예들에서, 피치는 약 30 내지 40 nm이다. 맨드릴들의 높이 d3는 통상적으로 약 20 내지 200 nm, 예컨대 약 50 내지 100 nm이다.

[0089] 맨드릴 및 ESL의 재료들은 노출된 주석 옥사이드의 존재시 맨드릴 재료의 후속하는 선택적인 에칭, 및 노출된 주석 옥사이드의 존재시 ESL 재료의 선택적인 에칭을 허용하도록 선택된다. 따라서, 주석 옥사이드의 에칭 레이트에 대한 ESL 재료의 에칭 레이트의 비는 1보다 크고, 보다 바람직하게 약 1.5보다 크고, 예컨대 제 1 에칭

화학 물질에 대해 약 2보다 크다. 유사하게, 주석 옥사이드의 에칭 레이트에 대한 맨드릴 재료의 에칭 레이트의 비는 1보다 크고, 보다 바람직하게 약 1.5보다 크고, 예컨대 제 2 에칭 화학 물질에 대해 약 2보다 크다.

[0090] 일부 실시 예들에서, ESL 재료는 실리콘-함유 화합물 (예를 들어, SiO_2), 또는 금속 옥사이드 (예를 들어, 티타늄 옥사이드, 지르코늄 옥사이드, 텅스텐 옥사이드) 이다. 맨드릴 재료는 실리콘-함유 화합물 (예를 들어, SiO_2 , SiN , 또는 SiC), 탄소-함유 화합물 (예를 들어, 비정질 탄소, 다이아몬드-유사 탄소 또는 포토레지스트), (도핑되거나 도핑되지 않은) 비정질 실리콘 및 금속 옥사이드 (TaO , TiO , WO , ZrO , HfO) 를 포함할 수도 있다. 일부 실시 예들에서, 맨드릴의 외측 재료는 맨드릴 코어와 상이할 수도 있다. 예를 들어, 일부 실시 예들에서, 맨드릴은 실리콘 옥사이드로 (예를 들어, 자발적으로 형성된 열적 옥사이드 층으로) 커버되는 비정질 실리콘으로 이루어진다. ESL 층 및 맨드릴들은 PVD (physical vapor deposition), CVD (chemical vapor deposition), ALD (플라즈마 없이 또는 PEALD에 의해) 또는 PECVD (plasma enhanced chemical vapor deposition) 중 하나 이상에 의해 형성될 수 있고 맨드릴들의 패턴은 포토리소그래피 기법들을 사용하여 규정될 수 있다. 적합한 ESL/맨드릴 조합의 예들은: (i) 실리콘 옥사이드 ESL 및 실리콘 옥사이드 커버된 실리콘 맨드릴; (ii) 실리콘 옥사이드 ESL 및 탄소-함유 맨드릴; (iii) 실리콘 옥사이드 ESL 및 금속 옥사이드 맨드릴; (iv) 금속 옥사이드 ESL 및 실리콘 옥사이드 커버된 실리콘 맨드릴; (v) 금속 옥사이드 ESL 및 탄소-함유 맨드릴을 포함한다.

[0091] 도 1a에 도시된 기판을 다시 참조하면, ESL 층 (103) 은 타깃 층 (105) 위에 그리고 타깃 층 (105) 과 콘택트한다. 타깃 층 (105) 은 패터닝되어야 하는 층이다. 타깃 층 (105) 은 반도체, 유전체 또는 다른 층일 수도 있고, 예를 들어 실리콘 (Si), 실리콘 옥사이드 (SiO_2), 실리콘 나이트라이드 (SiN), 또는 티타늄 나이트라이드 (TiN) 로 이루어질 수도 있다. 일부 실시 예들에서, 타깃 층은 하드 마스크 층으로서 지칭되고 티타늄 나이트라이드와 같은 금속 나이트라이드를 포함한다. 타깃 층 (105) 은 (플라즈마 없이 또는 PEALD에 의해) ALD, CVD, 또는 다른 적합한 증착 기법에 의해 증착될 수도 있다.

[0092] 타깃 층 (105) 은 유전체 재료의 층 내로 임베딩된 복수의 금속 라인들을 포함하는, 일부 실시 예들에서 BEOL 층인 층 (107) 위에 놓이고 콘택트한다.

[0093] 다시 도 2를 참조하면, 프로세스는 돌출하는 피쳐들의 수평 표면들 및 측벽들 모두 위에 주석 옥사이드 층을 증착함으로써 이어진다. 도 1b에 도시된 구조체를 참조하면, 주석 옥사이드 층 (109) 은 ESL (103) 위에, 그리고 맨드릴들의 측벽들을 포함하여, 맨드릴들 (101) 위에 증착된다. 주석 옥사이드 층은 CVD (PECVD 포함), ALD (PEALD 포함), 스퍼터링, 등과 같은 임의의 적합한 방법에 의해 증착된다. 일부 실시 예들에서, 도 1b에 도시된 바와 같이, 층 (103) 및 맨드릴들 (101) 의 표면을 따르도록, 주석 옥사이드 막을 컨포멀하게 증착하는 것이 바람직하다. 일부 실시 예들에서, 주석 옥사이드 층은 약 5 내지 30 nm, 예컨대 약 10 내지 20 nm의 두께로 컨포멀하게 증착된다. 컨포멀한 주석 옥사이드 막의 적합한 증착 방법들 중 하나는 ALD이다. 열적 또는 플라즈마 강화된 ALD가 사용될 수 있다.

[0094] 도 2의 프로세스 다이어그램을 참조하면, 주석 옥사이드 층이 증착된 후, 프로세스는 돌출하는 피쳐들의 측벽들로부터 주석 옥사이드 층을 완전히 제거하지 않고 수소-기반 에칭 또는 염소-기반 에칭을 사용하여 수평 표면들로부터 주석 옥사이드를 완전히 제거함으로써 205로 이어진다. 맨드릴들이 외측 층으로서 실리콘-함유 화합물들 또는 금속 옥사이드들을 갖는다면 수소-기반 에칭이 사용될 수 있다. 맨드릴의 외측 층이 탄소 층이면, 염소-기반 에칭이 사용될 수 있다. 이 단계에서 활용된 에칭 화학 물질은 바람직하게 ESL 재료 및 맨드릴의 외측 층의 재료 모두에 선택적이어야 한다, 즉, 이 에칭 화학 물질에 대한 주석 옥사이드의 에칭 레이트는 외측 맨드릴 재료의 에칭 레이트보다 커야 하고 ESL 재료의 에칭 레이트보다 커야 한다. 수평 표면들로부터 주석 옥사이드의 제거는 도 1c에 예시된다. 주석 옥사이드 층 (109) 은 맨드릴들 (101) 의 측벽들에 부착되는 위치들로부터 완전히 에칭되지 않고, ESL (103) 위 그리고 맨드릴들 (101) 위의 수평 표면들로부터 에칭된다. 이 에칭은 맨드릴들 (101) 의 측벽들 근방의 위치들을 제외하고 모든 곳에서 층 (103) 을 노출시킨다. 또한, 이 에칭은 맨드릴들의 상단 부분들을 노출시킨다. 발생하는 구조체는 도 1c에 도시된다. 바람직하게, 이 에칭 후에 측벽에서 주석 옥사이드 층의 초기 높이의 적어도 50 %, 예컨대 적어도 80 % 또는 적어도 90 %가 보존된다. 일 예에서, 주석 옥사이드는 맨드릴의 외측 재료 (SiO_2) 가 노출되도록 수소-기반 에칭 (예를 들어, H_2 플라즈마 에칭) 에 의해 실리콘 옥사이드 커버된 맨드릴로부터 선택적으로 에칭된다. 수소-기반 에칭은 SiO_2 에 선택적이다. 또 다른 예에서, 주석 옥사이드는 맨드릴의 탄소-함유 재료가 노출되도록 염소-기반 에칭 (예를 들어, BCl_3/Cl_2 플라즈마 에칭) 에 의해 탄소-함유 (예를 들어, 탄소) 맨드릴로부터 선택적으로 에칭된다. 이러한 에칭은 탄소-함유 재료들에 선택적이다. 또 다른 예에서, 주석 옥사이드는 맨드릴 재료 (금속 옥사이드) 가 노출되도록 수

소-기반 에칭 (예를 들어, H_2 플라스마 에칭) 에 의해 금속 옥사이드 (예를 들어, 티타늄 옥사이드) 맨드릴로부터 선택적으로 에칭된다. 이 에칭은 티타늄 옥사이드와 같은 휘발성 하이드라이드들을 형성하지 않는 금속들의 옥사이드들에 선택적이다.

[0095] 일부 실시 예들에서, 기관의 수평 부분들로부터 주석 옥사이드 층의 제거는 2 개의 상이한 화학 물질들과 함께 2 개의 단계들을 사용하는 것을 수반한다. 주 에칭으로 지칭되는 제 1 단계에서, 주석 옥사이드 층의 벌크는 통상적으로 맨드릴 및 ESL 재료들의 하부 층들을 완전히 노출하지 않고 수평 표면들로부터 제거된다. 따라서, 일부 실시 예들에서, 주 에칭의 에칭 화학 물질은 선택적일 필요가 없다. 일부 실시 예들에서, 주 에칭은 염소-기반 화학 물질 (예를 들어, BCl_3/Cl_2 플라스마 에칭) 을 사용하여 기관을 처리함으로써 수행된다. 주 에칭이 SnO 막을 통해 에칭된 후 또는 직전에, 에칭 화학 물질은 오버 에칭 (over etch) 화학 물질로 전환된다. 메인 에칭을 위한 엔드 포인트는 맨드릴 재료 또는 ESL 재료가 노출될 때를 시그널링할 (signal) 보낼 광학 프로브를 사용함으로써 검출될 수 있다. 선택적인 오버 에칭 화학 물질은 맨드릴 및 ESL의 재료들을 실질적으로 에칭하지 않고 남아 있는 주석 옥사이드 막을 제거하도록 사용되고 상기 기술되었다. 예를 들어, 선택적인 수소-기반 에칭 또는 선택적인 염소-기반 에칭이 사용될 수도 있다.

[0096] 다음에, 맨드릴들 (101) 은 도 1d에 도시된 바와 같이 노출된 주석 옥사이드 스페이서들 (101) 및 노출된 층 ESL (103) 을 남기면서 기관으로부터 제거된다. 맨드릴들의 제거는 맨드릴 재료를 선택적으로 에칭하는 에칭 화학 물질에 기관을 노출함으로써 수행된다. 따라서, 이 단계에서 주석 옥사이드의 에칭 레이트에 대한 맨드릴 재료의 에칭 레이트의 비는 1보다 크고, 보다 바람직하게 1.5보다 크다. 또한, 이 단계에서 사용된 에칭 화학 물질은, 일부 실시 예들에서, ESL 재료에 대해 맨드릴 재료를 선택적으로 에칭해야 한다. 다양한 에칭 방법들이 사용될 수 있고, 화학 물질의 특정한 선택은 맨드릴의 재료 및 ESL 층의 재료에 종속된다. 맨드릴이 실리콘 옥사이드로 커버된 비정질 실리콘으로 이루어질 때, 불소-기반 화학 물질 (예를 들어, NF_3) 이 실리콘 맨드릴들을 커버하는 SiO_2 층과 함께 실리콘 맨드릴들 (101) 을 제거하도록 사용될 수도 있다. 이 화학 물질은 주석 옥사이드에 선택적이다.

[0097] 실리콘 맨드릴 제거를 위한 또 다른 옵션은 HBr 과 O_2 의 혼합물로 형성된 플라스마의 사용이다. 일부 실시 예들에서, 에칭이 시작되기 전에, 실리콘 맨드릴들의 표면으로부터 실리콘 옥사이드의 박형 보호 층이 제거된다. 이는 플루오로카본을 포함하는 프로세스 가스에서 형성된 플라스마에 기관을 간략하게 노출함으로써 이루어질 수 있다. 맨드릴들로부터 보호 실리콘 옥사이드 층의 제거 후, 실리콘이 선택적으로 에칭된다. 일부 실시 예들에서, 이 단계에서 기관에 대해 상대적으로 작은 RF 바이어스를 사용하거나 외부 바이어스를 전혀 사용하지 않는 것이 바람직하다. 외부 바이어스가 사용되지 않는다면, 기관의 셀프 바이어스 (self bias) (10 내지 20 V) 이면 충분하다. 바이어스가 없거나 저 바이어스 조건들 하에서, HBr/O_2 플라스마는 주석 옥사이드 및 실리콘 옥사이드의 존재시 실리콘을 선택적으로 에칭할 것이다. 이 에칭은 실리콘-함유 화합물들을 함유하는 ESL의 존재시 수행될 수 있다.

[0098] 맨드릴이 탄소-함유 재료 (예를 들어, 탄소 또는 포토레지스트) 일 때, 맨드릴은 산소-기반 에칭을 사용하여 선택적으로 제거될 수 있다. 이 화학 물질은 주석 옥사이드에 선택적이고 실리콘-함유 화합물들로 구성된 ESL, 및 금속 옥사이드 ESL의 존재시 사용될 수 있다.

[0099] 맨드릴이 금속 옥사이드 (예를 들어, 티타늄 옥사이드, 텅스텐 옥사이드, 지르코늄 옥사이드, 하프늄 옥사이드, 탄탈륨 옥사이드) 일 때, 기관은 주석 옥사이드에 대해 맨드릴을 선택적으로 제거하기 위해 염소-기반 에칭 화학 물질 (예를 들어, 플라스마의 BCl_3/Cl_2) 로 처리될 수도 있다. 이 화학 물질은 실리콘-함유 화합물들 (예를 들어, SiO_2 , SiN , SiC) 을 함유하는 ESL의 존재시 사용될 수 있다.

[0100] 다음에, 노출된 ESL 막 (103) 은 주석 옥사이드 스페이서들 (109) 에 의해 보호되지 않는 모든 위치들에서 아래에 놓인 타깃 층 (105) 을 노출하도록 에칭된다. 발생하는 구조체는 도 1e에 도시된다. 이 단계에서 사용되는 에칭 화학 물질은 주석 옥사이드의 존재시 ESL 재료를 선택적으로 에칭한다. 즉, 주석 옥사이드의 에칭 레이트에 대한 ESL 재료의 에칭 레이트의 비는 1보다 크고, 보다 바람직하게 1.5보다 크다. 이 단계에서 사용된 특정한 유형의 화학 물질은 ESL 재료의 유형에 종속된다. 실리콘-함유 화합물들 (예를 들어, 실리콘 옥사이드 및 실리콘 옥사이드 기반 재료) 이 사용될 때, 선택적인 에칭은 플루오로카본을 포함하는 프로세스 가스에서 형성된 플라스마에 기관을 노출함으로써 달성될 수 있다. 예를 들어, ESL 막은 CF_4 , C_2F_6 , 및 C_3F_8 중 하나 이상을 포함하는 프로세스 가스에서 형성된 플라스마에 의해 에칭될 수 있다. ESL이 금속 옥사이드 층 (예를 들어, 티

타늄 옥사이드, 텅스텐 옥사이드, 또는 지르코늄 옥사이드) 일 때, 이는 염소-기반 에칭 화학 물질 (예를 들어, 플라즈마의 BCl_3/Cl_2) 을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭될 수 있다.

[0101] 다음 단계에서, 타깃 층 (105) 은 아래에 놓인 층 (107) 을 노출하도록 ESL 막 (103) 에 의해 보호되지 않는 모든 위치들에서 에칭된다. 주석 옥사이드 스페이서들 (109) 은 또한 이 에칭 단계에서 제거되어 도 1f에 도시된 패터닝된 구조체를 제공한다. 일부 실시 예들에서, 이 단계에서 사용된 에칭 화학 물질은 타깃 재료 및 주석 옥사이드 스페이서 재료 모두를 제거하도록 선택된다. 다른 실시 예들에서, 상이한 화학 물질들을 사용한 2 개의 상이한 에칭 단계들이 각각 타깃 층 (105) 을 패터닝하고 주석 옥사이드 스페이서들 (109) 을 제거하도록 사용될 수 있다. 다수의 에칭 화학 물질들이 타깃 층의 화학 물질에 따라 사용될 수 있다. 일 실시 예에서, 타깃 층 (105) 은 금속 나이트라이드 (예를 들어, TiN) 층이다. 이 실시 예에서, 금속 나이트라이드 층은 에칭될 수도 있고, 주석 옥사이드 스페이서들은 Cl_2 및 탄화수소 (예를 들어, CH_4) 를 포함하는 프로세스 가스에서 형성된 플라즈마에 기판을 노출시킴으로써 단일 에칭 화학 물질을 사용하여 제거될 수 있다. 일반적으로, 주석 옥사이드 스페이서들은 상기 기술된 임의의 주석 옥사이드 에칭 방법들을 사용하여 제거될 수 있다.

[0102] 스페이서들의 형성 동안 직면하는 문제들 중 하나는 스페이서의 푸팅 (footing) 이고, 이는 하단부에서 스페이서의 폭과 상단부에서 스페이서의 폭 사이의 차이이다. 이상적으로, 스페이서는 상단부 및 하단부 모두에서 실질적으로 동일한 폭을 갖는 직선이어야 한다. 주석 옥사이드 스페이서들은 실험적으로 티타늄 옥사이드 스페이서들과 비교되었다. 주석 옥사이드 스페이서들 상의 H_2 플라즈마 에칭의 사용으로, 푸팅이 1 nm 미만으로 상당히 감소될 수 있다는 것이 도시되었다. 그러나, 티타늄 옥사이드는 H_2 플라즈마에 의해 전혀 에칭될 수 없다. 티타늄 옥사이드 스페이서가 HBr/N_2 /아르곤 플라즈마를 사용하여 에칭될 때, 그 푸팅은 보다 큰 스페이서 높이 및 CD 손실의 댓가로 2.4 nm로만 감소된다.

[0103] 또한 열 실리콘 옥사이드 (TOX) 에 대한 ALD-증착된 티타늄 옥사이드의 에칭 선택도는 HBr/N_2 /아르곤 플라즈마 에칭을 위해 TOX에 대한 ALD-증착된 주석 옥사이드의 에칭 선택도보다 낮은 것으로 입증되었다. 구체적으로, 이 화학 물질을 사용하여 티타늄 옥사이드는 약 10:1의 선택도로 TOX의 존재시 에칭되는 한편, 주석 옥사이드는 100:1보다 큰 선택도로 에칭된다. H_2 플라즈마를 사용하여 티타늄 옥사이드는 전혀 에칭되지 않은 반면, 주석 옥사이드는 100:1보다 큰 선택도로 TOX의 존재시 에칭된다. $\text{BCl}_3/\text{Cl}_2/\text{He}$ 플라즈마를 사용하여 티타늄 옥사이드는 약 5:1 (티타늄 옥사이드 대 TOX) 의 선택도로 에칭되는 한편, 주석 옥사이드는 약 4:1 (주석 옥사이드 대 TOX) 의 선택도로 에칭된다. 수소-기반 에칭 화학 물질들 (H_2 -기반 및 HBr -기반 모두) 은 티타늄 옥사이드로 달성될 수 없는 50:1 초과 및 80:1 초과의 실리콘 옥사이드에 대해 매우 높은 에칭 선택도를 제공한다.

[0104] 일부 실시 예들에서, 도 1a 내지 도 1f 및 도 2를 참조하여 본 명세서에 기술된 방법들은 수정되고 맨드릴들의 측면들에서 주석 옥사이드 층 위의 패시베이션 층의 사용을 수반한다. 패시베이션 층의 목적은 수평 표면들로부터 주석 옥사이드 제거 단계 동안 측면들에서 주석 옥사이드의 에칭을 최소화하는 것이다. 패시베이션 층의 부재시, 측면들에서 주석 옥사이드는 측 방향으로 일관되지 않게 에칭될 수도 있고, 이는 스페이서 CD (critical dimension) 변동을 야기할 수도 있다. 패시베이션 층의 사용은 이 측 방향 에칭을 방지하거나 최소화할 수 있고 스페이서들 사이에 보다 일관된 거리를 발생시킨다. 이에 더하여, 패시베이션 층의 사용은 스페이서들의 상단 코너부의 부식을 방지할 수 있어서 보다 직사각형 형상들을 갖는 스페이서들을 야기한다. 또한, 측면들에서 패시베이션 층의 사용은 보다 가용한 (available) 에칭 종들 (예를 들어, 플라즈마 내의 이온들) 이 기판에서 바이어스에 의해 하향으로 구동될 것이기 때문에 주석 옥사이드 층의 하단 경사 또는 푸팅의 보다 용이한 에칭을 허용한다. 패시베이션 층은 결국 스페이서 CD가 유지될 수 있도록 후속 에칭 단계들에서 부분적으로 또는 완전히 소모될 수도 있다.

[0105] 패시베이션 층의 재료는 수평 표면들로부터 주석 옥사이드의 제거를 위해 사용되는 특정한 에칭 화학 물질에 보다 내성이 있도록 선택된다. 일부 실시 예들에서, 패시베이션 재료는 예를 들어 PECVD에 의해 증착될 수 있는, SiO_2 , SiN , 또는 SiC 와 같은 실리콘-함유 화합물이다. 다른 실시 예들에서, 패시베이션 재료는 본 명세서에 기술된 바와 같이 (예를 들어, 탄화수소 전구체를 사용하여 증착된) 탄소이다. 다른 실시 예들에서, 패시베이션 재료는 주석 나이트라이드 (SnN), 주석 브로마이드 (SnBr), 또는 주석 플루오라이드 (SnF) 와 같은 주석-함유 화합물이다. 일부 실시 예들에서, 이들 화합물들은 주석 옥사이드의 외측 부분을 주석-함유 패시베이션 재료로 변환함으로써 형성된다. 예를 들어, 주석 옥사이드는 기판을 플라즈마의 질소-함유 화합물 (예를 들어, N_2 플라즈마) 에 노출시킴으로써 주석 나이트라이드로 변환될 수 있다. 주석 브로마이드는 기판을 브롬-함유 화합물

(예를 들어, HBr) 에 노출시킴으로써 형성될 수도 있다. 주석 플루오라이드는 플라즈마의 불소-함유 화합물 (예를 들어, NF_3 플라즈마 또는 플루오로카본 플라즈마) 에 기판을 노출시킴으로써 형성될 수도 있다. SnBr 및 SnF 증착 동안 조건들은 에칭을 최소화하도록 조정된다. 예를 들어, 반응은 SnBr 및 SnF의 제거를 최소화하도록 기판을 바이어싱하지 않고 또는 저 바이어스를 사용하여 수행될 수도 있다. 패시베이션 층은 통상적으로 약 1 내지 5 nm의 두께로 형성된다.

[0106] 도 3a 내지 도 3e는 패시베이션 층을 사용한 프로세싱 동안 기판의 일부의 개략적인 단면도를 제공한다. 도 4는 이러한 프로세스에 대한 프로세스 흐름도를 제공한다. 도 4를 참조하면, 프로세스는 도 1a 및 도 1b를 참조하여 기술된 것과 동일한 방식으로, 복수의 돌출하는 피쳐들을 갖는 기판을 제공함으로써 4401에서 시작되고 돌출하는 피쳐들의 측벽들 및 수평 표면들 상에 주석 옥사이드를 증착함으로써 4403에서 진행된다. 도 1b에 도시된 기판은 또한 도 3a에 예시되고, 여기서 타깃 층은 층 (301) 이고, ESL은 (303) 이고, 맨드릴은 (305) 이고, 주석 옥사이드 층은 (307) 이다. 층들의 재료들은 일반적으로 도 1a 내지 도 1f를 참조하여 기술된 실시 예와 동일할 수도 있다. 도 3a에 예시된 실시 예에서, 맨드릴 (305) 은 실리콘 옥사이드 (SiO_2) 의 외측 층 (302) 을 갖는 실리콘 (Si) 맨드릴이지만, 기술된 프로세스 시퀀스는 탄소 함유 맨드릴들 및 금속 옥사이드 맨드릴들을 포함하는 다양한 맨드릴 재료들과 함께 사용될 수 있다는 것이 이해된다. 도 4를 참조하면, 주석 옥사이드 층이 증착된 후, 프로세스는 돌출하는 피쳐들의 측벽들에서 주석 옥사이드 층 위에 패시베이션 층을 형성함으로써 4405에서 이어진다. 발생하는 구조체는 돌출하는 피쳐의 측벽들 상의 패시베이션 층 (309) 을 도시하는 도 3b에 도시된다. 도시된 실시 예에서, 패시베이션 층은 수평 표면들 상에 존재하지 않는다.

[0107] 이러한 패시베이션 층은 일부 실시 예들에서 먼저 (a) 맨드릴의 측벽들 및 수평 표면들 모두 위에 패시베이션 재료 (예를 들어, 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 카바이드, 또는 탄소) 를 컨포멀하게 증착하고, 이어서 (b) 측벽들로부터 패시베이션 층을 완전히 제거하지 않고 수평 표면들로부터 패시베이션 층을 (예를 들어, 에칭 후 측벽에서 적어도 50 %, 또는 적어도 80 %의 패시베이션 층 재료가 남도록) 완전히 제거함으로써 형성될 수 있다.

[0108] 패시베이션 재료가 실리콘-함유 화합물일 때, 플루오로카본-기반 에칭을 사용하여 수평 표면들로부터 주석 옥사이드로 선택적으로 에칭될 수 있다. 패시베이션 재료가 탄소-함유 재료일 때, 이는 주석 옥사이드에 선택적으로 산소-기반 에칭을 사용하여, 또는 수소-함유 가스 (예를 들어, H_2) 로 형성된 플라즈마에 대한 짧은 노출을 사용하여 수평 표면들로부터 제거될 수 있다. 일부 실시 예들에서, 주석-함유 패시베이션 재료들은 수평 표면들로부터 재료의 제거를 용이하게 하는 기판에서 충분한 바이어스의 사용과 함께, 주석 옥사이드 에칭에 사용된 것과 동일한 화학 물질을 사용하여 수평 표면들로부터 제거된다. 예를 들어, 프로세스는 수평 표면들로부터 주석-함유 패시베이션 재료를 제거하기 위해 제 1 바이어스를 사용한 플라즈마 에칭으로 시작할 수도 있고, 이어서 프로세스가 주 주석 옥사이드 에칭으로 전이할 때 바이어스가 감소되거나 턴 오프될 수도 있다. 일부 실시 예들에서, 염소-기반 화학 물질 (예를 들어, BCl_3/Cl_2 플라즈마) 이 수평 표면들로부터 패시베이션 재료 및 주석 옥사이드의 에칭 동안 사용된다.

[0109] 다음에, 동작 4407을 참조하면, 프로세스는 맨드릴의 측벽들에서 주석 옥사이드를 완전히 제거하지 않고 맨드릴의 수평 표면들로부터 주석 옥사이드를 완전히 제거함으로써 이어진다. 이 에칭은 수소-기반 에칭 (예를 들어, H_2 플라즈마), 염소-기반 에칭 (예를 들어, 플라즈마의 Cl_2 및/또는 BCl_3), HBr 플라즈마 에칭 또는 이들 에칭들의 임의의 조합을 사용하는 것과 같이, 본 명세서에 기술된 임의의 적합한 주석 옥사이드 에칭 화학 물질들을 사용하여 수행될 수 있다. 도 3c 및 도 3d에 도시된 실시 예에서, 이 에칭은 2 단계로 수행된다. 제 1 단계에서, 주석 옥사이드의 벌크는 도 3c에 도시된 구조체를 제공하도록 염소-기반 에칭 (예를 들어, 플라즈마의 BCl_3 및 Cl_2) 을 사용하여 수평 표면들로부터 에칭되고, 구조체는 맨드릴의 상단부에서 노출된 실리콘 옥사이드 외측 맨드릴 재료 및 맨드릴의 하단부 코너부들에서 과잉의 주석 옥사이드를 갖는다. 다음에, 과잉 주석 옥사이드는 수소-기반 오버 에칭 화학 물질 (예를 들어, 플라즈마의 H_2) 을 사용하여 에칭되어 도 3d에 도시된 구조체를 제공한다. 다음에, 맨드릴 재료는 도 1a 내지 도 1f를 참조하여 이전에 기술된 바와 같이 선택적으로 에칭되고 제거되어 스페이서들 (307) 을 남긴다. 도시된 실시 예에서, 맨드릴 에칭 화학 물질은 또한 패시베이션 층 (309) 을 제거하고, 도 3e에 도시된 구조체를 유도한다. ESL의 후속 프로세싱은 도 1d 내지 도 1f를 참조하여 이전에 기술된 바와 같이 이어질 수 있다.

[0110] 보다 구체적인 일 예에서, 층 (301) 은 TiN이고, ESL (303) 은 실리콘 옥사이드 층이고, 맨드릴 (305) 은 실리콘 옥사이드 외측 층 (302) 으로 커버된 실리콘 (Si) 이고, 층 (307) 은 주석 옥사이드이다. 이 예를

참조하여, 프로세싱 방법은: 실리콘 옥사이드 층, 및 실리콘 돌출부들이 천연 실리콘 옥사이드로 커버되는 복수의 실리콘 돌출부들을 갖는 기판을 제공하는 단계, 이어서 (예를 들어, ALD에 의해) 기판 위에 컨포멀하게 주석 옥사이드 층을 증착하는 단계 및 돌출하는 피처들의 측벽들 상의 주석 옥사이드 위에만 실리콘 옥사이드 패시베이션 층 (예를 들어, 1 내지 2 nm 두께) 을 형성하는 단계를 포함한다. 패시베이션 층이 형성된 후, 방법은 돌출하는 피처들의 측벽들에 존재하는 주석 옥사이드를 완전히 제거하지 않고 수평 표면들로부터 주석 옥사이드를 에칭함으로써 이어진다. 이 예에서, 에칭은 주 (벌크) 에칭 (예를 들어, Cl_2/BCl_3 플라즈마 에칭) 에 이어 오버 에칭을 사용하여 수행되고, 오버 에칭은 예를 들어 푸팅을 감소시키도록 사용되는 수소 플라즈마 에칭일 수도 있다. 에칭 후, 방법은 주석 옥사이드 스페이서들을 제거하지 않고 실리콘 맨드릴들을 제거함으로써 계속된다. 측벽들 상의 실리콘 옥사이드 패시베이션 층은 먼저 (예를 들어, PECVD, 또는 ALD에 의해) 주석 옥사이드 위에 실리콘 옥사이드를 컨포멀하게 증착하고, 이어서 (예를 들어, 플루오로카본 플라즈마에 의해) 수평 표면들로부터 실리콘 옥사이드를 선택적으로 에칭함으로써 형성될 수 있다는 것을 주의한다. 이 시퀀스는 BCl_3/Cl_2 플라즈마 주 에칭에 이어 수평 표면들로부터 주석 옥사이드 제거를 위해 H_2 플라즈마 오버 에칭을 사용하여 실험적으로 테스트되었다. 이 실험적으로 테스트된 예에서, 주 에칭 후, 임계 치수 손실은 0 nm이고; 푸팅은 약 6 nm이고, 실리콘 옥사이드 ESL 로의 에칭량은 0 nm이다. 오버 에칭 후, 임계 치수 손실, 푸팅, 및 실리콘 옥사이드 ESL 로의 에칭량은 모두 0 nm였다.

[0111]

또 다른 구체적인 예에서, 주석 옥사이드의 외측 부분으로부터 형성된 주석 나이트라이드가 패시베이션 재료로서 사용된다. 일부 실시 예들에서, 주석 옥사이드 스페이서들의 형성 동안 주석 나이트라이드 패시베이션 층을 사용하여 주석 옥사이드의 측벽들을 패시베이팅하여 스페이서의 변동을 감소시키는 것이 바람직하다. 일부 실시 예들에서, 방법은: (a) 실리콘 옥사이드 층, 및 실리콘 돌출부들이 천연 실리콘 옥사이드로 커버되는 복수의 실리콘 돌출부들을 갖는 기판을 제공하는 단계; (b) (예를 들어, ALD에 의해) 기판 위에 컨포멀하게 주석 옥사이드 층을 증착하는 단계; (c) 돌출하는 피처들의 측벽들 상의 주석 옥사이드 위에만 박형 주석 나이트라이드 패시베이션 층을 형성하는 단계; (d) 돌출하는 피처들의 측벽들에 존재하는 주석 옥사이드를 완전히 제거하지 않고 (예를 들어, 주 (벌크) 에칭 (예를 들어, Cl_2/BCl_3 에칭) 및 오버 에칭의 조합을 사용하여, 오버 에칭은 예를 들어, 푸팅을 감소시키기 위해 사용되는 수소 플라즈마 에칭일 수 있음) 수평 표면들로부터 주석 옥사이드를 에칭하는 단계; 및 (e) 주석 옥사이드 스페이서들을 제거하지 않고 실리콘 맨드릴들을 제거하는 단계를 포함한다. 측벽들 상의 주석 나이트라이드 패시베이션 층은 먼저 전체 주석 옥사이드 층 위에 패시베이션 층을 컨포멀하게 형성하고, 이어서 수평 표면들로부터 주석 나이트라이드를 선택적으로 제거함으로써 형성될 수 있다. 일부 실시 예들에서, 주석 나이트라이드 층은 질소-함유 플라즈마로 노출된 주석 옥사이드 층을 처리함으로써 형성된다. 예를 들어, 플라즈마는 N_2 또는 NH_3 와 같은 질소-함유 가스로 형성될 수도 있다. 플라즈마는 직접 플라즈마일 수도 있고 (기판을 하우징하는 동일한 챔버 구획에서 형성됨) 또는 리모트 플라즈마 (상이한 챔버 또는 챔버 구획에서 형성되고 기판을 하우징하는 구획에 공급됨) 일 수도 있다. 일부 실시 예들에서, 이 질화 처리는 주석 옥사이드 층 증착을 위해 사용되는 동일한 프로세스 챔버에서 수행된다. 다른 실시 예들에서, 질화는 상이한 챔버에서 수행된다. 일부 실시 예들에서, 질화 플라즈마 처리는 약 5 초 미만 동안 수행된다. 주석 나이트라이드의 컨포멀한 층을 형성하기 위한 또 다른 방법은 컨포멀한 주석 옥사이드 층 위에 주석 나이트라이드의 증착이다. 주석 나이트라이드는 예를 들어, ALD 또는 CVD에 의해 증착될 수 있다. 일부 실시 예들에서, ALD 증착은 기판을 주석-함유 전구체와 콘택트시키고 기판의 표면 상에 주석-함유 층을 형성하는 단계, 이어서 질소-함유 플라즈마를 사용한 처리를 수반하고, 여기서 프로세스는 목표된 두께의 패시베이션 층을 구축하기 위해 필요한만큼 여러 번 반복된다. 컨포멀한 주석 나이트라이드 층이 형성된 후, 주석 나이트라이드는 수평 표면들로부터 에칭되어 주석 나이트라이드는 측벽들에만 남는다. 일부 실시 예들에서, 이 에칭의 화학 물질은 주 에칭의 화학 물질과 동일하지만, 주 에칭보다 수직으로 이방성이도록 기판 바이어스를 사용하여 수행된다. 예를 들어, 주석 나이트라이드는 기판 바이어스와 함께 Cl_2/BCl_3 플라즈마 에칭을 사용하여 수평 표면들로부터 제거될 수 있다. 다음에, Cl_2/BCl_3 주 에칭이 이어지고 (예를 들어, 기판 바이어스가 없거나 수평 표면들로부터 주석 나이트라이드 제거 동안 사용된 바이어스보다 낮은 바이어스), 이어서 H_2 오버 에칭이 이어진다. 주석 나이트라이드는 주 에칭 프로세스 동안 측벽들에서 주석 옥사이드에 우수한 보호를 제공한다. 패시베이션 층으로서 주석 나이트라이드의 사용은 실험적으로 테스트되었고, 주석 나이트라이드 패시베이션 층이 사용된 경우들에서, 주석 옥사이드 질화 없이 프로세싱된 동일한 구조들에서보다 맨드릴의 측벽들 상의 주석 옥사이드의 두께가 보다 크다는 것이 확인되었다.

[0112]

하드 마스크 적용 예들

- [0113] 일부 실시 예들에서, 주석 옥사이드 막들이 하드 마스크들로서 사용된다. 주석 옥사이드 하드 마스크들은 리세스된 피처들을 갖는 기판을 형성하도록 패터닝될 수 있고, 리세스된 피처들의 하단부들에 노출된 재료가 있다. 이어서 기판은 주석 옥사이드 하드 마스크의 존재하에 프로세싱될 수 있다. 일부 실시 예들에서, 프로세싱은 리세스된 피처들의 하단부들에서 노출된 재료를 에칭하는 것을 수반한다. 다른 실시 예들에서, 프로세싱은 리세스된 피처들 내로 재료를 증착하는 것을 수반할 수도 있다. 다른 실시 예들에서, 프로세싱은 리세스된 피처들의 하단부들에서 노출된 재료를 화학적으로 개질하는 것을 수반할 수도 있다.
- [0114] 패터닝된 주석 옥사이드 층들은 다양한 방법들을 사용하여 형성될 수 있다. 일 실시 예에서, 패터닝된 주석 옥사이드 막은 포토리소그래피 패터닝을 사용하여 형성된다. 방법은, 일 실시 예에서, 기판 상에 형성된 블랭킷 주석 옥사이드 층을 갖는 기판을 제공하고 블랭킷 주석 옥사이드 층 위에 패터닝된 포토레지스트 층을 형성하는 단계를 수반한다. 일부 실시 예들에서, 주석 옥사이드 층 위의 패터닝된 포토레지스트 층은 주석 옥사이드 층의 상단부 바로 위에 그리고 주석 옥사이드 층과 콘택트하여 형성된다. 다른 실시 예들에서, 주석 옥사이드 층과 포토레지스트 사이에 하나 이상의 중간 하드 마스크 층들이 있을 수도 있다. 포토레지스트 층이 표준 포토리소그래피 기법들을 사용하여 증착되고 패터닝된 후, 포토레지스트로부터의 패턴은 주석 옥사이드 층 상으로 전사되고, 즉 노출된 주석 옥사이드 층이 에칭된다. 일부 실시 예들에서, 주석 옥사이드 층은 선택적인 에칭, 예컨대 수소-기반 에칭 (예를 들어, 플라스마의 H_2) 을 사용하여 노출된 포토레지스트의 존재시 에칭된다. 중간 하드 마스크들이 주석 옥사이드 층과 포토레지스트 층 사이에 존재할 때, 포토레지스트로부터의 패턴은 먼저 이들 중간 하드 마스크들 (예를 들어, 스핀-온 글래스와 같은 실리콘-함유 화합물을 함유하는 마스크 또는 탄소 마스크), 그리고 이어서 주석 옥사이드에 전사된다. 일부 실시 예들에서, 주석 옥사이드 층은 또 다른 중간 하드 마스크 재료 (예를 들어, 실리콘-함유 화합물 또는 탄소) 의 존재하에 수소-기반 에칭 및/또는 염소-기반 에칭과 같은 적합한 선택적인 화학 물질을 사용하여 에칭된다.
- [0115] 도 5a 내지 도 5c는 주석 옥사이드 마스크를 사용한 프로세싱을 겪는 기판의 개략적인 단면도들을 예시한다. 도 6은 주석 옥사이드 하드 마스크를 사용하여 기판을 프로세싱하기 위한 프로세스 흐름도를 제공한다. 동작 601에서, 패터닝된 주석 옥사이드 층을 갖는 기판이 제공된다. 주석 옥사이드 층은 상기 기술된 바와 같은 포토리소그래피 기법들을 사용하여 또는 도 1a 내지 도 1d를 참조하여 기술된 주석 옥사이드 스페이서들을 형성하도록 사용되는 프로세스 시퀀스를 사용하여 패터닝될 수도 있다. 이러한 기판의 예가 도 5a에 도시되고, 기판은 서브 층 (51), 및 서브 층 (51) 과 패터닝된 주석 옥사이드 층 (55) 사이에 존재하는 층 (53) 을 포함한다. 기판의 노출된 부분은 주석 옥사이드 층 (55) 내에 형성된 리세스된 피처들을 포함한다. 층 (53) 의 재료는 리세스된 피처들의 하단부들에서 노출된다. 도시된 실시 예에서 패터닝된 주석 옥사이드 층 (55) 의 상단 상에 부가적인 재료가 없지만, 다른 실시 예들에서, 주석 옥사이드 (55) 의 상단 상에 존재하는 중간 하드 마스크들로부터 포토레지스트 또는 재료가 있을 수도 있다.
- [0116] 다음에, 동작 603에서, 기판은 주석 옥사이드 층 (55) 의 존재시 프로세싱된다. 프로세싱은 예를 들어, 노출된 재료 (53) 의 에칭, 리세스된 피처들 내로 재료의 증착, 또는 노출된 재료 (53) 의 화학적 개질을 수반할 수도 있다. 재료 (53) 의 에칭은 주석 옥사이드 층 (55) 의 패턴에 의해 규정된 리세스된 피처들이 층 (53) 에 형성되는 도 5b에 예시된다. 다양한 선택적인 에칭 화학 물질들이 주석 옥사이드 (55) 의 존재하에 층 (53) 의 재료를 에칭하기 위해 사용될 수 있다. 예를 들어, 층 (53) 이 실리콘-함유 재료일 때, 이는 불소-기반 화학 물질을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭될 수도 있다. 예를 들어, 실리콘-함유 화합물들, 예컨대 실리콘 옥사이드, 실리콘 나이트라이드 및 실리콘 카바이드는 플루오로카본 플라스마 화학 물질을 사용하여 에칭될 수 있다. 층 (53) 이 탄소-함유 층 (예를 들어, 비정질 탄소) 일 때, 본 명세서에 기술된 바와 같이, 산소-기반 화학 물질을 사용하여 선택적으로 에칭될 수도 있다. 층 (53) 이 금속 옥사이드 층 (예를 들어, 티타늄 옥사이드, 지르코늄 옥사이드, 탄탈륨 옥사이드, 하프늄 옥사이드) 일 때, 본 명세서에 기술된 바와 같이, 본 명세서에 기술된 바와 같이 염소-기반 화학 물질 (예를 들어, 플라스마의 BCl_3/Cl_2) 을 사용하여 주석 옥사이드의 존재시 선택적으로 에칭될 수도 있다. 서브 층 (51) 의 재료는 층 (53) 의 재료와 상이하고, 층 (51) 은 층 (53) 의 에칭 동안 실질적으로 에칭되지 않는다. 도 5b에 도시된, 발생되는 구조체는 층 (55 및 53) 내에 형성된 리세스된 피처들 및 리세스된 피처들의 하단부들에 노출된 서브 층 (51) 재료를 갖는다.
- [0117] 다음에, 동작 603에서 주석 옥사이드 재료 (55) 가 제거되어 도 5c에 도시된 구조체를 제공하고, 패터닝된 층 (53) 은 서브 층 (51) 위에 놓인다. 일부 실시 예들에서, 이 시퀀스는 일부 실시 예들에서 SiN 층, 금속 나이트라이드 (예를 들어, TiN, 또는 TaN), 또는 금속 층인 서브 층 (51) 을 패터닝하도록 더 사용된다. 주석 옥사이드의 제거는 바람직하게 층 (53) 및 층 (51) 의 재료 모두에 선택적인 화학 물질을 사용하여 수행된다. 예를

들어, 이들 재료들이 실리콘-함유 재료들, 탄소-함유 재료들, 금속 옥사이드들, 금속 나이트라이드들, 또는 금속들일 때 선택적인 수소-기반 에칭 (예를 들어, H_2 플라즈마 에칭이 사용될 수도 있다). 또한, 층 (53 및 51) 의 재료들이 실리콘-함유 재료들 또는 탄소-함유 재료 들일 때 일부 실시 예들에서, 염소-기반 에칭 (예를 들어, 플라즈마의 BCl_3/Cl_2) 이 채용될 수도 있다.

[0118] 주석 옥사이드 하드 마스크를 사용하는 프로세스 플로우의 일 구체적인 예에서, 서브 층 (51) 은 SiN 층, 또는 금속 층이고, 층 (53) 은 실리콘 옥사이드이다. 프로세스는 SiN 또는 금속 층 (51) 위에 노출된 실리콘 옥사이드 층을 갖는 평면 기판을 제공함으로써 시작된다. 다음에, 블랭킷 주석 옥사이드 층이 실리콘 옥사이드 위에 증착되고, 이어서 주석 옥사이드가 패터닝되고 (예를 들어, 포토리소그래피 패터닝을 사용하여), 도 5a에 도시된 구조체를 유도한다. 다음에, 노출된 실리콘 옥사이드는 예를 들어, 플루오로카본 플라즈마를 사용하여 주석 옥사이드에 대해 선택적으로 에칭되고, 도 5b에 도시된 구조체를 유도한다. 다음에, 주석 옥사이드는 예를 들어, 수소 플라즈마 에칭을 사용하여 스트립핑되어 (제거되어), 도 5c에 도시된 구조체를 유도한다.

[0119] 주석 옥사이드 중간 층. 또 다른 하드 마스크 구현 예에서, 주석 옥사이드는 탄소 층 또는 또 다른 재료의 패터닝을 위한 중간 하드 마스크 (중간 층) 로서 사용된다. 일 실시 예에서, 기판이 제공되고, 기판은 탄소-함유 층 상에 (예를 들어, 비정질 탄소 층 상에) 형성된 주석 옥사이드의 패터닝된 층을 포함하고, 기판은 리세스된 피쳐들의 하단부들에 노출된 탄소 함유 재료를 갖는 복수의 리세스된 피쳐들을 포함한다. 다음에 노출된 탄소-함유 재료는 탄소-함유 층 내에 리세스된 피쳐들을 형성하도록 주석 옥사이드의 존재시 선택적으로 에칭된다. 적합한 선택적인 에칭 화학 물질들은 수소-기반 에칭 화학 물질 (예를 들어, 플라즈마 내의 H_2 , 그리고 플라즈마 내의 HBr) 및 염소-기반 에칭 화학 물질 (예를 들어, 플라즈마 내의 BCl_3 및/또는 Cl_2) 을 포함한다. 일 적합한 프로세스 시퀀스는 도 5d 내지 도 5g에 도시된 단면 기판 도면들에 의해 예시된다. 도 5d에 도시된 기판은 서브 층 (51) (예를 들어, 비정질 실리콘 또는 본 명세서에 기술된 임의의 타깃 층들), 서브 층 (51) 위에 존재하는 탄소 함유 재료 (예를 들어, 비정질 탄소) 의 블랭킷 층 (53) 및 탄소-함유 층 (53) 위에 존재하는 블랭킷 주석 옥사이드 층 (55) 을 포함한다. 기판은 주석 옥사이드 층 (55) 위의 패터닝된 포토레지스트 층 (57), 및 포토레지스트 (57) 와 주석 옥사이드 층 (55) 사이의 하부층 (56) 을 더 포함하고, 하부층은 예를 들어, 스핀 온 글래스일 수도 있다. 하부층 (56) 은 기판의 표면 상의 패터닝된 포토레지스트 층 (57) 에 형성된 리세스된 피쳐들의 하단부들에서 노출된다. 포토레지스트의 패터닝은 포토레지스트의 존재시 하부층을 선택적으로 에칭함으로써, 예를 들어, 플루오로카본-기반 플라즈마 에칭에 의해 하부층 (56) 에 전사된다. 에칭은 도 5e에 도시된 바와 같이, 리세스된 피쳐들의 하단부들에서 주석 옥사이드 층 (55) 을 노출시킨다. 다음에, 주석 옥사이드는 바람직하게 하부층 재료에 선택적인 에칭을 사용하여 패터닝된다. 예를 들어, 주석 옥사이드는 수소-기반 에칭 또는 염소-기반 에칭을 사용하여 에칭될 수도 있다. 도 5f에 도시된 발생되는 구조체에서, 패터닝은 포토레지스트로부터 주석 옥사이드 층으로 전사되고 탄소-함유 층 (53) 은 리세스된 피쳐들의 하단부들에서 노출된다. 다음에, 프로세스는 노출된 탄소-함유 층 (53) 을 에칭함으로써 이어진다. 바람직하게, 주석 옥사이드에 선택적인 화학 물질이 사용된다. 예를 들어, 노출된 탄소-함유 층 (53) 은 산소-기반 에칭에 의해 에칭될 수도 있다 (예를 들어, 탄소는 산소-함유 가스에 형성된 플라즈마에 의해 에칭될 수 있다). 남아 있는 포토레지스트 및 하부층 (56) 은 또한 이 단계에서 제거될 수도 있다. 이 에칭 후에 획득된 구조체는 도 5g에 도시된다. 프로세스는 주석 옥사이드 (55) 의 제거 및 노출된 서브 층 (51) 의 후속 프로세싱이 이어질 수도 있다.

[0120] 중간 층 실시 예의 또 다른 구현 예가 도 5h 내지 도 5k에 도시된다. 시퀀스는 도 5d 내지 도 5g를 참조하여 기술된 시퀀스와 유사하지만, 하부층 (56) 없이 수행된다. 이 시퀀스에서, 패터닝된 포토레지스트 (57) 는 주석 옥사이드 층 (55) 바로 위에 형성되고, 이어서 포토레지스트의 존재시 주석 옥사이드 에칭 (예를 들어, 수소-기반 에칭 (H_2 또는 HBr) 사용) 또는 염소-기반 에칭이 이어진다. 이어서 프로세스는 주석 옥사이드 중간 층 (55) 으로부터 탄소-함유 층 (53) 으로 패터닝을 전사하도록 이어지고, 층 (53) 은 그 자체가 하부 층 (51) 을 패터닝하기 위한 하드 마스크로서 역할을 할 수도 있다. 다음에, 주석 옥사이드 (55) 는 탄소-함유 층 (53) 의 존재시, 예를 들어, 수소-기반 에칭 화학 물질 (예를 들어, 플라즈마의 H_2) 을 사용하여 선택적으로 에칭되고 제거된다. 이들 중간 층 시퀀스들은 EUV 하드 마스크 프로세싱 애플리케이션들에 적합하다.

[0121] 또 다른 실시 예에서, 포토레지스트 패터닝을 주석 옥사이드 층으로 전사하기 위해 매우 선택적인 에칭이 사용된다. 예를 들어, 주석 옥사이드는 위에 놓인 포토레지스트 및 하부 재료의 존재시, 탄소 함유 반응 물질의 첨가와 함께 수소-기반 에칭 화학 물질을 사용하여 선택적으로 에칭될 수 있고, 여기서 탄소 함유 반응 물질은 기판의 표면 상에 탄소 함유 폴리머를 형성하고 에칭 선택도를 증가시키도록 사용된다. 예를 들어, 플라즈마는 본

명세서에 기술된 바와 같이 H_2 , 탄화수소 (예를 들어, CH_4), 및 선택 가능하게 불활성 가스의 혼합물로 형성될 수도 있다. 이는 도 5h 내지 도 5k를 참조하여 예시될 것이다. 이 예에서, 도 5h에 도시된 바와 같이, 포토레지스트의 패터닝된 층 (57) 이 주석 옥사이드 층 (55) (예를 들어, 9 내지 12 nm 두께) 위에 형성된다. 이 예시에서, 주석 옥사이드 층 바로 아래에 놓인 재료의 층은 텅스텐 탄소 층 (53) (35 내지 55 nm 두께) 이다. 이 예시에서 층 (51) 은 실리콘 옥사이드 (예를 들어, TEOS 캡) 이고, 이는 BEOL 프로세스 시퀀스에서 사용된 극저 k 유전체 층 상에 존재할 수도 있다. 먼저, 주석 옥사이드는 포토레지스트 및 텅스텐 탄소의 존재시 매우 선택적인 H_2/CH_4 플라즈마 에칭을 사용하여 선택적으로 에칭된다. 도 5i에 도시된 바와 같이, 리세스된 피쳐들이 형성되고 텅스텐 탄소 층이 노출된다. 다음에, 텅스텐 탄소는 주석 옥사이드의 존재시 선택적으로 에칭되고, 아래에 놓인 TEOS 층을 노출한다. 예를 들어, 텅스텐 탄소는 본 명세서에 기술된 NF_3/Cl_2 플라즈마 에칭을 사용하여 주석 옥사이드에 대해 선택적으로 에칭될 수 있다. 포토레지스트는 또한 이 단계 동안 실질적으로 제거될 수도 있다. 발생하는 구조체는 도 5j에 도시된다. 다음에, 주석 옥사이드는 탄소 텅스텐에 선택적인 에칭을 사용하여 기판으로부터 제거된다. 일부 실시 예들에서, H_2 플라즈마를 사용하여 주석 옥사이드를 제거하는 것이 바람직하다. 일부 실시 예들에서, 탄화수소 첨가제들은 이 단계 동안 사용되지 않는다. 예를 들어, 주석 옥사이드는 아래의 프로세스 조건들 하에서 H_2 에칭을 사용하여 하부 층이 에칭된 후 제거될 수 있다. 이 예에서 에칭은 100 내지 500 sccm의 플로우 레이트로 H_2 를 흘리고, (일 300 mm 웨이퍼 당) 100 내지 500 W의 RF 전력을 사용하여 이 프로세스 가스에 플라즈마를 형성하는 것을 수반한다. 이 에칭은 기판 바이어스를 사용하거나 사용하지 않고 수행될 수 있다. 예를 들어, 기판 바이어스는 0 내지 100 Vb, 예컨대 10 내지 100 Vb일 수도 있다. 프로세스는 100 °C 미만의 온도 및 5 내지 50 mTorr의 압력에서 수행될 수 있다.

[0122]

주석 옥사이드 중간 층 하드 마스크를 사용한 또 다른 프로세스 플로우는 도 5l 내지 도 5o의 단면도들로 예시된다. 이 예에서, 도 5l에 도시된 바와 같이, 포토레지스트의 패터닝된 층 (57) 이 주석 옥사이드 층 (55) (예를 들어, 9 내지 12 nm 두께) 위에 형성된다. 이 예시에서, 주석 옥사이드 층 바로 아래에 놓인 재료의 층은 비정질 실리콘 (Si) 층 (53) (35 내지 55 nm 두께) 이다. 이 예시에서 층 (51) 은 실리콘 옥사이드 에칭 정지층이다. 이 예시에서 포토레지스트는 상단부에서보다 하단부에서보다 넓도록 증착된다. H_2 /탄화수소 플라즈마 에칭의 사용으로 포토레지스트 폭의 차를 감소시키고 단면에서 실질적으로 직사각형으로 만드는 것이 가능하다는 것이 도시되었다. 먼저, 주석 옥사이드는 포토레지스트 및 비정질 실리콘의 존재시 매우 선택적인 H_2/CH_4 플라즈마 에칭을 사용하여 선택적으로 에칭된다. 도 5m에 도시된 바와 같이, 포토레지스트의 기하 구조가 개선되는 동안, 리세스된 피쳐들이 형성되고 비정질 실리콘 층이 노출된다. 다음에, 실리콘은 주석 옥사이드의 존재시 선택적으로 에칭되어, 아래에 놓인 에칭 정지층을 노출한다. 예를 들어, 실리콘은 본 명세서에 기술된 NF_3/Cl_2 플라즈마 에칭을 사용하여 주석 옥사이드에 대해 선택적으로 에칭될 수 있다. 40보다 큰 (주석 옥사이드에 대한 실리콘) 에칭 선택도 가 이 에칭으로 달성될 수 있다. 포토레지스트는 또한 이 단계 동안 부분적으로 제거될 수도 있다. 발생하는 구조체는 도 5n에 도시된다. 다음에, 주석 옥사이드는 실리콘에 선택적인 에칭을 사용하여 기판으로부터 제거된다. 일부 실시 예들에서, H_2 플라즈마를 사용하여 주석 옥사이드를 제거하는 것이 바람직하다. 남아 있는 포토레지스트 (57) 는 H_2 플라즈마 처리 동안 제거될 수 있다. 발생하는 구조체는 도 5o에 도시된다.

[0123]

하드 마스크로서 주석 옥사이드의 사용은 패터닝될 공통 층인 실리콘 옥사이드에 대해 매우 높은 선택도로 에칭될 수 있기 때문에 매우 유리하다. 이는 또한 건식 플라즈마 에칭 화학 물질 (예를 들어, 수소-기반 또는 염소-기반 화학 물질) 을 사용하여 탄소, 포토레지스트, 금속들, 금속 나이트라이드들, 및 금속 옥사이드들을 포함하는 매우 다양한 다른 재료들에 선택적으로 에칭될 수 있다. 주석 옥사이드 하드 마스크들은 또한 습식 에칭을 필요로 하지 않고 수소 플라즈마로 에칭될 수 있는 반면, 티타늄 나이트라이드는 통상적으로 습식 에칭 방법들에 의해 제거되기 때문에 티타늄 나이트라이드 하드 마스크들에 비해 낮다.

[0124]

리버스 톤 하드 마스크들 (Reverse tone hardmasks). 일부 실시 예들에서, 주석 옥사이드는 다양한 리버스 톤 하드 마스크 적용 예들에서 사용된다. 일 예시적인 프로세스 플로우가 도 8에 도시되고 도 7a 내지 도 7c의 기판의 개략적인 단면도들에 의해 예시된다. 프로세스는 노출된 패터닝된 애시 가능 층 및 복수의 리세스된 피쳐들을 갖는 기판을 제공함으로써 801에서 시작된다. 애시 가능 재료들의 예들은 비정질 탄소, 다이아몬드-유사 탄소, 포토레지스트 및 유기 폴리머들과 같은 탄소-함유 재료들을 포함하고, 폴리머들은 금속들 또는 금속 옥사이드들로 도핑되거나 도핑되지 않을 수도 있다. 애시 가능 재료의 패터닝된 층은, 예를 들어, (예를 들어, PECVD 또는 스펀 온 방법에 의해) 애시 가능 재료의 블랭킷 층을 증착, 이어서 포토리소그래픽 패터닝함으로써

형성될 수 있다. 도 7a는 서브 층 (701) 상에 존재하는 애시 가능 재료 (703) 의 패터닝된 층 (예를 들어, Si, SiN, 금속 나이트라이드 또는 본 명세서에 기술된 임의의 타깃 또는 서브 층 재료) 을 갖는 기판을 예시한다. 기판 상에 복수의 리세스된 피처들이 있고 층 (701) 은 리세스된 피처들의 하단부들에서 노출된다. 다음에, 동작 803에서, 기판 상의 리세스된 피처들은 (예를 들어, CVD를 사용하여) 주석 옥사이드로 충전된다. 오버버든 (overburden) 은 또한 통상적으로 이 단계에서 애시 가능 재료의 층 (703) 위에 형성된다. 획득된 구조체는 증착된 주석 옥사이드 (705) 가 애시 가능 재료 (703) 사이의 갭들을 충전하고 오버버든을 형성하는, 도 7b에 도시된다. 이어서 오버버든은 애시 가능 재료 (703) 를 노출하도록, 예를 들어, CMP (chemical mechanical polishing) 동작 또는 벌크 플라즈마 에칭 (예를 들어, 수소-기반 및/또는 염소-기반 플라즈마 에칭을 사용하여) 에 의해 제거될 수 있다. 평탄화 후에, 동작 805에서, 애시 가능 재료는 주석 옥사이드 재료를 실질적으로 제거하지 않고 제거되어 (예를 들어, 적어도 90 %의 주석 옥사이드가 남음) 도 7c에 도시된 바와 같이 주석 옥사이드 (705) 의 상보적인 패턴을 형성한다.

[0125] 일 구체적인 예에서, 타깃 층 (예를 들어, 실리콘 옥사이드, 실리콘 나이트라이드 또는 금속) 상에 존재하는 패터닝된 탄소 층을 포함하는 기판이 제공된다. 패터닝된 탄소 층은 (예를 들어, 약 5 내지 50 nm의 폭을 갖는) 복수의 리세스들을 갖는다. 다음에, 리세스들은 주석 옥사이드로 충전되고 주석 옥사이드 오버버든이 형성된다 (예를 들어, CVD). 다음에, 주석 옥사이드 오버버든은 탄소를 노출하도록 (예를 들어, CMP 또는 탄소에 선택적인 건식 플라즈마 에칭에 의해) 제거되고, 이어서 탄소는 주석 옥사이드를 완전히 제거하지 않고, 예를 들어 O_2 플라즈마를 사용하여 제거된다 (스트립핑).

[0126] 리버스 톤 마스크 구현 예의 또 다른 실시 예가 도 10의 프로세스 흐름도에 도시되고 도 9a 내지 도 9c에서 프로세싱된 기판의 개략적인 단면도로 예시된다. 프로세스는 패터닝된 주석 옥사이드 층 및 복수의 리세스된 피처들을 갖는 기판을 제공함으로써 1001에서 시작된다. 이는 패터닝된 주석 옥사이드 층 (903) 이 서브 층 (901) (예를 들어, 금속 나이트라이드, 또는 금속 층) 상에 존재하는 도 9a에 예시된다. 서브 층 (901) 은 주석 옥사이드 층 (903) 에 형성된 리세스된 피처들의 하단부들에서 노출된다. 다음에, 동작 1003에서, 리세스된 피처들은 실리콘-함유 재료에 의해, 예를 들어, CVD에 의해 충전된다. 적합한 실리콘-함유 재료들의 예들은 실리콘 (예를 들어, 비정질 실리콘 또는 폴리실리콘) 및 실리콘-함유 화합물들, 예컨대 실리콘 옥사이드, 실리콘 나이트라이드, 및 실리콘 카바이드를 포함한다. 주석 옥사이드 층 위에 오버버든이 이 증착 동안 형성될 수도 있다. 발생되는 구조체는 도 9b에 도시되고, 실리콘-함유 재료 (905) 는 패터닝된 주석 옥사이드 층의 갭들을 충전하고 오버버든을 형성한다. 다음에, 오버버든은 CMP 또는 플라즈마 에칭 (예를 들어, 플루오로카본 플라즈마 에칭과 같은 불소-기반 에칭) 에 의해 제거되고 주석 옥사이드 (903) 가 노출된다. 다음 동작 1005에서, 실리콘-함유 재료를 제거하지 않고 주석 옥사이드가 제거되어 실리콘-함유 재료의 패터닝된 층 (주석 옥사이드 패턴에 대해 리버스 톤 또는 상보적인 패턴) 을 형성한다. 주석 옥사이드는 예를 들어, 수소-기반 에칭 (예를 들어, H_2 플라즈마 에칭, 또는 HBr 플라즈마 에칭) 또는 염소-기반 에칭 (예를 들어, BCl_3/Cl_2 에칭) 을 사용하여 실리콘-함유 재료에 대해 선택적으로 에칭된다. 에칭 후에 획득된 구조체는 패터닝된 실리콘-함유 층 (905) 이 도시된 도 9c에 도시된다. 서브 층 (901) 은 실리콘-함유 재료 (905) 내에 형성된 리세스된 피처들의 하단부들에서 노출된다.

[0127] 일 구현 예에서, 타깃 층 위에 주석 옥사이드의 패터닝된 층을 갖는 타깃 층을 갖는 기판이 제공된다. 다음에, 패터닝된 주석 옥사이드의 리세스된 피처들은 실리콘 옥사이드로 충전되고, 실리콘 옥사이드 오버버든이 (예를 들어, PECVD에 의해) 형성된다. 다음에, 실리콘 옥사이드 오버버든은 주석 옥사이드를 노출하도록 에칭되고 (리세스 에칭), 이어서 예를 들어, 수소 플라즈마를 사용하여 주석 옥사이드가 제거 (스트립핑) 되고, 이에 따라 초기 주석 옥사이드 패턴에 상보적인 패턴을 갖는 패터닝된 실리콘 옥사이드를 남긴다.

[0128] 장치

[0129] 본 명세서에 기술된 에칭 방법들은 다양한 장치들에서 수행될 수 있다. 적합한 장치는 에칭 프로세스 챔버, 에칭 동안 기판을 제자리에 홀딩하도록 구성된 에칭 프로세스 챔버 내의 기판 홀더, 및 프로세스 가스에서 플라즈마를 생성하도록 구성된 플라즈마 생성 메커니즘을 포함한다.

[0130] 적합한 장치들의 예들은, 특정한 실시 예들에서, 또한 ALE (atomic layer etch) 동작들 및 ALD (atomic layer deposition) 동작들을 포함하는, 순환적 증착 및 활성화 프로세스들에 적합할 수도 있는 ICP (inductively coupled plasma) 반응기들을 포함한다. ICP 반응기들이 본 명세서에 상세히 기술되었지만, 용량 결합 플라즈마 반응기들이 또한 사용될 수도 있다는 것이 이해되어야 한다.

[0131] 도 11은 본 명세서에 기술된 플라스마 에칭을 구현하기 위해 적절한 유도 결합 플라스마 통합된 에칭 및 증착 장치 (400)의 단면도를 개략적으로 도시하고, 이의 예는 CA, Fremont 소재의 Lam Research Corp.에 의해 생산된 Kryo[®] 반응기이다. 유도 결합 플라스마 장치 (400)는 챔버 벽들 (401) 및 윈도우 (411)에 의해 구조적으로 규정된 전체 프로세스 챔버 (424)를 포함한다. 챔버 벽들 (401)은 스테인리스 스틸 또는 알루미늄으로 제조될 수도 있다. 윈도우 (411)는 석영 또는 다른 유전체 재료로 제조될 수도 있다. 선택 가능한 내부 플라스마 그리드 (450)가 전체 프로세스 챔버를 상부 서브챔버 (402) 및 하부 서브챔버 (403)로 분할한다. 대부분의 실시 예들에서, 플라스마 그리드 (450)는 제거될 수도 있고, 이에 따라 서브챔버들 (402 및 403)로 이루어진 챔버 공간을 활용한다. 척 (417)이 하단 내측 표면 근방의 하부 서브챔버 (403) 내에 위치된다. 척 (417)은 에칭 프로세스 및 증착 프로세스가 수행되는 반도체 웨이퍼 (419)를 수용하고 홀딩하도록 구성된다. 척 (417)은 존재한다면 웨이퍼 (419)를 지지하기 위한 정전 척일 수 있다. 일부 실시 예들에서, 예지 링 (미도시)이 척 (417)을 둘러싸고, 척 (417) 위에 존재한다면 웨이퍼 (419)의 상단 표면과 거의 평면인 상부 표면을 갖는다. 척 (417)은 또한 웨이퍼 (419)를 척킹 (chucking) 및 디척킹하기 (dechucking) 위한 정전 전극들을 포함한다. 필터 및 DC 클램프 전력 공급부 (미도시)가 이 목적을 위해 제공될 수도 있다. 척 (417)으로부터 웨이퍼 (419)를 리프팅하기 위한 다른 제어 시스템들이 또한 제공될 수 있다. 척 (417)은 RF 전력 공급부 (423)를 사용하여 전기적으로 대전될 수 있다. RF 전력 공급부 (423)는 연결부 (427)를 통해 매칭 회로 (421)에 접속된다. 매칭 회로 (421)는 연결부 (425)를 통해 척 (417)에 접속된다. 이러한 방식으로, RF 전력 공급부 (423)는 척 (417)에 접속된다. 다양한 실시 예들에서, 정전 척의 바이어스 전력은 약 50 Vb로 설정될 수도 있고, 또는 개시된 실시 예들에 따라 수행된 프로세스에 따라 상이한 바이어스 전력으로 설정될 수도 있다. 예를 들어, 바이어스 전력은 약 20 Vb 내지 약 100 Vb, 또는 약 30 Vb 내지 약 150 Vb일 수도 있다.

[0132] 플라스마 생성을 위한 엘리먼트들은 윈도우 (411) 위에 위치된 코일 (433)을 포함한다. 일부 실시 예들에서, 코일은 개시된 실시 예들에서 사용되지 않는다. 코일 (433)은 전기적으로 전도성 재료로 제조되고, 적어도 하나의 완전한 턴을 포함한다. 도 11에 도시된 코일 (433)의 예는 3개의 턴들을 포함한다. 코일 (433)의 단면들은 심볼들로 도시되고, "X"를 갖는 코일들은 페이지 내로 회전하여 연장하는 한편, "●"를 갖는 코일들은 페이지 밖으로 회전하여 연장한다. 플라스마 생성을 위한 엘리먼트들은 또한 코일 (433)에 RF 전력을 공급하도록 구성된 RF 전력 공급부 (441)를 포함한다. 일반적으로, RF 전력 공급부 (441)는 연결부 (445)를 통해 매칭 회로 (439)에 접속된다. 매칭 회로 (439)는 연결부 (443)를 통해 코일 (433)에 접속된다. 이러한 방식으로, RF 전력 공급부 (441)는 코일 (433)에 접속된다. 선택 가능한 패러데이 차폐부 (449a)가 코일 (433)과 윈도우 (411) 사이에 위치된다. 패러데이 차폐부 (449)는 코일 (433)에 대해 이격된 관계로 유지될 수도 있다. 일부 실시 예들에서, 패러데이 차폐부 (449a)는 윈도우 (411) 바로 위에 배치된다. 일부 실시 예들에서, 패러데이 차폐부 (449b)는 윈도우 (411)와 척 (417) 사이에 있다. 일부 실시 예들에서, 패러데이 차폐부 (449b)는 코일 (433)에 대해 이격된 관계로 유지되지 않는다. 예를 들어, 패러데이 차폐부 (449b)는 갭 없이 윈도우 (411) 바로 아래에 있을 수도 있다. 코일 (433), 패러데이 차폐부 (449a), 및 윈도우 (411)는 각각 서로 실질적으로 평행하도록 구성된다. 패러데이 차폐부 (449a)는 금속 또는 다른 종이 프로세스 챔버 (424)의 윈도우 (411) 상에 증착되는 것을 방지할 수도 있다.

[0133] 프로세스 가스들은 상부 서브챔버 (402) 내에 위치된 하나 이상의 주 가스 플로우 유입구들 (460)을 통해 그리고/또는 하나 이상의 측면 가스 플로우 유입구들 (470)을 통해 프로세스 챔버 내로 흐를 수도 있다. 유사하게, 명시적으로 도시되지 않지만, 유사한 가스 플로우 유입구들이 용량 결합 플라스마 프로세싱 챔버에 프로세스 가스들을 공급하도록 사용될 수도 있다. 진공 펌프, 예를 들어, 1 단계 또는 2 단계 기계적 건조 펌프 및/또는 터보분자 펌프 (440)가, 프로세스 챔버 (424) 밖으로 프로세스 가스들을 인출하고 프로세스 챔버 (424) 내의 압력을 유지하도록 사용될 수도 있다. 예를 들어, 진공 펌프는 ALD의 퍼지 동작 동안 하부 서브챔버 (403)를 배기하도록 사용될 수도 있다. 밸브-제어된 도관이 진공 펌프에 의해 제공된 진공 분위기의 적용을 선택적으로 제어하기 위해 진공 펌프를 프로세스 챔버 (424)에 유체적으로 연결하도록 사용될 수도 있다. 이는 동작 중인 플라스마 프로세싱 동안 스로틀 (throttle) 밸브 (미도시) 또는 펜듈럼 (pendulum) 밸브 (미도시)와 같은 페루프-제어된 플로우 제한 디바이스를 채용하여 이루어질 수도 있다. 유사하게, 용량 결합된 플라스마 프로세싱 챔버로의 진공 펌프 및 밸브 제어된 유체 연결이 또한 채용될 수도 있다.

[0134] 장치 (400)의 동작 동안, 하나 이상의 프로세스 가스들은 가스 플로우 유입구들 (460 및/또는 470)을 통해 공급될 수도 있다. 특정한 실시 예들에서, 프로세스 가스는 주 가스 플로우 유입구 (460)를 통해서만, 또는 측면 가스 플로우 유입구 (470)를 통해서만 공급될 수도 있다. 일부 경우들에서, 도면에 도시된 가스 플로우 유

입구들은 보다 복잡한 가스 플로우 유입구들, 예를 들어 하나 이상의 샤워헤드들로 대체될 수도 있다. 패러데이 차폐부 (449a) 및/또는 선택 가능한 그리드 (450) 는 프로세스 챔버 (424) 로의 프로세스 가스들의 전달을 허용하는 내부 채널들 및 홀들을 포함할 수도 있다. 패러데이 차폐부 (449a) 및 선택 가능한 그리드 (450) 중 하나 또는 모두는 프로세스 가스들의 전달을 위한 샤워헤드로서 역할할 수도 있다. 일부 실시 예들에서, 액체 기화 및 전달 시스템은 액체 반응 물질 또는 전구체가 기화되면, 기화된 반응 물질 또는 전구체가 가스 플로우 유입구 (460 및/또는 570) 를 통해 프로세스 챔버 (424) 내로 도입되도록, 프로세스 챔버 (424) 의 업스트림에 위치될 수도 있다.

[0135] RF 전류로 하여금 코일 (433) 을 통해 흐르게 하도록, RF 전력 공급부 (441) 로부터 코일 (433) 로 무선 주파수 전력이 공급된다. 코일 (433) 을 통해 흐르는 RF 전류는 코일 (433) 주위에 전자기장을 생성한다. 전자기장은 상부 서브챔버 (402) 내에 유도 전류를 생성한다. 웨이퍼 (419) 와 다양한 생성된 이온들 및 라디칼들의 물리적 상호작용 및 화학적 상호작용은 웨이퍼 (419) 의 피쳐들을 에칭하고 웨이퍼 (419) 상의 층들을 선택적으로 증착한다.

[0136] 상부 서브챔버 (402) 및 하부 서브챔버 (403) 모두가 있도록 플라스마 그리드 (450) 가 사용된다면, 유도 전류는 상부 서브챔버 (402) 내에 전자-이온 플라스마를 생성하기 위해 상부 서브챔버 (402) 내에 존재하는 가스에 작용한다. 선택 가능한 내부 플라스마 그리드 (450) 는 하부 서브챔버 (403) 내의 핫 (hot) 전자들의 양을 제한한다. 일부 실시 예들에서, 장치 (400) 는 하부 서브챔버 (403) 내에 존재하는 플라스마가 이온-이온 플라스마이도록 설계되고 동작된다.

[0137] 상부 전자-이온 플라스마 및 하부 이온-이온 플라스마 모두는 양이온 및 음이온을 함유할 수도 있지만, 이온-이온 플라스마는 양이온들에 대해 보다 큰 비의 음이온들을 가질 것이다. 휘발성 에칭 및/또는 증착 부산물들은 포트 (422) 를 통해 하부 서브챔버 (403) 로부터 제거될 수도 있다. 예를 들어, H_2 플라스마를 사용한 주석 옥사이드의 에칭 동안 생성된 주석 하이드라이드는 퍼지 및/또는 배기 동안 포트 (422) 를 통해 제거될 수 있다. 본 명세서에 개시된 척 (417) 은 약 10 °C 내지 약 250 °C 범위의 상승된 온도들에서 동작할 수도 있다. 온도는 프로세스 동작 및 특정한 레시피에 종속될 것이다. 일부 실시 예들에서, 장치는 약 100 °C 미만의 온도에서 에칭을 수행하도록 제어된다.

[0138] 장치 (400) 는 클린 룸 또는 제조 설비 내에 설치될 때 설비들 (미도시) 에 커플링될 수도 있다. 설비들은 프로세싱 가스들, 진공, 온도 제어, 및 분위기 입자 제어를 제공하는 배관을 포함한다. 이들 설비들은 타겟 제조 설비 내에 설치될 때 장치 (400) 에 커플링된다. 부가적으로, 장치 (400) 는 로봇들로 하여금 통상적인 자동화를 사용하여 장치 (400) 내외로 반도체 웨이퍼들을 이송하게 하는 이송 챔버에 커플링될 수도 있다.

[0139] 일부 실시 예들에서, (하나 이상의 물리적 또는 논리적 제어기들을 포함할 수도 있는) 시스템 제어기 (430) 가 프로세스 챔버 (424) 의 일부 또는 모든 동작들을 제어한다. 시스템 제어기 (1550) 는 하나 이상의 메모리 디바이스들 및 하나 이상의 프로세서들을 포함할 수도 있다. 일부 실시 예들에서, 장치 (400) 는 프로세스 가스들의 플로우 레이트들을 제어하기 위한 스위칭 시스템을 포함한다. 일부 실시 예들에서, 제어기는 본 명세서에 제공된 임의의 방법들의 단계들을 유발하기 위한 프로그램 인스트럭션들을 포함한다.

[0140] 일부 구현 예들에서, 시스템 제어기 (450) 는 상기 기술된 예들의 일부일 수도 있는, 시스템의 일부이다. 이러한 시스템들은, 프로세싱 툴 또는 툴들, 챔버 또는 챔버들, 프로세싱용 플랫폼 또는 플랫폼들, 및/또는 특정 프로세싱 컴포넌트들 (웨이퍼 페데스탈, 가스 플로우 시스템, 등) 을 포함하는, 반도체 프로세싱 장비를 포함할 수 있다. 이들 시스템들은 반도체 웨이퍼 또는 기관의 프로세싱 이전에, 프로세싱 동안에, 그리고 프로세싱 이후에 그들의 동작을 제어하기 위한 전자장치와 통합될 수도 있다. 전자장치는 시스템 또는 시스템들의 다양한 컴포넌트들 또는 하위부분들을 제어할 수도 있는, 시스템 제어기 (430) 로 통합될 수도 있다. 시스템 제어기는, 시스템의 프로세싱 파라미터들 및/또는 타입에 따라서, 프로세싱 가스들의 전달, 온도 설정사항들 (예를 들어, 가열 및/또는 냉각), 압력 설정사항들, 진공 설정사항들, 전력 설정사항들, 무선 주파수 (RF) 생성기 설정사항들, RF 매칭 회로 설정사항들, 주파수 설정사항들, 플로우 레이트 설정사항들, 유체 전달 설정사항들, 위치 및 동작 설정사항들, 툴 및 다른 이송 툴들 및/또는 특정 시스템과 연결되거나 인터페이스된 로드록들 내외로의 웨이퍼 이송들을 포함하는, 본 명세서에 개시된 프로세스들 중 임의의 프로세스들을 제어하도록 프로그래밍될 수도 있다.

[0141] 일반적으로 말하면, 시스템 제어기 (430) 는 인스트럭션들을 수신하고, 인스트럭션들을 발행하고, 동작을 제어하고, 세정 동작들을 인에이블하고, 엔드 포인트 측정들을 인에이블하는 등을 하는 다양한 집적 회로들, 로직, 메모리, 및/또는 소프트웨어를 갖는 전자장치로서 규정될 수도 있다. 집적 회로들은 프로그램 인스트럭션들을

저장하는 펌웨어의 형태의 칩들, 디지털 신호 프로세서들 (DSPs), ASICs (Application Specific Integrated Circuits)로서 규정되는 칩들, 및/또는 프로그램 인스트럭션들 (예를 들어, 소프트웨어)을 실행하는 하나 이상의 마이크로프로세서들, 또는 마이크로제어기들을 포함할 수도 있다. 프로그램 인스트럭션들은 반도체 웨이퍼 상에서 또는 반도체 웨이퍼에 대한 특정 프로세스를 수행하기 위한 동작 파라미터들을 규정하는, 다양한 개별 설정사항들 (또는 프로그램 파일들)의 형태로 제어기로 또는 시스템으로 전달되는 인스트럭션들일 수도 있다. 일부 실시 예들에서, 동작 파라미터들은 하나 이상의 층들, 재료들, 금속들, 옥사이드들, 실리콘, 실리콘 다이옥사이드, 표면들, 회로들, 및/또는 웨이퍼의 다이들의 제조 또는 제거 동안 하나 이상의 프로세싱 단계들을 달성하도록 프로세스 엔지니어들에 의해서 규정된 레시피의 일부일 수도 있다.

[0142] 시스템 제어기 (430)는, 일부 구현 예들에서, 시스템에 통합되거나, 시스템에 커플링되거나, 이와 달리 시스템에 네트워킹되거나, 또는 이들의 조합으로될 수 있는 컴퓨터에 커플링되거나 이의 일부일 수도 있다. 예를 들어, 제어기는 웨이퍼 프로세싱의 원격 액세스를 가능하게할 수 있는 웹 호스트 컴퓨터 시스템의 전부 또는 일부이거나 "클라우드" 내에 있을 수도 있다. 컴퓨터는 제조 동작들의 현 진행을 모니터링하거나, 과거 제조 동작들의 이력을 조사하거나, 복수의 제조 동작들로부터 경향들 또는 성능 계측치들을 조사하거나, 현 프로세싱의 파라미터들을 변경하거나, 현 프로세싱을 따르는 프로세싱 단계들을 설정하거나, 새로운 프로세스를 시작하기 위해서, 시스템으로의 원격 액세스를 인에이블할 수도 있다. 일부 예들에서, 원격 컴퓨터 (예를 들어, 서버)가 로컬 네트워크 또는 인터넷을 포함할 수도 있는 네트워크를 통해 프로세스 레시피들을 시스템에 제공할 수 있다. 원격 컴퓨터는 차후에 원격 컴퓨터로부터 시스템으로 전달되는 파라미터들 및/또는 설정사항들의 입력 또는 프로그래밍을 가능하게 하는 사용자 인터페이스를 포함할 수도 있다. 일부 예들에서, 시스템 제어기 (430)는 하나 이상의 동작들 동안에 수행될 프로세스 단계들 각각에 대한 파라미터들을 특정하는, 데이터의 형태의 인스트럭션들을 수신한다. 파라미터들은 제어기가 제어하거나 인터페이싱하도록 구성되는 툴의 타입 및 수행될 프로세스의 타입에 특정적일 수도 있다는 것이 이해되어야 한다. 따라서 상기 기술된 바와 같이, 시스템 제어기 (430)는 예컨대 본 명세서에 기술된 프로세스들 및 제어들과 같은, 공동의 목적을 향해 함께 네트워킹되고 작동되는 하나 이상의 개별 제어기들을 포함함으로써 분산될 수도 있다. 이러한 목적들을 위한 분산형 제어기의일 예는 챔버 상의 프로세스를 제어하도록 조합되는 (예컨대 플랫폼 레벨에서 또는 원격 컴퓨터의 일부로서) 원격으로 위치한 하나 이상의 집적 회로들과 통신하는 챔버 상의 하나 이상의 집적 회로들일 것이다.

[0143] 비한정적으로, 예시적인 시스템들은 플라즈마 에칭 챔버 또는 모듈, 증착 챔버 또는 모듈, 스핀-린스 챔버 또는 모듈, 금속 도금 챔버 또는 모듈, 세정 챔버 또는 모듈, 베벨 에지 에칭 챔버 또는 모듈, PVD 챔버 또는 모듈, CVD 챔버 또는 모듈, ALD 챔버 또는 모듈, ALE (Atomic Layer Etch) 챔버 또는 모듈, 이온 주입 챔버 또는 모듈, 트랙 (track) 챔버 또는 모듈, 및 반도체 웨이퍼들의 제조 및/또는 제작 시에 사용되거나 연관될 수도 있는 임의의 다른 반도체 프로세싱 시스템들을 포함할 수도 있다.

[0144] 상술한 바와 같이, 툴에 의해서 수행될 프로세스 단계 또는 단계들에 따라서, 제어기는, 반도체 제작 공장 내의 툴 위치들 및/또는 로드 포트들로부터/로드 포트들로 웨이퍼들의 컨테이너들을 이동시키는 재료 이송 시에 사용되는, 다른 툴 회로들 또는 모듈들, 다른 툴 컴포넌트들, 클러스터 툴들, 다른 툴 인터페이스들, 인접 툴들, 이웃하는 툴들, 공장 도처에 위치한 툴들, 메인 컴퓨터, 또 다른 제어기, 또는 툴들 중 하나 이상과 통신할 수도 있다.

[0145] 도 12는 VTM (Vacuum Transfer Module) (538)과 인터페이싱하는 다양한 모듈들을 갖는 반도체 프로세스 클러스터 아키텍처를 도시한다. 복수의 저장 설비들 및 프로세싱 모듈들 사이에서 웨이퍼들을 "이송"하기 위한 이송 모듈들의 배열은 "클러스터 툴 아키텍처" 시스템으로 지칭될 수도 있다. 로드 록 또는 이송 모듈로 또한 공지된 에어록 (530)은 다양한 제조 프로세스들을 수행하도록 개별적으로 최적화될 수도 있는, 4개의 프로세싱 모듈들 (520a 내지 520d)을 갖는 VTM (538)에 도시된다. 예로서, 프로세싱 모듈들 (520a 내지 520d)은 기판 에칭, 증착, 이온 주입, 웨이퍼 세정, 스퍼터링, 및/또는 다른 반도체 프로세스들을 수행하도록 구현될 수도 있다. 일부 실시 예들에서, 주석 옥사이드 증착 및 주석 옥사이드 에칭은 동일한 모듈에서 수행된다. 일부 실시 예들에서, 주석 옥사이드 증착 및 주석 옥사이드 에칭은 동일한 툴의 상이한 모듈들에서 수행된다. 하나 이상의 기판 에칭 프로세싱 모듈들 (520a 내지 520d 중 어느 하나)은 본 명세서에 개시된 바와 같이, 예를 들어, 진공밀한 막들을 증착하고, 주석 옥사이드를 선택적으로 에칭하고, 에어 갭들을 형성하고, 개시된 실시 예들에 따른 다른 적합한 기능들을 위해 구현될 수도 있다. 에어록 (530) 및 프로세싱 모듈들 (520a 내지 520d)은 "스테이션들"로 지칭될 수도 있다. 스테이션 각각은 스테이션을 VTM (538)에 인터페이싱하는 패시 (facet) (536)을 갖는다. 패시 각각 내부에서, 센서 1 내지 센서 18은 각각의 스테이션들 사이에서 이동할 때 웨이퍼 (526)의 통과를 검출하도록 사용된다.

- [0146] 로봇 (522) 이 스테이션들 사이에서 웨이퍼 (526) 를 이송한다. 일 실시 예에서, 로봇 (522) 은 하나의 암을 갖고, 또 다른 실시 예에서, 로봇 (522) 은 2 개의 암들을 갖고, 암 각각은 이송을 위해 웨이퍼 (526) 와 같은 웨이퍼들을 픽킹하기 (pick) 위한 엔드 이펙터 (524) 를 갖는다. ATM (Atmospheric Transfer Module) (540) 의 프론트-엔드 로봇 (532) 은 카세트 또는 LPM (Load Port Module) (542) 의 FOUN (Front Opening Unified Pod) (534) 로부터 에어록 (530) 으로 웨이퍼들 (526) 을 이송하도록 사용된다. 프로세싱 모듈 (520a 내지 520d) 내부의 모듈 중심 (528) 은 웨이퍼 (526) 를 배치하기 위한 일 위치이다. ATM (540) 내의 얼라이너 (544) 가 웨이퍼들을 정렬하도록 사용된다.
- [0147] 예시적인 프로세싱 방법에서, 웨이퍼가 LPM (542) 내의 FOUN들 (534) 중 하나에 배치된다. 프론트-엔드 로봇 (532) 은 FOUN (534) 로부터 웨이퍼 (526) 가 에칭되거나 프로세싱되기 전에 적절하게 센터링되게 하는, 얼라이너 (544) 로 웨이퍼를 이송한다. 정렬된 후, 웨이퍼 (526) 는 프론트-엔드 로봇 (532) 에 의해 에어록 (530) 내로 이동된다. 에어록 (530) 이 ATM (540) 과 VTM (538) 사이의 분위기를 매칭하는 능력을 갖기 때문에, 웨이퍼 (526) 는 손상되지 않고 2 개의 압력 분위기들 사이에서 이동할 수 있다. 에어록 (530) 으로부터, 웨이퍼 (526) 는 로봇 (522) 에 의해 VTM (538) 을 통해 그리고 프로세싱 모듈들 (520a 내지 520d) 중 하나 내로 이동된다. 이 웨이퍼 이동을 달성하기 위해, 로봇 (522) 은 암들 각각 상의 엔드 이펙터들 (524) 을 사용한다. 일단 웨이퍼 (526) 가 프로세싱되면, 웨이퍼는 로봇 (522) 에 의해 프로세싱 모듈들 (520a 내지 520d) 로부터 에어록 (530) 으로 이동된다. 여기서부터, 웨이퍼 (526) 는 프론트-엔드 로봇 (532) 에 의해 FOUN들 (534) 중 하나 또는 얼라이너 (544) 로 이동될 수도 있다.
- [0148] 웨이퍼 이동을 제어하는 컴퓨터는 클러스터 아키텍처에 국부적일 수 있거나, 제작 현장에서 클러스터 아키텍처 외부에, 또는 원격 위치에 위치될 수 있고 네트워크를 통해 클러스터 아키텍처에 연결될 수 있다는 것을 주의해야 한다. 도 11에 대해 상기 기술된 바와 같은 제어가 도 12의 툴을 사용하여 구현될 수도 있다. 본 발명에 따른 프로세스 동작들을 제어하기 위한 인스트럭션을 담는 머신-판독가능 매체가 시스템 제어기에 커플링될 수도 있다.
- [0149] 일부 실시 예들에서, 장치가 제공되고, 장치는 에칭 동안 반도체 기판을 홀딩하도록 구성된 기판 홀더를 갖는 프로세스 챔버; 프로세스 가스에서 플라스마를 생성하도록 구성된 플라스마 생성기; 및 제어를 포함한다. 제어기는 본 명세서에 기술된 임의의 방법들을 구현하기 위한 프로그램 인스트럭션들을 포함한다.
- [0150] 또 다른 양태에서, 본 명세서에 기술된 임의의 방법들의 수행을 유발하기 위한 코드를 포함하는, 비 일시적인 컴퓨터 머신 판독 가능 매체가 제공된다.
- [0151] 또 다른 양태에서, 반도체 기판 상에 스페이서들 또는 하드 마스크들을 형성하기 위한 시스템이 제공된다. 시스템은 하나 이상의 증착 챔버들; 하나 이상의 에칭 챔버들; 및 제어를 포함한다. 제어기는 본 명세서에 기술된 임의의 방법들을 구현하기 위한 프로그램 인스트럭션들을 포함한다. 또 다른 양태에서, 시스템은 본 명세서에 기술된 임의의 장치들 및 시스템들 및 스텝퍼를 포함한다. 또 다른 양태에서, 반도체 기판을 프로세싱하기 위한 시스템이 제공된다. 일 실시 예에서, 시스템은: 하나 이상의 증착 챔버들; 하나 이상의 에칭 챔버들; 및 (i) 반도체 기판 상의 복수의 돌출하는 피쳐들의 측벽들 및 수평 표면들 위에 주석 옥사이드 층의 증착을 유발하고; (ii) 돌출하는 피쳐들의 측벽들에서 주석 옥사이드 층 상에 패시베이션 층의 형성을 유발하고, 그리고 (iii) 돌출하는 피쳐들의 측벽들 위의 주석 옥사이드 층의 제거를 유발하지 않고, 돌출하는 피쳐들의 수평 표면들로부터 주석 옥사이드 층의 제거를 유발하는 프로그램 인스트럭션들을 포함하는 시스템 제어를 포함한다.
- [0152] **교번하는 에칭 및 패시베이션 프로세스**
- [0153] 일부 실시 예들에서, 본 명세서에 기술된 다양한 반도체 프로세싱 방법들에서 주석 옥사이드의 에칭은 비정질 실리콘, SiOC, SiON, SiONC, SiN, SiC, 및 SiO₂와 같은 노출된 실리콘-함유 층들의 존재시 수행된다. 일부 실시 예들에서, 실리콘-함유 층은 주석 옥사이드 에칭 동안 발생할 수도 있는 원치 않는 에칭으로부터 더 보호된다.
- [0154] 이러한 보호를 활용하는 프로세스 흐름도의 예가 도 13에 도시된다. 프로세스는 실리콘-함유 층을 갖는 기판을 제공함으로써 1301에서 시작되고, 기판은 노출된 주석 옥사이드 층 (예를 들어, 실리콘 옥사이드 층 상의 주석 옥사이드 푸팅) 을 더 포함한다. 이러한 기판의 예는 도 3c와 동일한 도 14a에 도시된다. 도 14a에서, 기판은 에칭 정지 층 (303) 상에 배치된 돌출하는 피쳐 (305) 를 포함한다. 예시된 실시 예에서 에칭 정지 층은 비정질 실리콘, SiOC, SiON, SiONC, SiN, SiC, 또는 SiO₂와 같은 실리콘-함유 층이다. 주석 옥사이드 층 (307) 은 돌출하는 피쳐 (305) 의 측벽들에 존재하고 일관된 거리를 갖는 주석 옥사이드 스페이서들을 형성하기 위해 감

소되어야 하는 푸팅 (돌출하는 피치의 하단부에서 측 방향 팽창) 을 형성한다. 일부 실시 예들에서, 푸팅은 도 3d를 참조하여 기술된 바와 같이 효율적으로 제거될 수 있지만, 일부 경우들에서 푸팅의 에칭은 에칭 정지 층 (303) 의 의도하지 않은 에칭을 유발할 수 있다. 이 의도하지 않은 에칭은 일 예에서, 염소-기반 에칭 화학 물질 (예를 들어, Cl_2/BCl_3 에칭) 이 주석 옥사이드의 에칭 동안 사용되고, 실리콘-함유 층이 SiOC 인 경우 발생할 수 있다.

[0155] 도 13을 참조하면, 동작 1303에서, 실리콘-함유 층이 패시베이팅된다. 패시베이션은 실리콘-함유 층이 주석 옥사이드 에칭 화학 물질에 보다 내성이 있게 하는 처리이다. 일 예에서, 패시베이션은 기판을 산소-함유 반응 물질로 처리함으로써, 예컨대 기판을 플라즈마에서 산소-함유 반응 물질로 처리함으로써 수행된다. 예를 들어, 플라즈마는 O_2 , O_3 , SO_2 , CO_2 , 또는 이들 산소-함유 반응 물질들의 임의의 조합을 포함하는 프로세스 가스에서 형성될 수도 있다. 일부 실시 예들에서, 처리는 실리콘-함유 층의 외측 노출된 부분에서 실리콘-산소 결합들의 형성을 발생시킨다. 예를 들어, SiOC 층은 패시베이션 처리 후에 보다 산소 풍부 (oxygen-rich) 가 될 수도 있다. 또 다른 예에서, CVD에 의해 증착된 실리콘 옥사이드 에칭 정지 층은 잔류 탄소 및 수소를 함유하고, 산소-함유 반응 물질을 사용한 패시베이션은 층 내 탄소 및 수소의 함량을 감소시킬 수 있고, 주석 옥사이드 에칭 화학 물질에 대해 보다 내성이 있게 한다. 패시베이션된 에칭 정지 층 (304) 을 갖는 기판이 도 14b에 도시된다. 또 다른 실시 예에서, 패시베이션은 플라즈마의 질소-함유 반응 물질 (예를 들어, N_2) 과 같은 질소-함유 반응 물질을 사용하여 기판을 처리함으로써 수행된다. 패시베이션 처리의 목적은 실리콘-함유 재료 (예를 들어, 에칭 정지 층 재료) 로 하여금 주석 옥사이드 에칭을 위해 사용되는, 염소-기반 에칭 화학 물질 또는 수소 기반 에칭 화학 물질과 같은 주석 옥사이드 화학 물질에 보다 내성이 있게 하는 것이다.

[0156] 동작 1305에서, 주석 옥사이드가 에칭된다. 주석 옥사이드는 본 명세서에 기술된 임의의 방법들을 사용하여, 예컨대 기판을 염소-기반 화학 물질 (예를 들어, 플라즈마의 Cl_2 및/또는 BCl_3), 및/또는 수소-기반 화학 물질 (예를 들어, 본 명세서에 기술된 바와 같이, H_2 , HBr , 탄화수소 또는 이들의 조합을 사용한 처리) 에 노출시킴으로써 에칭될 수 있다. 반응 가스들 (예를 들어, Cl_2 및/또는 BCl_3) 은 헬륨, 아르곤, 네온, 또는 제논과 같은 불활성 희석 gas와 함께 제공될 수도 있다. 동작 1307에서, 패시베이션 단계 1303 및 에칭 단계 1305가 교번하는 방식으로 반복된다. 제 1 패시베이션 단계는 제 1 에칭 단계 전 또는 후에 수행될 수도 있다는 것을 주의한다. 예를 들어, 방법은 에칭/패시베이션/에칭/패시베이션 시퀀스, 또는 패시베이션/에칭/패시베이션/에칭 시퀀스를 가질 수도 있다. 일부 실시 예들에서, 방법은 2 내지 50, 예컨대 5 내지 20 회의 에칭 단계 및 패시베이션 단계를 수반한다 (즉, 에칭 단계 및 패시베이션 단계 각각은 2 내지 50, 예컨대 5 내지 20 회의 단계들이 수행된다). 요구된 수의 에칭 및 패시베이션 후에 획득된 구조체는 도 14c에 예시된다. 일 구체적인 예에서, 에칭 단계 각각은 약 10 초 동안 수행되고, 패시베이션 단계 각각은 5 초 동안 수행되고, 방법은 교번하는 방식으로 단계들 각각을 8 내지 20 회 수행하는 것을 수반한다.

[0157] 본 명세서에 기술된 교번하는 에칭 및 패시베이션 시퀀스는 몇몇 장점들을 제공할 수 있다. 먼저, 실리콘-함유 에칭 정지 층의 원치 않는 에칭이 최소화될 수 있는 한편, 측벽 두께는 유지될 수 있다. 또한, 푸팅은 효율적으로 제거될 수 있다. 본 명세서에 기술된 방법은 노출된 주석 옥사이드의 에칭 동안 임의의 실리콘-함유 층을 보호하기 위해 사용될 수 있지만, 도 14a 내지 도 14c를 참조하여 기술된 바와 같이 주석 옥사이드 푸팅을 제거하는데 특히 유용하다는 것을 주의한다. 실리콘 옥사이드는 일반적으로 다른 실리콘-함유 재료들보다 에칭에 보다 내성이 있고, 제공된 방법들은 SiOC , 비정질 실리콘, SiOCN , 및 SiC 와 같은 재료들을 보호하는데 특히 유용하지만, 이들 방법들은 또한 실리콘 옥사이드의 패시베이션을 위해 사용될 수 있다는 것을 주의한다. 일 특정한 구현 예에서, 이러한 재료들을 함합하는 기판은 산소-함유 반응 물질 (예를 들어, 플라즈마의 O_2 , O_3 , SO_2 , 또는 CO_2) 을 사용하여 패시베이팅되고, 이는 실리콘-함유 재료가 염소-기반 주석 옥사이드 에칭 화학 물질 (예를 들어, Cl_2/BCl_3 화학 물질) 및 수소-기반 주석 옥사이드 에칭 화학 물질 (예를 들어, H_2 , HBr , 탄화수소 에칭) 에 대해 보다 내성이 있게 한다. 따라서, 일부 실시 예들에서, 프로세스는 본 명세서에 기술된 바와 같이 염소-기반 화학 물질 및/또는 수소-기반 화학 물질을 사용하여 교번적인 산소-함유 반응 물질을 사용한 패시베이션 및 주석 옥사이드 에칭을 수반한다.

[0158] 일 예에서 제공된 방법이 구현될 때 주석 옥사이드 측벽 손실을 5 nm에서 1 nm 미만으로 감소시키고 하단 SiOC 층 손실을 5 nm에서 1 nm로 감소시키는 것이 가능하다. 주석 옥사이드 푸팅은 이들 방법들을 구현함으로써 6 nm에서 1 nm로 감소되었다. 제공된 방법들은 주석 옥사이드 패시베이션 층 (309) 을 사용하거나 사용하지 않고

구현될 수 있다는 것을 주의한다.

[0159] 일 예에서, (주석 옥사이드 스페이서의 형성 동안) 노출된 비정질 실리콘 에칭 정지 층 및 노출된 주석 옥사이드 층을 포함하는 기판은 비정질 실리콘 에칭 정지 층이 주석 옥사이드 에칭 화학 물질에 보다 내성이 있게 하도록 패시베이션된다. 패시베이션은 O_2 (200 sccm로 제공됨) 로 구성된 프로세스 가스에서 형성된 플라즈마에 기판을 노출함으로써 40 °C 및 5 mTorr에서 수행된다. 플라즈마는 13.56 MHz RF 주파수 및 일 300 mm 기판 당 400 W 전력을 사용하여 형성되었다. 패시베이션 후, 프로세스 챔버는 아르곤으로 퍼지되고, 주석 옥사이드는 10 sccm BCl_3 (5 sccm로 제공됨), 190 sccm Cl_2 (190 sccm로 제공됨) 및 헬륨 (200 sccm로 제공됨) 으로 구성된 프로세스 가스로 형성된 플라즈마에 기판을 노출함으로써 40 °C 및 10 mTorr에서 에칭된다. 플라즈마는 13.56 MHz RF 주파수 및 일 300 mm 기판 당 400 W 전력을 사용하여 형성되었다. 이어서 프로세스 챔버가 퍼지되고, 주석 옥사이드의 스페이서 푸팅이 제거될 때까지 패시베이션 및 에칭 단계들 (각각 이어서 퍼지) 이 교번하는 방식으로 반복된다.

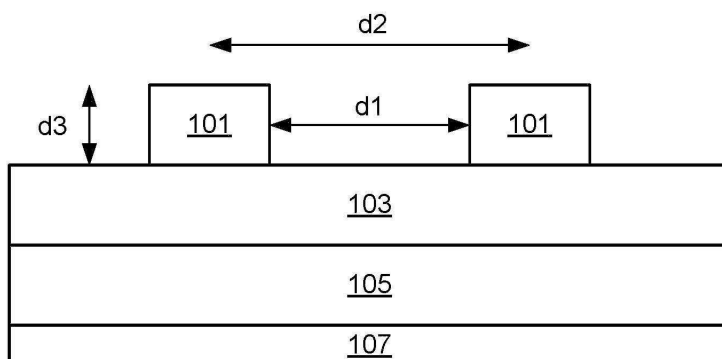
[0160] 또 다른 양태에서, 장치 (예를 들어, 본 명세서에 기술된 임의의 에칭 툴들) 가 제공되고, 장치는: (a) 반도체 기판을 위한 지지부 및 하나 이상의 반응 물질들을 프로세싱 챔버 내부로 도입하기 위한 유입구를 갖는 프로세싱 챔버; 및 (b) (i) 반도체 기판 상의 실리콘-함유 층을 주석 옥사이드 에칭 화학 물질을 향해 패시베이션하게 하는 단계; (ii) 반도체 기판 상에 주석 옥사이드의 에칭을 유발하는 단계; 및 (iii) (i) 및 (ii) 의 교번하는 방식으로 반복을 유발하는 단계를 위한 프로그램 인스트럭션들을 포함하는 제어기를 포함한다. 제어기는 본 명세서에 기술된 임의의 방법들을 수행하도록 더 프로그래밍될 수도 있다.

[0161] 추가 구현 예들

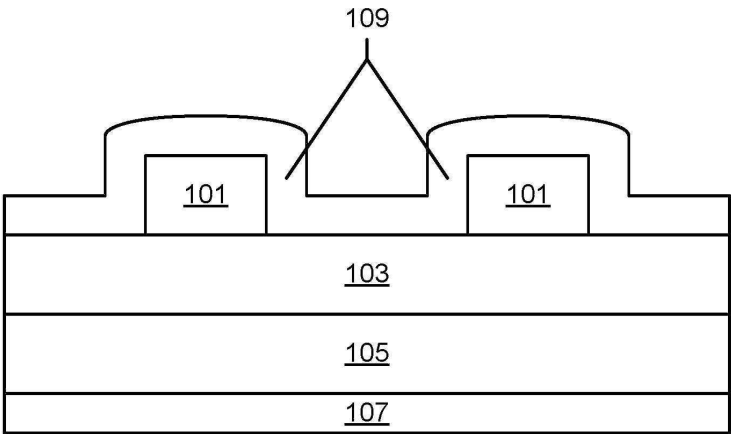
[0162] 본 명세서에 기술된 장치 및 프로세스들은 예를 들어, 반도체 디바이스들, 디스플레이들, LED들, 광전 패널들, 등의 제조 또는 제작을 위해 리소그래픽 패터닝 툴들 또는 프로세스들과 함께 사용될 수도 있다. 통상적으로, 반드시 그러한 것은 아니지만, 이러한 장치 및 프로세스들은 공통 제조 설비에서 함께 사용되거나 수행될 것이다. 막의 리소그래픽 패터닝은 통상적으로 단계 각각이 다수의 가능한 툴들을 사용하여 인에이블되는 이하의 단계들: (1) 스핀온 (spin-on) 툴 또는 스프레이온 (spray-on) 툴을 사용하여 워크피스, 즉, 기판 상에 포토레지스트를 도포하는 동작; (2) 핫 플레이트 또는 노 또는 UV 경화 툴을 사용하여 포토레지스트를 경화하는 동작; (3) 웨이퍼 스텝퍼와 같은 툴을 사용하여 가시광선 또는 UV 또는 x-선 광에 포토레지스트를 노출시키는 동작; (5) 습식 벤치와 같은 툴을 사용하여 레지스트를 선택적으로 제거하여 레지스트를 패터닝하도록 레지스트를 현상하는 동작; (5) 건식 또는 플라즈마 보조 에칭 툴을 사용함으로써 아래에 놓인 막 또는 워크피스 내로 레지스트 패턴을 전사하는 동작; 및 (6) RF 또는 마이크로파 플라즈마 레지스트 스트립퍼와 같은 툴을 사용하여 레지스트를 제거하는 동작 중 일부 또는 전부를 포함한다.

도면

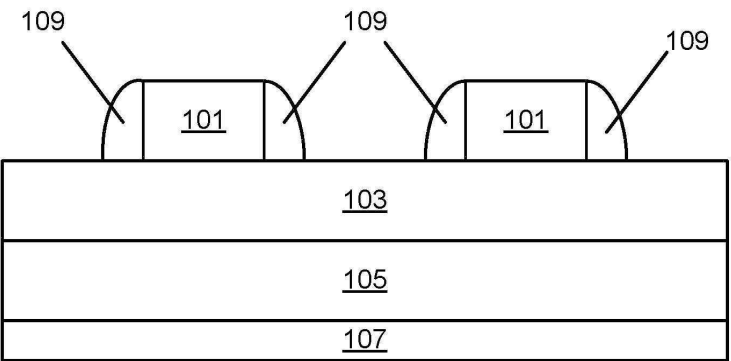
도면1a



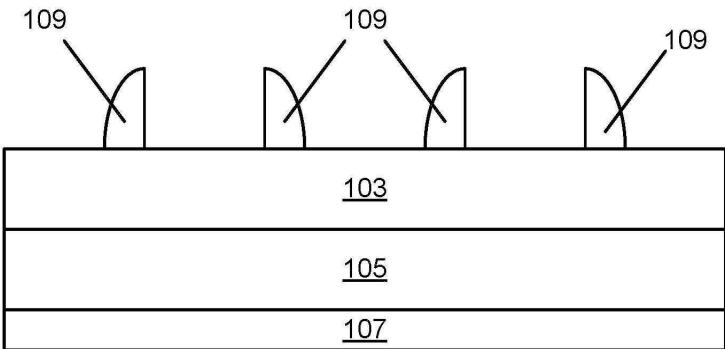
도면1b



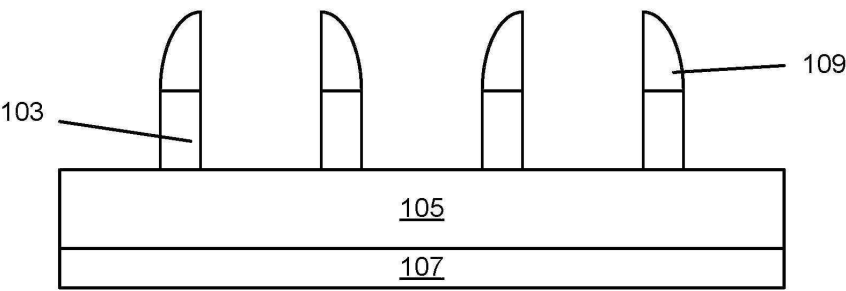
도면1c



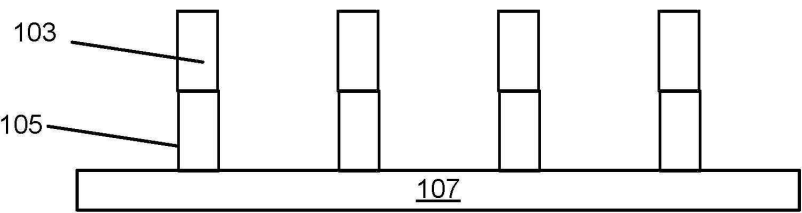
도면1d



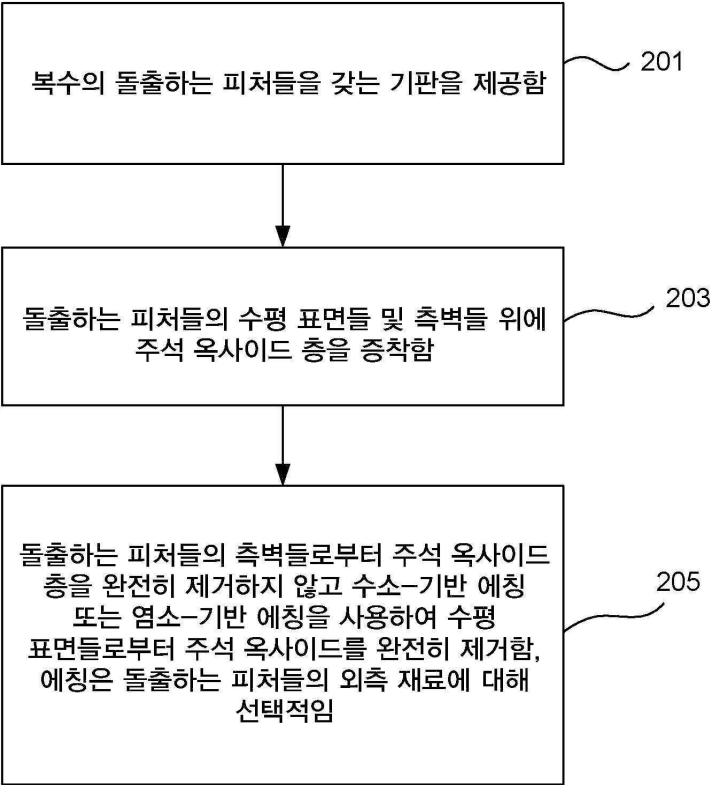
도면1e



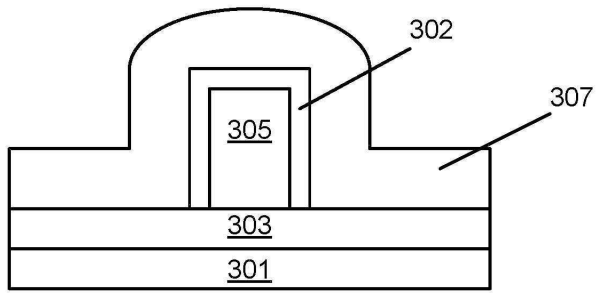
도면1f



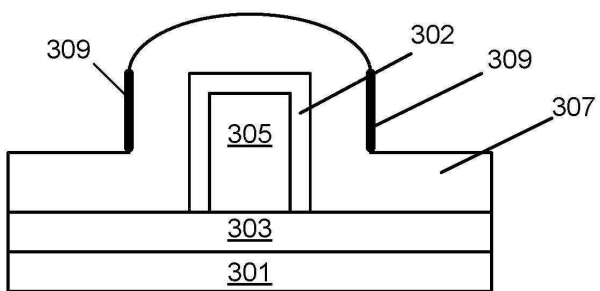
도면2



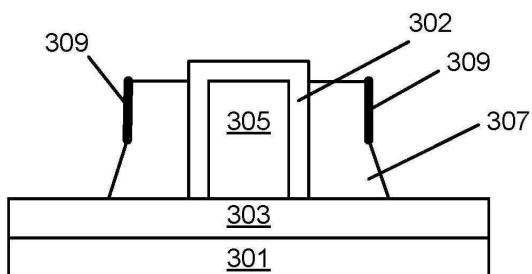
도면3a



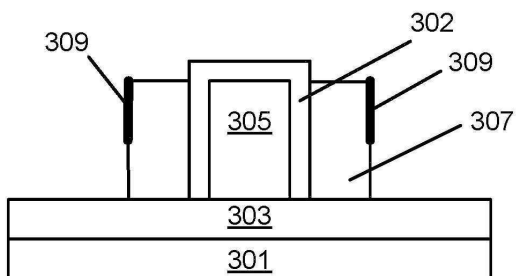
도면3b



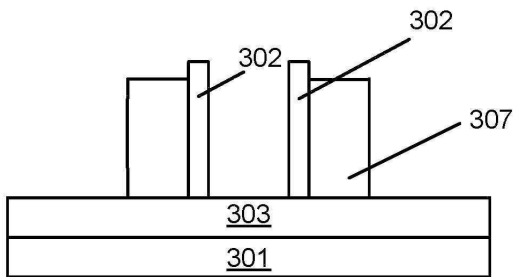
도면3c



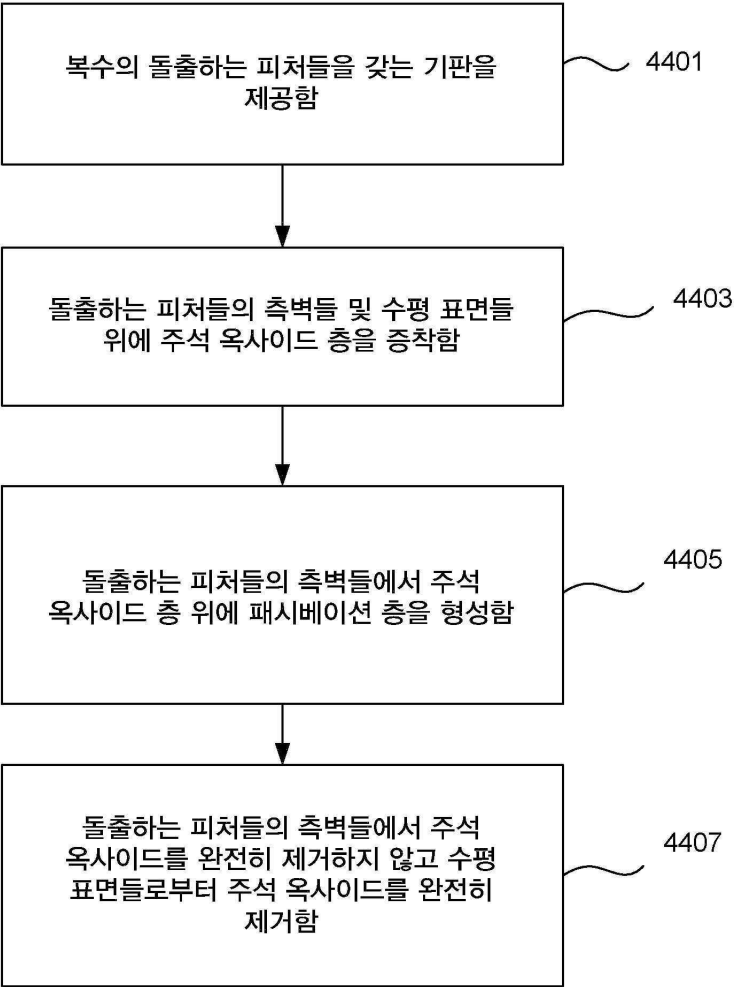
도면3d



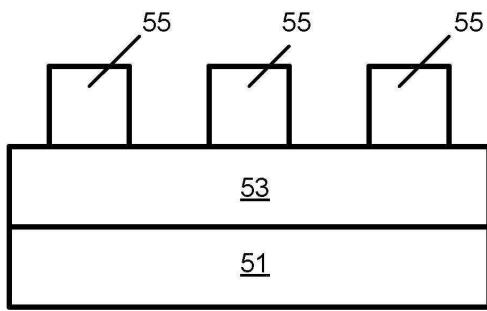
도면3e



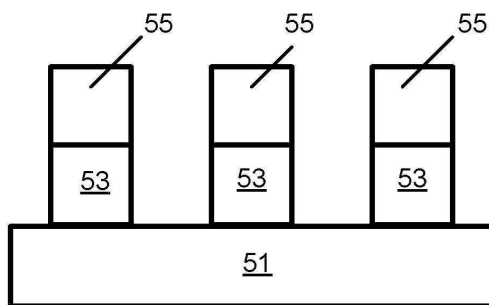
도면4



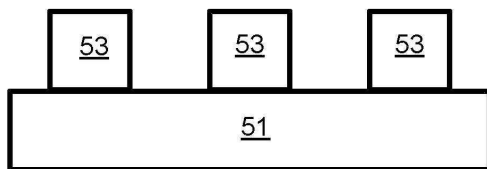
도면5a



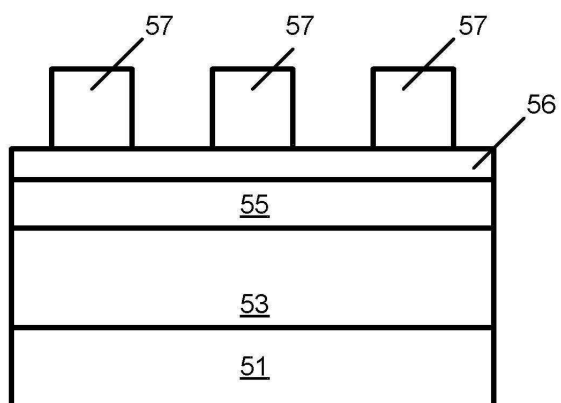
도면5b



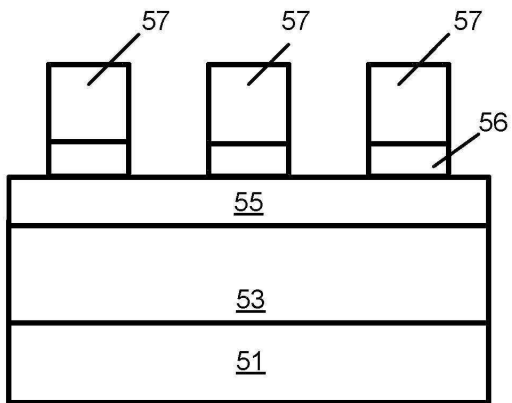
도면5c



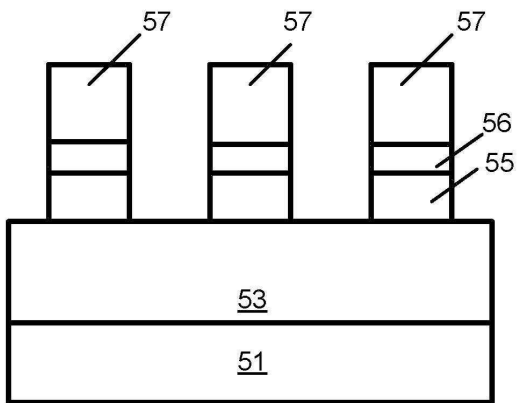
도면5d



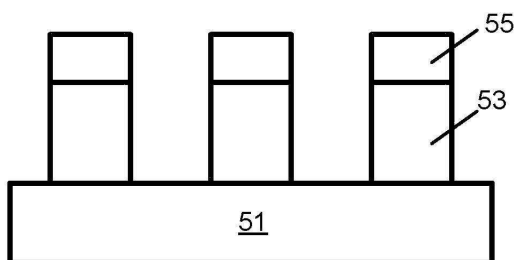
도면5e



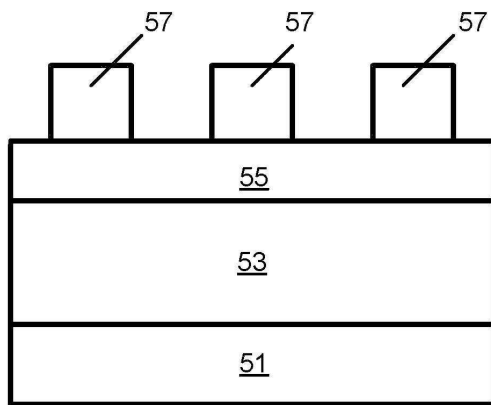
도면5f



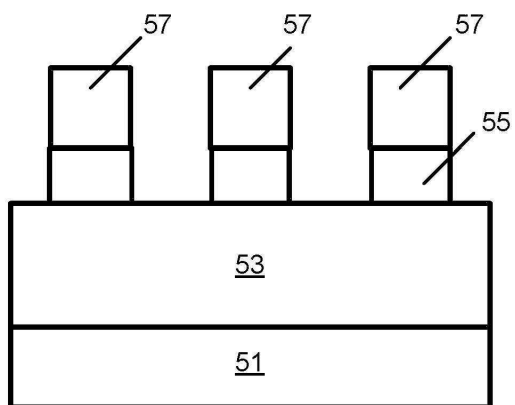
도면5g



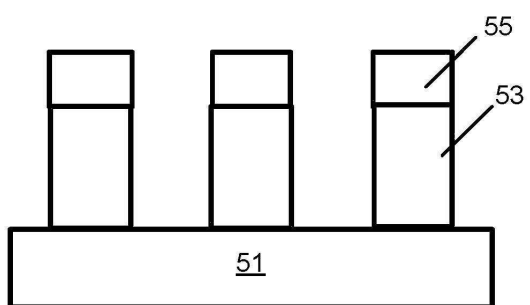
도면5h



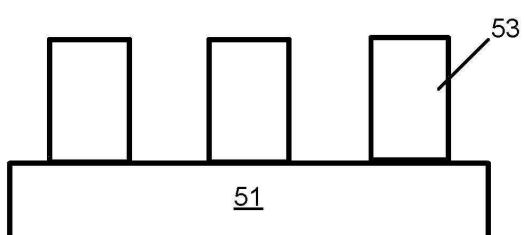
도면5i



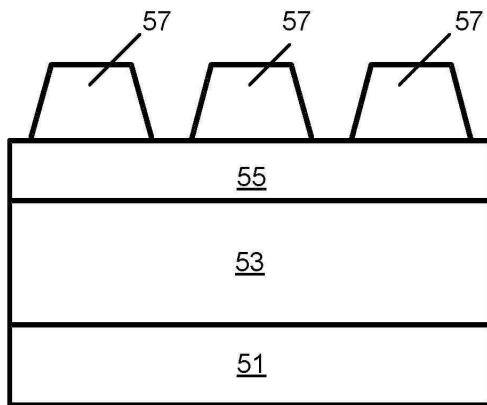
도면5j



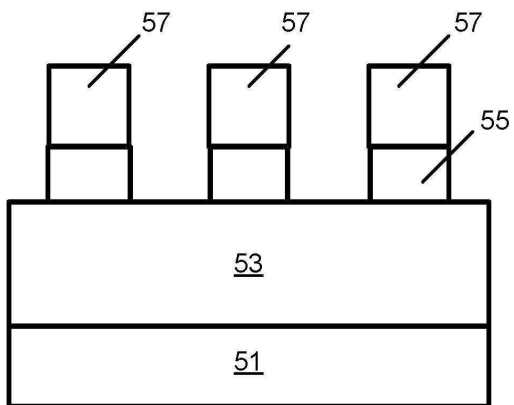
도면5k



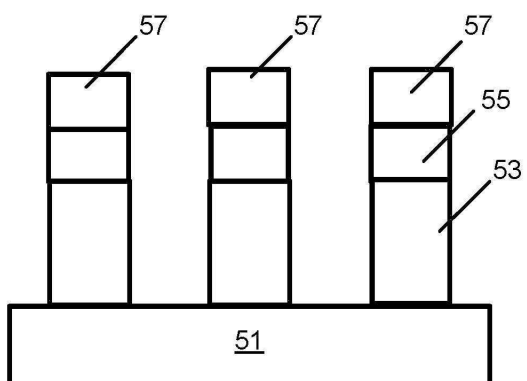
도면5l



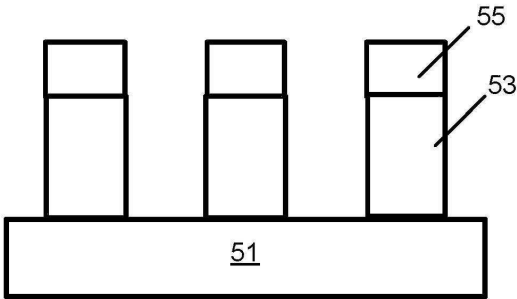
도면5m



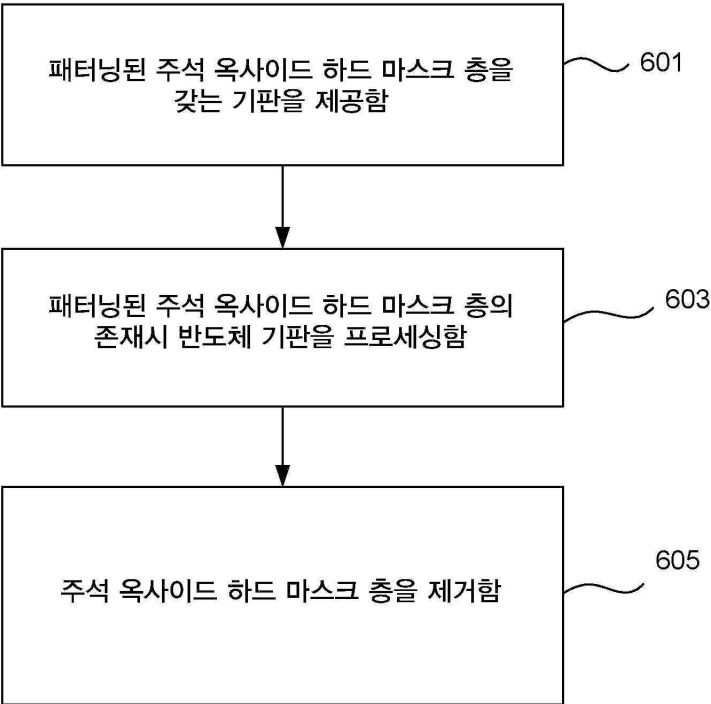
도면5n



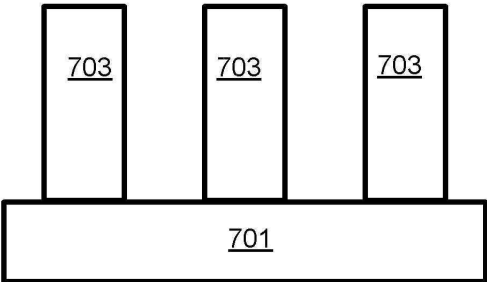
도면5o



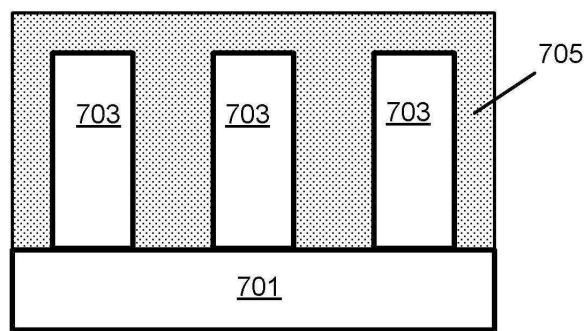
도면6



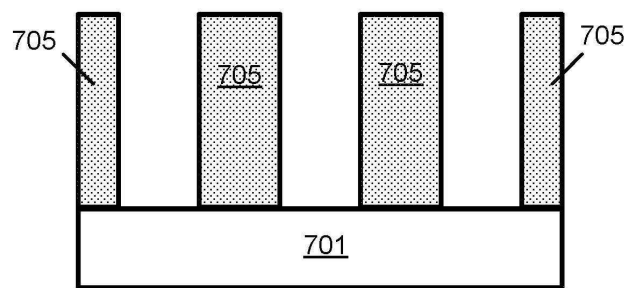
도면7a



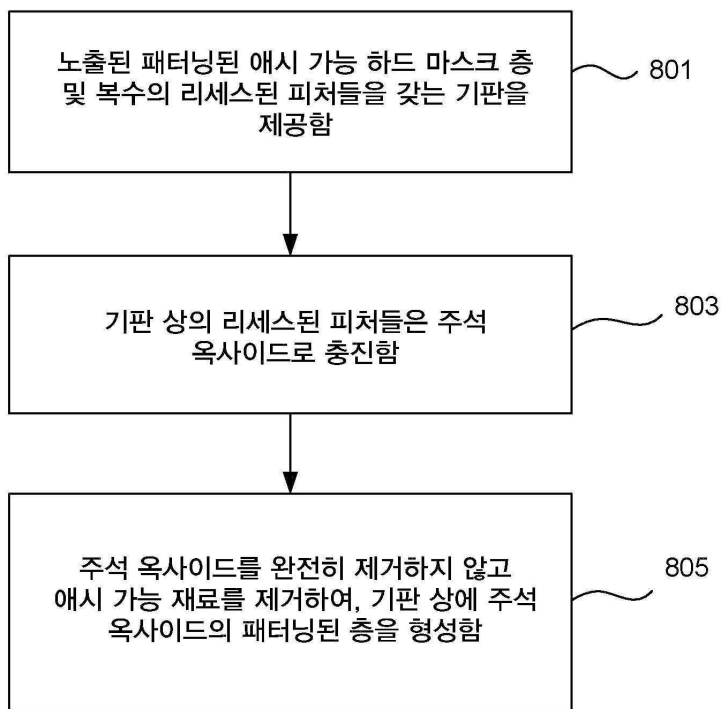
도면7b



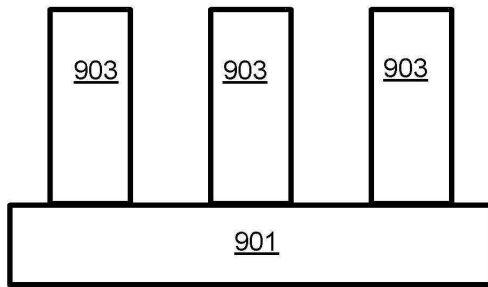
도면7c



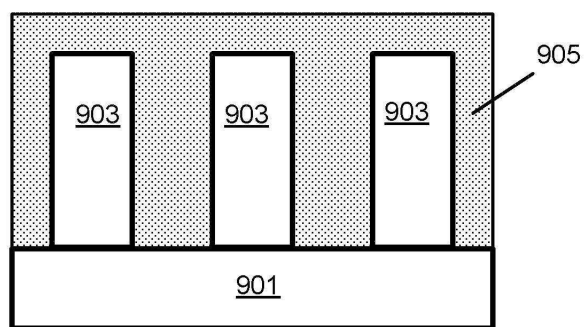
도면8



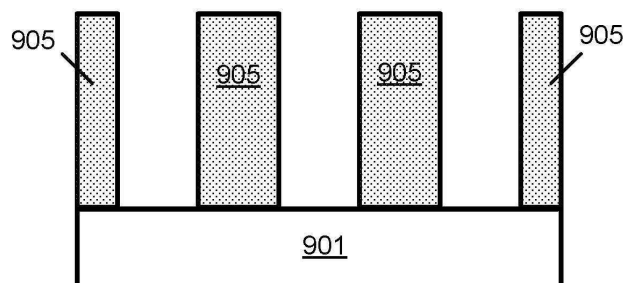
도면9a



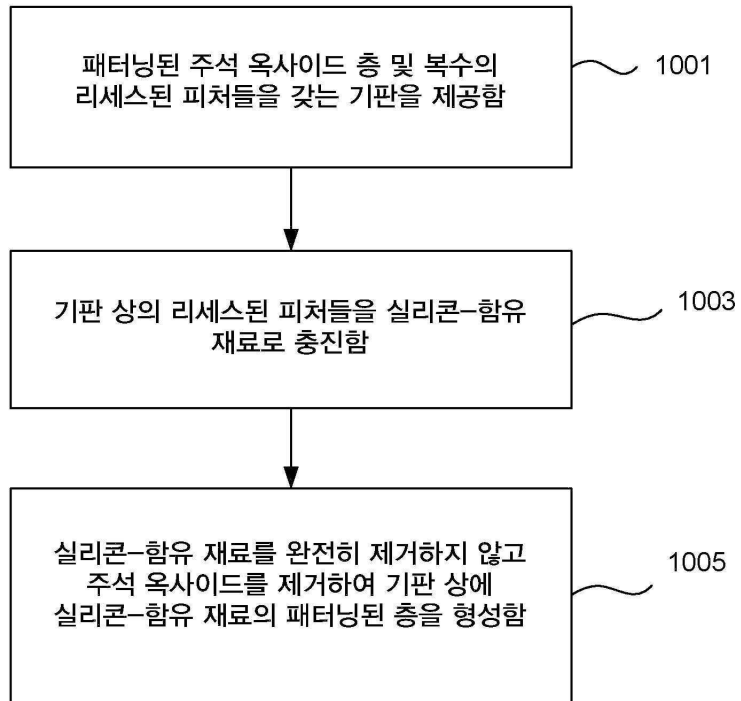
도면9b



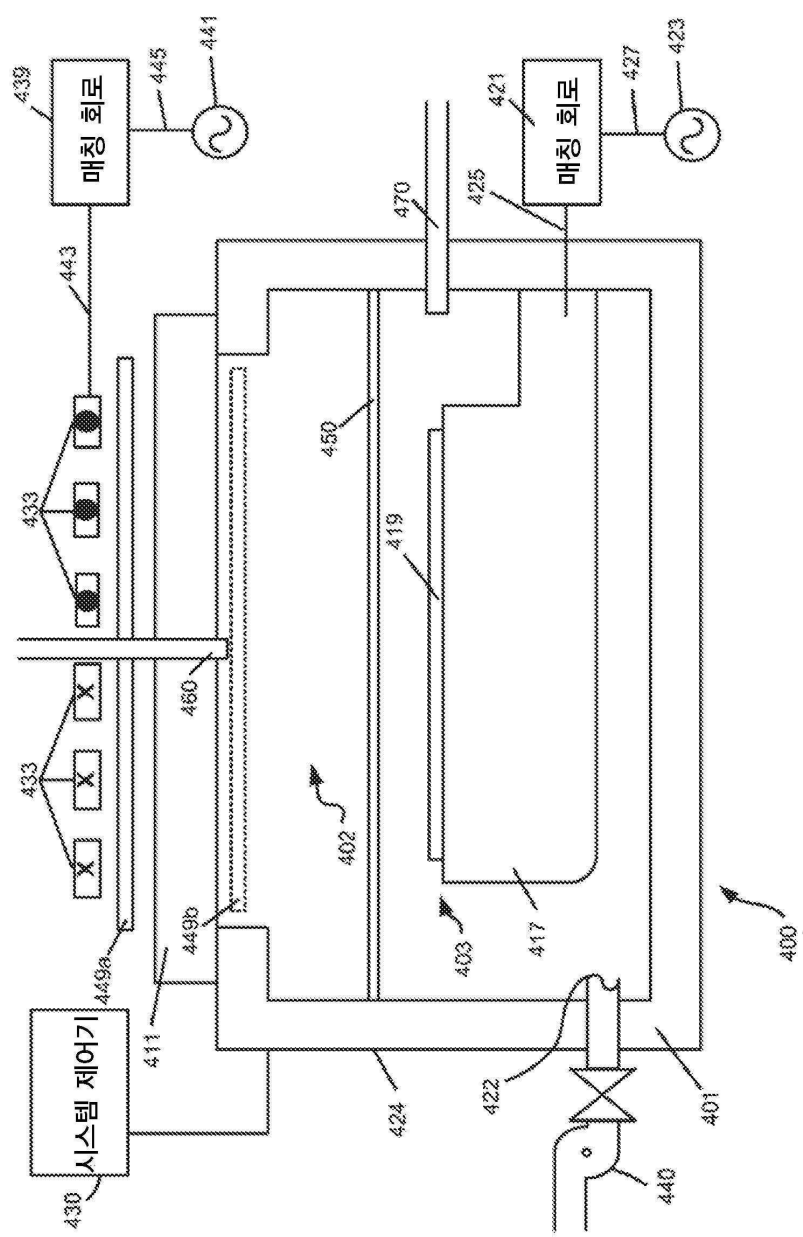
도면9c



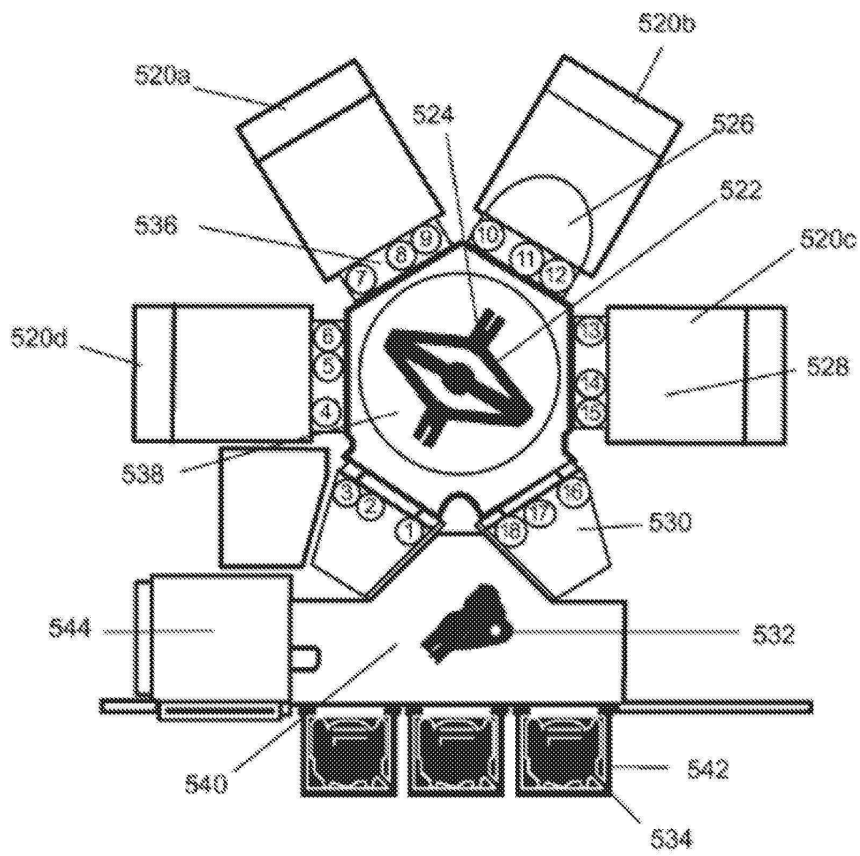
도면10



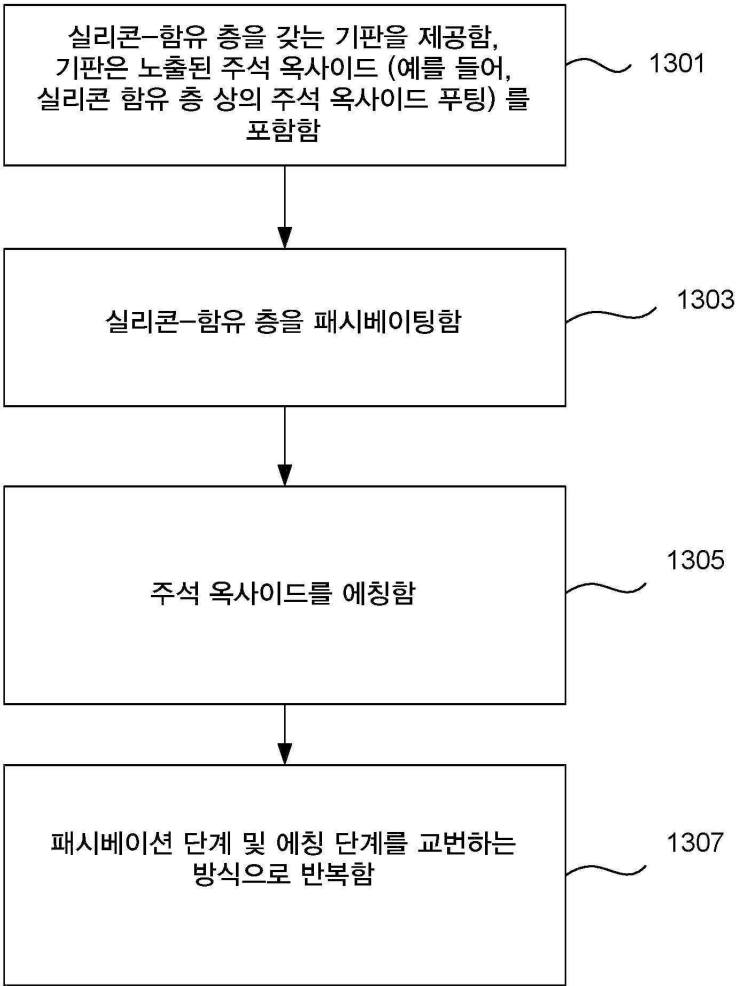
도면11



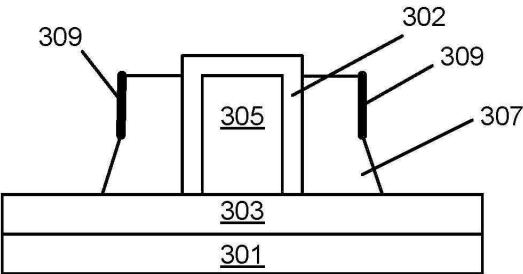
도면 12



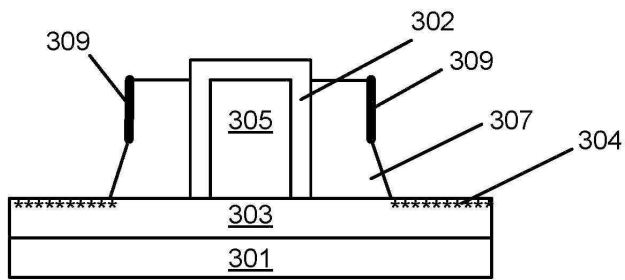
도면13



도면14a



도면14b



도면14c

