(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7682890号
(P7682890)

(45)発行日　令和7年5月26日(2025.5.26)

(24)登録日　令和7年5月16日(2025.5.16)

(51)国際特許分類

Ｇ０６Ｆ　13/14　(2006.01)	Ｇ０６Ｆ	13/14	３１０Ｚ
Ｇ０６Ｆ　13/36　(2006.01)	Ｇ０６Ｆ	13/36	３１０Ｅ
	Ｇ０６Ｆ	13/14	３１０Ｆ

FI

請求項の数　15　（全18頁）

(21)出願番号　特願2022-536764(P2022-536764)
(86)(22)出願日　令和2年12月17日(2020.12.17)
(65)公表番号　特表2023-507330(P2023-507330A)
(43)公表日　令和5年2月22日(2023.2.22)
(86)国際出願番号　PCT/US2020/065567
(87)国際公開番号　WO2021/133629
(87)国際公開日　令和3年7月1日(2021.7.1)
審査請求日　令和5年11月10日(2023.11.10)
(31)優先権主張番号　16/725,901
(32)優先日　令和1年12月23日(2019.12.23)
(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ ＭＩＣＲＯ ＤＥＶＩＣＥＳ ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国 ９５０５４ カリフォルニア州、 サンタ クララ、オーガスティン ドライブ ２４８５
(74)代理人　100108833
弁理士　早川 裕司
(74)代理人　100111615
弁理士　佐野 良太
(74)代理人　100162156
弁理士　村雨 圭介
(72)発明者　グレゴリー ディー． ダンリー

最終頁に続く

(54)【発明の名称】　電力節約のためのクロックイネーブルとしてのバイトイネーブルの転用

(57)【特許請求の範囲】

【請求項１】

コンピューティングシステムであって、

ソース及び宛先の各々に結合されるように構成されたルーティングコンポーネントを備え、

前記ルーティングコンポーネントは、

前記ソースからデータパケットを受信することであって、前記データパケットは、データペイロードの複数のパーティションと、複数のパーティションイネーブル信号と、を含み、前記複数のパーティションイネーブル信号の各々は、前記複数のパーティションのうち関連するパーティションが有効なデータを含むか否かを示す、ことと、

所定のパーティションに対応するパーティションイネーブル信号が、前記所定のパーティションが有効なデータを格納していないと示していることを判定したことに応じて、前記複数のパーティションのうち前記所定のパーティションのデータを格納するために割り当てられた複数のストレージ要素へのクロック信号を無効にすることと、

を行うように構成された回路を含む、

コンピューティングシステム。

【請求項２】

前記ルーティングコンポーネントは、

前記パーティションイネーブル信号と、

前記所定のパーティションのデータを格納するために割り当てられた各ストレージ要素に格納された以前の値と、

を前記宛先に伝送するようにさらに構成されている、
請求項１のコンピューティングシステム。
【請求項３】
前記ルーティングコンポーネントは、
前記所定のパーティションが、前記所定のパーティションが有効なデータを格納していることを示す、前記データパケット内の関連するパーティションイネーブル信号を有すると判定したことに応じて、前記所定のパーティションのデータを格納するように割り当てられた前記ルーティングコンポーネントの各ストレージ要素へのクロック信号を有効にするようにさらに構成されている、
請求項１のコンピューティングシステム。
【請求項４】
前記ソースは、
前記所定のパーティションが所定のデータパターンを含むと判定したことに応じて、前記所定のパーティションに関する前記パーティションイネーブル信号を、前記所定のパーティションが有効なデータを格納していないことを示す値に設定するようにさらに構成されている、
請求項１のコンピューティングシステム。
【請求項５】
前記データパケットは、読み取り応答タイプのデータパケットである、
請求項４のコンピューティングシステム。
【請求項６】
前記ソースは、
所定のデータパターンの指標を前記データパケットの前記所定のパーティションに挿入するようにさらに構成されている、
請求項１のコンピューティングシステム。
【請求項７】
前記ルーティングコンポーネントは、前記ソースと宛先との間の通信ファブリックのスイッチ及びリピータのうち何れかをさらに備える、
請求項１のコンピューティングシステム。
【請求項８】
前記ソースは、中央処理装置、グラフィックス処理装置、及び、マルチメディアエンジンのうち１つ以上を備える、
請求項１のコンピューティングシステム。
【請求項９】
方法であって、
ソースが、データペイロードの複数のパーティションと、それぞれ前記複数のパーティションに関連付けられている複数のイネーブル信号と、を含むパケットを生成することと、
宛先が、前記パケットを処理することと、
ルーティングコンポーネントが、データパケットを受信することであって、前記データパケットは、データペイロードの複数のパーティションと、複数のパーティションイネーブル信号と、を含み、前記複数のパーティションイネーブル信号の各々は、前記複数のパーティションのうち関連するパーティションが有効なデータを含むか否かを示す、ことと、
前記ルーティングコンポーネントが、所定のパーティションに対応するパーティションイネーブル信号が、前記所定のパーティションが有効なデータを格納していないと示していることを判定したことに応じて、前記複数のパーティションのうち前記所定のパーティションのデータを格納するために割り当てられた複数のストレージ要素へのクロック信号を無効にすることと、を含む、
方法。
【請求項１０】
前記所定のパーティションの前記パーティションイネーブル信号と、

前記所定のパーティションのデータを格納するために割り当てられた各ストレージ要素に格納された以前の値と、
を宛先に伝送することをさらに含む、
請求項９の方法。
【請求項１１】
前記所定のパーティションが、前記所定のパーティションが有効なデータを格納していることを示す、関連するパーティションイネーブル信号を有すると判定したことに応じて、前記所定のパーティションのデータを格納するように割り当てられた前記ルーティングコンポーネントの各ストレージ要素へのクロック信号を有効にすることをさらに含む、
請求項９の方法。
【請求項１２】
前記所定のパーティションが所定のデータパターンを含むと判定したことに応じて、前記所定のパーティションに関する前記パーティションイネーブル信号を、前記所定のパーティションが有効なデータを格納していないことを示すように設定することをさらに含む、
請求項９の方法。
【請求項１３】
前記データパケットは、キャッシュビクティムタイプのデータパケットである、
請求項１２の方法。
【請求項１４】
前記データパケットは、フルサイズ書き込みタイプのデータパケットである、
請求項１２の方法。
【請求項１５】
前記データパケットのソースが、所定のデータパターンの指標を前記データパケットの前記所定のパーティションに挿入することをさらに含む、
請求項１２の方法。
【発明の詳細な説明】
【背景技術】
【０００１】
（関連技術の説明）
様々なコンピューティングデバイスが、システムの機能を提供するために複数のタイプの処理装置を統合する異種統合（heterogeneous integration）を利用している。複数の機能には、オーディオ／ビデオ（Ａ／Ｖ）データ処理、医療分野及び商業分野のための他の高データ並列アプリケーション、汎用命令セットアーキテクチャ（ＩＳＡ）の処理命令、並びに、デジタル、アナログ、混合信号及び無線周波数（ＲＦ）機能等が含まれる。複数の種類の処理装置を統合するために、システムパッケージングにとって様々な選択肢が存在する。あるコンピューティングデバイスでは、システムオンチップ（ＳｏＣ）が使用されるのに対し、他のコンピューティングデバイスでは、より小さく且つより高い歩留まりのチップが、マルチチップモジュール（ＭＣＭ）内の大型チップとしてパッケージングされる。一部のコンピューティングデバイスは、システムインパッケージ（ＳｉＰ）内の２つ以上のダイを垂直にスタックし、電気的に接続するためにダイ・スタッキング技術、並びに、シリコンインターポーザ、スルーシリコンビア（ＴＳＶ）及び他のメカニズムを利用した３次元集積回路（３Ｄ　ＩＣ）を含む。
【０００２】
入出力デバイスに加えて、これらの処理装置のそれぞれは、データの読み取り要求及び書き込み要求を生成することができるコンピューティングシステムのソースである。システムメモリに加えて、各ソースは、要求のターゲット宛先になることができる。選択したシステムパッケージに関係なく、データアクセス要求と対応するデータ、コヒーレンシプローブ、割り込み及びターゲットの宛先のソースによって生成される他の通信メッセージは、通常、通信ファブリック（又はファブリック）を介して転送される。ファブリックは、ソースと宛先との間でパケットを転送するために比較的多数の物理ワイヤを使用できる

ようにすることで、遅れを低減する。ファブリックのワイヤを介したパケットのデータ転送、及び、ファブリック内のストレージ要素、キュー、制御ロジック等の内部のノードの切り替えにより、コンピューティングシステムの消費電力が増加する。

【０００３】

今日の集積回路の電力消費により、半導体チップの各世代で設計上の問題がいっそう大きくなってきた。電力消費が増加するにつれて、より大きいファンやヒートシンク等のより高いコストの冷却システムを利用して、余分な熱を排除し、回路の故障を防ぐようにしなければならない。しかし、冷却システムがシステムのコストを増加させている。回路の電力損失制約は、携帯用コンピュータ及び移動通信デバイスにとって問題であるだけでなく、高性能マイクロプロセッサを利用したデスクトップコンピュータ及びサーバにとっても問題である。

【０００４】

上記に鑑みて、コンピューティングシステムにおける効率的なデータ伝送のための方法が望まれている。

【０００５】

本明細書で説明する方法及びメカニズムの利点は、添付の図面と併せて以下の説明を参照しすることによって良好に理解することができる。

【図面の簡単な説明】

【０００６】

【図１】コンピューティングシステムの一実施形態のブロック図である。

【図２】コンピューティングシステムの一実施形態のブロック図である。

【図３】ルーティングコンポーネントによるコンピューティングシステムにおける効率的なデータ転送のための方法の一実施形態のフロー図である。

【図４】ソースによるコンピューティングシステムにおける効率的なデータ転送のための方法の一実施形態のフロー図である。

【図５】コンピューティングシステムにおける効率的なデータ転送のためのパケットタイプを識別するための方法の一実施形態のフロー図である。

【図６】宛先によるコンピューティングシステムにおける効率的なデータ転送のための方法の一実施形態のフロー図である。

【図７】コンピューティングシステムの一実施形態のブロック図である。

【発明を実施するための形態】

【０００７】

本発明は、様々な修正及び代替形態を受け入れるが、特定の実施形態を図面の例によって示し、本明細書で詳細に説明する。しかしながら、図面及びそれに対する詳細な説明は、本発明を、開示された特定の形態に限定することを意図するのではなく、反対に、本発明は、添付の特許請求の範囲によって定義される本発明の範囲内に収まる全ての変更、均等物及び代替物を包含することを理解すべきである。

【０００８】

以下の説明では、本明細書で提示される方法及びメカニズムの十分な理解をもたらすために、多数の特定の詳細が示されている。しかしながら、当業者は、その特定の詳細を用いずに、様々な実施形態を実施することができることを認識するはずである。いくつかの例では、本明細書で説明する手法を不明瞭にすることを回避するために、周知の構造、構成要素、信号、コンピュータプログラム命令、及び、技術が詳細に示されていない。説明を簡単且つ明確にするために、図面に示す要素は必ずしも縮尺通りに描かれていないことを理解されたい。例えば、いくつかの要素の寸法は、他の要素に対して誇張される場合がある。

【０００９】

コンピューティングシステムにおいてスレッドを調停する様々なシステム、装置、方法及びコンピュータ可読媒体が開示される。多様な実施形態では、コンピューティングシステムは、アプリケーションを処理するための１つ以上のクライアントを含む。クライアン

トの例は、汎用中央演算処理装置（ＣＰＵ）、グラフィックスプロセッシングユニット（ＧＰＵ）、アクセラレーテッドプロセッシングユニット（ＡＰＵ）、入出力デバイス（Ｉ／Ｏ）デバイス等である。各クライアントは、データアクセス要求を生成できる。クライアントは、データアクセス要求、ペイロードデータ、プローブ要求、コヒーレンシコマンド、又は、ターゲットの宛先に送信する他の通信を含むパケットを生成及び送信する場合に、「ソース」と呼ばれる。クライアント及びシステムメモリが、ソースによって生成されたパケットのターゲットである場合に、クライアント及びシステムメモリは「宛先」と呼ばれる。

【００１０】

ソースは、通信ファブリック（又はファブリック）を介して宛先にパケットを送信する。ファブリック内の相互接続の例としては、バスアーキテクチャ、クロスバーベースのアーキテクチャ、ネットワークオンチップ（ＮｏＣ）通信サブシステム、ダイ間の通信チャネル、アービトレーションロジックを備えたルータースイッチ、リピータ、チップを並べてスタックするために使用されるシリコンインターポーザ、プロセッサダイの上部に特殊用途のダイを垂直に積み重ねるために使用されるスルーシリコンビア（ＴＳＶ）等がある。

【００１１】

いくつかの実施形態では、ソースは、ペイロードデータをバイト、ワード、ダブルワード等のパーティションに分割する。さらに、様々な実施形態において、ペイロードデータのパーティションのためのパーティションイネーブル信号が生成される。例えば、フィールド１５６のパーティションイネーブル信号は、バイトイネーブル信号である。いくつかの実施形態では、ソースは、何れのパーティションがペイロードデータの有効なデータを含むかを示すために、パーティションイネーブル信号（又はイネーブル信号）を生成する。例えば、各パーティションには、読み取り応答パケットの有効なデータが含まれている。したがって、ソースは、ペイロードデータの複数のパーティションに対応するイネーブル信号の各々をアサートする。同様に、各パーティションには、フルライトデータパケットの有効なデータと、以前にキャッシュされたデータをシステムメモリに送信するために使用されるキャッシュビクティムパケットが含まれる。他の実施形態では、ソースは、１つ以上のイネーブル信号を否定して、何れのパーティションがペイロードデータの無効なデータを含むかを示す。例えば、１つ以上のパーティションに、部分書き込みデータパケットの無効なデータが含まれている。

【００１２】

他の実施形態では、特定のパーティションがパケット内に関連するアサートされたイネーブル信号を有することをパケットのタイプが示しているとソースが判定した場合に、特定のパーティションのイネーブル信号をソースは否定するが、ソースは、特定のパーティションが特定のデータパターンを含むことを判定する。例えば、読み取り応答ペイロードデータの特定のパーティションには、特定のパターンが含まれる。読み取り応答データパケットには、通常、複数のイネーブル信号の各々がアサートされているが、ソースは、特定のパーティションのイネーブル信号を無効にする。特定のデータパターンをファブリック全体に転送するよりもむしろ、特定のパターンが実際にファブリックを介して転送されることなく特定のパーティションが特定のパターンを格納すべきであるということを、否定されたイネーブル信号が示す。

【００１３】

宛先は、読み取り応答データパケットを受信し、宛先は、パケットのタイプ及び特定のパーティションの両方が、関連する否定された（ネゲートされた）イネーブル信号をパケット内に有すると判定する。この例では、読み取り応答データパケットのタイプは、特定のパーティションが、関連するアサートされたイネーブル信号をパケットに含む必要があることを示している。したがって、宛先は、否定されたイネーブル信号を、特定のパーティションが特定のデータパターンを含むべきであることを示すものとして解釈する。したがって、宛先は、読み取り応答ペイロードデータを格納する場合に、特定のパーティションに特定のデータパターンを挿入する。

【００１４】
ソースと宛先との間でパケットを転送している間、１つ以上のルーティングコンポーネントは、ファブリック内でパケットを送受信する。ルーティングコンポーネントの例としては、ルータースイッチ、リピータブロック等がある。様々な実施形態では、ルーティングコンポーネントがパケットを受信し、ペイロードデータの１つ以上のパーティションが、関連付けられた否定されたイネーブル信号を有すると判定する。したがって、ルーティングコンポーネントは、否定されたイネーブル信号に関連付けられたペイロードデータのパーティションのデータを格納するために割り当てられたルーティングコンポーネントのストレージ要素を無効にする。後に、ルーティングコンポーネントがパケットを次のルーティングコンポーネント又は宛先に送信すると、ルーティングコンポーネントは、否定されたイネーブル信号と、否定されたイネーブル信号に関連付けられたペイロードデータのパーティションのデータを格納するために割り当てられた各ストレージ要素に格納された以前の値を送信する。クロック信号が無効になっているため、これらのストレージ要素は新しい値をロードしなかった。以前の値は、これらのストレージ要素に引き続き格納される。さらに、これらのストレージ要素は新しい値のロードに関連する電力を消費せず、条件付きクロック信号はトグルしない。いくつかの実施形態では、ルーティングコンポーネントのクロックゲーティングロジックは、パーティションイネーブル信号を条件付きクロックゲーティング制御信号として直接使用する。
【００１５】
図１を参照すると、コンピューティングシステム１００の一実施形態の一般的なブロック図が示されている。図示するように、ソース１１０は、ルーティングコンポーネント１２０を介してパケット１５０を宛先１４０に送信する。ソース１１０は、汎用中央処理装置（ＣＰＵ）、グラフィックス処理装置（ＧＰＵ）、高速処理ユニット（ＡＰＵ）、マルチメディアエンジン、入出力（Ｉ／Ｏ）デバイス等のコンピューティングシステム１００内のクライアントである。宛先１４０は、システムメモリ、又は、コンピューティングシステム１００内の例示的なクライアントである。ルーティングコンポーネント１２０の例は、リピータブロック、ネットワークスイッチ、又は、通信ファブリックの他のコンポーネントである。単一のソース１１０、単一のルーティングコンポーネント１２０、及び、単一の宛先１４０が示されているが、コンピューティングシステム１００は、他の実装において、任意の数のこれらのブロックを含む。いくつかの実施形態では、コンピューティングシステム１００のブロック１１０～１４０は、システムオンチップ（ＳＯＣ）等の集積回路（ＩＣ）上の個々のダイである。他の実施形態では、ブロック１１０～１４０は、システムインパッケージ（ＳｉＰ）又はマルチチップモジュール（ＭＣＭ）内の個々のダイである。電力コントローラ又は電力管理ユニット、クロック生成ソース、任意の他の処理ノードと通信するためのリンクインターフェイス、及び、システムメモリとインターフェイスするためのメモリコントローラ等の他のブロックは、説明を簡単にするために示されていない。
【００１６】
ソース１１０は、パケットを生成及び送信する。ソース１１０及び宛先１４０は、データアクセス要求、ペイロードデータ、プローブ要求、コヒーレンシコマンド等を通信するためにパケットを使用する。パケット生成ロジック１１２（又はロジック１１２）は、パケット１５０を生成する。パケット１５０は、複数のフィールド１５２～１５８を含む。フィールド１５２～１５８が特定の連続した順序で示されているが、他の実施形態では、パケット１５０は別の記憶装置を使用している。他の実施形態では、パケット１５０は、図示されていない１つ以上の他のフィールドを含む。
【００１７】
ヘッダ１５２は、１つ以上のコマンド、ソース及び宛先識別子、プロセス及びスレッド識別子、タイムスタンプ、パリティ及びチェックサム及び他のデータ完全性情報、優先度レベル及び／又はサービスの品質のパラメータ等を格納する。他の実施形態では、これらのフィールドの１つ以上は、ヘッダ１５２から分離され、パケット１５０内の他の場所に

配置される。パケット１５０に示されていない他のフィールドの例は、仮想チャネル識別子、応答パケットの応答タイプ、多大な読み取り要求の読み取り応答が複数のデータパケットに分割される場合に使用されるトランザクションオフセットの指標、応答パケットに単一の応答が含まれるか複数の応答が含まれるかを表す応答パケットの指標、及び、データパケットの複数のクレジット、要求パケット、応答パケットの指標である。パケット１５０に格納されたフィールドの他の例が可能であり、他の実施形態で企図されている。

【００１８】

アドレス１５４は、コマンドに関連付けられたターゲットアドレスの指標をヘッダ１５２に格納する。フィールド１５６は、フィールド１５８に格納されたペイロードデータのパーティションに関連付けられたイネーブル信号を格納する。データパケットの場合、ソース１１０は、ペイロードデータをパーティションに分割する。パーティションのサイズの例には、バイト、ワード（４バイト）、デュアルワード（８バイト）等がある。パーティションイネーブルロジック１１４（又はロジック１１４）は、フィールド１５６に格納されたパーティションイネーブル信号を生成する。パーティションのサイズがバイトである場合、フィールド１５６のパーティションイネーブル信号は、バイトのイネーブル信号である。いくつかの実施形態では、ロジック１１４は、パーティションイネーブル信号（又はイネーブル信号）を生成して、何れのパーティションが、フィールド１５８に格納されたペイロードデータの有効なデータを含むかを示す。例えば、各パーティションには、読み取り応答パケットの有効なデータが含まれている。コマンド及び／又はパケットタイプは、ヘッダ１５２に格納される。したがって、ロジック１１４は、フィールド１５８のペイロードデータの複数のパーティションに対応するフィールド１５６のイネーブル信号の各々をアサートする。同様に、各パーティションには、フルライトデータパケットと、以前にキャッシュされたデータをシステムメモリに送信するために使用されるキャッシュビクティムパケットとの有効なデータが含まれる。

【００１９】

他の実施形態では、ロジック１１４は、フィールド１５６の１つ以上のイネーブル信号を否定して、何れのパーティションがフィールド１５８のペイロードデータの無効なデータを含むかを示す。例えば、１つ以上のパーティションには、部分書き込みデータパケットの無効なデータが含まれている。本明細書で使用される場合、信号が、ロジックを有効にし、トランジスタをオンにしてトランジスタに電流を流すために使用される値を有する場合、信号が「アサートされた」と見なされる。一部のロジックでは、アサートされた値はブールロジックの高値又はブールの高レベルのロジックである。例えば、ｎ型金属酸化膜半導体（ＮＭＯＳ）トランジスタがゲート端子でブールの高いレベルのロジックを受信すると、ＮＭＯＳトランジスタが有効になるか又はオンになる。したがって、ＮＭＯＳトランジスタは電流を流すことができる。他のロジックの場合、アサートされた値はブールロジックの低レベルである。ｐ型ＭＯＳ（ＰＭＯＳ）トランジスタがゲート端子でブールロジックローレベルを受信すると、ＰＭＯＳトランジスタが有効になるか又はオンになり、ＰＭＯＳトランジスタは電流を流すことができる。対照的に、信号がロジックを無効にし、トランジスタをオフにするために使用される値を有する場合、信号は「否定された（ネゲートされた）」と見なされる。

【００２０】

いくつかの実施形態では、ロジック１１４は、特定のパーティションがパケット内に関連するアサートされたイネーブル信号を有することをパケットのタイプが示していることをロジック１１４が判定した場合に、フィールド１５８内の特定のパーティションのフィールド１５６内のイネーブル信号を否定するが、ロジック１１４は、特定のパーティションが特定のデータパターンを含むことを判定する。例えば、読み取り応答ペイロードデータの特定のパーティションには、特定のパターンが含まれる。特定のパターンの一例は、特定のパーティションにおいて全てがゼロであることである。パーティションのサイズが１バイトの場合、特定のパーティションには８つのゼロが含まれる。他のデータパターンも可能であり、企図されている。読み取り応答データパケットは、通常、複数のイネーブ

ル信号の各々がアサートされるが、ロジック１１４は、フィールド１５８の特定のパーティションのフィールド１５６のイネーブル信号を否定する。ルーティングコンポーネント１２０を介して特定のデータパターンを転送するよりもむしろ、ルーティングコンポーネント１２０が特定のパーティションの実際の値なしにパケット１５０を転送するべきであることを、否定されたイネーブル信号が示す。

【００２１】

様々な実施形態では、ルーティングコンポーネント１２０のインターフェイス１２２は、パケット１５０を受信する。いくつかの実施形態では、インターフェイス１２２は、パケット１５０を受信及び格納するためのストレージ要素１３４を含む。他の実施形態では、インターフェイス１２２は、ソース１１０からの距離が明白である場合、インピーダンス整合の回路を含む。さらに他の実施形態では、インターフェイス１２２は、受信したパケットをストレージ要素１３４に転送するためのワイヤを含む。パケット１２４は、一般に、パケット１５０等のルーティングコンポーネント１２０によって受信されたパケットを表す。したがって、パケット１２４は、パケット１５０について上述したのと同じフィールドを含む。ルーティングコンポーネント１２０は、１つ以上のストレージ要素１３４へのクロック信号１３０を有効及び無効にするためのクロックゲーティングロジック１３２（又はロジック１３２）を含む。ストレージ要素１３４は、１つ以上のレジスタ、フリップフロップ、回路、コンテンツアドレス可能メモリ（ＣＡＭ）、ランダムアクセスメモリ（ＲＡＭ）等を含む。ロジック１３２は、パケット１２４からのパーティションイネーブル信号１２６を使用して、１つ以上のストレージ要素１３４へのクロック信号１３０を条件付きで有効及び無効にする。例えば、ロジック１３２は、パーティションイネーブル信号１２６の否定されたイネーブル信号に関連するペイロードデータのパーティションのデータを格納するために割り当てられ、ストレージ要素１３４の各々について、クロック信号１３０を無効にする。したがって、ロジック１３２は、パーティションイネーブル信号１２６をクロックイネーブル信号として使用する。パーティションのサイズがバイトの場合、ロジック１３２は、バイトイネーブル信号１２６をクロックイネーブル信号として使用する。

【００２２】

後に、ルーティングコンポーネント１２０がパケット１２４を次のルーティングコンポーネント（図示省略）又は宛先１４０に送信する場合、インターフェイス１３６は、ストレージ要素１３４に格納されたパケット情報を送信する。インターフェイス１３６は、単純には、ワイヤ、１つ以上のロジックゲートバッファ、又は、データを送信するための他の回路を含む。インターフェイス１３６は、パーティションイネーブル信号１２６の否定されたイネーブル信号と、否定されたイネーブル信号に関連付けられたペイロードデータのパーティションのデータを格納するために割り当てられた各ストレージ要素に格納された以前の値と、を送信する。ロジック１３２は、ストレージ要素１３４の特定の１つのクロック信号１３０を無効にしたので、これらの特定のストレージ要素は、新しい値をロードしなかった。先ほどのクロックサイクルからの以前の値は、これらの特定のストレージ要素に依然として格納されており、インターフェイス１３６は、これらの以前の値を宛先１４０に送信する。否定されたパーティションに関連付けられたペイロードデータの特定のパーティションのソース１１０によって送信された元の値は、信号１２６の信号を有効にし、ルーティングコンポーネント１２０によって記憶又は輸送されない。さらに、これらのストレージ要素は、新しい値のロードに関連する電力を消費せず、条件付きクロック信号はトグルしない。対照的に、ストレージ要素１３４の他のものは、ヘッダ１５２、アドレス１５４、及び、パケット１２４のパーティションイネーブル信号１５６を記憶する。これらのストレージ要素は、パーティションイネーブル信号１２６によって適格とされないバージョンのクロック信号１３０を受信する。

【００２３】

宛先１４０は、パケット情報を受信し、宛先１４０は、パケットのタイプと、ペイロードデータの特定のパーティションが、パケット内に関連する否定されたイネーブル信号を

有するかどうかと、の両方を判定する。パケットタイプが、ペイロードデータの各パーティションがパケット内に関連するアサートされたイネーブル信号を有するべきであることを示しているが、１つ以上のパーティションイネーブル信号が否定されている場合、宛先１４０は、１つ以上のパーティションに特定のデータパターンの挿入が必要であると判定する。上述したように、パケットタイプがフルサイズ書き込みパケット、読み取り応答パケット、又は、キャッシュビクティムパケットの場合、通常、各パーティションイネーブル信号がアサートされる。したがって、宛先１４０は、否定されたイネーブル信号を、特定のパーティションに特定のデータパターンを含めるべきであることを示すものとして解釈する。したがって、ペーロードデータアセンブラ１４２（又はアセンブラ１４２）は、読み取り応答ペイロードデータを格納する場合に、特定のパーティションに特定のデータパターンを挿入する。

【００２４】

ソース１１０、宛先１４０、ルーティングコンポーネント１２０、ロジック１１２，１１４，１３２及びアセンブラ１４２の各々は、ハードウェア回路、ソフトウェア、又は、ハードウェアとソフトウェアの組み合わせのうち何れかで実装されることに留意されたい。図示されていないが、他の実施形態では、ルーティングコンポーネントは、パケットタイプに基づいてパケットを格納するための複数のタイプのキューに加えて、ストレージ要素の複数のステージを含む。例えば、ルーティングコンポーネント１２０は、読み取り応答データ、書き込みデータ、読み取りアクセス要求、書き込みアクセス要求、プローブ要求等を格納するために複数のキューを使用する。さらに、いくつかの実施形態では、ルーティングコンポーネント１２０は、インターフェイス１３６を介して宛先１４０にパケットを送信するための順序を判定するために調停ロジックを使用する。

【００２５】

図２に移ると、コンピューティングシステム２００の一実施形態の一般化されたブロック図が示されている。上述した回路とロジックには同じ符号が付けられている。ルーティングコンポーネント１２０のストレージ要素２３４は、フリップフロップ回路として示されているが、他のストレージ要素が可能であり、企図されている。パケット２２４は、一般に、パケット１５０等のルーティングコンポーネント１２０によって受信されたパケットを表す。したがって、パケット２２４は、パケット１５０に対して上述したのと同じフィールドを含む。クロックゲーティングロジック２３２（又はロジック２３２）は、パケット２２４からのパーティションイネーブル信号を使用して、１つ以上のストレージ要素２３４へのクロック信号１３０を条件付きで有効及び無効にする。例えば、ロジック２３２は、パーティションイネーブル信号の否定されたイネーブル信号と関連付けられたペイロードデータのパーティションのデータを格納するために割り当てられたストレージ要素２３４の各々のクロック信号１３０を無効にする。パーティションのサイズがバイトの場合、ロジック２３２は、バイトイネーブル信号をクロックイネーブル信号として使用する。

【００２６】

図示するように、パケット２２４は、Ｎがゼロ以外の正の整数であるＮ個のパーティションを含む。各パーティションはＭビットを含み、Ｍはゼロ以外の正の整数である。上述したように、パーティションのサイズの例としては、バイト、ワード、デュアルワード等がある。パーティションＮのＭビットの各々について、ロジック２３２は、パーティションＮを有効化する信号を使用して、ストレージ要素２３４の関連するもののクロック信号１３０を条件付きで有効化する。パーティションのサイズがバイトである場合、パーティションＮの有効化は、パーティションＮのＭビットのバイトイネーブル信号である。ロジック２３２は、パーティションＮのビット０からパーティションＮのビットＭまでのペイロードデータのクロックイネーブル信号として、パーティションＮのイネーブル信号を使用する。

【００２７】

図３を参照すると、ルーティングコンポーネントによるコンピューティングシステムにおける効率的なデータ転送のための方法３００の一実施形態が示されている。説明のため

に、この実施形態におけるステップ（及び図４～図６におけるステップ）は、順番に示されている。しかしながら、説明する方法の様々な実施形態では、説明する要素のうち１つ以上は、同時に実行されてもよいし、図示した順序とは異なる順序で実行されてもよいし、全体的に省略されてもよいことに留意されたい。他の追加の要素も必要に応じて実行される。本明細書に記載されている様々なシステム又は装置の何れも、方法３００及び４００～６００を実施するように構成されている。

【００２８】

ソースは、パケットを生成し、コンピューティングシステムの通信ファブリックを介してパケットを宛先に送信する。通信ファブリックには、１つ以上のルーティングコンポーネントが含まれる。特定のルーティングコンポーネントのインターフェイスは、パケットを受信する（ブロック３０２）。ルーティングコンポーネントの制御ロジックは、ハードウェア回路、ソフトウェア、又は、ハードウェアとソフトウェアの組み合わせによって実装される。制御ロジックは、受信したパケットを分析する。例えば、制御ロジックは、ヘッダ内のコマンドをデコードする。パケットがペイロードデータを格納するデータパケットである場合、制御ロジックは、ペイロードデータのパーティションに対応するパーティションイネーブル信号を詳しく調べる。

【００２９】

イネーブル信号を否定したパーティションがない場合（条件付きブロック３０４：「いいえ」）、制御ロジックは、パーティションのデータを格納するために割り当てられたストレージ要素のクロック信号を維持する（ブロック３０６）。しかしながら、パーティションの何れかが、否定されたイネーブル信号を有する場合（条件付きブロック３０４：「はい」）、制御ロジックは、これらのパーティションのデータを格納するために割り当てられたストレージ要素のクロック信号を無効にする（ブロック３０８）。したがって、制御ロジックは、パーティションイネーブル信号をクロックイネーブル信号として使用する。その後、制御ロジックは、通信ファブリック等の相互接続を介してパケットを宛先に伝達する（ブロック３１０）。

【００３０】

図４を参照すると、ソースによるコンピューティングシステムにおける効率的なデータ転送のための方法４００の一実施形態が示されている。コンピューティングシステムにおける１つ以上のソースのうち何れかのソースは、コンピューティングシステム内でパケットを生成する（ブロック４０２）。ソースの例としては、汎用中央処理装置（ＣＰＵ）、グラフィックス処理装置（ＧＰＵ）、高速処理装置（ＡＰＵ）、マルチメディアエンジン、入出力（Ｉ／Ｏ）デバイス等がある。

【００３１】

ソースは、パケットのタイプを判定する（ブロック４０４）。パケットタイプの例としては、読み取り要求パケット、読み取り応答パケット、フルサイズ書き込み要求パケット、部分サイズ書き込み要求パケット、書き込みデータパケット、キャッシュビクティムパケット、プローブ要求パケット、コヒーレンシコマンドパケット等がある。いくつかの実施形態では、ソースは、書き込み要求を書き込み制御パケットと書き込みデータパケットとに分割する。ソースは、書き込みコマンドを書き込み制御パケットに挿入し、書き込みデータを、書き込みコマンドに対応する別の書き込みデータパケットに挿入する。実施形態では、ソースは、読み取り要求コマンドを読み取り制御パケットに挿入する。その後、宛先は、読み取り制御パケットを受信し、読み取り応答コマンドを読み取り制御パケットに挿入する。宛先は、別の読み取りデータパケットに応答データも挿入する。

【００３２】

部分サイズ書き込み要求パケットは、ペイロードデータのパーティションのためのスパースにアサートされたイネーブル信号を有するパケットタイプの一例である。例えば、ソースが６４バイトのキャッシュラインの２ワード（８バイト）を更新することが所望されている場合、部分サイズ書き込み要求パケットには、更新する８バイトの８つのアサートされたパーティションイネーブル信号が含まれる。他の５６のパーティションイネーブル

信号が否定される。別の例では、ソースは、全ての６４バイトのキャッシュラインを、最後のワード（４バイト）を除いて更新することを望んでいる。したがって、部分サイズ書き込み要求パケットには、更新される６０バイトの６０個のアサートされたパーティションイネーブル信号が含まれる。残りの４つのパーティションイネーブル信号が否定される。読み取り応答パケット、キャッシュビクティムパケット、フルサイズ書き込みパケット等の他のパケットタイプの場合、各パーティションイネーブル信号がアサートされる。これらのパケットタイプには、否定されたパーティションイネーブル信号がない。

【００３３】

パケットタイプがペイロードデータのパーティションに対してスパースにアサートされたイネーブル信号を示している場合（条件付きブロック４０６：「はい」）、ソースは、パーティションイネーブル信号の値を維持している（ブロック４０８）。ただし、パケットタイプがペイロードデータのパーティションのスパースにアサートされたイネーブル信号を示さない場合（条件付きブロック４０６：「いいえ」）、ソースは、何れかのパーティションに特定のデータのパターンが含まれているかどうかを判定する。特定のデータのパターンの一例は、パーティション内が全てゼロであることである。特定のデータパターンの他の例が可能であり、企図されている。

【００３４】

ソースが、特定のデータパターンを含むパーティションがないと判定した場合（条件付きブロック４１０：「いいえ」）、方法４００の制御フローはブロック４０８に移動し、ソースはパーティションイネーブル信号の値を維持する。ソースが、何れかのパーティションに特定のデータパターンが含まれていると判定した場合（条件付きブロック４１０：「はい」）、ソースは、特定のデータのパターンを含むパーティションのイネーブル信号を否定する（ブロック４１２）。いくつかの実施形態では、ソースは、パケットが、ペイロードデータのパーティションのためのスパースにアサートされたイネーブル信号に関連付けられていないパケットタイプを有することを明示するパケットヘッダ内の指標をアサートする。後に、宛先は、ヘッダのパケットのコマンドをデコードするのではなく、指標を使用して、パケットタイプがペイロードデータのパーティションのスパースにアサートされたイネーブル信号に関連付けられていないかどうかを判定する。ソースは、通信ファブリック等の相互接続を介して、パケットを宛先に送信する（ブロック４１４）。

【００３５】

図５に移ると、コンピューティングシステムにおける効率的なデータ転送のためのパケットタイプを識別するための方法５００の一実施形態が示されている。制御ロジックは、パケットを受信する。制御ロジックは、コンピューティングシステムのソース又は宛先の内部にある。制御ロジックは、ハードウェア回路、ソフトウェア、又は、ハードウェアとソフトウェアの組み合わせによって実装される。制御ロジックは、パケットを詳しく調べる（ブロック５０２）。制御ロジックは、パケットのヘッダを分析して、パケットタイプを判定する。制御ロジックが、パケットタイプが読み取り応答タイプと判定した場合（条件付きブロック５０４：「はい」）、フルサイズ書き込み要求タイプと判定した場合（条件付きブロック５０６：「はい」）、又は、キャッシュビクティムタイプと判定した場合（条件付きブロック５０８：「はい」）、次に、制御ロジックは、パケットがパケットのパーティションのためのスパースイネーブル信号を含まないと判定する（ブロック５１０）。それ以外の場合、制御ロジックは、パケットにパケットのパーティションのスパースイネーブル信号が含まれていると判定する（ブロック５１２）。これらの結果は、方法４００において上述したように、パーティションイネーブル信号を更新するかどうかを判定するための制御ロジックによって後に使用される。

【００３６】

図６に移ると、宛先によるコンピューティングシステムにおける効率的なデータ転送のためのパケットタイプを識別するための方法６００の一実施形態が示されている。コンピューティングシステム内の１つ以上の宛先のうち何れかの宛先は、コンピューティングシステム内のパケットを受信する（ブロック６０２）。宛先の例としては、システムメモリ

、汎用中央処理装置（ＣＰＵ）、グラフィックス処理装置（ＧＰＵ）、高速処理装置（ＡＰＵ）、マルチメディアエンジン、入出力（Ｉ／Ｏ）デバイス等がある。宛先は、パケットのタイプを判定する（ブロック６０４）。上述したように、パケットタイプの例としては、読み取り要求パケット、読み取り応答パケット、フルサイズ書き込み要求パケット、部分サイズ書き込み要求パケット、書き込みデータパケット、キャッシュビクティムパケット、プローブ要求パケット、コヒーレンシコマンドパケット等がある。

【００３７】

パケットタイプがペイロードデータのパーティションに対してスパースにアサートされたイネーブル信号を示す場合（条件付きブロック６０６：「はい」）、宛先は、パケットのパーティションのための受信されたデータを維持する（ブロック６０８）。しかしながら、パケットタイプがペイロードデータのパーティションに対するスパースにアサートされたイネーブル信号を示さない場合（条件付きブロック６０６：「いいえ」）、宛先は、何れかのパーティションが、否定された関連するイネーブル信号を有するかどうかを判定する。ペイロードデータの否定されたパーティションイネーブル信号がない場合（条件付きブロック６１０：「いいえ」）、方法６００の制御フローは、宛先がパケットのパーティションの受信データを維持するブロック６０８に移動する。

【００３８】

宛先が、ペイロードデータに対して何れかの否定されたパーティションイネーブル信号があると判定した場合（条件付きブロック６１０：「はい」）、宛先は、これらのパーティションを特定のデータパターンで置き換え、対応するイネーブル信号をアサートする（ブロック６１２）。特定のデータのパターンの一例は、パーティション内が全てゼロであることである。特定のデータパターンの他の例が可能であり、企図されている。宛先は、有効なパーティション内のデータを使用してパケットを処理する（ブロック６１４）。例えば、宛先は、アサートされたパーティションイネーブル信号を使用してパーティションの書き込み操作を実行する。これらのパーティションのデータは、パケットに格納されているアドレスが指す宛先のメモリ位置に格納されているデータを更新する。いくつかの実施形態では、特定のデータパターンが使用されるが、この特定のデータパターンは、ソースと宛先との間の通信ファブリックによって転送されなかった。

【００３９】

図７に移ると、コンピューティングシステム７００の一実施形態の一般化されたブロック図が示されている。コンピューティングシステム７００は、メモリコントローラ７７０とクライアント７９０との間の通信ファブリック７１０を含む。メモリコントローラ７７０は、メモリ７８０とのインターフェイスに使用される。３つのクライアント７９２～７９６がクライアント７９０に示されているが、コンピューティングシステム７００は、任意の数のクライアントを含む。通信ファブリック７１０（又はファブリック７１０）は、ルーティング制御及びデータパケットのための複数のタイプのブロックを含む。例えば、ファブリック７１０は、ルーティングコンポーネント７５０及びルーティングネットワーク７６０に加えて、複数のルーティングコンポーネント７２０，７６２，７６４，７６６を含む。コンピューティングシステム７００のソース及び宛先並びにファブリック７１０の各々は、特定の相互接続プロトコルをサポートする。ファブリック７１０で運ばれるパケットは、（図１の）パケット１５０について上述したのと同じフィールドを含む。ファブリック７１０内の１つ以上のブロックは、ペイロードデータのパーティションを格納するために使用されるストレージ要素を無効にするためのクロックイネーブル信号としてパーティションイネーブル信号を使用するクロックゲーティングロジックを含む。例えば、ルーティングコンポーネント７２０は、パーティションイネーブル信号７４４を受信するクロックゲーティングロジック７４２を含むように示されている。パーティションのサイズがバイトである場合、パーティションイネーブル信号７４４は、バイトイネーブル信号である。クロックゲーティングロジック７４２は、クロック信号を無効にすることによって、コンピューティングシステム７００の電力消費を低減する。様々な実施形態において、クロックゲーティングロジック７４２は、（図１の）クロックゲーティングロジック１

３２及び（図２の）クロックゲーティングロジック２３２と同等の機能を有する。
【００４０】
いくつかの実施形態では、クライアント７９０は、システムオンチップ（ＳＯＣ）等の集積回路（ＩＣ）上の個々のダイである。他の実施形態では、クライアント７９０は、システムインパッケージ（ＳｉＰ）又はマルチチップモジュール（ＭＣＭ）内の個々のダイである。さらに他の実施形態では、クライアント７９０は、プリント回路基板上の個々のダイ又はチップである。様々な実施形態では、クライアント７９０は、スマートフォン、タブレットコンピュータ、ゲーム機、スマートウォッチ、デスクトップコンピュータ等で使用される。クライアント７９２，７９４，７９６の各々は、機能ブロック若しくはユニット、プロセッサコア、又は、プロセッサである。例えば、実施形態では、コンピューティングシステム７００は、汎用中央処理装置（ＣＰＵ）７９２、グラフィックス処理装置（ＧＰＵ）７９４等の高度に並列なデータアーキテクチャプロセッサ、及び、マルチメディアエンジン７９６を含む。上述したように、ディスプレイユニット、１つ以上の入出力（Ｉ／Ｏ）周辺機器、マルチメディアプレーヤー、ディスプレイユニット等とのインターフェイスに使用される１つ以上のハブ等のように、クライアントの他の例が可能である。そのような場合、ハブは、コンピューティングシステム７００におけるクライアントである。
【００４１】
メモリコントローラ７７０は、要求及び応答を格納するためのキューを含む。さらに、メモリコントローラ７７０は、メモリ７８０に送信される要求をグループ化し、メモリ７８０のタイミング仕様に基づいて要求を送信し、任意のバーストモードをサポートするための制御ロジックを含む。また、メモリコントローラ７７０は、制御パラメータを格納するためのステータス及び制御レジスタを含む。様々な実施形態では、ルーティングコンポーネント７２０及びメモリコントローラ７７０の各々は、効率的なアウトオブオーダサービスのために、受信したメモリアクセス要求を並べ替える。並べ替えは、優先度レベル、サービスの品質（ＱｏＳ）のパラメータ、メモリアクセス要求のパケットの経過時間等の１つ以上に基づいている。単一のメモリコントローラ７７０が示されているが、他の実施形態では、コンピューティングシステム７００は、それぞれ１つ以上のメモリチャネルをサポートする複数のメモリコントローラを含む。
【００４２】
様々な実施形態では、メモリ７８０は、アクセスされているダイナミックランダムアクセスメモリ（ＤＲＡＭ）の行（row）の内容を格納するための行（ロウ）バッファを含む。実施形態では、メモリ７８０のアクセスは、第１のアクティブ化又はオープニングステージを含み、行全体の内容を、対応する行バッファにコピーするステージが続く。その後、関連するステータス情報の更新に加えて、読み取り又は書き込み列へのアクセスがある。いくつかの実施形態では、メモリ７８０は、複数のバンクを含む。各バンクには、それぞれの行バッファが含まれている。アクセスされた行は、１つのクライアント７９０から受信されたメモリアクセス要求において、ＤＲＡＭページアドレス等のアドレスによって識別される。様々な実施形態では、行バッファは、データのページを格納する。いくつかの実施形態では、ページは、データの４キロバイト（ＫＢ）の連続したストレージである。ただし、他のページのサイズも可能であり、企図されている。
【００４３】
一実施形態では、メモリ７８０は、互いに積み重ねられた複数の３次元（３Ｄ）メモリダイを含む。ダイ・スタッキング技術は、高帯域幅で低遅延の相互接続の同じパッケージ内で、複数の別々のシリコンの小片（統合チップ）を物理的に積み重ねることを可能にする製造プロセスである。いくつかの実施形態では、ダイは、シリコンインターポーザに並べて、又は、互いの上に垂直に直接積み重ねられる。ＳｉＰの１つの構成は、１つ以上のメモリチップをプロセッシングユニットの隣及び／又は上に積み重ねることである。
【００４４】
様々な実施形態では、更新した（最新の）データのコピーが、メモリ７８０から、クラ

イアント７９０のうち１つのキャッシュメモリサブシステムの１つ以上のレベルに供給される。クライアントによって処理されている命令に基づいて、クライアントは、データのコピーを更新し、今や更新した（最新の）データのコピーが含まれる。あるいは、クライアントは、メモリ７８０から検索されたデータを変更せず、それを使用して、１つ以上のアプリケーションの命令を処理し、他のデータを更新する。後に、クライアントは他のアプリケーションの命令を処理し、指定されたメモリアドレスに格納されている特定のデータを削除する場合に、キャッシュメモリサブシステムを他のデータで充填する。データのコピーは、メモリ７８０に格納されたコピーを更新するための書き込みアクセス要求によって、クライアント７９０の対応する１つからメモリ７８０に返される。

【００４５】

様々な実施形態において、ファブリック７１０は、クライアント７９０間、及び、メモリ７８０とクライアント７９０との間でデータを互いに転送する。ルーティングコンポーネント７６２，７６４，７６６の各々は、クライアント７９２，７９４，７９６との通信プロトコルをサポートする。いくつかの実施形態では、ルーティングコンポーネント７２０，７５０，７６２，７６４，７６６の各々は、図示するように単一のクライアントと通信する。他の実施形態では、ルーティングコンポーネント７２０，７５０，７６２，７６４，７６６のうち１つ以上は、複数のクライアントと通信し、クライアント識別子によりパケットを追跡する。いくつかの実施形態では、ルーティングコンポーネント７２０，７５０，７６２，７６４，７６６は、少なくとも、要求パケット及び応答パケットを格納するためのキュー、パケットをネットワーク７６０に送信する前に受信パケット間で調停するための選択ロジック、及び、パケットを構築し、パケットを復号し、ルーティングネットワーク７６０との通信プロトコルをサポートするためのロジックを含む。実施形態では、ルーティングコンポーネント７２０，７５０，７６２，７６４，７６６は、アドレス空間とメモリチャネルとの間の更新したマッピングを有する。様々な実施形態では、ルーティングコンポーネント７２０，７５０，７６２，７６４，７６６及びメモリコントローラ７７０は、その所望の機能を提供するためのアルゴリズムを実装するためのハードウェア回路及び／又はソフトウェアを含む。

【００４６】

様々な実施形態では、ファブリック７１０は、要求及び応答をキューに入れ、制御パラメータを格納し、１つ以上の通信及びネットワークプロトコルに従い、１つ以上のバスのソースと宛先との間でトラフィックを効率的にルーティングするための制御ロジック、ステータス及び制御レジスタ、他のストレージ要素を含む。実施形態では、ルーティングネットワーク７６０は、ポイントツーポイント（Ｐ２Ｐ）リングトポロジーにおいて複数のスイッチを利用する。他の実施形態では、ルーティングネットワーク７６０は、クラスタトポロジーにおいてプログラム可能なルーティングテーブルを伴うネットワークスイッチを利用する。さらに他の実施形態では、ルーティングネットワーク７６０は、トポロジーの組み合わせを利用する。

【００４７】

図示するように、調停ユニット７３０は、読み取りキュー７３２と、書き込みキュー７３６と、選択ロジック７４０と、を含む。２つのキューが示されているが、様々な実施形態において、調停ユニット７３０は、メモリアクセス応答を格納するための任意の数のキューを含む。選択ロジック７４０は、選択された読み取り応答７３４と選択された書き込み応答７３８との間で選択して、選択された応答７４２として、ファブリック７１０を介してクライアント７９０の各々に送信する。一実施形態では、調停ユニット７３０は、インターフェイス７２２を介してメモリコントローラ７７０からメモリアクセス応答を受信する。いくつかの実施形態では、調停ユニット７３０は、受信した読み取り応答を読み取りキュー７３２に格納し、受信した書き込み応答を書き込みキュー７３６に格納する。他の実施形態では、受信した読み取り応答及び受信した書き込み応答は、同じキューに格納される。いくつかの実施形態では、調停ユニット７３０は、効率的なアウトオブオーダサービスのために、受信されたメモリアクセス応答を並べ替える。並べ替えは、優先度レベ

ル、サービスの品質（ＱｏＳ）のパラメータ、メモリアクセス要求のパケットの経過時間、又は、他の考慮事項のうち１つ以上に基づいている。並べ替えアルゴリズムは、選択ロジック７４０と同様に、読み取りキュー７３２及び書き込みキュー７３６内の又はその隣に配置されたロジック（図示省略）によって使用される。

【００４８】

様々な実施形態では、調停ユニット７３０は、ファブリック７１０の特性に基づいて応答の選択及び並べ替えに使用されるアルゴリズムを適合させるためのプログラム可能な制御レジスタ及び／又は制御ロジックを含む。いくつかの実施形態では、インターフェイス７２２，７２４の各々は、受信したパケットを格納するためのストレージ要素を含む。クロックゲーティングロジック７４２は、パーティションに分割されたペイロードデータを格納するデータパケットのパーティションイネーブル信号７４４を受信する。クロックゲーティングロジック７４２は、少なくともインターフェイス７２２，７２４のストレージ要素へのクロック信号を無効にすることによって、コンピューティングシステム７００の電力消費を低減する。ルーティングネットワーク７６０内の複数のコンポーネント及びルーティングコンポーネント７２０，７５０，７６２，７６４，７６６が、ペイロードデータのパーティションに関連付けられたパーティションイネーブル信号に依拠するクロックゲーティングロジックを使用している場合、コンピューティングシステム７００は、消費電力を削減してアプリケーションを処理する。

【００４９】

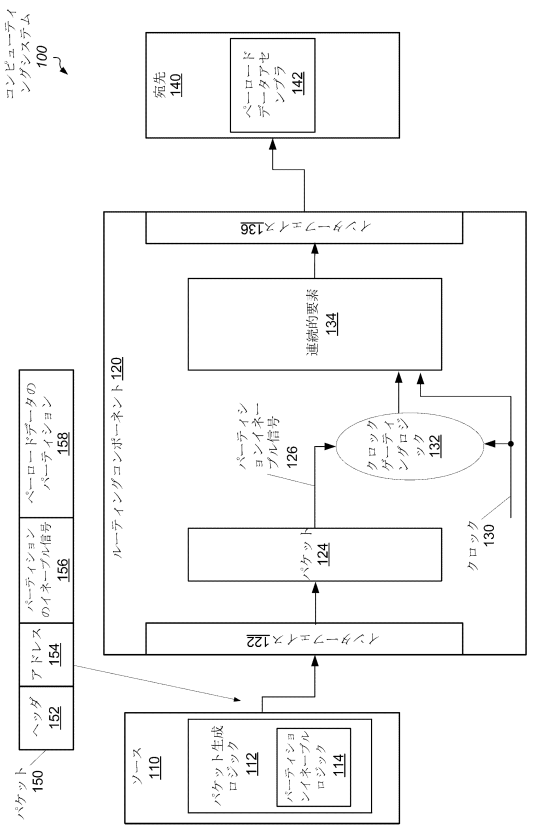
様々な実施形態では、ソフトウェアアプリケーションのプログラム命令は、本明細書で説明する方法及び／又はメカニズムを実施するために使用される。プログラム命令は、Ｃ言語等の高水準プログラミング言語でハードウェアの挙動を記述している。或いは、Ｖｅｒｉｌｏｇ等のハードウェア設計言語（ＨＤＬ）が使用される。プログラム命令は、非一時的なコンピュータ可読記憶媒体に記憶される。多くのタイプの記憶媒体が利用可能である。記憶媒体は、使用中にコンピューティングシステムによってアクセス可能であり、プログラム命令及び付随するデータを、プログラム実行のためにコンピューティングシステムに提供する。コンピューティングシステムは、少なくとも１つ以上のメモリと、プログラム命令を実行する１つ以上のプロセッサと、を含む。

【００５０】

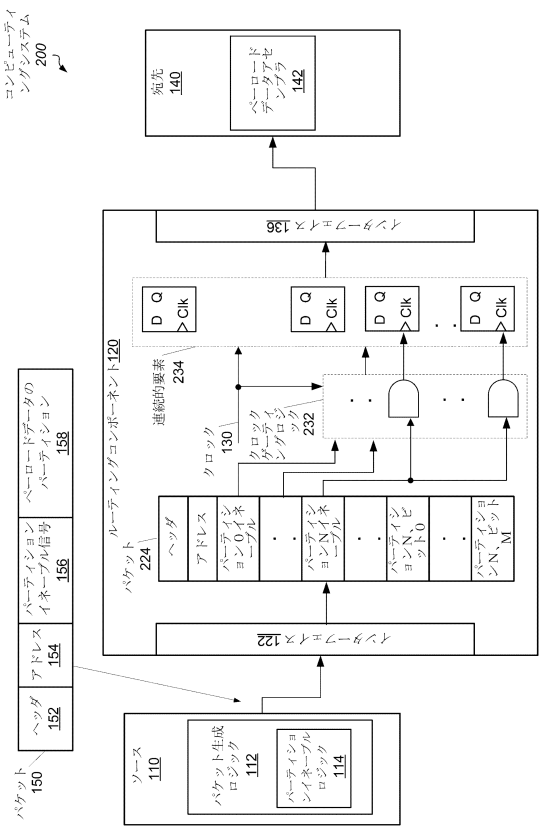
上述した実施形態が、実施形態の非限定的な例に過ぎないことを強調しておきたい。上記の開示が十分に理解されれば、多くの変形及び修正が当業者に明らかになるであろう。以下の特許請求の範囲は、全てのそのような変形及び修正を包含するように解釈されることが意図される。

【図面】

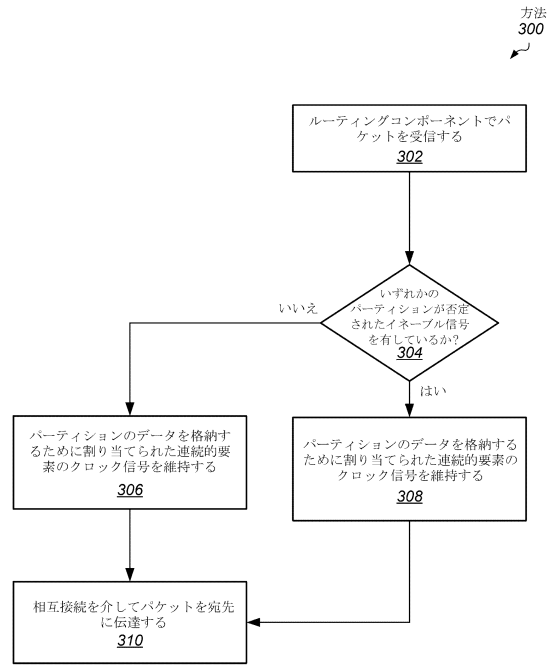
【図１】


コンピューティングシステム 100
宛先 140
ペーロードデータアセンブラ 142
インターフェイス 136
ルーティングコンポーネント 120
連続的要素 134
パーティションイネーブル信号 126
クロックゲーティングロジック 132
パケット 124
クロック 130
インターフェイス 122
ペーロードデータのパーティション 158
パーティションのイネーブル信号 156
アドレス 154
ヘッダ 152
パケット 150
ソース 110
パケット生成ロジック 112
パーティションイネーブルロジック 114

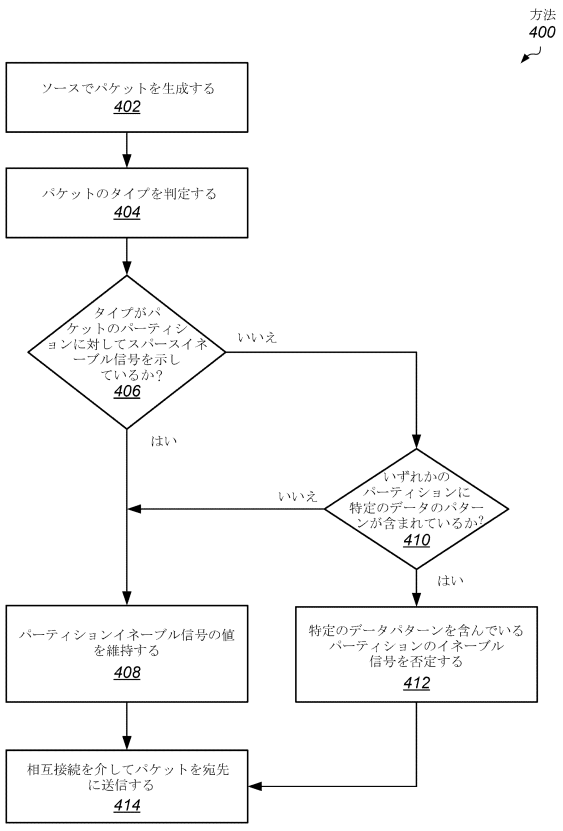
【図２】


コンピューティングシステム 200
宛先 140
ペーロードデータアセンブラ 142
インターフェイス 136
ルーティングコンポーネント 120
D Q
>Clk
連続的要素 234
クロック 130
クロックゲーティングロジック 232
パケット 224
ヘッダ
アドレス
パーティションNイネーブル
パーティションN、ビット0
パーティションN、ビットM
インターフェイス 122
ペーロードデータのパーティション 158
パーティションイネーブル信号 156
アドレス 154
ヘッダ 152
パケット 150
ソース 110
パケット生成ロジック 112
パーティションイネーブルロジック 114

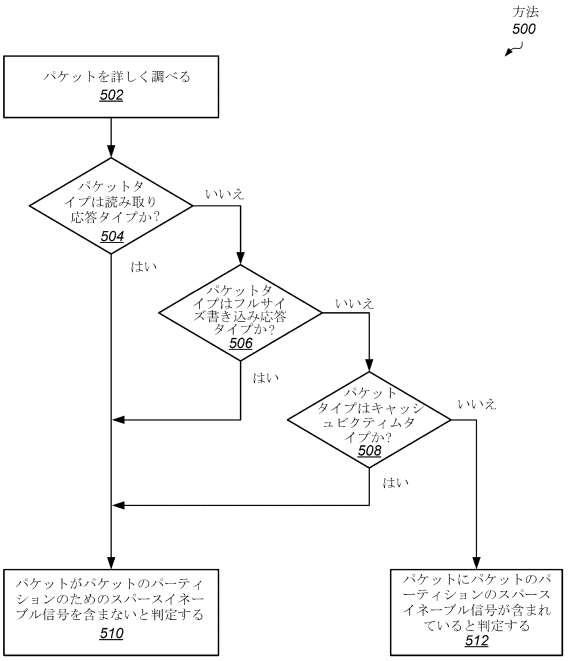
【図３】


方法 300
ルーティングコンポーネントでパケットを受信する 302
いずれかのパーティションが否定されたイネーブル信号を有しているか? 304
いいえ
はい
パーティションのデータを格納するために割り当てられた連続的要素のクロック信号を維持する 306
パーティションのデータを格納するために割り当てられた連続的要素のクロック信号を維持する 308
相互接続を介してパケットを宛先に伝達する 310

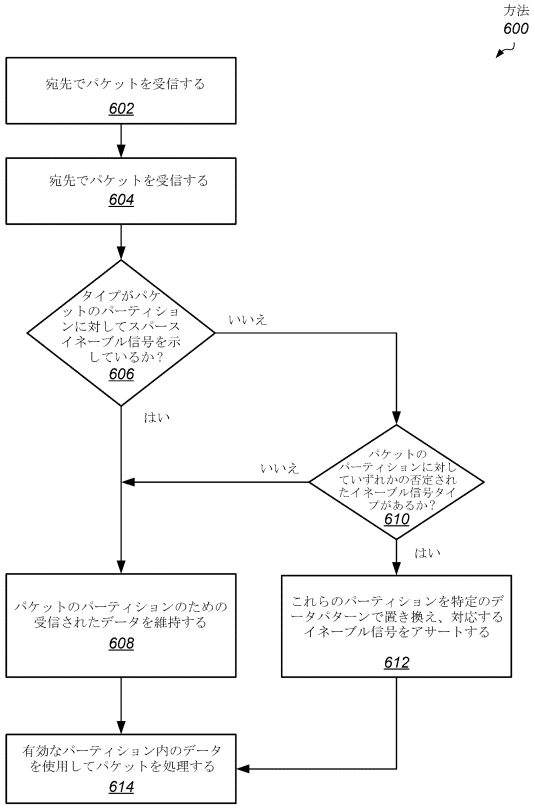
【図４】


方法 400
ソースでパケットを生成する 402
パケットのタイプを判定する 404
タイプがパケットのパーティションに対してスパースイネーブル信号を示しているか? 406
いいえ
はい
いずれかのパーティションに特定のデータのパターンが含まれているか? 410
いいえ
はい
パーティションイネーブル信号の値を維持する 408
特定のデータパターンを含んでいるパーティションのイネーブル信号を否定する 412
相互接続を介してパケットを宛先に送信する 414

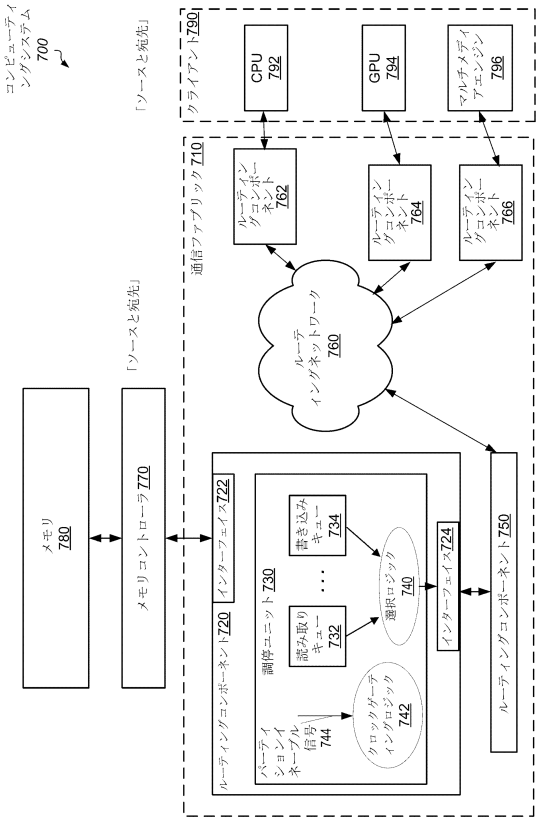
【図５】


方法
500
パケットを詳しく調べる
502
パケットタイプは読み取り応答タイプか?
504
いいえ
はい
パケットタイプはフルサイズ書き込み応答タイプか?
506
いいえ
はい
パケットタイプはキャッシュビクティムタイプか?
508
いいえ
はい
パケットがパケットのパーティションのためのスパースイネーブル信号を含まないと判定する
510
パケットにパケットのパーティションのスパースイネーブル信号が含まれていると判定する
512

【図６】


方法
600
宛先でパケットを受信する
602
宛先でパケットを受信する
604
タイプがパケットのパーティションに対してスパースイネーブル信号を示しているか?
606
いいえ
はい
パケットのパーティションに対していずれかの否定されたイネーブル信号タイプがあるか?
610
いいえ
はい
パケットのパーティションのための受信されたデータを維持する
608
これらのパーティションを特定のデータパターンで置き換え、対応するイネーブル信号をアサートする
612
有効なパーティション内のデータを使用してパケットを処理する
614

【図７】


コンピューティングシステム
700
「ソースと宛先」
クライアント790
CPU 792
GPU 794
マルチメディアエンジン 796
通信ファブリック 710
ルーティングコンポーネント 762
ルーティングコンポーネント 764
ルーティングコンポーネント 766
ルーティングネットワーク 760
「ソースと宛先」
メモリ 780
メモリコントローラ 770
ルーティングコンポーネント 720
インターフェイス 722
調停ユニット 730
書き込みキュー 734
読み取りキュー 732
選択ロジック 740
インターフェイス 724
ルーティングコンポーネント 750
パーティションイネーブル信号 744
クロックゲーティングロジック 742

フロントページの続き

アメリカ合衆国 ９５０５４ カリフォルニア州、サンタ クララ、オーガスティン ドライブ ２４８５、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
(72)発明者 ヴィドヒャナサン カリヤナスンダラム
アメリカ合衆国 ９５０５４ カリフォルニア州、サンタ クララ、オーガスティン ドライブ ２４８５、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
(72)発明者 マーク エー． シラ
アメリカ合衆国 ７８７３５ テキサス州、オースティン、サウスウェスト パークウェイ ７１７１、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
(72)発明者 アシュウィン チンチョリ
アメリカ合衆国 ７８７３５ テキサス州、オースティン、サウスウェスト パークウェイ ７１７１、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
審査官 豊田 真弓

(56)参考文献 特開２００６－１９６００４（ＪＰ，Ａ）
特開２００７－０１８０９９（ＪＰ，Ａ）
特表２０１９－５３６３８６（ＪＰ，Ａ）
米国特許出願公開第２０１９／０２５１０４９（ＵＳ，Ａ１）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｇ０６Ｆ １３／１４
Ｇ０６Ｆ １３／３６