

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4877866号
(P4877866)

(45) 発行日 平成24年2月15日 (2012.2.15)

(24) 登録日 平成23年12月9日 (2011.12.9)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 3 A

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 7 C

請求項の数 18 (全 33 頁)

(21) 出願番号 特願2004-313315 (P2004-313315)
 (22) 出願日 平成16年10月28日 (2004.10.28)
 (65) 公開番号 特開2005-167212 (P2005-167212A)
 (43) 公開日 平成17年6月23日 (2005.6.23)
 審査請求日 平成19年9月4日 (2007.9.4)
 (31) 優先権主張番号 特願2003-368141 (P2003-368141)
 (32) 優先日 平成15年10月28日 (2003.10.28)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 前川 慎志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 中村 理
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面を有する基板の上に、プラズマCVD法により、珪素からなる下地層を形成し、
 前記下地層上に、液滴吐出法でゲート電極を形成し、
 前記ゲート電極をマスクとして、前記下地層をエッチングし、
 前記ゲート電極上に、ゲート絶縁層を形成し、
 前記ゲート絶縁層上に、セミアモルファス半導体層を形成し、
 前記ゲート電極と重なるように、前記セミアモルファス半導体層上にチャネル保護層を
 形成し、

前記チャネル保護層上に、一導電型の不純物を含有する半導体層を形成し、
 前記一導電型の不純物を含有する半導体層上に、液滴吐出法でマスクを形成し、
 前記液滴吐出法で形成したマスクを用いて、前記セミアモルファス半導体層及び前記一
 導電型の不純物を含有する半導体層をエッチングし、

前記一導電型の不純物を含有する半導体層上に、液滴吐出法でソース配線及びドレイン
 配線を形成し、

前記ソース配線及び前記ドレイン配線をマスクとして、前記チャネル保護層上の前記一
 導電型の不純物を含有する半導体層をエッチングすることを特徴とする半導体装置の作製
 方法。

【請求項2】

絶縁表面を有する基板の上に、プラズマCVD法により、珪素からなる下地層を形成し、

10

20

前記下地層上に、液滴吐出法でゲート電極を形成し、
前記ゲート電極をマスクとして、前記下地層をエッチングし、
前記ゲート電極上に、ゲート絶縁層、セミアモルファス半導体層、及び絶縁層を積層して形成し、
前記ゲート電極と重なるように、前記絶縁層上に、液滴吐出法で第1のマスクを形成し

、
前記第1のマスクを用いて、前記絶縁層をエッチングしてチャネル保護層を形成し、
前記チャネル保護層上に、一導電型の不純物を含有する半導体層を形成し、
前記一導電型の不純物を含有する半導体層上に、液滴吐出法で第2のマスクを形成し、
前記第2のマスクを用いて、前記セミアモルファス半導体層及び前記一導電型の不純物を含有する半導体層をエッチングし、
前記一導電型の不純物を含有する半導体層上に、液滴吐出法でソース配線及びドレイン配線を形成し、

前記ソース配線及び前記ドレイン配線をマスクとして、前記チャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングし、

前記ゲート絶縁層は少なくとも、第1の窒化珪素層、樹脂層、及び第2の窒化珪素層を有することを特徴とする半導体装置の作製方法。

【請求項3】

請求項2において、

前記ゲート絶縁層、前記セミアモルファス半導体層及び前記絶縁層は、大気に晒すことなく連続的に形成することを特徴とする半導体装置の作製方法。

【請求項4】

絶縁表面を有する基板の上に、プラズマCVD法により、珪素からなる下地層を形成し、
前記下地層上に、液滴吐出法でゲート電極を形成し、
前記ゲート電極をマスクとして、前記下地層をエッチングし、
前記ゲート電極上に、ゲート絶縁層、セミアモルファス半導体層、及び一導電型の不純物を含有する半導体層を積層して形成し、

前記ゲート電極と重なるように、前記一導電型の不純物を含有する半導体層上に、液滴吐出法でマスクを形成し、

前記液滴吐出法で形成したマスクを用いて、前記セミアモルファス半導体層及び前記一導電型の不純物を含有する半導体層をエッチングし、

前記一導電型の不純物を含有する半導体層上に、液滴吐出法でソース配線及びドレイン配線を形成し、

前記ソース配線及び前記ドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層をエッチングすることを特徴とする半導体装置の作製方法。

【請求項5】

絶縁表面を有する基板の上に、プラズマCVD法により、珪素からなる下地層を形成し、
前記下地層上に、液滴吐出法でゲート電極を形成し、
前記ゲート電極をマスクとして、前記下地層をエッチングし、
前記ゲート電極上に、ゲート絶縁層、セミアモルファス半導体層、及び一導電型の不純物を含有する半導体層を積層して形成し、

前記ゲート電極と重なるように、前記一導電型の不純物を含有する半導体層上に、液滴吐出法でマスクを形成し、

前記液滴吐出法で形成したマスクを用いて、前記セミアモルファス半導体層及び前記一導電型の不純物を含有する半導体層をエッチングし、

前記一導電型の不純物を含有する半導体層上に、液滴吐出法でソース配線及びドレイン配線を形成し、

前記ソース配線及び前記ドレイン配線をマスクとして、前記一導電型の不純物を含有する半導体層をエッチングし、

前記ゲート絶縁層は少なくとも、第1の窒化珪素層、樹脂層、及び第2の窒化珪素層を

10

20

30

40

50

有することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記ゲート電極は、銀、金、又は銅を含む材料を吐出して形成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 5 のいずれか一項において、

前記セミアモルファス半導体層は、酸素濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ 以下であることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至請求項 5 のいずれか一項において、

前記セミアモルファス半導体層は、酸素濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以下であることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至請求項 5 のいずれか一項において、

前記セミアモルファス半導体層は、結晶粒が分散した非晶質半導体層であることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 1 乃至請求項 5 のいずれか一項において、

前記セミアモルファス半導体層は、 $0.5 \sim 20 \text{ nm}$ の結晶粒が分散した非晶質半導体層であることを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 1 乃至請求項 5 のいずれか一項において、

前記セミアモルファス半導体層は、珪化物気体を用いてプラズマ CVD 法により形成することを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 1 乃至請求項 5 のいずれか一項において、

前記セミアモルファス半導体層は、珪化物気体を希ガス元素で希釈した気体を用いてプラズマ CVD 法により形成することを特徴とする半導体装置の作製方法。

【請求項 13】

請求項 12 において、

前記希ガス元素は、水素、ヘリウム、アルゴン、クリプトン及びネオンから選ばれた 1 種又は複数種であることを特徴とする半導体装置の作製方法。

【請求項 14】

請求項 1 乃至請求項 5 のいずれか一項において、

前記セミアモルファス半導体層は、珪化物気体に炭化物気体を混入させた気体を用いてプラズマ CVD 法により形成することを特徴とする半導体装置の作製方法。

【請求項 15】

請求項 14 において、

前記炭化物気体は、 CH_4 又は C_2H_6 であることを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 1 乃至請求項 5 のいずれか一項において、

前記セミアモルファス半導体層は、珪化物気体にゲルマニウム化気体を混入させた気体を用いてプラズマ CVD 法により形成することを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 16 において、

前記ゲルマニウム化気体は、 GeH_4 又は GeF_4 であることを特徴とする半導体装置の作製方法。

【請求項 18】

10

20

30

40

50

請求項 11 乃至請求項 17 のいずれか一項において、

前記珪化物気体は、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、又は SiF_4 であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液滴吐出法を用いた表示装置の作製方法、配線基板の作製方法及び半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、インクジェット法に代表される液滴吐出法を用いたパターン形成は、フラットパネルディスプレイの分野に応用され、活発に開発が進められている。液滴吐出法は、直接描画するためにマスクが不要、大型基板への適用が容易、材料の利用効率が高い等の多くの利点を有するため、EL層やカラーフィルタ、プラズマディスプレイの電極等の作製に応用されている（例えば、非特許文献1参照。）。10

【0003】

液滴吐出法で行う配線の形成は、ノズルの先端から組成物が吐出される際に電荷の偏りが生じて、吐出する組成物が帯電する現象が生じ、この現象に起因して、組成物が付着する薄膜が損傷したり破壊したりすることがある。また、粒子をナノオーダーにした組成物を用いて行うが、上記の組成物によって形成された薄膜は、下層の薄膜との密着性が低い20 ためにその剥離性が高い。従って、半導体プロセスに必須である洗浄工程等のウェット工程を経ると、形成されたパターンが剥離してしまうことがある。

【0004】

一方、表示機能を有する半導体装置は、その価格が低下する傾向にあり、採算を維持できる製造ラインとして、第五世代以降のガラス基板のライン検討が進み、具体的には、第四世代（ 680×880 、 730×920 ）、第五世代（ 1000×1200 ）以降にまで変遷が進行している。

【非特許文献1】T. Shimoda、Ink-jet Technology for Fabrication Processes of Flat Panel Displays、SID 03 DIGEST、p1178 - p1181 30

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記の実情を鑑み、本発明は、液滴吐出法で形成する組成物が帯電する現象に起因した静電破壊を防止する表示装置の作製方法の提供を課題とする。また、密着性、耐剥離性を向上させ、なおかつ組成物が付着する薄膜の損傷や破壊を防止する配線基板の作製方法の提供を課題とする。さらに本発明は、一辺が一メートル以上の大型基板に容易に適用することができる半導体装置の作製方法の提供を課題とする。

【課題を解決するための手段】

【0006】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。40

【0007】

本発明の表示装置の作製方法は、基板上に半導体素子を複数含む画素領域及び保護回路を形成するステップ、前記基板上又は前記保護回路と接続されたテープにドライバICを実装するステップを有し、前記半導体素子のチャンネル部として、非晶質半導体又はセミアモルファス半導体を形成する点を特徴とする。上記特徴により、結晶化の工程が必要ないため、基板の一辺が一メートル以上の大型基板への適用が容易であり、従って、10インチから50インチ程度の大型の表示画面を有する電子機器への適用が有用である。また、前記半導体素子が含む導電層は、導電性材料を含む組成物を吐出して形成する点を特徴とする。上記特徴により、材料の利用効率の向上、作製時間の短縮及び作製費用の低減を実50

現する。さらに、前記保護回路として、高電位電源に接続された第1の電源線と低電位電源に接続された第2の電源線との間に配置されたクランプ回路を形成する点を特徴とする。上記特徴により、液滴吐出法で形成する組成物が帯電する現象に起因した静電破壊を防止する。

【0008】

本発明の配線基板の作製方法は、プラズマCVD法により、珪素の酸化物又は窒化物からなる下地層を形成するステップ、前記下地層上に、導電性材料を含む組成物を吐出して、導電層を形成するステップを有することを特徴とする。下地層を形成したままだと、後に作成する素子や配線がショートする場合には、前記導電層をマスクとして、前記下地層をエッチングするステップを有することを特徴とする。また、前記組成物は、銀、金、銅又はインジウム錫酸化物を含むことを特徴とする。

10

【0009】

本発明は、非晶質半導体層（アモルファスシリコン、 $a-Si$ ）を用いた、半導体装置の作製方法を提供することを特徴とする。非晶質半導体層は、プラズマCVD法やスパッタリング法等の公知の方法により作製する。

【0010】

また本発明は、非晶質半導体の中に結晶粒が分散するように存在しているセミアモルファス半導体層（以下SASと表記）を用いた、半導体装置の作製方法を提供することを特徴とする。SASを用いたトランジスタは、その移動度が $2 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体層を用いたトランジスタの $2 \sim 20$ 倍の電界効果移動度を有する。従って、駆動回路の一部または全体を、画素部と同じ基板上に一体形成することができる。つまり、システムオンパネル化を実現した表示装置の作製方法を提供することができる。

20

【0011】

SASは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体層である。この半導体層は、自由エネルギー的に安定な第3の状態を有する半導体層であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を $0.5 \sim 20 \text{ nm}$ として非単結晶半導体層中に分散させて存在せしめることが可能である。また、未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なSASが得られる。このようなSASに関する記述は、例えば、特許3065528号公報で開示されている。

30

【0012】

また、SASは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いN型の電気伝導性を示す。これは、SAS中に含まれる不純物によるもので、代表的には酸素がN型の伝導性を付与するものとして考えられている。SASに含まれる酸素は、成膜時の高周波電力密度に応じても変化する。本発明においては、SASの酸素濃度は $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下とすることが望ましい。勿論、この酸素の全てがドナーとして機能する訳ではないので、導電型を制御するには、それに応じた量の不純物元素を添加することとなる。

40

【0013】

ここで、トランジスタのチャネル形成領域を設けるSASに対しては、P型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。P型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を $1 \text{ ppm} \sim 1000 \text{ ppm}$ の割合で珪化物気体に混入させると良い。そしてボロンの濃度を $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms} / \text{cm}^3$ とすると良い。

【0014】

上記のSASは、多結晶半導体層と異なり、SASとして直接基板上に成膜することができる。具体的には、 SiH_4 を H_2 で流量比 $2 \sim 1000$ 倍、好ましくは $10 \sim 100$ 倍

50

に希釈して、プラズマCVD法を用いて成膜することができる。上記方法を用いて作製されたSASは、0.5nm~20nmの結晶粒を非晶質半導体層中に含む微結晶半導体層も含んでいる。よって、多結晶半導体層を用いる場合と異なり、半導体層の成膜後に結晶化の工程を設ける必要がない。そして、レーザ光を用いた結晶化のように、レーザビームの長軸の長さに限界があるために、基板の寸法に制限が生じるようなことがない。つまり、第5世代以降の基板上にも簡単に作製することができる。また、トランジスタの作製における工程数を削減することができ、その分、表示装置の歩留まりを高め、コストを抑えることができる。

なお本発明では、SASは、少なくともチャネル形成領域に用いていけば良い。またチャネル形成領域は、その膜厚方向において全てセミアモルファス半導体層である必要はなく、少なくとも一部にセミアモルファス半導体層を含んでいけば良い。

10

【0015】

非晶質半導体層又はセミアモルファス半導体を用いた半導体装置の作製方法を提供する本発明は、結晶化の工程が必要ないため、基板の一边がメートル以上の大型基板への適用が容易であり、従って、10インチから50インチ程度の大型の表示画面を有する電子機器への適用が有用である。

【0016】

本発明の半導体装置の作製方法は、絶縁表面を有する基板上に、液滴吐出法でゲート電極を形成する第1の段階と、前記ゲート電極上に、ゲート絶縁層、半導体層、絶縁層を積層形成する第2の段階と、前記ゲート電極と重なる位置に、液滴吐出法で第1のマスクを形成する第3の段階と、前記第1のマスクにより、前記絶縁層をエッチングしてチャネル保護層を形成する第4の段階と、一導電型の不純物を含有する半導体層を形成する第5の段階と、前記ゲート電極を含む領域に、液滴吐出法で第2のマスクを形成する第6の段階と、前記第2のマスクにより、前記一導電型の不純物を含有する半導体層と、前記半導体層とをエッチングする第7の段階と、液滴吐出法でソース及びドレイン配線を形成する第8の段階と、前記ソース及びドレイン配線により、前記チャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第9の段階の各段階を含むことを特徴とする。

20

【0017】

本発明の半導体装置の作製方法は、絶縁表面を有する基板上に、液滴吐出法でゲート電極と、接続配線を形成する第1の段階と、前記ゲート電極上に、ゲート絶縁層、半導体層、絶縁層を積層形成する第2の段階と、前記ゲート電極と重なる位置に、液滴吐出法で第1のマスクを形成する第3の段階と、前記第1のマスクにより、前記絶縁層をエッチングしてチャネル保護層を形成する第4の段階と、一導電型の不純物を含有する半導体層を形成する第5の段階と、前記ゲート電極を含む領域に、液滴吐出法で第2のマスクを形成する第6の段階と、前記一導電型の不純物を含有する半導体層と、前記半導体層とをエッチングする第7の段階と、前記ゲート絶縁層を選択的にエッチングして、前記接続配線を露出させる第8の段階と、液滴吐出法で、ソース及びドレイン配線を形成すると共に、少なくとも一方の配線を前記接続配線と接続する第9の段階と、前記ソース及びドレイン配線により、前記チャネル保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第10の段階の各段階を含むことを特徴とする。

30

40

【発明の効果】

【0018】

上記構成を有する本発明は、液滴吐出法で形成する組成物が帯電する現象に起因した静電破壊を防止する表示装置の作製方法を提供することができる。密着性、耐剥離性を向上させ、なおかつ組成物が付着する薄膜の損傷や破壊を防止する配線基板の作製方法を提供することができる。一边がメートル以上の大型基板に容易に適用することができる半導体装置の作製方法を提供することができる。

【発明を実施するための最良の形態】

【0019】

50

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

(実施の形態１)

【００２０】

本発明の実施の形態について、図面を用いて説明する。本発明の表示装置の作製方法は、基板６１１０上に、半導体素子を複数含む画素領域（表示領域ともよばれる）６１０２及び保護回路６１０３、６１０４を形成するステップ、保護回路６１０３、６１０４に接
10
続されたテープにドライバＩＣ６１０７、６１０８を実装するステップを有する（図３参照）。なお、図示する表示装置では、ＴＡＢ方式が採用されているが、ＣＯＧ方式を採用してもよく、その場合には、基板６１１０上にドライバＩＣ６１０７、６１０８を実装するステップを有する。画素領域６１０２には、複数の画素６１０１がマトリクス状に配置されるように形成する。また、画素領域６１０２と保護回路６１０３、６１０４には複数の半導体素子を形成する。

【００２１】

なお、本実施の形態において説明する本発明の表示装置は、複数の半導体素子を含むため半導体装置ともよぶ。

【００２２】

本発明は、半導体素子のチャネル部として、非晶質半導体又はセミアモルファス半導体を形成する点を特徴とする。上記特徴により、結晶化の工程が必要ないため、基板の一边がメートル以上の大型基板への適用が容易であり、従って、１０インチから５０インチ程度の大型の表示画面を有する電子機器への適用が有用である。また本発明は、前記半導体素子が含むゲート電極やソース・ドレイン配線等の導電層として、液滴吐出法により、導電性材料を含む組成物を吐出して形成することを特徴とする。上記特徴により、材料の利用効率の向上、作製時間の短縮及び作製費用の低減を実現する。なお、半導体素子が含む導電層に限らず、該半導体素子の活性層をパターンニングする際のマスクや、該半導体素子に電氣的に接続される表示素子の両電極等も、全て液滴吐出法により形成してもよい。
30
さらに本発明は、前記保護回路６１０３、６１０４として、高電位電源（以下ＶＤＤと表記）に接続された第１の電源線と、低電位電源（以下ＶＳＳと表記）に接続された第２の電源線との間に配置されたクランプ回路を形成することを特徴とする。上記特徴により、液滴吐出法で形成する組成物が帯電する現象に起因した静電破壊を防止する。

【００２３】

なお、半導体素子のチャネル部として、セミアモルファス半導体を形成する場合、走査線側の駆動回路も基板６１１０上に作り込み、信号線側にのみドライバＩＣ６１０７を実装するとよい。これは、セミアモルファス半導体を活性層としたトランジスタは、その特性が非晶質半導体層を活性層としたトランジスタよりも良好であり、走査線側の駆動回路ならば構成可能であるからである。また、上記とは別の構成として、半導体素子のチャネル部として、セミアモルファス半導体を用いる場合、走査線側及び信号線側の駆動回路の一部を同一基板上に作り込み、一部をドライバＩＣで代用した構成でもよい。つまり、ドライバＩＣを実装するにあたり、その構成は様々であり、本発明はいずれの構成を用いてもよい。
40

【００２４】

保護回路６１０３、６１０４は、画素領域６１０２とドライバＩＣ６１０７、６１０８の間にのみ形成しているが、画素領域６１０２の内部、画素６１０１の内部に形成してもよい。また、基板６１１０上に走査線駆動回路を作り込む場合は、走査線駆動回路の内部に形成してもよいし、走査線駆動回路と画素領域６１０２の間に形成してもよい。

【００２５】

続いて、保護回路６１０３、６１０４の構成について説明する。上述したように、前記
50

保護回路 6103、6104 は、VDD に接続された第 1 の電源線 6601 と、VSS に接続された第 2 の電源線 6602 の間にクランプ回路 6604 を有することを特徴とする（図 1（A）参照）。また、両電源線 6601、6602 の間には、画素領域 6102 等に相当する回路 6603、直列に接続されたダイオード 6605、6606 が設けられる。回路 6603 には、信号線 6607a を介して、信号が入力される。クランプ回路 6604 を配置する本発明は、静電気が発生しても、電流が流れる経路を増やすことができるため、開放されたノードの電位の急激な変動を防止して、回路 6603 の損傷や破壊を防止する。クランプ回路 6604 は、薄膜トランジスタ、容量素子及び抵抗素子から選択された一種又は複数種によって構成される。以下には、その構成について説明する。

【0026】

まず、クランプ回路 6604 として、ゲート電極とソース電極が接続されたトランジスタ 6607b を用いる場合について説明する（図 1（B）参照）。通常の状態では、トランジスタ 6607b は、そのゲート・ソース間電圧がゼロであるため、オフ状態にある。一方、静電気が発生して電荷が加えられると、トランジスタ 6607b はブレイクダウンして、オン状態になり、そのソース・ドレイン間に電流が流れる。このように、静電気が発生しても、クランプ回路 6604 の配置によって、電流が流れる経路が増えるため、電位の急激な変動を防止して、回路 6603 の損傷や破壊を防止する。図 1（C）は、クランプ回路 6604 として用いるトランジスタ 6607b のレイアウトであり、図 1（D）はレイアウトの A - A' における断面構造を示す。なお、トランジスタ 6607b の詳しい作製方法については、実施の形態 3 において説明するので、そちらを参考にするとい

【0027】

次に、クランプ回路 6604 として、トランジスタ 6612、容量素子 6613 及び抵抗素子 6614 を用いる場合について説明する（図 2（A）参照）。通常の状態では、トランジスタ 6612 は、ゲート電極とソース電極の間に抵抗素子 6614 が接続されているため、オフ状態にある。一方、静電気が発生して電荷が加えられると、容量素子 6613 と抵抗素子 6614 に電流が流れる。そうすると、容量素子 6613 と抵抗素子 6614 の接点にゲート電極が接続されたトランジスタ 6612 はオン状態になって、そのソース・ドレイン間に電流が流れる。このように、静電気が発生しても、クランプ回路 6604 の配置によって、電流が流れる経路が増えるため、電位の急激な変動を防止して、回路 6603 の損傷や破壊を防止する。図 2（B）は、クランプ回路 6604 として用いるトランジスタ 6612、容量素子 6613 及び抵抗素子 6614 のレイアウトであり、図 2（C）はレイアウトの A - A'、B - B' における断面構造を示す。なお、トランジスタ 6612 の詳しい作製方法については、実施の形態 3 において説明するのでそちらを参考にするとい

図 2（C）では、抵抗素子 6614 を構成する導電層は、表示素子の画素電極と同じレイヤーで形成しているが、トランジスタ 6612 のゲート電極と同じレイヤーの導電層で形成してもよい。その場合、所望の抵抗値になるように、用いるノズルの吐出口を変えて、抵抗素子 6614 を構成する導電層のみ細く形成したり、ノズル又は基板の走査を工夫することで、抵抗素子 6614 を構成する導電層のみ、凹凸を有する形状に形成したりするとい

【0028】

最後に、クランプ回路 6604 として、トランジスタ群 6608 を用いる場合について説明する（図 2（D）参照）。トランジスタ群 6608 は、n 個のトランジスタから構成され、各々のトランジスタのゲート電極とドレイン電極は接続されている。n は $(VDD - VSS) < (V_{th} * n)$ を満足する自然数であり、 V_{th} は、トランジスタ群 6608 を構成するトランジスタのしきい値電圧である。なお、トランジスタ群 6608 を構成する複数のトランジスタの各々のしきい値電圧が大幅に異なる場合には、 V_{th} は複数のトランジスタのしきい値電圧の平均値とするとい。トランジスタ群 6608 は、通常の状態では非導通状態にある。一方、静電気が発生して、 $(VDD - VSS) > (V_{th} *$

n)を満たすようになると、トランジスタ群6608は導通状態になり、電流が流れる。このように、静電気が発生しても、クランプ回路6604の配置によって、電流が流れる経路が増えるため、電位の急激な変動を防止して、回路6603の損傷や破壊を防止する。上記のいずれかの構成を有する本発明は、液滴吐出法で形成する組成物が帯電する現象に起因した静電破壊を防止する表示装置の作製方法を提供することができる。

(実施の形態2)

【0029】

本発明の実施の形態について、図4を用いて説明する。バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等の基板10上に、下地層11を形成する(図4(A)参照)。下地層11は、CVD法により、半導体層と絶縁層の一方又は両方を単層又は積層して形成する。半導体層としては珪素からなる層を形成し、絶縁層としては珪素の酸化物又は窒化物からなる層を形成する。本発明は下地層11をCVD法により形成することを特徴とする。CVD法において用いるCVD装置は、スパッタリング装置と比較して、ターゲット交換の必要が無く、装置の管理が簡単であるという点、また、スパッタリング装置は、セルフクリーニングができない反面、CVD装置は、 NF_3 などのガスを供給すれば、チャンバ内のクリーニングが簡単に行えるため、メンテナンス作業が少なく済むという優位点を有する。

【0030】

続いて、下地層11上に、導電性材料を含む組成物を吐出して、導電層13を形成する(図4(B)参照)。導電層13の形成は、液滴吐出手段14を用いて行う。液滴吐出手段14とは、組成物の吐出口を有するノズルや、1つ又は複数のノズルを具備したヘッド等の液滴を吐出する手段を有するものの総称とする。液滴吐出法において用いるノズルの径は、 $0.02 \sim 100 \mu\text{m}$ (好適には $30 \mu\text{m}$ 以下)に設定し、該ノズルから吐出される組成物の吐出量は $0.001 \text{ pl} \sim 100 \text{ pl}$ (好適には 10 pl 以下)に設定する。液滴吐出法には、オンデマンド型とコンティニュアス型の2つの方式があるが、どちらの方式を用いてもよい。さらに液滴吐出法において用いるノズルには、圧電体の電圧印加により変形する性質を利用した圧電方式、ノズル内に設けられたヒータにより組成物を沸騰させ該組成物を吐出する加熱方式があるが、どちらの方式を用いてもよい。

【0031】

被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、 $0.1 \sim 3 \text{ mm}$ (好ましくは 1 mm 以下)程度に設定する。ノズルと被処理物は、その相対的な距離を保ちながら、ノズル及び被処理物の一方が移動することで、所望のパターンを描画する。なお、ノズル及び被処理物は進行方向に対して両方とも平行でなくてもよく、ノズル及び被処理物の一方を進行方向に対して任意の角度に回転させてもよい。また、組成物を吐出する前に、被処理物の表面にプラズマ処理を施してもよい。これは、プラズマ処理を施すと、被処理物の表面が親水性になったり、疎液性になったりすることを活用するためである。例えば、純水に対しては親水性になり、アルコールを溶媒したペーストに対しては疎液性になる。

【0032】

吐出口から吐出する組成物は、導電性材料を溶媒に溶解又は分散させたものを用いる。導電性材料とは、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属、透光性を有するインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITO等に相当する。但し、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を用いることが好ましく、さらに好ましくは、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整し、表面張力は 40 mN/m 以下、粘度は $50 \text{ mPa} \cdot \text{S}$ 以下、好ましくは $5 \sim 20 \text{ mPa} \cdot \text{S}$ に設定する。

【 0 0 3 3 】

組成物を吐出する工程は、減圧下で行うことが好適であり、これは、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略又は短くすることができるためである。組成物の吐出後は、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉等により、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100度で3分間、焼成は200～350度で15分間～120分間で行うもので、その目的、温度と時間が異なるものである。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、100～800度（好ましくは200～350度）とする。本工程により、組成物中の溶媒を揮発させたり、分散剤を除去したりして、周囲の樹脂が硬化収縮させ、融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行い、特に制約はないが、好ましくは、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行う。

10

【 0 0 3 4 】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ等が挙げられ、後者の固体レーザとしては、Cr、Nd等がドーピングされたYAG、YVO₄等の結晶を使ったレーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせたハイブリッドのレーザ照射方法を用いてもよい。但し、基板の耐熱性に依っては、レーザ光の照射による加熱処理は、数マイクロ秒から数十秒の間で瞬間に行うとよい。瞬間熱アニール(RTA)は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数マイクロ秒から数分の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。つまり、プラスチック基板等の耐熱性が弱い基板にも影響を与えない。

20

【 0 0 3 5 】

液滴吐出手段14から組成物を吐出する際には、電荷の偏りが生じるために、組成物が正に帯電する傾向があり、この帯電した電荷によって、下層の薄膜の損傷や破壊が生じる可能性がある。しかしながら、導電層13の形成前に下地層11を形成する本発明は、そのような損傷や破壊を防止する。

30

【 0 0 3 6 】

上記工程を経て、下地層11と導電層13が完成する。なお、下地層11として半導体層を形成した場合、そのまま後で作製する素子や配線がショートする可能性がある。そのような可能性がある場合には、導電層13をマスクとして、下地層11をエッチングして、下地層17を形成する(図4(C)参照)。

【 0 0 3 7 】

上記のように形成された導電層は配線として用いてもよいし、導電層13をゲート電極、下地層11をゲート絶縁膜として、薄膜トランジスタの一構成要素として用いてもよい。また、図示しないが、上記の工程を経て完成した導電層を覆うように保護膜を形成してもよい。このような保護膜は、バリア性を有する材料を用いて形成し、具体的には、緻密な膜質を有する窒化珪素膜を形成するとよい。

40

【 0 0 3 8 】

上記のように、液滴吐出法で導電層13を形成する前に、下地層11を形成する本発明は、密着性、耐剥離性を向上させ、なおかつ下層の薄膜の損傷や破壊を防止した配線基板の作製方法を提供することができる。

(実施の形態3)

【 0 0 3 9 】

本発明の実施の形態として、チャネル保護型の薄膜トランジスタの作製方法、前記薄膜トランジスタを用いた表示装置の作製方法について、図面を用いて説明する。ガラス基板

50

や石英基板等の基板 901 上に、下地層 902 を形成する（図 5（A）参照）。下地層 902 は、CVD 法により、半導体層と絶縁層の一方又は両方を単層又は積層して形成する。半導体層は、珪化物気体を用いて、珪素からなる層を形成する。絶縁層は、珪化物気体と酸素又は窒素を用いて、珪素の酸化物又は窒化物からなる層を形成するか、珪化物気体を用いて、珪素からなる層を形成後に、酸化処理又は窒化処理を行って形成する。ここでは、下地層 902 として珪化物気体を用いて、珪素からなる層を形成する。続いて、下地層 902 上に、導電性材料を含む組成物を吐出して、導電体層 903 ~ 905 を形成する。

【0040】

次に、導電体層 903 ~ 905 をマスクとして、下地層 902 をエッチングして、下地層 906 ~ 908 を形成する（図 5（B）参照）。実施の形態 2 において説明したように、下地層 902 として絶縁層を形成した場合には、本工程を省略してもよい。

【0041】

次に、プラズマ CVD 法、スパッタリング法、グロー放電分解法等の公知の方法を用いて、ゲート絶縁膜として機能する絶縁層を単層又は積層構造で形成する（図 5（C）参照）。ここでは、窒化珪素からなる絶縁層 909、酸化珪素からなる絶縁層 910、窒化珪素からなる絶縁層 911、樹脂材料や化合物材料等からなる絶縁層 912、窒化珪素からなる絶縁層 913 の積層体がゲート絶縁膜に相当する。上記構成により、所望の絶縁耐圧が得られる程度にゲート絶縁膜を厚く形成することができ、さらにトランジスタを構成する活性層とゲート電極間の容量を適当な値にすることができる。低い成膜温度でゲートリーク電流の少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。

導電体層 903 ~ 905 に接する絶縁層 909 は、バリア性が良好な窒化珪素層を用いることが好ましく、そうすると、導電体層 903 ~ 905 からの不純物元素の侵入を防止することができる。窒化珪素層は、スパッタリング法やグロー放電分解法で形成可能であるが、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜であることが要求される。この目的において、珪素をターゲットとして、窒素とアルゴンなどの希ガス元素を混合させたスパッタガスで高周波スパッタリングされた窒化珪素膜で、膜中の希ガス元素を含ませることにより緻密化が促進されることとなる。また、グロー放電分解法においても、珪化物気体をアルゴンなどの不活性元素で 100 倍 ~ 500 倍に希釈して形成された窒化珪素膜は、100 度以下の低温において形成されたとしても膜質は緻密である。なお、必要があれば絶縁膜をさらに積層して形成してもよい。

【0042】

絶縁層 912 は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等、透過性を有するポリイミド樹脂等の樹脂材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む材料を用いて、スピンコート法やディップ法、液滴吐出法により形成する。好ましくは液滴吐出法で形成し、そうすると、他の方法と比較して、材料の利用効率が格段に向上する。絶縁層 912 として有機樹脂を用いる場合、図示するように、上層にバリア性が良好な窒化珪素からなる絶縁層 913 を形成すると、絶縁層 912 からの脱ガスを防止することができる。

【0043】

続いて、絶縁層 913 上に、半導体層 914 を形成する。半導体層 914 は、非晶質構造又は非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有する。非晶質半導体層（アモルファスシリコン、a-Si）は、プラズマ CVD 法、スパッタリング法等の公知の方法により形成する。一方、非晶質と結晶構造の中間的な構造を有する半導体層は、自由エネルギー的に安定な第 3 の状態を有する半導体層であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を 0.5 ~ 20 nm として非単結晶半導体層中に分散させて存在せしめることが可能である。また、未結合手（ダングリングボンド

10

20

30

40

50

)の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。ここでは、このような半導体層をセミアモルファス半導体層(以下、SASと表記)と呼ぶ。SASは、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増す。

SASは珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。これら珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることでSASの形成を容易なものとすることができる。希釈率は10倍~1000倍の範囲で珪化物気体を希釈する。また、 Si_2H_6 と GeF_4 のガス流量比を Si_2H_6 :
 $\text{GeF}_4 = 20 \sim 40 : 0.9$ の範囲の条件下で形成すると、Siの組成比が80%以上
である薄膜を得ることができる。勿論、グロー放電分解による被膜の反応生成は減圧下で
行うが、圧力は概略0.1Pa~133Paの範囲で行えば良い。グロー放電を形成する
ための電源周波数は1MHz~120MHz、好ましくは13MHz~60MHzである
。高周波電力は適宜設定すれば良い。基板加熱温度は300度以下が好ましく、100~
200度の基板加熱温度が推奨される。また、珪化物気体中に、 CH_4 、 C_2H_6 などの炭
化物気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体を混入させて、エネルギーバンド
幅を1.5~2.4eV、若しくは0.9~1.1eVに調節しても良い。また、SAS
は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いN型の電気伝導
性を示す。これは、SAS中に含まれる不純物によるもので、代表的には酸素がN型の伝
導性を付与するものとして考えられている。SASに含まれる酸素は、成膜時の高周波電力
密度に応じて変化する。次に、半導体層914上に、プラズマCVD法等の公知の方法
で、珪素の酸化物又は窒化物からなる絶縁層915を形成する。

以上、絶縁層909から絶縁層915までは大気に触れさせることなく連続して形成
することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染され
ることなく各積層界面を形成することができるので、トランジスタの特性のばらつきを低
減することができる。

【0044】

次に、絶縁層915上に、組成物を選択的に吐出して、マスクとなる絶縁層916を形
成する。このときに用いる組成物材料には、樹脂材料や化合物材料、感光剤を含む市販の
レジスト材料を用いる。レジスト材料は、例えば、代表的なポジ型レジストである、ノボ
ラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹
脂、ジフェニルシランジオール及び酸発生剤などを用いる。いずれの材料を用いるとして
も、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜
調整する。

【0045】

次に、絶縁層916をマスクとして、絶縁層915をエッチングして、チャネル保護層
として機能する絶縁層917を形成する(図6(A)参照)。続いて、絶縁層916を除
去後、半導体層914及び絶縁層917上に、一導電型が付与された半導体層938を形
成する。一導電型が付与された半導体層938は、シランガスとフォスフィンガスを用い
て形成したり、CVD法により半導体層を形成後に、ドーピング法により不純物元素を添
加して形成したりする。次に、半導体層938上に、組成物を選択的に吐出して、絶縁層
918を形成する。次に、絶縁層918をマスクとして、半導体層914及び一導電型が
付与された半導体層938を同時にエッチングして、半導体層919と一導電型を有する
半導体層920を形成する(図6(B)参照)。続いて、絶縁層918を除去後、導電性
材料を含む組成物を選択的に吐出して、ソース配線及びドレイン配線として機能する導電
層921、922を形成する。次に、導電層921、922をマスクとして、一導電型が
付与された半導体層920をエッチングして、半導体層923、924を形成する(図6
(C)参照)。

【0046】

続いて、全面に絶縁層 925 を形成する（図 7（A）参照）。その後、導電体層 903、922 が露出するように、開口部 926、927 を形成する（図 7（B）参照）。開口部 926、927 は、大気圧放電によるエッチングや液滴吐出法、通常のリソグラフィ法を用いて形成する。次に、導電層 922 と電氣的に接続するように、導電性材料を含む組成物を選択的に吐出して、画素電極に相当する導電層 928 を形成する（図 7（C）参照）。なお図 4 では、導電層 928 を透光性材料で形成し、透過型の液晶表示装置を作製する例を示すが、光の反射率が高い導電材料を用いることで、反射型の液晶表示装置を作製してもよい。続いて、導電層 928 を覆うように、印刷法、スピンコート法、液滴吐出法等の方法により、配向膜として機能する絶縁層 929 を形成する。絶縁層 929 は、スクリーン印刷法や液滴吐出法を用いれば、図示するように、選択的に形成することができる。

10

【0047】

次に、シール材 939 を形成する（図 8 参照）。その後、配向膜として機能する絶縁層 940、対向電極として機能する導電層 941 が設けられた基板 942 と、基板 901 とをシール材 939 により貼り合わせ、その後、液晶 943 を注入する。なお、シール材 939 にはフィラーが混入されていても良く、また基板 942 には、カラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。さらに、上述していないが、配向膜のラビング処理やスペーサの散布処理、偏光板を貼る処理等の適宜必要な処理は、必要なタイミングで行う。液晶 943 は、毛細管現象を利用した液晶注入だけでなく、ディスペンサ式（滴下式）を用いて形成してもよい。最後に、異方性導電層を介して、導電体層 903 と電氣的に接続するように、接続端子（接続フィルム、接続テープ、フィルム、テープともよぶ）944 を貼り付ける。接続端子 944 は、外部からの信号や電位を伝達する役目を担う。そうすると、スイッチング用トランジスタ 632、容量素子 633 を含む表示装置が完成する。なお、図 8 に示す断面構造は、図 10 に示すレイアウト図の A - A' における断面構造に相当する。

20

【0048】

上記の作製工程では、チャネル保護層として機能する絶縁層 925 を全面に形成しているが、絶縁層 925 を形成せずに、ソース・ドレイン配線として機能する導電層 922 に、画素電極として機能する導電層を直接形成してもよい。以下には、絶縁層 925 を形成しない工程について説明する。

30

【0049】

ソース・ドレイン配線として機能する導電層 922 に接するように、導電性材料を含む組成物を吐出して、画素電極として機能する導電層 930 を形成する（図 9（A）参照）。次に、印刷法や液滴吐出法等により、配向膜として機能する絶縁層 931 を形成する。続いて、シール材 932 を形成する（図 9（B）参照）。その後、配向膜として機能する絶縁層 933、対向電極として機能する導電層 934 が設けられた基板 935 と、基板 901 とをシール材 932 により貼り合わせ、その後、液晶 936 を注入する。なお、上述したように、液晶は、ディスペンサ方式等の他の方法を用いて形成してもよい。

【0050】

次に、大気圧又は大気圧近傍下で、エッチング処理により領域 945 の絶縁層 909 ~ 913 を選択的に除去する（図 9（C）参照）。この処理は、酸素ガスと、水素、 CF_4 、 NF_3 、 H_2O 、 CHF_3 等から選択された一つ又は複数をを用いて行う。本工程では、静電気による損傷や破壊を防止するために、封止後に行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。続いて、異方性導電層を介して、導電体層 903 と電氣的に接続するように、接続端子 944 を設ける。上記工程を経て、スイッチング用トランジスタ 632、容量素子 633 を含む表示装置が完成する。なお、図 9（C）に示す断面構造は、図 10 に示すレイアウト図の A - A' における断面構造に相当する。

40

【0051】

上記の作製工程では、導電層の形成や半導体層のパターニングに用いるマスクを液滴吐

50

出法により形成する点を特徴とし、上記特徴により、工程の簡略化による作製時間の短縮や作製費用の低減を実現する。また、結晶化の工程が必要ないため、基板の一辺がメートル以上の大型基板への適用が容易であり、従って、１０インチから５０インチ程度の大型の表示画面を有する電子機器への適用が有用である。

(実施の形態４)

【００５２】

本発明の実施の形態として、チャネルエッチ型の薄膜トランジスタの作製方法、前記薄膜トランジスタを用いた表示装置の作製方法について図面を用いて説明する。ガラス基板、石英基板等の基板９５１上に、全面に下地層を形成する（図１１（Ａ）参照）。下地層は、ＣＶＤ法により、半導体層と絶縁層の一方又は両方を単層又は積層して形成する。続いて、下地層上に、導電性材料を含む組成物を吐出して、ゲート電極、又は接続配線として機能する導電体層９５６～９５８、９９６、９９７を形成する。その後、導電体層９５６～９５８、９９６、９９７をマスクとして、下地層をエッチングして、下地層９５２～９５４、９９４、９９５を形成する。なお、実施の形態２において説明したように、下地層として絶縁層を形成した場合には、本工程を省略してもよい。次に、プラズマＣＶＤ法等の公知の方法を用いて、ゲート絶縁膜として機能する絶縁層を単層又は積層構造で形成する。ここでは、窒化珪素からなる絶縁層９６０、酸化珪素からなる絶縁層９６１、窒化珪素からなる絶縁層９６２、樹脂材料や化合物材料等からなる絶縁層９６３、窒化珪素からなる絶縁層９６４の積層体がゲート絶縁膜に相当する。

【００５３】

続いて、絶縁層９６４上に、半導体層９６５を形成する。半導体層９６５は、非晶質構造又は非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有する。続いて、半導体層９６５上に、一導電型が付与された半導体層９６６を形成する。一導電型が付与された半導体層９６６は、シランガスとフォスフィンガスを用いて形成したり、ＣＶＤ法により半導体層を形成後に、ドーピング法により不純物元素を添加して形成したりする。以上、絶縁層９６０から半導体層９６６までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタの特性のばらつきを低減することができる。次に、半導体層９６６上に、組成物を選択的に吐出して、マスクとして機能する絶縁層９６７、９９１を形成する。

【００５４】

絶縁層９６７、９９１をマスクとして、半導体層９６５、９６６を同時にエッチングして、半導体層９６８、９６９と一導電型が付与された半導体層９７０、９７１を形成する（図１１（Ｂ）参照）。次に、絶縁層９６７、９９１を除去後、大気圧放電を用いたエッチングや、液滴吐出法、フォトリソグラフィ法を用いて、導電体層９５６、９５８が露出するように、開口部９７２、９７３を形成する。次に、導電性材料を含む組成物を吐出して、ソース・ドレイン配線として機能する導電層９７４～９７７を形成する（図１１（Ｃ）参照）。この際、導電層９７５は、開口部９７３が充填するように吐出する。

【００５５】

次に、導電層９７４～９７７をマスクとして、一導電型が付与された半導体層９７０、９７１をエッチングして、半導体層９７８～９８１を形成する（図１２（Ａ）参照）。この際、図示するように、少しエッチングされた半導体層９８２、９８３が形成される。次に、導電性材料を含む組成物を選択的に吐出して、画素電極として機能する導電体層９８４を形成する（図１２（Ｂ）参照）。次に、スピンコート法やディップ法を用いて、全面に絶縁層９８７を形成後、フォトリソグラフィ法や液滴吐出法等の公知の方法により開口部９９２、９９３を形成する。絶縁層９８７は、土手として機能するものであり、珪素を含む材料、アクリル等の有機材料、シロキサンポリマー等の化合物材料を用いて形成する。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。なお、有機材料を用いる場合には、脱ガス等の防止から、Ｔｉ等の金属膜、Ｔ

i N等の窒化膜、T i S i x等のシリサイド材料を用いて、単層又は積層構造のバリア膜を形成する。このバリア膜は、密着性を高め、埋め込み性を付与し、さらにコンタクト抵抗の低減と安定化をもたらす。さらに、開口部の形成は、液滴吐出法を用いて、ノズルから、ウェットエッチング液を吐出することで行ってもよい。但し、開口部のアスペクト比制御のため、水などの溶媒で適宜洗浄する工程を追加するとよい。勿論、この洗浄の工程も、液滴吐出法を用いて、ノズルから吐出する液滴を水に交換するか、または、溶液が充填されたヘッドを交換すると、同一の装置で連続処理が可能となり、処理時間の観点から好ましい。また、開口部の形成には、フォトリソグラフィ法を用いてもよいが、マスクとなる絶縁層の形成には、液滴吐出法を用いるとよい。そうすると、スピンコート法等と比較して、材料の利用効率が格段に向上する。上記のいずれかの方法によって開口部 9 9 2、9 9 3を形成すると、導電体層 9 5 6、9 8 4が露出した状態になる。

10

【0056】

次に、導電体層 9 8 4と電氣的に接続するように、電界発光層 9 8 5、対向電極となる導電体層 9 8 6を形成する。そうすると、導電体層 9 8 4、電界発光層 9 8 5及び導電体層 9 8 6の積層体に相当する発光素子が完成する。この発光素子の形成は、ノズルから吐出する組成物を変更するか、又は組成物が充填されたヘッドを変更することで、電界発光層 9 8 5やその他の導電性を有する複数層の薄膜を連続的に作製することができる。そうすると、スループットが向上し、生産性が向上する。

【0057】

続いて、シール材 9 8 8を形成し、基板 9 8 9を用いて封止する。その後、導電体層 9 5 6に電氣的に接続するように、異方性導電体を介して、接続端子 9 9 0を取り付ける。

20

【0058】

上記工程を経て、チャネル保護型のスイッチング用トランジスタ 6 7 0 0、駆動用トランジスタ 6 7 0 1及び容量素子 6 7 0 2を含む表示装置が完成する。図 1 2 (C)に示す断面構造は、図 1 3に示すレイアウト図の A - A ' - A ' 'における断面構造に相当する。

【0059】

上記構成では、導電体層 9 8 4が陰極、導電体層 9 8 6が陽極であり、上記工程を経ると、陰極 / 電界発光層 / 陽極の逆積み素子が完成する。この場合、発光素子から発せられる光は、基板 9 8 9側に出射する。従って、上面出射を行う表示装置が完成する。但し基板 9 5 1側に出射させたい場合には、導電体層 9 8 6上に遮蔽体を設けるとよい。さらに、両面出射を行いたい場合には、陽極となる導電体層と陰極となる導電体層を透光性材料、又は光を透過する厚さで形成し、さらに透光性を有する基板を用いる。

30

【0060】

陰極に相当する導電体層は、仕事関数が小さい材料を用いることが好ましく、例えば、C a、A l、C a F、M g A g、A l L i等を用いる。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれの型でもよく、シングレット材料、トリプレット材料又はそれらを組み合わせた材料や、低分子材料、高分子材料及び中分子材料を含む有機材料、電子注入性に優れる酸化モリブデン等に代表される無機材料、有機材料と無機材料の複合材料のいずれを用いてもよい。陽極に相当する導電層は光を透過する透明導電層で形成するか、又は光を透過する厚さで形成することが好ましく、例えば I T O、I T S Oの他、酸化インジウムに酸化亜鉛 (Z n O)を混合した透明導電体を用いる。なお、陽極 / 電界発光層 / 陰極の順に形成する、順積み素子を形成する場合には、陽極の形成前に、酸素雰囲気中でのプラズマ処理や真空雰囲気下での加熱処理を行うことが好ましく、これは、駆動電圧が低くなったり、寿命が向上したりする効果が得られるためである。また、発光素子から発せられる光が基板 9 5 1側に向かう、下面出射を行う場合には、画素電極として機能する導電体層 9 8 4は透光性を有することが必須である。この場合、導電体層 9 8 4として、酸化珪素と I T O からなる I T S Oを用いて、その下層には、窒化珪素からなる絶縁層 9 6 4が形成してあるとよい。そうすると、導電体層 9 8 4と絶縁層 9 6 4との屈折率が近いために、発光素子から発せられる光の取り出し効率が向上する。

40

50

【0061】

また、透光性を有する導電体層と接する絶縁体層は、珪素（Si）と窒素（N）を含む層で形成することが好適であり、より具体的には窒素を10 atomic %以上、好適には25 atomic %以上含む層で形成するとよく、さらに具体的には窒化珪素膜（SiN）が挙げられる。また、窒素と酸素（O）を含み、窒素が酸素よりも多く含む層を形成するとよく、具体的には窒化酸化珪素膜（SiNO）が挙げられる。そして、透光性を有する導電体層と接する絶縁体層は、上記に挙げた構成の2つの薄膜を単層又は積層して形成する。上記構成とすると、電流効率を向上させ、同じ電流値でも輝度を向上させることで、明るい表示を得ることができる。

【0062】

上記の作製工程では、導電層の形成や半導体層のパターニングに用いるマスクを液滴吐出法により形成する点を特徴とし、上記特徴により、工程の簡略化による作製時間の短縮や作製費用の低減を実現する。また、結晶化の工程が必要ないため、基板の一边がメートル以上の大型基板への適用が容易であり、従って、10インチから50インチ程度の大型の表示画面を有する電子機器への適用が有用である。

（実施の形態5）

【0063】

本発明の表示装置の作製方法について、図14、15を用いて説明する。まず、COG（Chip On Glass）方式を採用した表示装置について、図14を用いて説明する。基板1001上には、文字や画像などの情報を表示する画素領域1002、走査側の駆動回路1003、1004が設けられる。複数の駆動回路が設けられた基板1005、1008は、矩形状に分断され、分断後の駆動回路（以下ドライバICと表記）は、基板1001上に実装される。図14（A）は複数のドライバIC1007、該ドライバIC1007の先にテープ（フィルムともよぶ）1006を実装する形態を示す。図14（B）はドライバIC1010、該ドライバIC1010の先にテープ1009を実装する形態を示す。

【0064】

次に、TAB方式を採用した表示装置について、図15を用いて説明する。基板1001上には、画素領域1002、走査側の駆動回路1003、1004が設けられる。図15（A）は基板1001上に複数のテープ1006を貼り付けて、該テープ1006にドライバIC1007を実装する形態を示す。図15（B）は基板1001上にテープ1009を貼り付けて、該テープ1009にドライバIC1010を実装する形態を示す。後者を採用する場合には、強度の問題から、ドライバIC1010を固定する金属片等を一緒に貼り付けるとよい。

【0065】

ドライバICは、生産性を向上させる観点から、一边が300mmから1000mm以上の矩形状の基板1005、1008上に複数個作り込むとよい。つまり、基板1005、1008上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、完成する表示装置の解像度やその画面サイズに依存するが、図14（A）、図15（A）に示すように、長辺が15～80mm、短辺が1～6mmの矩形状に形成してもよいし、図14（B）、図15（B）に示すように、画素領域1002の一边、又は画素領域1002の一边と各駆動回路1003、1004の一边とを足した長さに形成してもよい。

【0066】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が15～80mmで形成されたドライバICを用いると、画素領域1002に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

【0067】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、該結晶質半導体は連続発光のレーザ光を照射することで形成されることが好適である。従って、当該レーザ光を発生させる発振器としては、連続発光の固体レーザ又は気体レーザを用いる。連続発光のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体層を用いて、トランジスタを作成することが可能となる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。なお、さらなる動作周波数の向上を目的として、トランジスタのチャネル長方向とレーザ光の走査方向と一致させるとよい。これは、連続発光レーザによるレーザ結晶化工程では、トランジスタのチャネル長方向とレーザ光の基板に対する走査方向とが概ね並行（好ましくは $-30^{\circ} \sim 30^{\circ}$ ）であるときに、最も高い移動度が得られるためである。なおチャネル長方向とは、チャネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャネル方向に延在する多結晶半導体層によって構成される活性層を有し、このことは結晶粒界が概ねチャネル方向に沿って形成されていることを意味する。

10

【0068】

レーザ結晶化を行うには、レーザ光の大幅な絞り込みを行うことが好ましく、そのビームスポットの幅は、ドライバICの短辺の同じ幅の $1 \sim 3 \text{ mm}$ 程度とすることがよい。また、被照射体に対して、十分に且つ効率的なエネルギー密度を確保するために、レーザ光の照射領域は、線状であることが好ましい。但し、ここでいう線状とは、厳密な意味で線を意味しているのではなく、アスペクト比の大きい長方形もしくは長楕円形を意味する。例えば、アスペクト比が2以上（好ましくは $10 \sim 10000$ ）のものを指す。このように、レーザ光のビームスポットの幅をドライバICの短辺と同じ長さとするすることで、生産性を向上させた表示装置の作製方法を提供することができる。

20

【0069】

図14、15では、走査線駆動回路は画素部と共に一体形成し、信号線駆動回路としてドライバICを実装した形態を示した。しかしながら、本発明はこの形態に限定されず、走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするともよい。

30

【0070】

画素領域1002は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。本発明は、画素領域1002に配置されるトランジスタとして、非晶質半導体又はセミアモルファス半導体をチャネル部としたTFTを用いることを特徴とする。非晶質半導体は、プラズマCVD法やスパッタリング法等の方法により形成する。セミアモルファス半導体は、プラズマCVD法で 300°C 以下の温度で形成することが可能であり、例えば、外寸 $550 \times 650 \text{ mm}$ の無アルカリガラス基板であっても、トランジスタを形成するのに必要な膜厚を短時間で形成するという特徴を有する。このような製造技術の特徴は、大画面の表示装置を作製する上で有効である。また、セミアモルファスTFTは、SASでチャネル形成領域を構成することにより $2 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、このTFTを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、システムオンパネル化を実現した表示装置を作製することができる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

40

【実施例1】

【0071】

本実施例では、ドライバICを実装する方法について、図16を用いて説明する。この実装方法としては、異方性導電材を用いた接続方法やワイヤボンディング方式等を採用すればよく、その一例について図16を用いて説明する。

【0072】

50

図16(A)は第1の基板201に、ドライバIC208が異方性導電材を用いて実装された例を示す。第1の基板201上には画素領域202、引出線206、接続配線及び入出力端子207を有する。第2の基板203は、シール材204で第1の基板201と接着されており、その間に液晶層205を有する。

【0073】

接続配線及び入出力端子207の一方の端には、FPC212が異方性導電材で接着されている。異方性導電材は樹脂215と表面にAuなどがメッキされた数十～数百μm径の導電性粒子214から成り、導電性粒子214により接続配線及び入出力端子207とFPC212に形成された配線213とが電氣的に接続される。ドライバIC208も、異方性導電材で第1の基板201に接着され、樹脂211中に混入された導電性粒子210により、ドライバIC208に設けられた入出力端子209と、引出線206又は接続配線及び入出力端子207と電氣的に接続される。

10

【0074】

この方式によるドライバIC208の実装方法について、図16(C)を用いて説明する。ドライバICには、入出力端子225が設けられ、その周辺部には保護絶縁膜226が形成される。第1の基板220には第1の導電層221と第2の導電層223及び絶縁層222が形成され、ここでは第1の導電層221と第2の導電層223とで引出線または接続配線を形成している。

【0075】

第1の基板220に形成されるこれらの導電層及び絶縁層は画素領域の画素TFEと同じ工程で形成される。例えば、画素TFEが逆スタガ型で形成される場合、第1の導電層221はゲート電極と同じ層に形成され、Ta、Cr、Ti、Alなどの材料で形成される。通常ゲート電極上にはゲート絶縁膜が形成され、絶縁層222はこれと同じ層で形成されるものである。第1の導電層221上に重ねて設ける第2の導電層223は画素電極と同じ透明導電膜で形成されるものであり、導電性粒子227との接触を良好なものとする。樹脂228中に混入された導電性粒子227の大きさと密度を適したものとし、このような形態でドライバICと第1の基板220とは電氣的に接続する。

20

【0076】

図16(D)は樹脂の収縮力を用いたCOG方式の例であり、ドライバIC側にTaやTiなどでバリア層229を形成し、その上に無電解メッキ法などによりAuを約20μm形成しバンプ230とする。そして、ドライバICと第1の基板との間に光硬化性絶縁樹脂231を介在させ、光硬化して固まる樹脂の収縮力を利用して電極間を圧接して電氣的な接続を形成する。

30

【0077】

また、図16(E)で示すように、FPC212上の配線213と、導電性粒子214を介してドライバIC208を設けてもよい。この構成は、携帯端末等の筐体の大きさが限られた電子機器に用いる場合に大変有効である。

【0078】

また、図16(B)で示すように、第1の基板201にドライバIC208を接着材216で固定して、Auワイヤ217によりドライバICの入出力端子と引出線または接続配線とを接続しても良い。そして封止樹脂218で封止する。なお、ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることができる。

40

【0079】

ドライバICの厚さは、対向電極が形成された第2の基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この表示装置に温度変化が生じても熱応力が発生することなく、TFEで作製された回路の特性を損なうことはない。その他にも、上記の実施形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装することにより、1つの画素領域に対して、実装されるドライバICの個数を減らす

50

ことができる。本実施例は、上記の実施の形態と自由に組み合わせることができる。

【実施例 2】

【0080】

本実施例では、本発明の表示装置の構成について簡単に説明する。上述したように、ドライバ IC は、液晶表示装置や EL 表示装置などの駆動回路として用いる。図 17 はそのような表示装置のブロック図である。画素領域 1601 は複数の走査線と信号線で形成され、TFT が設けられたアクティブマトリクス型であっても良いし、パッシブマトリクス型であっても良い。その周辺には、ドライバ IC に相当する走査線駆動回路 1602 及び信号線駆動回路 1603 が配置される。

【0081】

外部から入力されるクロック、スタートパルス 1607 と、映像信号 1608 は、ドライバ IC の入力仕様に変換するためのコントロール回路 1605 に入力され、それぞれのタイミング仕様に変換される。また、電源 1609、オペアンプから成る電源回路 1606 は外付けの回路で賄われる。このコントロール回路 1605 と電源回路 1606 も TAB 方式で実装すると、表示装置の小型化に有効である。

【0082】

コントロール回路 1605 からは、走査線と信号線にそれぞれ信号が出力されるが、信号線には信号分割回路 1604 が設けられ、入力デジタル信号を m 個に分割して供給する。分割数 m は 2 以上の自然数である。

【0083】

ドライバ IC の回路構成は、走査線側と信号線側とで異なる。図 17 (B) はその一例を示し、走査線側のドライバ IC 121 は、シフトレジスタ回路 123、レベルシフト回路 124、バッファ回路 125 からなる。一方、データ線側のドライバ IC 122 は、シフトレジスタ回路 126、ラッチ回路 127、レベルシフト回路 128、D/A 変換回路 129 からなる。なお、図 12 では、信号線側と走査線側の両方でドライバ IC を用いた形態を示したが、上述した通り、本発明はこれに限定されない。走査線側の駆動回路は、画素領域 1601 が形成された基板上に作り込んでよい。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例 3】

【0084】

本発明の必須の構成要素として、セミアモルファス半導体層をチャネル部とした TFT が挙げられ、該 TFT は各画素に具備される。このような TFT を各画素に含む場合、同一基板上に形成する駆動回路もセミアモルファス半導体層をチャネル部とした TFT により形成することが好適である。但し、セミアモルファス半導体層を含む TFT は N 型 TFT しか形成できない。本実施例は、N 型 TFT のみでシフトレジスタを構成する例について説明する。

【0085】

図 18 (A) において、ブロック 400 が 1 段分のサンプリングパルスを出力するパルス出力回路に相当し、シフトレジスタは n 個のパルス出力回路により構成される。図 18 (B) は、パルス出力回路 400 の具体的な構成を示したものであり、N 型の TFT 401 ~ 406 と、容量素子 407 を有する。このパルス出力回路は、ブートストラップ法を応用することで、N 型 TFT のみでの構成が可能となった回路である。詳しい動作については、特開 2002 - 335153 号公報に記載されているため、本公報を参考にするとよい。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例 4】

【0086】

本実施例では、しきい値電圧の補正回路について、図 19 を用いて説明する。この回路は、非晶質半導体をチャネル部とした薄膜トランジスタ (a-Si TFT) に対して有効であり、これは、a-Si TFT は、その電気特性 (しきい値電圧、電界効果移動度等) が経時的に変化する性質を有するためである。図 19 (A) (B) は補正回路の等価

10

20

30

40

50

回路図を示し、トランジスタ等からなるスイッチ531、532、トランジスタ533、容量素子534を有する。この回路の動作について、以下に簡単に説明する。

【0087】

まず、スイッチ531、532をオンにする(図19(A)参照)。そうすると、スイッチ531からトランジスタ533の方向と、スイッチ531から容量素子534の方向に向かって電流IDSが流れる。このとき、電流IDSはI1とI2に分かれて流れ、 $IDS = I1 + I2$ を満たす。電流が流れ始めた瞬間には、容量素子534に電荷は保持されず、トランジスタ533はオフである。従って、 $I2 = 0$ 、 $IDS = I1$ である。しかしながら、徐々に容量素子534に電荷が蓄積されて、容量素子534の両電極間に電位差が生じ始め、その電位差がトランジスタ533のしきい値電圧になると、該トランジスタ533がオンになり、 $I2 > 0$ となる。このとき、 $IDS = I1 + I2$ を満たすので、I1は次第に減少するが、以前電流は流れている。容量素子534では、その両電極間の電位差がVDDになるまで、電荷の蓄積が続けられるが、該容量素子534の両電極間の電位差がVDDになると、I2は流れなくなり、 $IDS = I1$ となる。

10

【0088】

次に、スイッチ531をオフにする(図19(B)参照)。そうすると、容量素子534に保持された電荷は、スイッチ532を介してトランジスタ533の方向に流れていき、放電する。この動作は、トランジスタ533がオフになるまで、つまり、容量素子534に保持された電荷が、トランジスタ533のしきい値電圧と同じ値になるまで行われる。上記構成を有する補正回路では、容量素子534の両電極間の電位差を、あるトランジスタのしきい値電圧と同じ値に設定することができる。つまり、トランジスタのVgsをそのまま保持して、該トランジスタのゲート電極に信号電圧を入力することができる。そのため、トランジスタのゲート電極には、容量素子に保持されているVgsに加えて、前記信号電圧を上乗せした値が入力される。従って、トランジスタ間のしきい値電圧にバラツキが生じていても、信号電圧が入力されるトランジスタは、常に該トランジスタのしきい値電圧と信号電圧を足した値が入力される。従って、トランジスタ間のしきい値電圧のバラツキの影響を抑制することができる。

20

【0089】

上記構成のしきい値補正回路を用いた画素回路の一例について、図19(C)を用いて説明する。図19(C)において、列方向に信号線560、電源線561、行方向に走査線562~565が配置され、これらの配線に囲まれた領域にスイッチ550~553、566、トランジスタ554、容量素子555、567、発光素子556が設けられる。このように、しきい値補正回路を設けることで、発光素子を駆動する駆動用トランジスタのしきい値電圧のバラツキを抑制することができ、これらのバラツキに起因した輝度ムラを改善して、高画質の画像を表示する表示装置を提供することができる。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

30

【実施例5】

【0090】

本発明は、セミアモルファス半導体層をチャネル部としたTFET、該TFETを含む画素を複数有する表示装置を提供するものであり、ここでは、該画素の構成について、図20を用いて説明する。

40

【0091】

図20(A)に示す画素は、列方向に信号線310及び電源線311~313、行方向に走査線314が配置される。また、スイッチング用TFET301、駆動用TFET303、電流制御用TFET304、容量素子302及び発光素子305を有する。

【0092】

図20(C)に示す画素は、TFET303のゲート電極が、行方向に配置された電源線312に接続される点が異なっており、それ以外は図20(A)に示す画素と同じ構成である。つまり、図20(A)(C)に示す両画素は、同じ等価回路図を示す。しかしながら、行方向に電源線312が配置される場合(図20(A))と、列方向に電源線312

50

が配置される場合（図20（C））では、各電源線は異なるレイヤーの導電体層で形成される。ここでは、駆動用TFT303のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図20（A）（C）として分けて記載する。

【0093】

図20（A）（C）に示す画素の特徴として、画素内にTFT303、304が直列に接続されており、TFT303のチャンネル長 L_3 、チャンネル幅 W_3 、TFT304のチャンネル長 L_4 、チャンネル幅 W_4 は、 $L_3/W_3 : L_4/W_4 = 5 \sim 6000 : 1$ を満たすように設定される点が挙げられる。

【0094】

TFT303は、飽和領域で動作し発光素子305に流れる電流値を制御する役目を有し、TFT304は線形領域で動作し発光素子305に対する電流の供給を制御する役目を有する。両TFTは同じ導電型を有していると作製工程上好ましい。またTFT303には、エンハンスメント型だけでなく、ディプリーション型のTFTを用いてもよい。上記構成を有する本発明は、TFT304が線形領域で動作するために、TFT304の V_{GS} の僅かな変動は発光素子305の電流値に影響を及ぼさない。つまり、発光素子305の電流値は、飽和領域で動作するTFT303により決定される。上記構成を有する本発明は、TFTの特性バラツキに起因した発光素子の輝度ムラを改善して画質を向上させた表示装置を提供することができる。

【0095】

図20（A）～（D）に示す画素において、TFT301は、画素に対するビデオ信号の入力を制御するものであり、TFT301がオンして、画素内にビデオ信号が入力されると、容量素子302にそのビデオ信号が保持される。なお図20（A）（C）には、容量素子302を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、明示的に容量素子302を設けなくてもよい。

【0096】

発光素子305は、2つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間（陽極と陰極の間）に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と、三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【0097】

図20（B）に示す画素は、TFT306と走査線315を追加している以外は、図20（A）に示す画素構成と同じである。同様に、図20（D）に示す画素は、TFT306と走査線315を追加している以外は、図20（C）に示す画素構成と同じである。

【0098】

TFT306は、新たに配置された走査線315によりオン又はオフが制御される。TFT306がオンになると、容量素子302に保持された電荷は放電し、TFT306がオフする。つまり、TFT306の配置により、強制的に発光素子305に電流が流れない状態を作ることができる。従って、図20（B）（D）の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

【0099】

図20（E）に示す画素は、列方向に信号線350、電源線351、352、行方向に走査線353が配置される。また、スイッチング用TFT341、駆動用TFT343、容量素子342及び発光素子344を有する。図20（F）に示す画素は、TFT345と走査線354を追加している以外は、図20（E）に示す画素構成と同じである。なお、図20（F）の構成も、TFT345の配置により、デューティ比を向上することが可能となる。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例 6】

【0100】

液晶を形成する方法として、液晶滴下方式を採用した場合について、図 21 を用いて説明する。まず、基板 8001 上に、TFT 等の素子を形成し、次に、シール材として機能する閉ループ 8002 を形成する（図 21（A）参照）。続いて、閉ループ 8002 の中にディスペンサにより液晶 8003 を滴下する（図 21（B）参照）。その後、真空中で基板 8001 と基板 8004 とを貼り合わせる（図 21（C）参照）。次に、UV 硬化を行って、液晶 8005 が充填された状態となり（図 21（D）参照）、続いてパネル毎に分断する（図 21（E）参照）。本実施例は、上記の実施の形態と自由に組み合わせることができる。

10

【実施例 7】

【0101】

本実施例は、本発明の表示装置の一形態に相当するパネルの外観について、図 22 を用いて説明する。図 22（A）は、第 1 の基板 4001 上に形成されたセミアモルファス TFT 4010 及び液晶素子 4011a を、第 2 の基板 4006 との間にシール材 4005 によって封止した、パネルの上面図であり、図 22（B）は、図 22（A）の A-A' における断面図に相当する。

【0102】

第 1 の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 とを囲むようにして、シール材 4005 が設けられる。また画素部 4002 と、走査線駆動回路 4004 の上に第 2 の基板 4006 が設けられる。よって画素部 4002 と、走査線駆動回路 4004 とは、第 1 の基板 4001 とシール材 4005 と第 2 の基板 4006 とによって、液晶 4007a と共に封止される。また第 1 の基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体層で形成された信号線駆動回路 4003 が実装される。

20

【0103】

なお本実施例では、多結晶半導体層を用いたトランジスタを有する信号線駆動回路 4003 を、第 1 の基板 4001 に貼り合わせる例について説明するが、単結晶半導体層を用いたトランジスタで信号線駆動回路を形成し、貼り合わせてもよい。図 22 では、信号線駆動回路 4003 に含まれる、多結晶半導体層で形成されたトランジスタ 4009 を例示する。

30

また図 22 では、信号線駆動回路 4003 を別途形成し、第 1 の基板 4001 に実装している例を示しているが、本実施例はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0104】

第 1 の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 は、トランジスタを複数有し、図 22（B）では、画素部 4002 に含まれるトランジスタ 4010 とを例示している。トランジスタ 4010 はセミアモルファス半導体層を用いたトランジスタに相当する。

40

また、液晶素子 4011a が有する画素電極 4030 は、トランジスタ 4010 と配線 4040、配線 4041 を介して電氣的に接続されている。そして液晶素子 4011a の対向電極 4031 は第 2 の基板 4006 上に形成される。画素電極 4030、対向電極 4031 及び液晶 4007a が重なっている部分が、液晶素子 4011a に相当する。

球状のスペーサ 4035 は、画素電極 4030 と対向電極 4031 との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜をパターンニングすることで得られるスペーサを用いても良い。

また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 または画素部 4002 に与えられる各種信号及び電位は、引き回し配線 4014 及び 4015 を介して、接続端子 4016 から供給されている。

50

【 0 1 0 5 】

本実施例では、接続端子 4 0 1 6 が、液晶素子 4 0 1 1 a が有する画素電極 4 0 3 0 と同じ導電膜から形成されている。また、引き回し配線 4 0 1 4 は、配線 4 0 4 1 と同じ導電膜で形成されている。また引き回し配線 4 0 1 5 は、配線 4 0 4 0 と同じ導電膜で形成されている。接続端子 4 0 1 6 は、F P C 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

【 0 1 0 6 】

なお図示していないが、本実施例に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例 8】

【 0 1 0 7 】

本実施例では、本発明の表示装置の一形態に相当するパネルの外観について、図 2 3 を用いて説明する。図 2 3 は、第 1 の基板上に形成されたセミアモルファストランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 2 3 は、図 2 2 (A) の A - A ' における断面図に相当する。

【 0 1 0 8 】

第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 は、トランジスタを複数有し、図 2 3 では、画素部 4 0 0 2 に含まれるトランジスタ 4 0 1 0 を例示している。なおトランジスタ 4 0 1 0 はセミアモルファス半導体層を用いたトランジスタに相当する。

【 0 1 0 9 】

発光素子 4 0 1 1 b が有する画素電極は、トランジスタ 4 0 1 0 のドレインと、配線 4 0 1 7 を介して電氣的に接続されている。そして、発光素子 4 0 1 1 b の対向電極と透明導電膜 4 0 1 2 が電氣的に接続されている。なお発光素子 4 0 1 1 b の構成は、発光素子 4 0 1 1 b から取り出す光の方向や、トランジスタ 4 0 1 0 の導電型などに合わせて、発光素子 4 0 1 1 b の構成は適宜変えることができる。

【 0 1 1 0 】

また、別途形成された信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電位は、引き回し配線 4 0 1 4 及び 4 0 1 5 を介して、接続端子 4 0 1 6 から供給されている。

【 0 1 1 1 】

本実施例では、接続端子 4 0 1 6 が、発光素子 4 0 1 1 b が有する画素電極と同じ導電膜から形成されている。また、引き回し配線 4 0 1 4 は、配線 4 0 1 7 と同じ導電膜から形成されている。また引き回し配線 4 0 1 5 は、トランジスタ 4 0 1 0 が有するゲート電極と、同じ導電膜から形成されている。接続端子 4 0 1 6 は、F P C 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

【 0 1 1 2 】

充填材 4 0 0 7 b としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、P V C (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、P V B (ポリビニルブチラル)またはE V A (エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【 0 1 1 3 】

また充填材 4 0 0 7 b を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、第 2 の基板 4 0 0 6 に凹部を設けて、該凹部に吸湿性物質または酸素を吸着しうる物質を配置するとよい。第 2 の基板 4 0 0 6 は目の細かいメッシュ状にすると、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質を設けることで、発光素子 4 0 1 1 b の劣化を抑制できる。本実施例は、上記の実施の形態、実施例と自由に組み合わ

10

20

30

40

50

せることができる。

【実施例 9】

【0114】

本発明の表示装置の一形態であるパネルについて、図 24、25 を用いて説明する。図 24 (A) はパネルの上面図、図 24 (B) と図 25 (A) (B) は図 24 (A) の A - A' における断面図である。第 1 の基板 3001 上には、画素部 3012 が設けられ、該画素部 3012 を囲むようにして、シール材 3003 が設けられる。第 1 の基板 3001 と第 2 の基板 3002 は、シール材 3003 により封止される (図 24 (A) (B) 参照)。第 1 の基板 3001 上には、ドライバ IC 3005 が設けられ、画素部 3012 とドライバ IC 3005 には接続端子 3004 から各種信号や電位が供給される。

10

【0115】

図 24 (B) には、画素部 3012 が含む TFT 3102 ~ 3104 を例示する。TFT 3102 ~ 3104 は、本発明に従って形成された非晶質半導体又はセミアモルファス半導体をチャネル部とした TFT により構成される。また、各 TFT 3102 ~ 3104 に電氣的に接続された発光素子 3105 ~ 3107 が設けられ、各発光素子 3105 ~ 3107 から発せられる光は、カラーフィルタ 3108 ~ 3110 を介して外部に出射される。各カラーフィルタ 3108 ~ 3110 の間には、ブラックマトリクス 3111 が設けられる。上記構成では、第 1 の基板 3001 と第 2 の基板 3002 間の密閉空間を樹脂 3112 により充填することで、水分等の発光素子 3105 ~ 3107 の劣化を促進する物質の侵入を防止し、寿命を向上させたパネルの提供を実現する。

20

【0116】

TFT 3102 ~ 3104 は N 型 TFT であり、該 TFT に直接接続された導電体層が陰極に相当し、該導電体層と電界発光層を介して接続された導電体層が陽極に相当する。従って、発光素子 3105 ~ 3107 は、陰極 / 電界発光層 / 陽極の順に積層形成された逆積み素子に相当し、これらの素子から発せられる光は、第 2 の基板 3002 側に出射する。

【0117】

図 25 (A) には、画素部 3012 が含む TFT 3202 ~ 3204 を例示する。TFT 3202 ~ 3204 は、本発明に従って形成された非晶質半導体又はセミアモルファス半導体をチャネル部とした TFT により構成される。また、各 TFT 3202 ~ 3204 に電氣的に接続された発光素子 3205 ~ 3207 が設けられ、各発光素子 3205 ~ 3207 から発せられる光は、カラーフィルタ 3208 ~ 3210 を介して外部に出射される。上記構成を有するパネルでは、まず、第 1 の基板 3001 上に TFT 3202 ~ 3204 を形成し、次に層間膜 3250 を形成し、続いて、カラーフィルタ 3208 ~ 3210 に相当する薄膜を形成する。その後、バリア膜として機能する絶縁膜 3251 と平坦化を目的とした絶縁膜 3252 を積層形成する。TFT 3202 ~ 3204 は N 型 TFT であり、発光素子 3205 ~ 3207 から発せられる光は、遮蔽体により反射して第 1 の基板 3001 側に出射する。従って、図示するパネルは、下面出射を行うパネルである。

30

【0118】

図 25 (B) は、画素部 3012 が含む TFT 3302 ~ 3304 を例示する。TFT 3302 ~ 3304 は、本発明に従って形成された非晶質半導体又はセミアモルファス半導体をチャネル部とした TFT により構成される。また、各 TFT 3302 ~ 3304 に電氣的に接続された発光素子 3305 ~ 3307 が設けられ、各発光素子 3305 ~ 3307 から発せられる光は、カラーフィルタ 3308 ~ 3310 を介して外部に出射される。上記構成を有するパネルでは、まず、第 1 の基板 3001 上にカラーフィルタ 3308 ~ 3310 に相当する薄膜を形成し、該薄膜上に平坦化を目的とした絶縁膜 3350 を形成する。次に、絶縁膜 3350 上に TFT 等の素子を形成する。

40

【0119】

上記構成において、発光素子から発せられる光は、RGB の各色を呈してもよいし、それ以外の色を呈していてもよい。また、カラーフィルタは、色変換層として用いてもよく

50

、その場合には、発光素子から発せられる光は1色でも構わない。発光素子から発せられる光をRGBの各色とし、さらに、RGBに対応したカラーフィルタを用いることで、高画質で階調再現性及び色再現性を向上したパネルを得ることが出来る。

【0120】

なお上記パネルでは、発光素子を基板、又は基板及び樹脂により封止した場合を示すが、封止の処理は、発光素子を水分から保護するための処理であり、カバー材で機械的に封入する方法、熱硬化性樹脂又は紫外光硬化性樹脂で封入する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法のいずれかを用いる。カバー材としては、ガラス、セラミックス、プラスチックもしくは金属を用いることができるが、カバー材側に光を放射させる場合は透光性でなければならない。また、カバー材と上記発光素子が形成された基板とは熱硬化性樹脂又は紫外光硬化性樹脂等のシール材を用いて貼り合わせられ、熱処理又は紫外光照射処理によって樹脂を硬化させて密閉空間を形成する。この密閉空間の中に酸化バリウムに代表される吸湿材を設けることも有効である。さらに、カバー材と発光素子の形成された基板との空間を熱硬化性樹脂若しくは紫外光硬化性樹脂で充填することも可能である。この場合、熱硬化性樹脂若しくは紫外光硬化性樹脂の中に酸化バリウムに代表される吸湿材を添加しておくことは有効である。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

10

【実施例10】

【0121】

本発明を用いた電子機器として、テレビ受像機（テレビ、テレビジョン、テレビジョン装置ともよぶ）、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話等）、記録媒体を備えた画像再生装置等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。本発明は、結晶化の工程を設ける必要がないため、比較的パネルの大型化が容易である。従って、10～50インチの大型のパネルを用いた電子機器に非常に有用である。それら電子機器の具体例を図26に示す。

20

【0122】

図26（A）はテレビ受像機であり、筐体2001、表示部2003等を含む。図26（B）はパーソナルコンピュータであり、筐体2202、表示部2203等を含む。図26（C）は記録媒体を備えた携帯型の画像再生装置であり、筐体2402、表示部A2403、表示部B2404等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。

30

【0123】

本発明は、表示部の作製に適用することができる。また本発明は上記電子機器に限定されず、適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【図面の簡単な説明】

【0124】

【図1】本発明の表示装置の作製方法を説明する図（実施の形態1）。

【図2】本発明の表示装置の作製方法を説明する図（実施の形態1）。

【図3】本発明の表示装置の作製方法を説明する図（実施の形態1）。

【図4】本発明の配線基板の作製方法を説明する図（実施の形態2）。

【図5】本発明の半導体装置の作製方法を説明する図（実施の形態3）。

【図6】本発明の半導体装置の作製方法を説明する図（実施の形態3）。

【図7】本発明の半導体装置の作製方法を説明する図（実施の形態3）。

【図8】本発明の半導体装置の作製方法を説明する図（実施の形態3）。

【図9】本発明の半導体装置の作製方法を説明する図（実施の形態3）。

【図10】画素回路のレイアウト図（実施の形態3）。

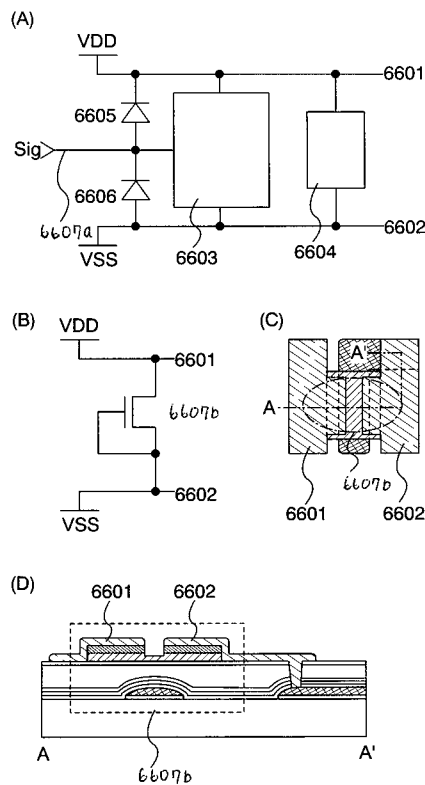
40

50

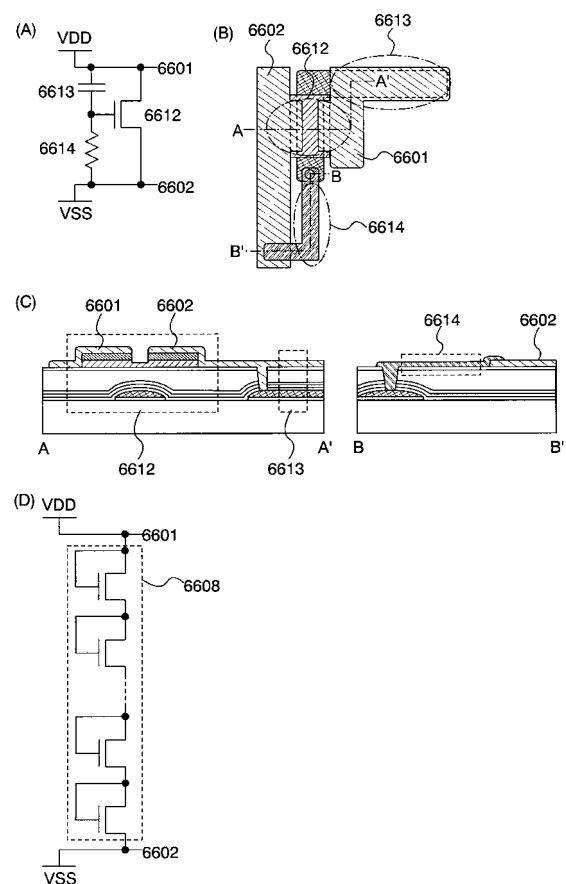
- 【図 1 1】本発明の半導体装置の作製方法を説明する図（実施の形態 4）。
- 【図 1 2】本発明の半導体装置の作製方法を説明する図（実施の形態 4）。
- 【図 1 3】画素回路のレイアウト図（実施の形態 4）。
- 【図 1 4】ドライバ I C の実装方式（C O G 方式）を説明する図（実施の形態 5）。
- 【図 1 5】ドライバ I C の実装方式（T A B 方式）を説明する図（実施の形態 5）。
- 【図 1 6】画素領域、テープ及びドライバ I C の接続を説明する図（実施例 1）。
- 【図 1 7】表示装置の構成を説明する図（実施例 2）。
- 【図 1 8】シフトレジスタを説明する図（実施例 3）。
- 【図 1 9】しきい値電圧の補正回路を説明する図（実施例 4）。
- 【図 2 0】表示装置の画素回路の一例を示す図（実施例 5）。
- 【図 2 1】ディスペンサ方式（液晶滴下方式）を説明する図（実施例 6）。
- 【図 2 2】本発明の表示装置の一形態であるパネルの上面図と断面図（実施例 7）。
- 【図 2 3】本発明の表示装置の一形態であるパネルの断面図（実施例 8）。
- 【図 2 4】本発明の表示装置の一形態であるパネルの上面図と断面図（実施例 9）。
- 【図 2 5】本発明の表示装置の一形態であるパネルの断面図（実施例 9）。
- 【図 2 6】本発明が適用される電子機器を示す図（実施例 1 0）。

10

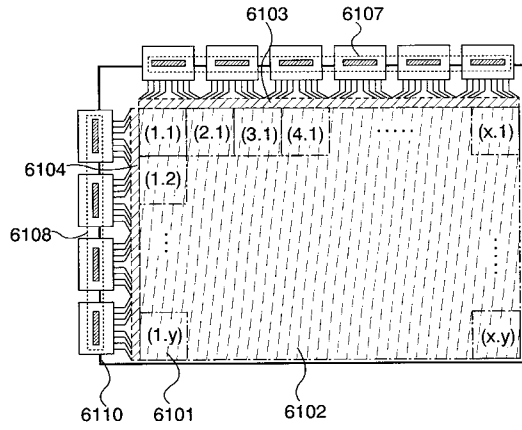
【図 1】



【図 2】

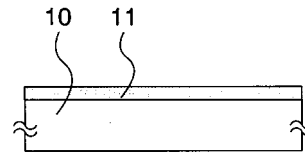


【図 3】

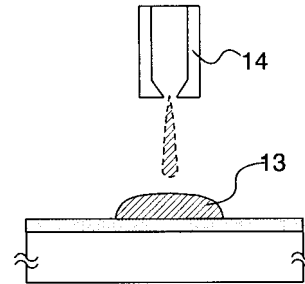


【図 4】

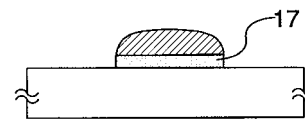
(A)



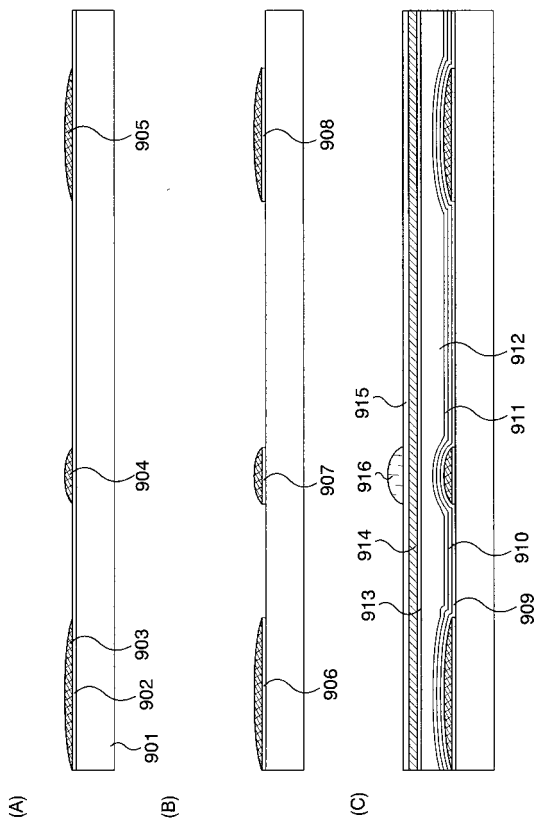
(B)



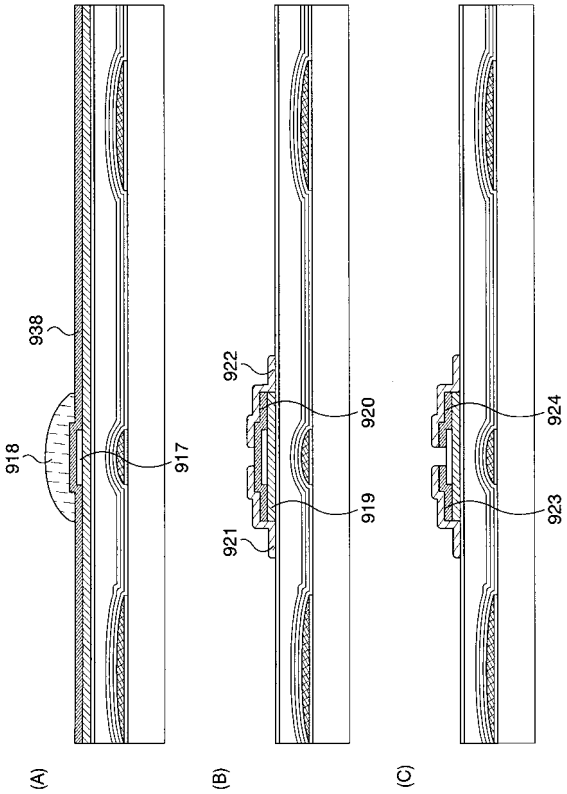
(C)



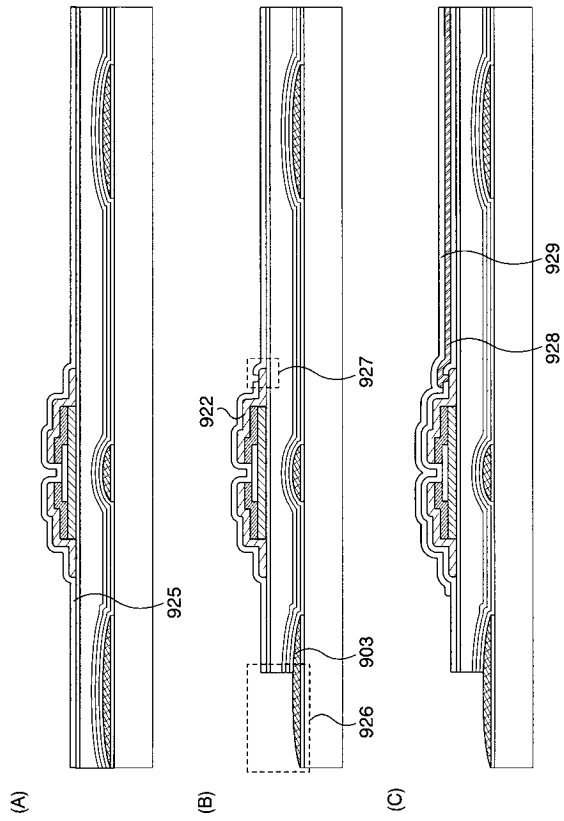
【図 5】



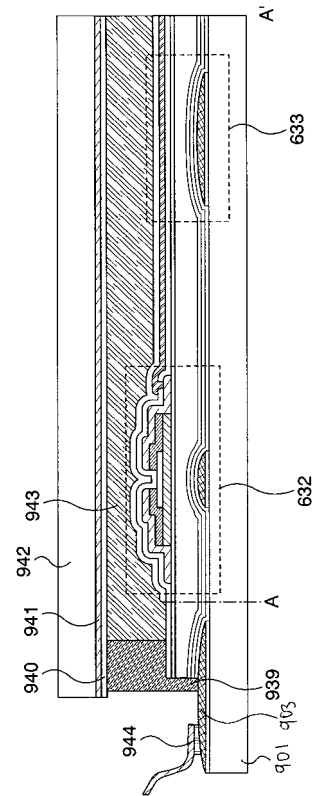
【図 6】



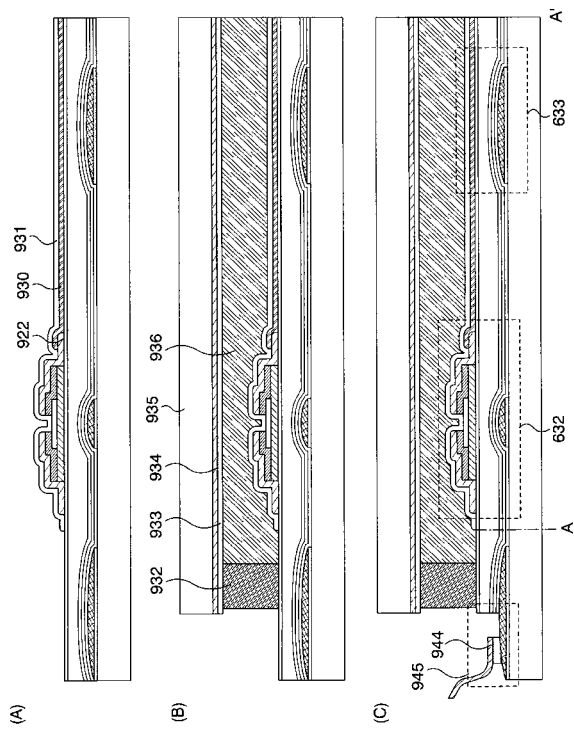
【圖 7】



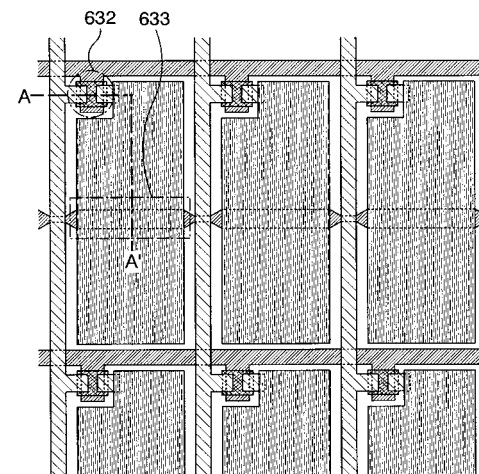
【圖 8】



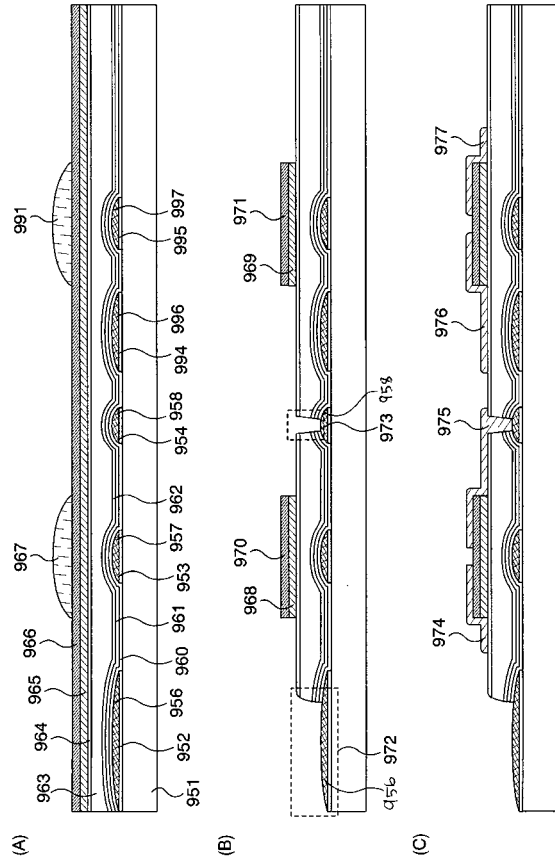
【 図 9 】



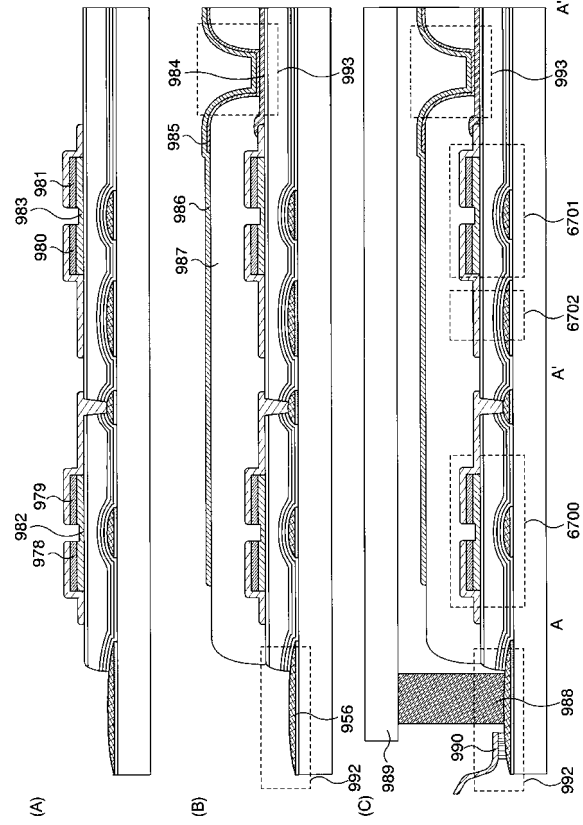
【 図 1 0 】



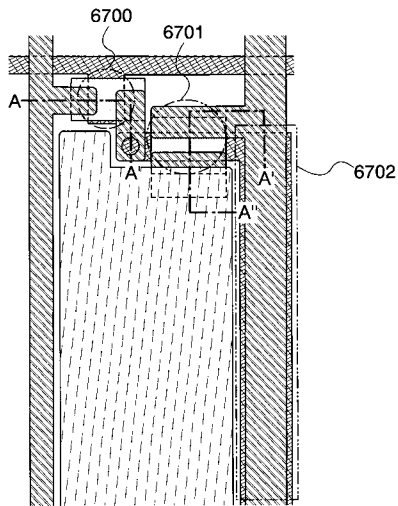
【図 1 1】



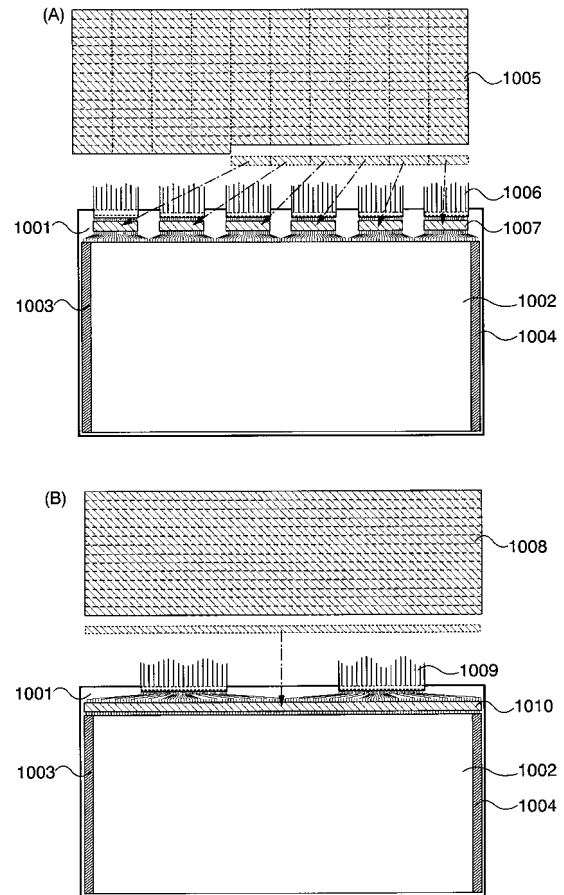
【図 1 2】



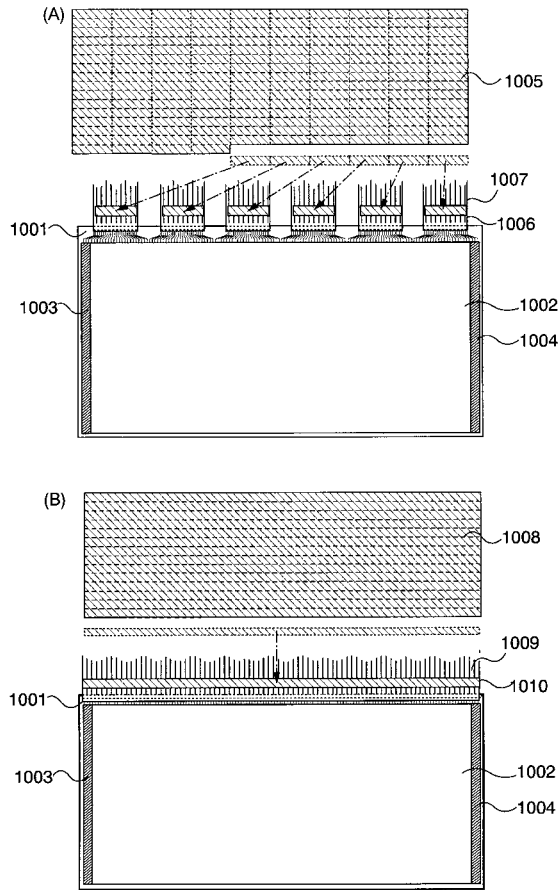
【図 1 3】



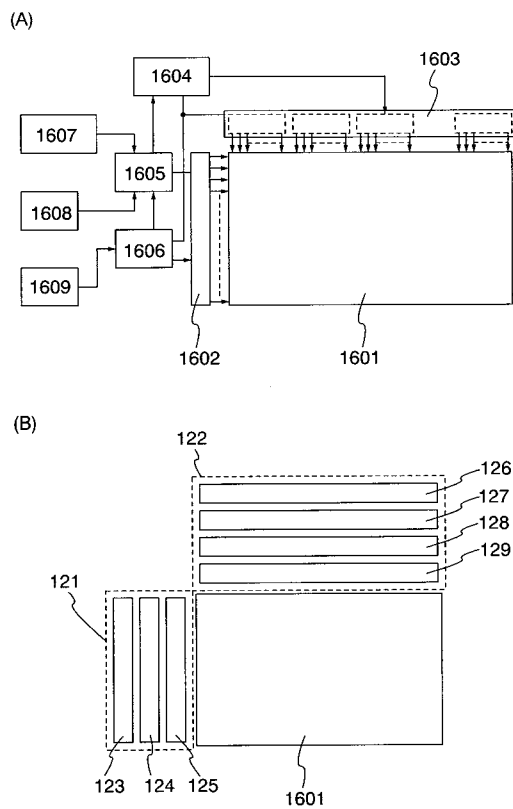
【図 1 4】



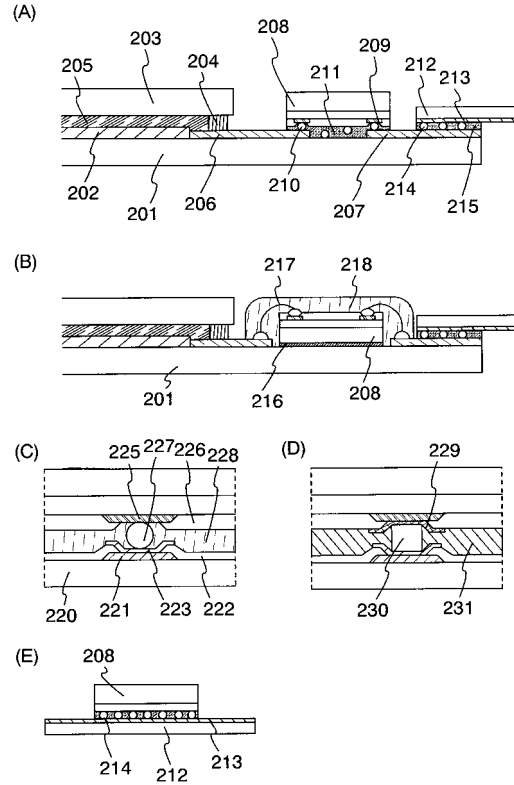
【図 15】



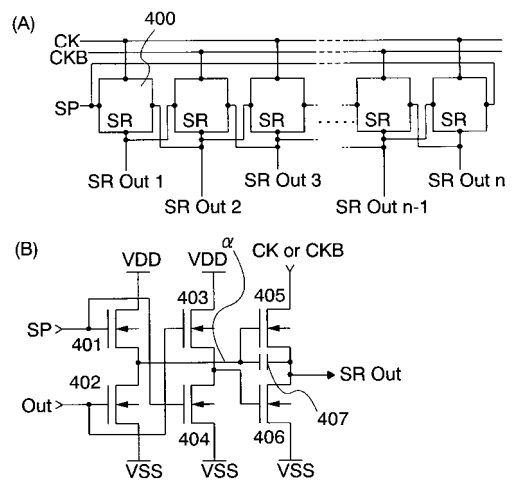
【図 17】



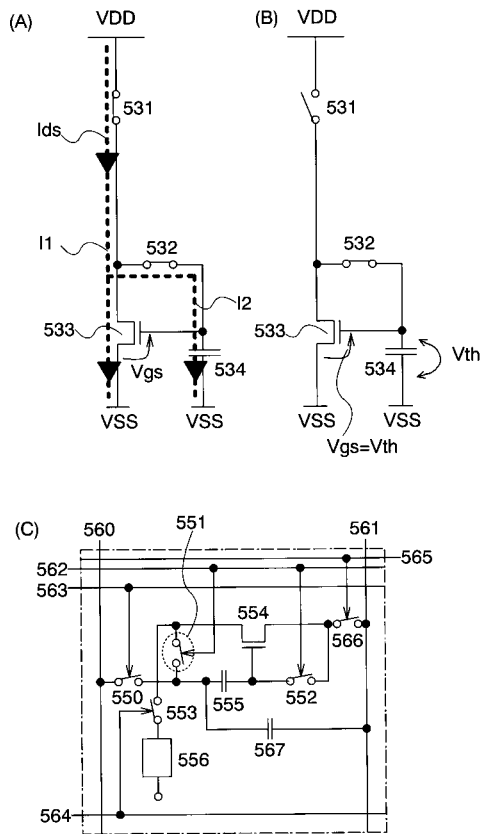
【図 16】



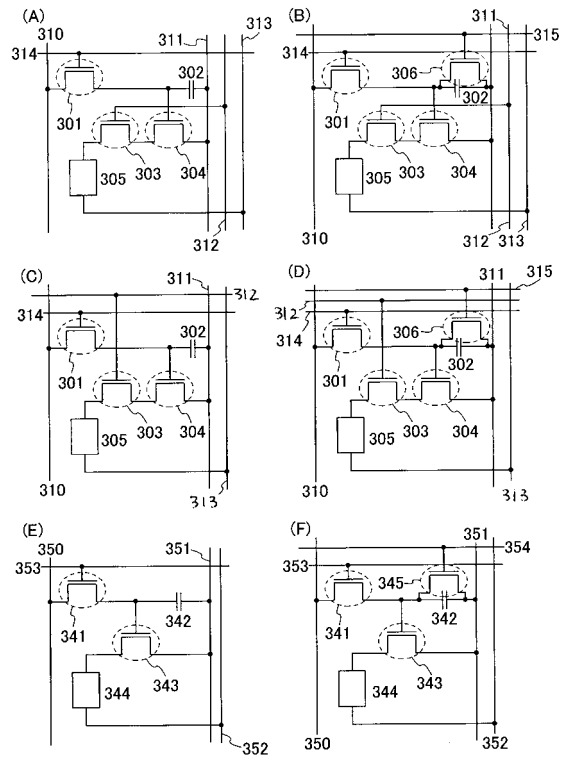
【図 18】



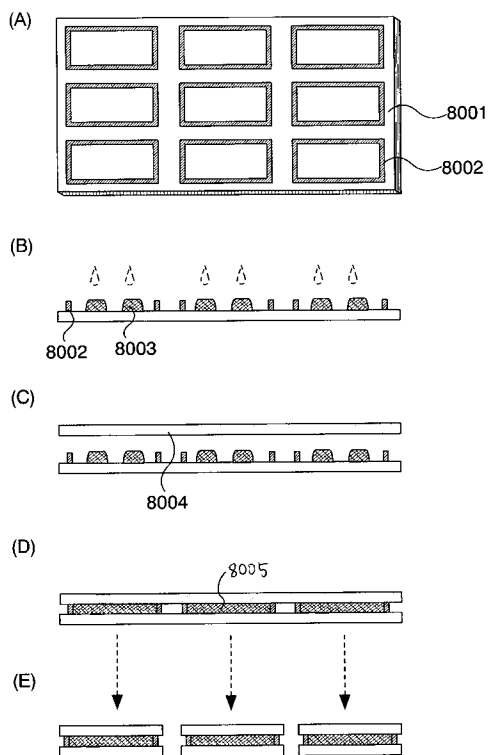
【図 19】



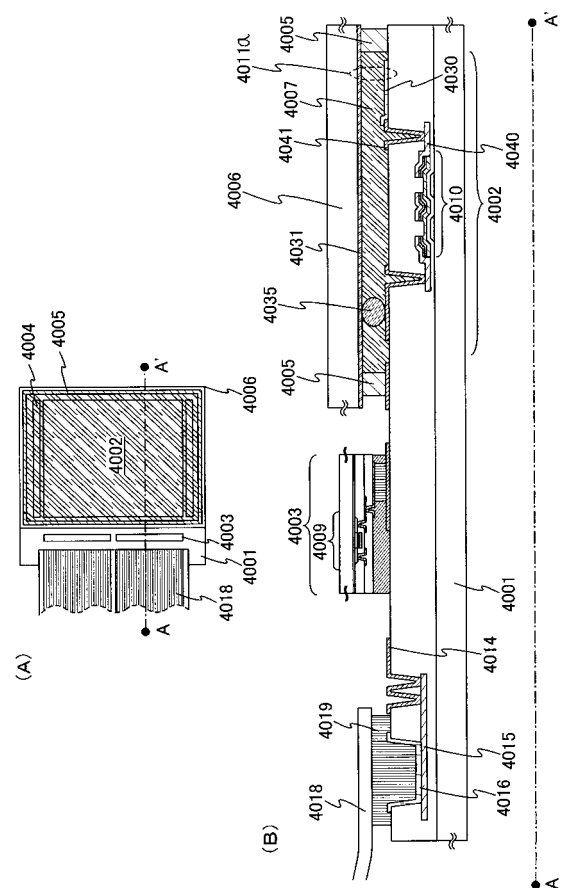
【図 20】



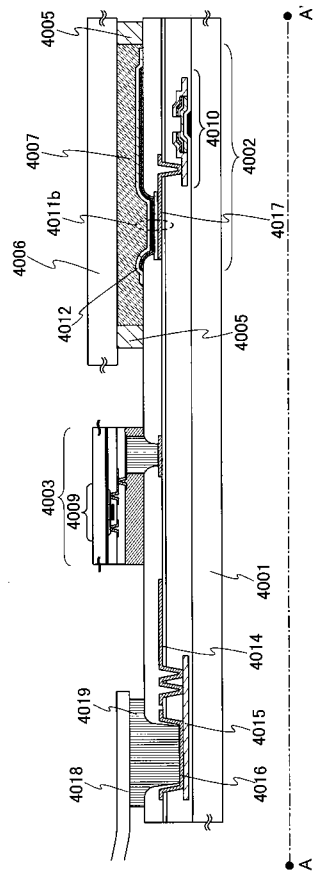
【図 21】



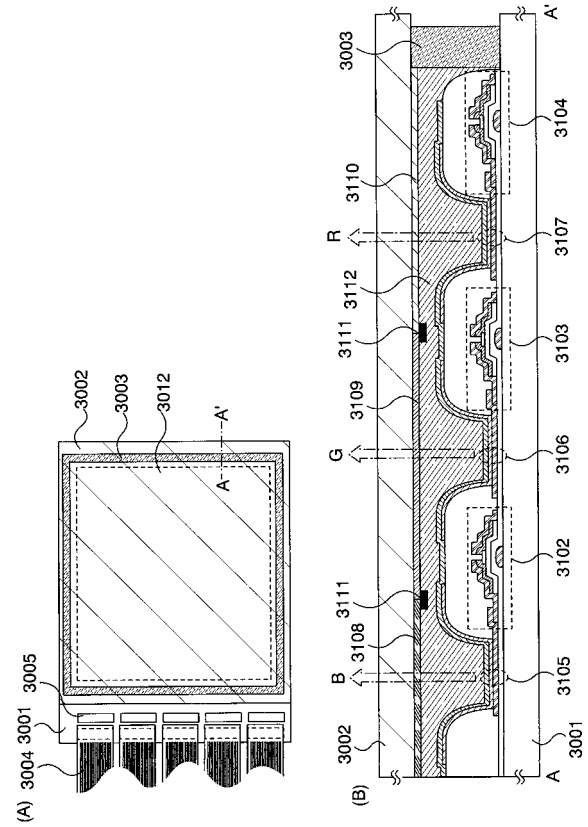
【図 22】



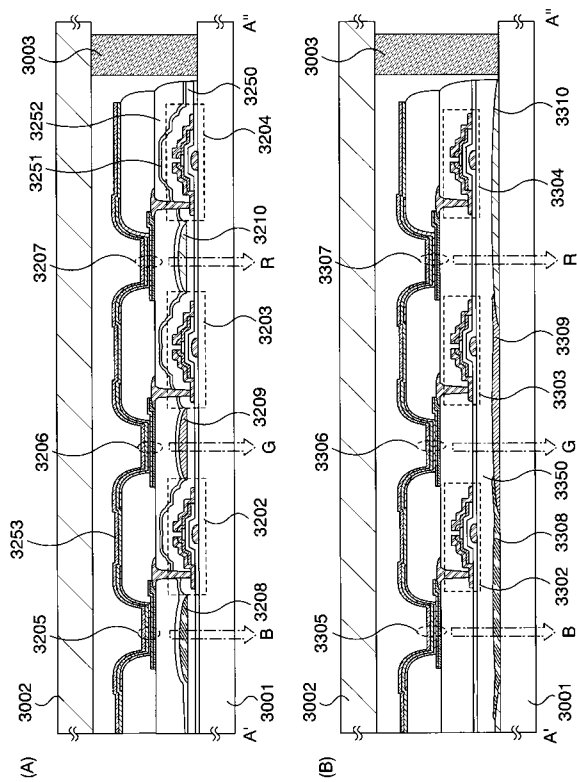
【 図 2 3 】



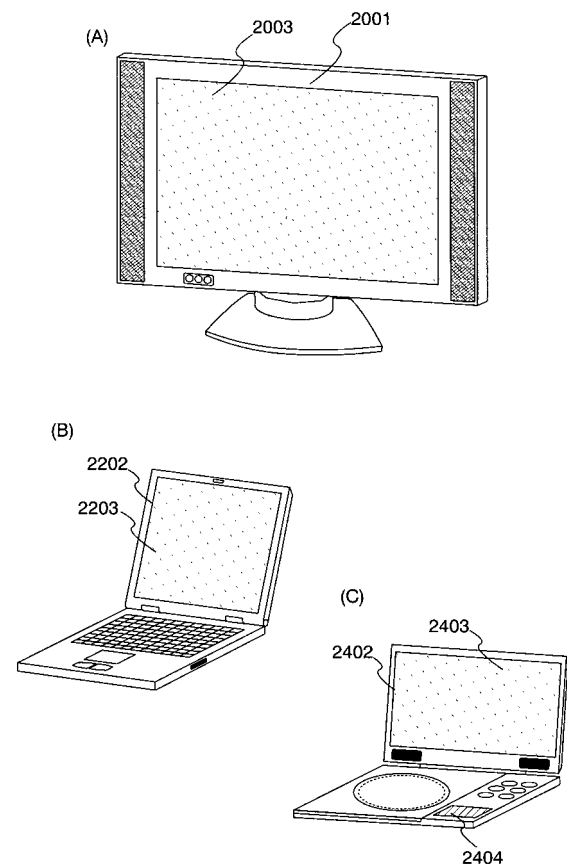
【圖 24】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

審査官 綿引 隆

- (56)参考文献 特開2003-098548(JP,A)
特開平08-201853(JP,A)
特開昭61-051878(JP,A)
国際公開第97/043689(WO,A1)
特開平11-340129(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/336
H01L 29/786