

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年10月3日(03.10.2019)



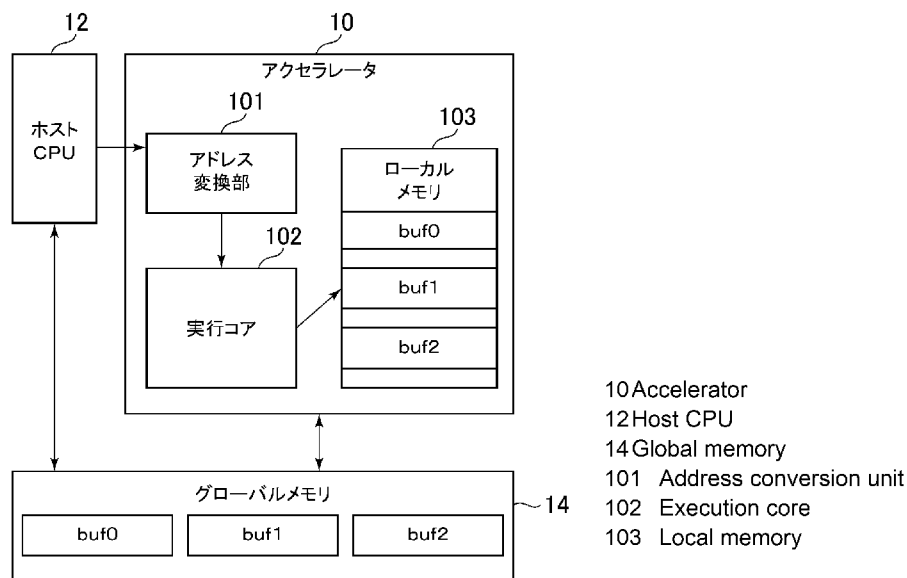
(10) 国際公開番号

WO 2019/188174 A1

- (51) 国際特許分類:
G06F 12/02 (2006.01) *G06F 12/06* (2006.01) 〒1080075 東京都港区港南 2-16-4 品川グランドセントラルタワー 6F Tokyo (JP).
- (21) 国際出願番号: PCT/JP2019/009626 (72) 発明者: 丸目 佳(MARUME, Kei); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内 Aichi (JP).
- (22) 国際出願日: 2019年3月11日(11.03.2019)
- (25) 国際出願の言語: 日本語 (74) 代理人: 鎌田 徹, 外 (KAMATA, Toru et al.); 〒4600003 愛知県名古屋市中区錦 1-11-1 名古屋インターシティ 3 階 TMI 総合法律事務所 名古屋オフィス Aichi (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-068428 2018年3月30日(30.03.2018) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP). 株式会社エヌエスアイテクス(NSITEXE, INC.) [JP/JP];
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: INFORMATION PROCESSING DEVICE

(54) 発明の名称: 情報処理装置



(57) Abstract: This information processing device is provided with: a process execution unit (102) that executes a process on the basis of data stored in a local memory and a global memory; and an address conversion unit (101) that executes an address conversion process for converting the address of an access destination in response to the process execution performed by the process execution unit (102).

(57) 要約: ローカルメモリ及びグローバルメモリに格納されているデータに基づいて処理を実行する処理実行部(102)と、処理実行部(102)の処理の実行に対してアクセス先のアドレスを変換するアドレス変換処理を実行するアドレス変換部(101)と、を設ける。

[続葉有]

HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 情報処理装置

関連出願の相互参照

[0001] 本出願は、2018年3月30日に出願された日本国特許出願2018-068428号に基づくものであって、その優先権の利益を主張するものであり、その特許出願の全ての内容が、参照により本明細書に組み込まれる。

技術分野

[0002] 本開示は、自身が専有するローカルメモリと他の情報処理装置と共有するグローバルメモリとの双方にアクセス可能な情報処理装置に関する。

背景技術

[0003] 自身が専有するローカルメモリと他の情報処理装置と共有するグローバルメモリとの双方にアクセス可能な情報処理装置として、下記特許文献1に記載のものが開示されている。下記特許文献1では、コンピュータユニットは、中央処理ユニット（CPU）及びグラフィック処理ユニット（GPU）の異種混合ユニットを含んでいる。システムは、複数の異種コンピュータユニットの各々に対する親バッファからサブバッファを作成する。サブバッファが親バッファと同じコンピュータユニットに関連付けられていない場合、システムは、サブバッファからのデータをそのコンピュータユニットのメモリにコピーする。システムは、更に、データへの更新を追跡しこれらの更新をサブバッファに転送する。

先行技術文献

特許文献

[0004] 特許文献1：特表2013-528861号公報

発明の概要

[0005] 特許文献1では、親バッファとサブバッファとが関連付けられ、同期を取るように親バッファ及びサブバッファが更新される。このようにローカルメモリとグローバルメモリとの間で頻繁にデータ書き込み及び読み出しが行わ

れると、ローカルメモリとグローバルメモリとの間のデータ転送時間がボトルネックとなり、処理の高速化に影響する。

[0006] 本開示は、自身が専有するローカルメモリと他の情報処理装置と共有するグローバルメモリとの双方にアクセス可能な情報処理装置であって、より処理を高速化することが可能な情報処理装置を提供することを目的とする。

[0007] 本開示は、自身が専有するローカルメモリと他の情報処理装置と共有するグローバルメモリとの双方にアクセス可能な情報処理装置であって、ローカルメモリ及びグローバルメモリに格納されているデータに基づいて処理を実行する処理実行部と、処理実行部の処理の実行に対してアクセス先のアドレスを変換するアドレス変換処理を実行するアドレス変換部と、を備える。

[0008] 処理実行部の処理の実行に対してアクセス先のアドレスを変換するアドレス変換処理を実行するので、処理実行部が必要とするデータのみにアクセスすることができ、より処理を高速化することが可能となる。

図面の簡単な説明

[0009] [図1]図1は、本実施形態の前提となる並列処理について説明するための図である。

[図2]図2は、図1に示される並列処理を実行するためのシステム構成例を示す図である。

[図3]図3は、本実施形態の処理の一例を示すためのグラフ構造を示す図である。

[図4]図4は、本実施形態のアクセラレータの処理を説明するための図である。

[図5]図5は、ローカルメモリ及びグローバルメモリの書き込み状況を説明するための図である。

[図6]図6は、ローカルメモリ及びグローバルメモリの書き込み状況を説明するための図である。

[図7]図7は、比較例としてのアクセラレータの処理を説明するための図である。

[図8]図8は、比較例におけるローカルメモリ及びグローバルメモリの書き込み状況を説明するための図である。

発明を実施するための形態

[0010] 以下、添付図面を参照しながら本実施形態について説明する。説明の理解を容易にするため、各図面において同一の構成要素に対しては可能な限り同一の符号を付して、重複する説明は省略する。

[0011] 図1(A)は、グラフ構造のプログラムコードを示しており、図1(B)は、スレッドの状態を示しており、図1(C)は、並列処理の状況を示している。

[0012] 図1(A)に示されるように、本実施形態が処理対象とするプログラムは、データと処理とが分割されているグラフ構造を有している。このグラフ構造は、プログラムのタスク並列性、グラフ並列性を保持している。

[0013] 図1(A)に示されるプログラムコードに対して、コンパイラによる自動ベクトル化とグラフ構造の抽出を行うと、図1(B)に示されるような大量のスレッドを生成することができる。

[0014] 図1(B)に示される多量のスレッドに対して、ハードウェアによる動的レジスタ配置とスレッド・スケジューリングにより、図1(C)に示されるような並列実行を行うことができる。実行中にレジスタ資源を動的配置することで、異なる命令ストリームに対しても複数のスレッドを並列実行することができる。

[0015] 続いて図2を参照しながら、動的レジスタ配置及びスレッド・スケジューリングを行うアクセラレータ10を含むシステム構成例を説明する。

[0016] アクセラレータ10は、ホストCPU12及びグローバルメモリ14と共に情報処理システムを構成している。ホストCPU12は、データ処理を主として行う演算装置である。ホストCPU12は、OSをサポートしている。

[0017] グローバルメモリ14は、buf0、buf1、buf2の3つのメモリ領域を有している。グローバルメモリ14は、CPU12及びアクセラレー

タ 1 0 からのアクセスに応じて、データの読み込みや書き出しを行っている。

[0018] アクセラレータ 1 0 は、ホスト CPU 1 2 の重い演算負荷に対処するために設けられている個別のマスタとして位置づけられている。アクセラレータ 1 0 は、アドレス変換部 1 0 1 と、実行コア 1 0 2 と、ローカルメモリ 1 0 3 とが設けられている。

[0019] アドレス変換部 1 0 1 は、処理実行部である実行コア 1 0 2 の処理の実行に対してアクセス先のアドレスを変換するアドレス変換処理を実行する部分である。アドレス変換部 1 0 1 は、処理実行部である実行コア 1 0 2 が処理に要するデータがローカルメモリ 1 0 3 に格納されていない場合に、処理実行部である実行コア 1 0 2 に対してグローバルメモリ 1 4 からローカルメモリ 1 0 3 にデータを移すようにアドレス変換処理を実行する。アドレス変換部 1 0 1 は、他の情報処理装置であるホスト CPU 1 2 がグローバルメモリ 1 4 にアクセスする状況を監視し、グローバルメモリ 1 4 に必要とされるデータが無い場合に、処理実行部である実行コア 1 0 2 に対してローカルメモリ 1 0 3 からグローバルメモリ 1 4 にデータを移すようにアドレス変換処理を実行する。

[0020] 実行コア 1 0 2 は、本開示の処理実行部に相当し、ローカルメモリ 1 0 3 及びグローバルメモリ 1 4 に格納されているデータに基づいて処理を実行する部分である。

[0021] ローカルメモリ 1 0 3 は、b u f 0、b u f 1、b u f 2 の 3 つのメモリ領域を有している。ローカルメモリ 1 0 3 は、実行コア 1 0 2 からのアクセスのみを受け付けて、データの読み込みや書き出しを行っている。

[0022] 上記したように本実施形態に係るアクセラレータ 1 0 は、本開示の情報処理装置であって、自身が専有するローカルメモリ 1 0 3 と他の情報処理装置であるホスト CPU 1 2 と共有するグローバルメモリ 1 4 との双方にアクセス可能なものであって、ローカルメモリ及び前記グローバルメモリに格納されているデータに基づいて処理を実行する処理実行部である実行コア 1 0 2

と、処理実行部である実行コア１０２の処理の実行に対してアクセス先のアドレスを変換するアドレス変換処理を実行するアドレス変換部１０１と、を備えるものである。

[0023] 続いて、アクセラレータ１０の処理について、図３、図４、図５、図６を参照しながら説明する。図３は、説明に用いるためのプログラムのグラフ構造を例示する図である。図３に示される例では、`buf 0`に格納されているデータを用いて`Graph 1`の処理を実行し、結果を`buf 1`に格納する。続いて、`buf 1`に格納されているデータを用いて`Graph 2`の処理を実行し、結果を`buf 2`に格納する。このような処理を前提として説明を続ける。

[0024] 図４は、図３に示されるような処理を実行する際のシーケンス図である。図５は、図４に示されるような処理を行った場合のグローバルメモリ１４及びローカルメモリ１０３の状況を示す図である。

[0025] 図４に示されるように、ホストCPU１２から、アクセラレータ１０に対して`Graph 1`の実行が指示される（ステップS001）。図５（A）に示されるように、この時点では、ローカルメモリ１０３にはデータが格納されておらず、グローバルメモリ１４の`buf 0`に`data 001`が格納されている。

[0026] ステップS001の実行指示に応じて、アドレス変換部１０１は、ローカルメモリ１０３に`buf 0`のデータが格納されているか否かを判断する（ステップS101）。ローカルメモリ１０３に`buf 0`のデータが格納されていれば、ステップS104の処理に進む。ローカルメモリ１０３に`buf 0`のデータが格納されていなければ、ステップS102の処理に進む。

[0027] 図５（A）に示されるように、この時点では、ローカルメモリ１０３にはデータが格納されていない場合、ステップS102の処理を実行する。ステップS102では、アドレス変換部１０１が、実行コア１０２に対して、グローバルメモリ１４から`buf 0`のデータを読み込んで、ローカルメモリ１０３に書き込む指示を出力する。

- [0028] この指示に応じて、実行コア102は、b u f 0のデータをグローバルメモリ14から読み込んで、ローカルメモリ103に書き込む（ステップS201）。図5（B）に示されるように、ローカルメモリ103のb u f 0にもd a t a 0 0 1が格納される。
- [0029] 続いて、アドレス変換部101から実行コア102に、G r a p h 1の実行指示が出力される（ステップS103）。この指示に応じて、実行コア102は、G r a p h 1の処理を実行する（ステップS202）。実行コア102は、実行結果をb u f 1に書き込む（ステップS203）。この書き込みの結果、図5（C）に示されるように、ローカルメモリ103のb u f 1にd a t a 0 0 2が格納される。
- [0030] 実行コア102からホストCPU12に、G r a p h 1の完了通知が送信される（ステップS204）。この段階では、図5（C）に示されるように、グローバルメモリ14のb u f 1にはデータが書き込まれていない。
- [0031] アドレス変換部101は、ホストCPU12のメモリアクセス状況をモニタリングする（ステップS104）。ホストCPU12は、ステップS204の通知によってG r a p h 1が完了していることを認識しているので、G r a p h 1の実行結果であるb u f 1をグローバルメモリ14から読み込んで次の処理を行う場合がある（ステップS002）。
- [0032] アドレス変換部101は、ステップS002におけるCPU12の処理を検知し、グローバルメモリ14にb u f 1が格納されているか否かを判断する（ステップS105）。グローバルメモリ14にb u f 1が格納されていれば、特段のアクションは起こさない。グローバルメモリ14にb u f 1が格納されていない場合、CPU12に読込遅延処理を行う（ステップS107）。この処理は、後述する実行コア102の処理が終了するまでCPU12がグローバルメモリ14からデータを読み込む処理を遅延させるものである。
- [0033] アドレス変換部101は、実行コア102にb u f 1をローカルメモリ103からグローバルメモリ14に書き込む指示を出力する（ステップS10

6)。この指示に応じて、実行コア102は、ローカルメモリ103のb u f 1をグローバルメモリ14に書き込む処理を実行する（ステップS205）。この書き込みの結果、図5（D）に示されるように、グローバルメモリ14のb u f 1にd a t a 002が格納される。

[0034] このような必要に応じた場合のみのローカルメモリ103からグローバルメモリ14への書き込みは、G r a p h 2まで処理が進む場合も実行される。図6は、その場合のローカルメモリ103及びグローバルメモリ14のデータ書き込み状況を示すものである。

[0035] 図6（A）及び図6（B）は、図5（A）図5（B）と同じ状況となっている。ここで、C P U 12からG r a p h 2の実行が指示されると、実行コア102はG r a p h 2を実行することになり、結果であるb u f 2のd a t a 003をローカルメモリ103にのみ書き込む。

[0036] C P U 12は通知によってG r a p h 2が完了していることを認識しているので、G r a p h 2の実行結果であるb u f 2をグローバルメモリ14から読み込んで次の処理を行う場合がある。このアクションをアドレス変換部101が認識し、実行コア102は、ローカルメモリ103からグローバルメモリ14にb u f 2の書き込みを行う。図6（D）に示されるように、C P U 12が必要としなかったb u f 1はグローバルメモリ14へ掻き出されないで、メモリの無駄なアクセスを低減することができる。

[0037] 比較のため、アドレス変換を行わない場合の例について、図7及び図8を参照しながら説明する。図7に示されるように、ホストC P Uから、アクセラレータに対してG r a p h 1の実行が指示される（ステップS051）。図8（A）に示されるように、この時点では、ローカルメモリにはデータが格納されておらず、グローバルメモリのb u f 0にd a t a 001が格納されている。

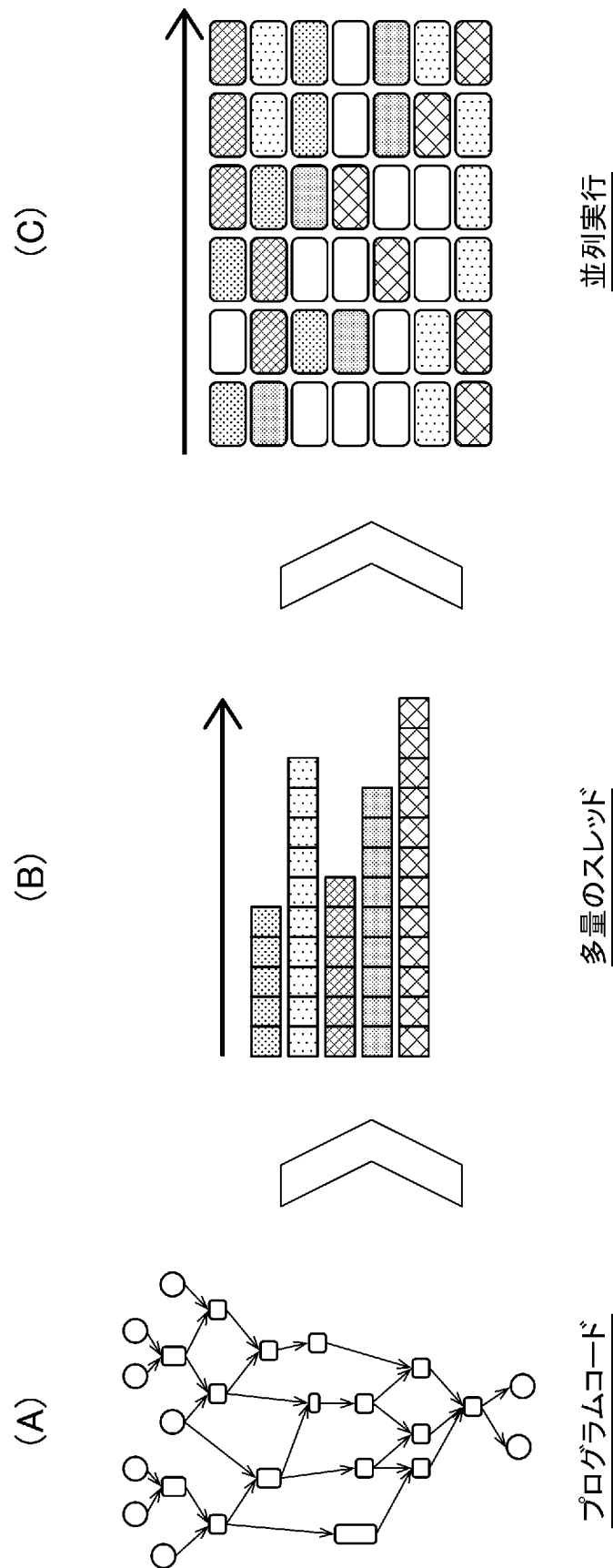
[0038] 実行コアは、グローバルメモリからb u f 0を読み込んで、ローカルメモリに書き込む（ステップS251）。この段階で、図8（B）に示されるように、ローカルメモリのb u f 1にデータが書き込まれる。

- [0039] 実行コアは、G r a p h 1を実行する（ステップS 2 5 2）。実行コアは、G r a p h 1の実行結果であるb u f 1をローカルメモリに書き込む（ステップS 2 5 3）。実行コアは、b u f 1をグローバルメモリに書き込む（ステップS 2 5 4）。この段階で、図8（C）に示されるように、グローバルメモリのb u f 1にデータが書き込まれる。
- [0040] 実行コアは、G r a p h 1の完了通知をホストC P Uに送信する（ステップS 2 5 5）。ホストC P Uは、グローバルメモリからb u f 1を読み込む（ステップS 0 5 2）。
- [0041] 実行コアがG r a p h 2を実行すると、実行完了時に即座にグローバルメモリにもb u f 2が書き込まれ、図8（D）の状態となる。
- [0042] 本実施形態のメモリ書き込み例である図6と、比較例のメモリ書き込み例である図8とを比較すると明らかなように、本実施形態では必要な場合のみにローカルメモリ1 0 3からグローバルメモリ1 4への書き込みが行われるので、より処理を高速化することができる。
- [0043] 以上、具体例を参照しつつ本実施形態について説明した。しかし、本開示はこれらの具体例に限定されるものではない。これら具体例に、当業者が適宜設計変更を加えたものも、本開示の特徴を備えている限り、本開示の範囲に包含される。前述した各具体例が備える各要素およびその配置、条件、形状などは、例示したものに限定されるわけではなく適宜変更することができる。前述した各具体例が備える各要素は、技術的な矛盾が生じない限り、適宜組み合わせを変えることができる。

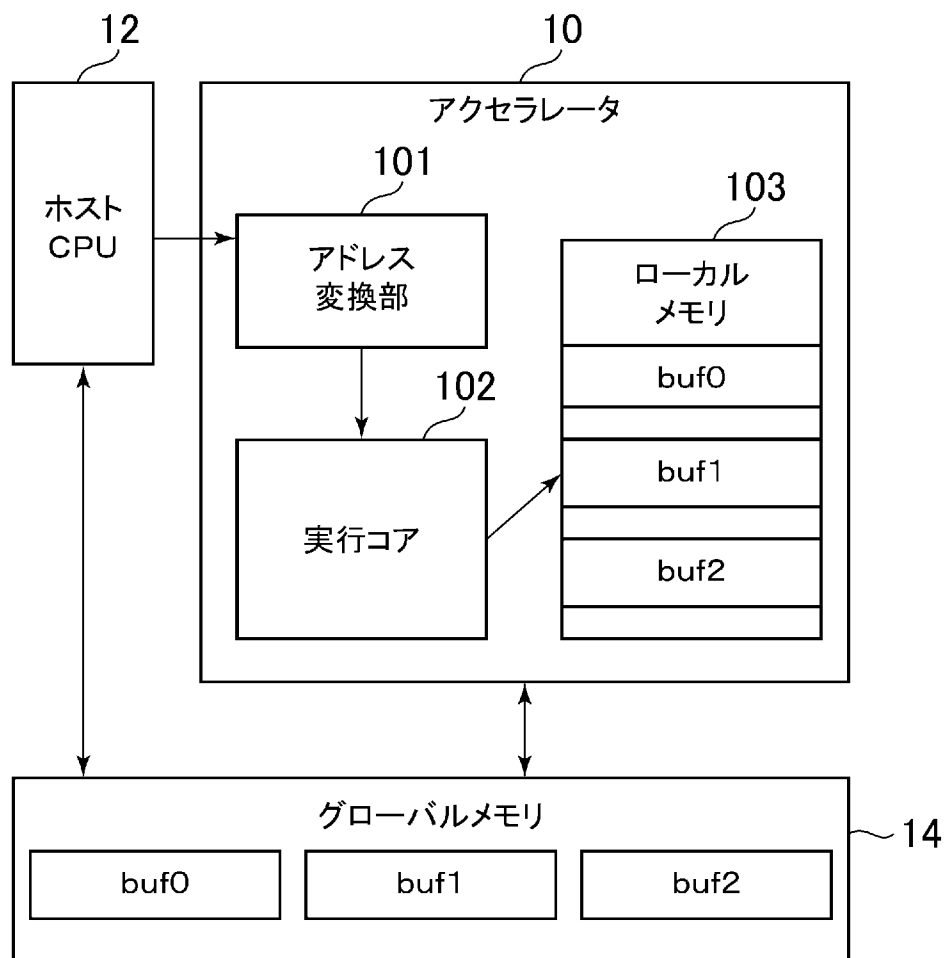
請求の範囲

- [請求項1] 自身が専有するローカルメモリと他の情報処理装置と共有するグローバルメモリとの双方にアクセス可能な情報処理装置であって、
- 前記ローカルメモリ及び前記グローバルメモリに格納されているデータに基づいて処理を実行する処理実行部（102）と、
- 前記処理実行部の処理の実行に対してアクセス先のアドレスを変換するアドレス変換処理を実行するアドレス変換部（101）と、を備える情報処理装置。
- [請求項2] 請求項1に記載の情報処理装置であって、
- 前記アドレス変換部は、前記処理実行部が処理に要するデータが前記ローカルメモリに格納されていない場合に、前記処理実行部に対して前記グローバルメモリから前記ローカルメモリにデータを移すように前記アドレス変換処理を実行する、情報処理装置。
- [請求項3] 請求項2に記載の情報処理装置であって、
- 前記アドレス変換部は、他の情報処理装置が前記グローバルメモリにアクセスする状況を監視し、前記グローバルメモリに必要とされるデータが無い場合に、前記処理実行部に対して前記ローカルメモリから前記グローバルメモリにデータを移すように前記アドレス変換処理を実行する、情報処理装置。

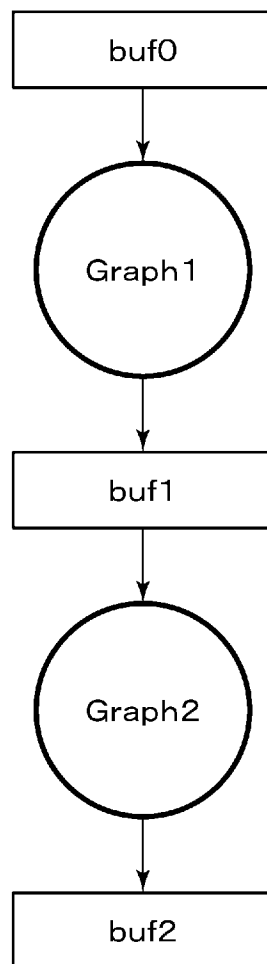
[図1]



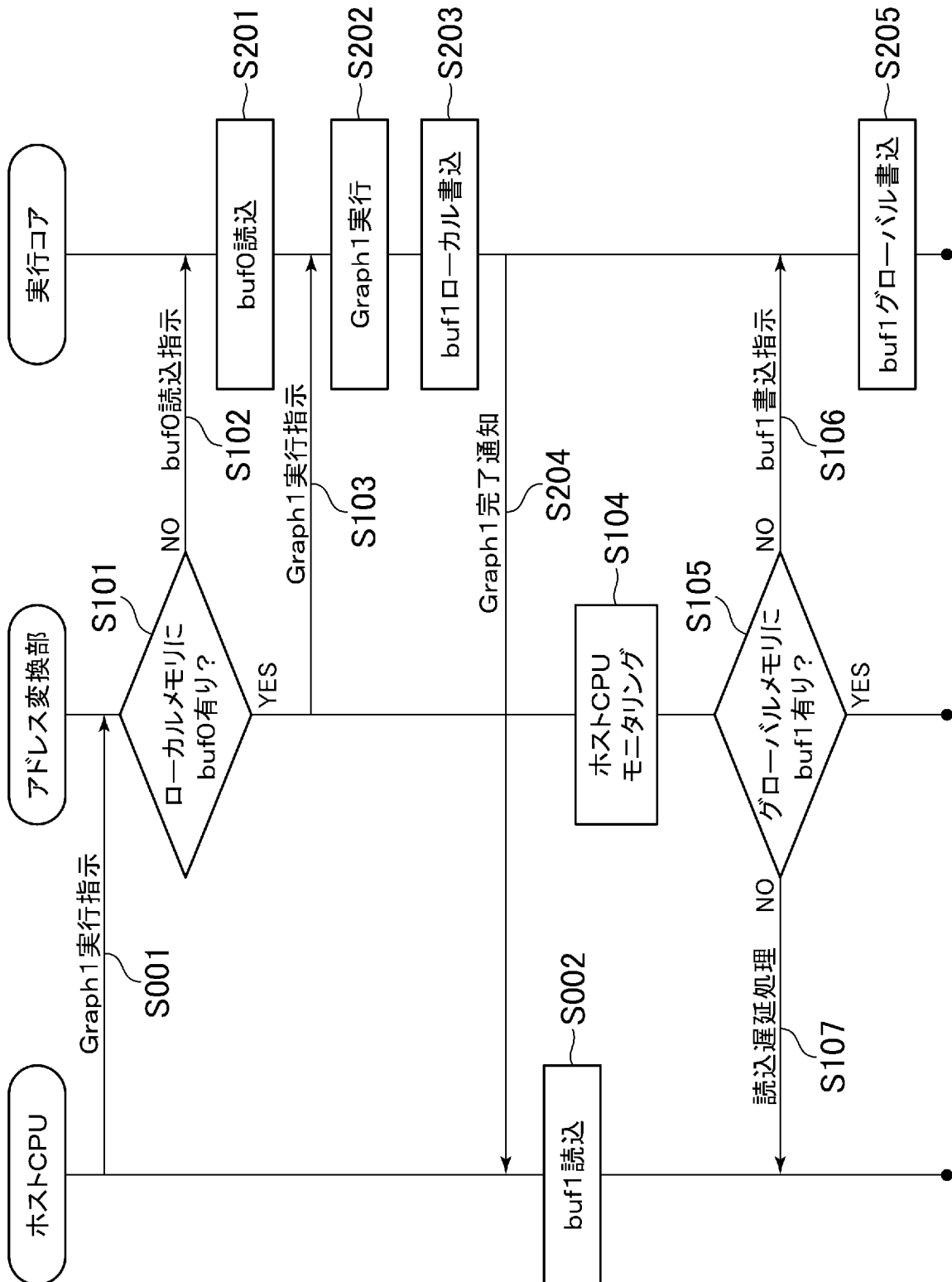
[図2]



[図3]



[図4]



[図5]

(A)

	ローカルメモリ	グローバルメモリ
buf0	—	data001
buf1	—	—
buf2	—	—

(B)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	—	—
buf2	—	—

(C)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	data002	—
buf2	—	—

(D)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	data002	data002
buf2	—	—

[図6]

(A)

	ローカルメモリ	グローバルメモリ
buf0	—	data001
buf1	—	—
buf2	—	—

(B)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	—	—
buf2	—	—

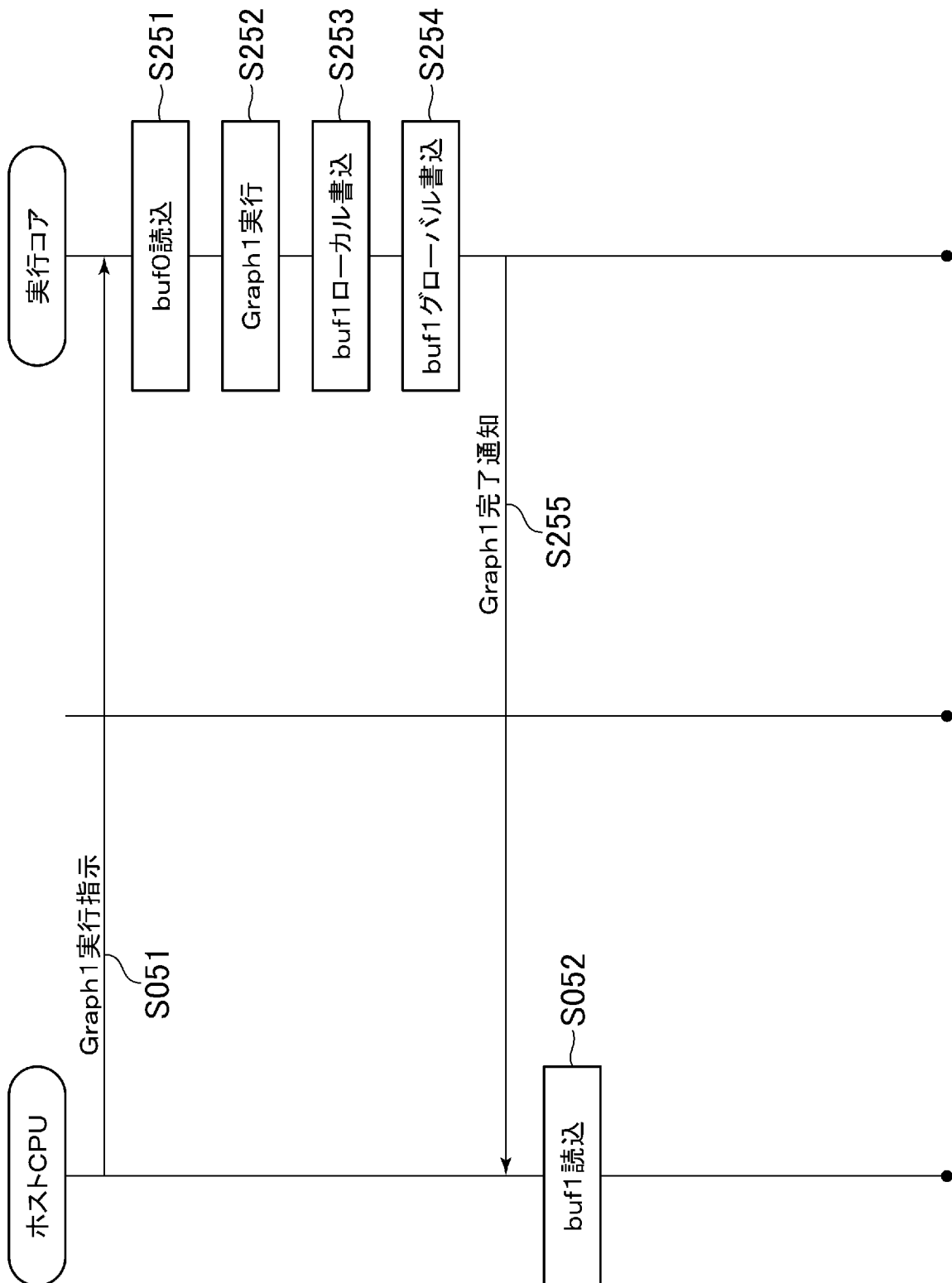
(C)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	data002	—
buf2	data003	—

(D)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	data002	—
buf2	data003	data003

[図7]



[図8]

(A)

	ローカルメモリ	グローバルメモリ
buf0	—	data001
buf1	—	—
buf2	—	—

(B)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	—	—
buf2	—	—

(C)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	data002	data002
buf2	—	—

(D)

	ローカルメモリ	グローバルメモリ
buf0	data001	data001
buf1	data002	data002
buf2	data003	data003

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009626

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06F12/02 (2006.01) i, G06F12/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06F12/02, G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-70253 A (MITSUBISHI ELECTRIC CORPORATION) 07 April 2011, paragraphs [0010]-[0017], [0077]-[0079], fig. 1-4, 24 (Family: none)	1-2 3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18.04.2019

Date of mailing of the international search report
07.05.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F12/02(2006.01)i, G06F12/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F12/02, G06F12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2011-70253 A (三菱電機株式会社) 2011.04.07, 段落 [0010] - [0017], [0077] - [0079], 図 1-4, 24 (ファミリーなし)	1-2 3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

18.04.2019

国際調査報告の発送日

07.05.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

篠塚 隆

5 N

6303

電話番号 03-3581-1101 内線 3586