(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G09G 3/36

(45) 공고일자 2002년12월18일
(11) 등록번호 10-0365499
(24) 등록일자 2002년12월06일

(21) 출원번호 10-2000-0079375
(22) 출원일자 2000년12월20일

(65) 공개번호 특2002-0050039
(43) 공개일자 2002년06월26일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 안승국
경상북도구미시비산동전원리빙APT1309호

(74) 대리인 김영호

심사관 : 서호선

(54) 액정표시장치의 구동방법 및 장치

요약

본 발명은 액정표시장치의 해상도 모드 전환시 도트 개수에 무관하게 화질을 선명하게 유지하도록 한 액정표시장치의 구동방법 및 장치에 관한 것이다.

본 발명은 데이터 인에이블신호의 인에이블 개시시점을 검출하고, 데이터 인에이블신호의 인에이블 개시시점에서 리셋신호를 발생하여, 상기 리셋신호에 의해 소스 쉬프트 클럭을 리셋시키게 된다.

대표도
도 7

색인어
액정표시장치, 해상도, 소스 쉬프트 클럭(SSC)

명세서

도면의 간단한 설명

도 1은 액정표시장치의 구동장치를 개략적으로 나타내는 도면.

도 2는 도 1에 도시된 타이밍 콘트롤러의 출력 파형도.

도 3은 UXGA, SXGA, XGA의 해상도 모드시 도 1에 도시된 타이밍 콘트롤로의 입/출력 파형도.

도 4는 VGA, SVGA의 해상도 모드시 도 1에 도시된 타이밍 콘트롤로의 입/출력 파형도.

도 5는 XGA와 VGA의 해상도 모드시 도 1에 도시된 타이밍 콘트롤로의 입/출력 파형도.

도 6은 본 발명의 실시예에 따른 액정표시장치의 구동장치에 있어서 타이밍 콘트롤러의 SSC 발생부를 나타내는 블럭도.

도 7은 도 6에 도시된 SSC 리셋부를 상세히 나타내는 회로도.

도 8은 본 발명의 실시예에 따른 액정표시장치의 구동장치의 입/출력 파형도.

< 도면의 주요 부분에 대한 부호의 설명

2 : 액정표시패널 4 : 게이트 드라이버 IC

6 : 소스 드라이버 IC 8 : 타이밍 콘트롤러

20 : SSC 리셋부 21 : D 플립플롭

22 : 버퍼 23 : 인버터

24 : AND 게이트 25 : 리셋부

30 : 기준클럭 발생부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치의 해상도 모드 전환시 도트 개수에 무관하게 화질을 선명하게 유지하도록 한 액정표시장치의 구동방법 및 장치에 관한 것이다.

액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 컴퓨터의 모니터는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.

이러한 액정표시장치는 고해상도·대화면화되고 있다. 최근에는 워크스테이션과 같은 고급기종에서 요구되는 해상도들까지도 퍼스널 컴퓨터의 액정 모니터에서 지원하고 있다. 이러한 액정표시장치를 개략적으로 나타내면 도 1과 같다.

도 1을 참조하면, 액정표시장치는 게이트 라인(GL1 내지 GLm)과 소스 라인(SL1 내지 Sn) 사이에 TFT와 액정셀이 형성되는 액정표시패널(2)과, 소스 라인(SL1 내지 Sn)에 데이터를 공급하기 위한 소스 드라이버 집적회로(Integrated Circuit : 이하, "IC"라 함)(6)과, 게이트 라인(GL1 내지 GLm)에 순차적으로 스캔펄스를 공급하기 위한 게이트 드라이버 (4)와, 소스 드라이버 (6)와 게이트 드라이버(4)에 필요한 타이밍 제어신호들을 공급하기 위한 타이밍 콘트롤러(8)와, 그래픽카드로부터 공급된 데이터를 콘트롤러(8)에 공급하기 위한 인터페이스 회로(12)를 구비한다. 소스 드라이버 IC(6)는 타이밍 콘트롤러(8)로부터의 소스 쉬프트 클럭(Source Shift Clock ; 이하, "SSC"라 함)에 따라 RG

B 각각의 데이터를 래치하여 점순차방식(Dot at a time scanning)의 타이밍 체계를 선순차방식(Line at a Time Scanning)으로 변환하여 소스 라인(SL1 내지 SLn)에 공급한다. 타이밍 콘트롤러(8)로부터 소스 드라이버 IC(6)에 공급되는 타이밍 제어신호는 SSC, 1 수평 동기 기간 중에 데이터의 래치 또는 샘플링 시작을 지시하는 소스 스타트 펄스(Source Start Pulse ; 이하 "SSP"라 함), 소스 드라이버 IC(6)의 출력을 제어하는 소스 출력 인에이블(Source Output Enable ; SOE), 인버터 구동시 데이터의 극성을 반전시키기 위한 극성 제어신호(Polarity ; Pol)를 포함한다. 게이트 드라이버 IC(6)는 쉬프트 레지스터로 구성되어 타이밍 콘트롤러(8)로부터의 게이트 스타트 펄스(Gate Start Pulse ; 이하, "GSP"에 응답하여 게이트 하이 전압의 스캔펄스를 게이트 라인들(GL1 내지 GLm)에 순차적으로 공급하여 액정셀들에 데이터가 충전되게 한다. 타이밍 콘트롤러(8)로부터 게이트 드라이버 IC(4)에 공급되는 타이밍 제어신호는 GSP, TFT의 게이트가 ON 또는 OFF 되는 시간을 결정하는 게이트 쉬프트 클럭(GSC), 게이트 드라이버 IC(4)의 출력을 제어하는 게이트 출력 인에이블(GOE)를 포함한다. 타이밍 콘트롤러(8)는 인터페이스 회로(12)를 경유하여 입력되는 RGB 신호를 받아 소스 드라이버 IC(6)에 분배함과 아울러 소스 드라이버 IC(6)와 게이트 드라이버 IC(4)를 제어한다. 이 타이밍 콘트롤러(8)는 도시하지 않은 기준클럭 발생부로부터 공급되는 SSC를 이용하여 소스 드라이버 IC(6)와 게이트 드라이버 IC(4)에 필요한 타아밍 제어신호들을 생성한다. 인터페이스 회로(12)는 도시하지 않은 그래픽카드로부터 공급되는 RGB 데이터와 도트클럭(Dot Clock ; 이하 "Dclk"이라 함)을 콘트롤러(8)에 공급한다. 콘트롤러(8) 또는 인터페이스 회로(12)는 데이터 공급라인수를 줄이고 전자기적 간섭을 줄일 수 있도록 LVDS를 포함할 수 있다.

한편, UXGA, SXGA, XGA, SVGA, VGA의 해상도 모드에서 그래픽 카드로부터 타이밍 콘트롤러(8)에 입력되는 데이터 인에이블 신호(Data Enable ; 이하 "I_DE"라 함)의 블랭킹 구간(로우논리 구간)에서 Dclk(65Mhz)의 갯수가 VESA(Video Electronics Standard Association) 표준 규격에는 짝수로 규정되어 있다. 그러나 해상도 모드가 UXGA, SXGA, XGA에서 SVGA 또는 VGA로 전환될 때 Dclk의 갯수가 홀수로 변하게 된다. 이렇게 해상도 모드가 전환될 때 화면 상에 노이즈가 나타나게 된다.

종래의 타이밍 콘트롤러(8)는 도 2에서 알 수 있는 바, 그래픽 카드의 해상도 변환에 관계없이 인터페이스 회로(12)로부터의 도트클럭(Dclk)을 토글링하여 SSC를 발생한다. 이를 상세히 하면, 종래의 타이밍 콘트롤러(8)는 해상도에 관계없이 I_DE가 하이레벨로 변하는 시점부터 3 번째 발생하는 도트클럭(Dclk)에서 리셋회로가 동작하여 SSC를 리셋시킨다. 여기서, 도 3과 같이 해상도 모드가 UXGA, SXGA 또는 XGA인 경우에 I-DE의 블랭킹 구간에서 도트클럭(Dclk ; XGA 모드에서 65Mhz)의 개수가 짝수(n)이다. 이 경우에는 SSC가 정상 파형과 주파수로 발생된다. 이에 반하여, 도 4와 같이 해상도 모드가 SVGA 또는 VGA인 경우에 데이터 인에이블 신호(DE)의 블랭킹 구간에서 도트클럭(Dclk)의 갯수가 홀수로 변환된다. 그 결과, 해상도 모드가 UXGA, SXGA, XGA에서 SVGA 또는 VGA로 전환될 때 도 5와 같이 소스 드라이버 IC(6)의 입력 SSP와 SSC가 셋업시점과 홀드타임을 규정하는 타이밍 스펙(Timing Spec.)을 벗어나게 되어 화면 상에 수평방향 노이즈가 나타나게 된다. 도 3 내지 도 5에 있어서, 데이터 인에이블신호(DE)는 타이밍 콘트롤러(8)의 내부 회로에 의해 생성되며, 타이밍 콘트롤러(8)에 의해 입력 데이터로부터 분할된 기수 데이터와 우수 데이터의 샘플링 개시시점을 지시한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 액정표시장치의 해상도 모드 전환시 도트 클럭의 개수에 무관하게 화질을 선명하게 유지하도록 한 액정표시장치의 구동방법 및 장치를 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치의 구동방법은 비디오 데이터가 존재하는 기간을 지시하는 데이터 인에이블신호를 콘트롤러에 입력하는 단계와, 상기 데이터 인에이블신호의 인에이블 개시시점을 검출하는 단계와, 상기 데이터 인에이블신호의 인에이블 개시시점에서 리셋신호를 발생하는 단계와, 상기 리셋신호에 의해 상기 소스 쉬프트 클럭을 리셋시키는 단계를 포함한다.

본 발명에 따른 액정표시장치의 구동장치는 비디오 데이터가 존재하는 기간을 지시하는 데이터 인에이블신호의 인에이블 개시시점을 검출하기 위한 검출수단과, 상기 데이터 인에이블신호의 인에이블 개시시점에서 상기 소스 쉬프트 클럭을 리셋시키는 리셋수단을 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 6 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6을 참조하면, 본 발명에 따른 액정표시장치의 구동장치는 I_DE와 Dclk을 입력 받아 I_DE가 하이레벨로 변하는 시점에 리셋신호(RESET)를 발생하는 SSC 리셋부(20)와, SSC 리셋부(20)로부터의 리셋신호(RESET)에 응답하여 I_DE가 하이레벨로 변하는 SSC를 리셋시키는 기준클럭 발생부(30)를 구비한다. SSC 리셋부(20)와 기준클럭 발생부(30)는 타이밍 콘트롤러(8) 내에 내장될 수 있으며, 별도의 회로로 구성될 수도 있다.

SSC 리셋부(20)는 해상도 모드의 전환시 Dclk의 개수에 무관하게 I_DE가 하이레벨로 변하는 시점을 감지하여 리셋신호를 발생하게 된다. 이를 위하여, SSC 리셋부(20)는 도 7과 같이 인터페이스 회로(12)로부터 I_DE와 Dclk이 입력되는 D 플립플롭(21)과, D 플립플롭(21)의 출력단자에 접속된 인버터(23)와, I_DE 입력라인(26)을 경유하여 IDE가 입력되는 버퍼(22)와, 버퍼(22)와 인버터(23)의 출력단자에 공통으로 접속된 AND 게이트(24)와, Dclk 입력라인(27)과 AND 게이트(24)의 출력단자 사이에 접속된 리셋부(25)를 구비한다. D 플립플롭(21)은 타이밍 콘트롤러(8)에 입력되는 I_DE를 매 Dclk이 입력될 때마다 출력한다. 버퍼(22)는 I_DE 입력라인(26)을 경유하여 입력되는 I_DE를 신호 완충하여 AND 게이트(24)의 제1 입력단에 공급하며, 인버터(23)는 D 플립플롭(21)으로부터 입력되는 구형파 신호를 논리 반전시켜 AND 게이트(24)의 제2 입력단에 공급한다. AND 게이트(24)는 버퍼(22)와 인버터(23) 각각으로부터 입력되는 I_DE와 구형파 신호를 논리곱 연산함으로써 I_DE가 로우논리에서 하이논리로 변하는 시점을 지시하는 신호를 발생하는 역할을 한다. 리셋부(25)는 AND 게이트(24)로부터 입력되는 하이논리 신호에 응답하여 SSC를 리셋시키기 위한 리셋신호를 발생한다. 기준클럭 발생부(30)는 SSC를 발생하며, 리셋부(25)로부터 공급되는 리셋신호에 응답하여 I_DE가 로우논리에서 하이논리로 변하는 시점에 SSC를 리셋시키는 역할을 한다.

SSC 리셋부(20)의 동작을 도 8을 결부하여 설명하기로 한다.

도 8을 참조하면, 65Mhz의 Dclk은 AND 게이트(24)로부터 출력되는 신호와 리셋부(25)로부터 출력되는 신호가 동기되도록 D 플립플롭(21)과 리셋부(25)에 공통으로 입력된다. I_DE가 블랭킹 구간(로우논리)일 때, AND 게이트(24)의 출력신호는 버퍼(22)의 출력신호가 로우논리를 유지하므로 로우논리를 유지한다. I_DE가 로우논리에서 하이논리로 변하게 되면 버퍼(22)와 인버터(23)의 출력신호가 동시에 하이논리를 가지게 되므로 AND 게이트(24)는 하이논리의 펄스 신호를 발생한다. 즉, AND 게이트(24)는 해상도 모드의 전환시 예를 들면, UXGA, SXGA, XGA에서 SVGA 또는 VGA로 전환될 때의 도트클럭 수의 변화에 관계없이 I_DE의 논리값이 로우논리에서 하이논리로 변하는 시점을 검출한다. 이렇게 AND 게이트(24)로부터 발생된 펄스 신호는 리셋부(25)에 입력되어 기준클럭 발생부(30)로부터 출력되는 32.5 Mhz의 SSC를 리셋시킨다. 따라서, 소스 드라이버 IC(6)에 입력되는 SSC는 해상도 모드 전환에 관계없이 I_DE의 인에이블 기간에 항상 정상적인 펄스폭과 주파수를 가지게 된다. 한편, SSP는 타이밍 콘트롤러(8)에 의해 기수·우수 데이터와 리셋신호 사이에서 SSC의 두 배 펄스폭으로 발생된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동방법 및 장치는 액정표시장치에 있어서 입력 영상의 해상도 변화에 의해 발생되는 도트클럭(Dclk)의 홀수/짝수 변화에 관계없이 타이밍 콘트롤럭(8)에 입력되는 데이터 인에이블(I_DE) 신호의 인에이블구간의 개시시점을 검출하여 소스 쉬프트 클럭(SSC)을 리셋시키게 된다. 그 결과, 본 발명에

따른 액정표시장치의 구동방법 및 장치는 해상도 모드의 전환시 예를 들면, UXGA, SXGA, XGA에서 SVGA 또는 VGA로 해상도 모드가 변할 때 도트클럭(Dclk)의 기수·우수 변화에 관계없이 소스 드라이버 IC(6)에 입력되는 SSC와 SSP가 VESA 표준 규격의 타이밍 스펙을 만족하게 되므로 해상도 모드의 전환시 수평방향 노이즈의 발생을 방지할 수 있다. 나아가, 본 발명에 따른 액정표시장치의 구동방법 및 장치는 소스 드라이버 IC(6)에 입력되는 SSC와 SSP의 타이밍 마진을 확보할 수 있으므로 저온이나 고온 환경에서 선명한 화질을 유지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.

소스 쉬프트 클럭 및 소스 스타트 펄스를 발생하여 소스 드라이버 회로를 제어하기 위한 콘트롤러를 구비하는 액정표시장치의 구동방법에 있어서,

비디오 데이터가 존재하는 기간을 지시하는 데이터 인에이블신호를 콘트롤러에 입력하는 단계와,

상기 데이터 인에이블신호의 인에이블 개시시점을 검출하는 단계와,

상기 데이터 인에이블신호의 인에이블 개시시점에서 리셋신호를 발생하는 단계와,

상기 리셋신호에 의해 상기 소스 쉬프트 클럭을 리셋시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 2.

소스 쉬프트 클럭 및 소스 스타트 펄스를 발생하여 소스 드라이버 회로를 제어하기 위한 콘트롤러를 구비하는 액정표시장치에 있어서,

비디오 데이터가 존재하는 기간을 지시하는 데이터 인에이블신호의 인에이블 개시시점을 검출하기 위한 검출수단과,

상기 데이터 인에이블신호의 인에이블 개시시점에서 상기 소스 쉬프트 클럭을 리셋시키는 리셋수단을 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 3.

제 2 항에 있어서,

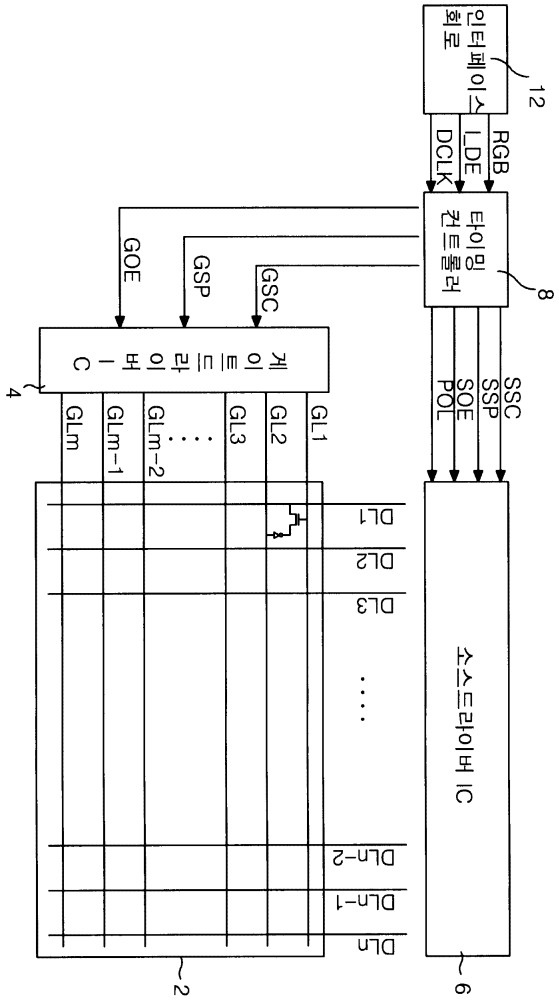
상기 검출수단은 상기 데이터 인에이블신호가 입력되며 도트클럭에 응답하여 상기 데이터 인에이블신호를 출력하는 D 플립플롭과,

상기 데이터 인에이블 신호의 논리를 반전시키기 위한 인버터와,

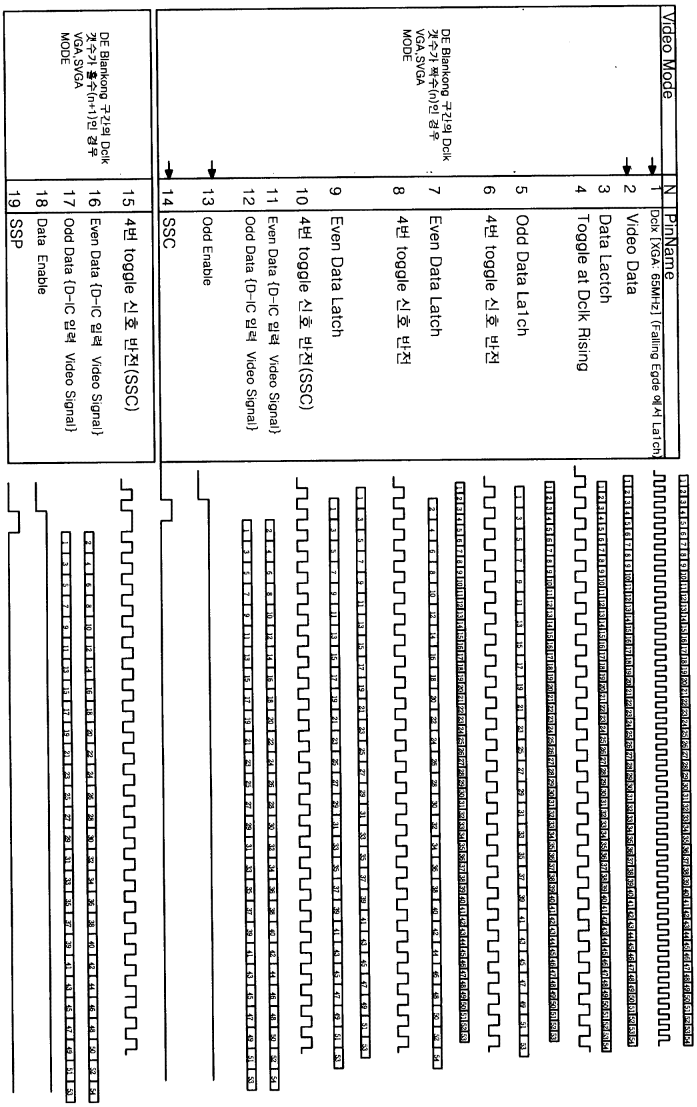
상기 데이터 인에이블 신호와 인버터에 의해 논리반전된 데이터 인에이블신호를 논리곱 연산하여 상기 데이터 인에이블신호의 인에이블 개시시점을 지시하는 펄스를 발생하는 AND 게이트를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

도면

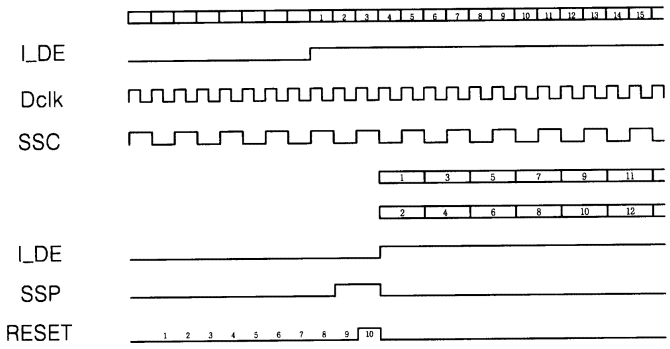
도면 1


인터페이스 회로
12
RGB
I_DE
DCLK
타이밍 컨트롤러
8
GOE
GSP
GSC
SSC
SSP
SOE
POL
게이트 드라이버 IC
4
GL1
GL2
GL3
GLm-2
GLm-1
GLm
DL1
DL2
DL3
DLn-2
DLn-1
DLn
소스드라이버 IC
6
2

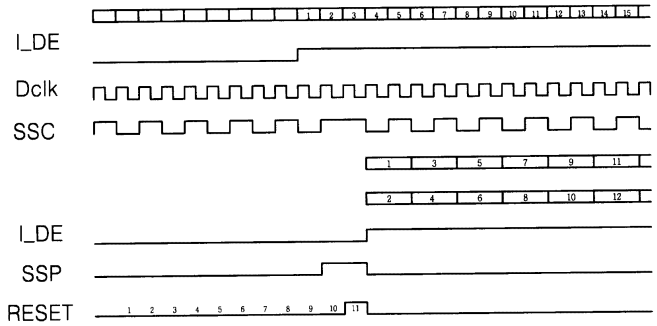
도면 2


Video Mode
N
PinName
1 Dclk (XGA: 65MHz) (Falling Edge 에서 Latch)
2 Video Data
3 Data Lacich
4 Toggle at Dclk Rising
5 Odd Data La1ch
6 4번 toggle 신호 반전
7 Even Data Latch
8 4번 toggle 신호 반전
9 Even Data Latch
10 4번 toggle 신호 반전(SSC)
11 Even Data (D-IC 입력 Video Signal)
12 Odd Data (D-IC 입력 Video Signal)
13 Odd Enable
14 SSC
DE Blankong 구간의 Dclk 갯수가 짝수(n)인 경우 VGA,SVGA MODE
DE Blankong 구간의 Dclk 갯수가 홀수(n+1)인 경우 VGA,SVGA MODE
15 4번 toggle 신호 반전(SSC)
16 Even Data (D-IC 입력 Video Signal)
17 Odd Data (D-IC 입력 Video Signal)
18 Data Enable
19 SSP

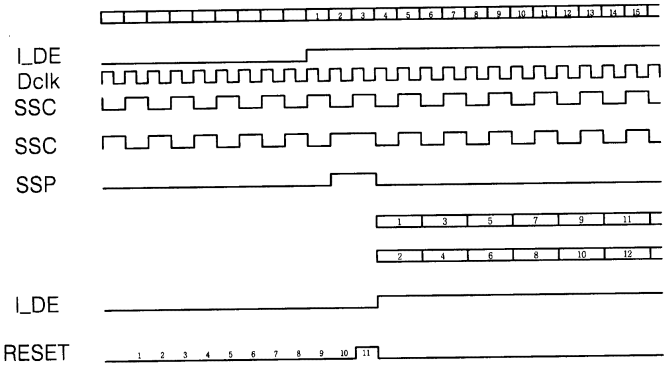
도면 3


I_DE
Dclk
SSC
I_DE
SSP
RESET

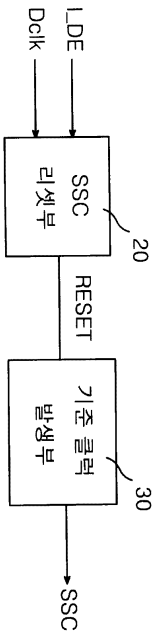
도면 4


I_DE
Dclk
SSC
I_DE
SSP
RESET

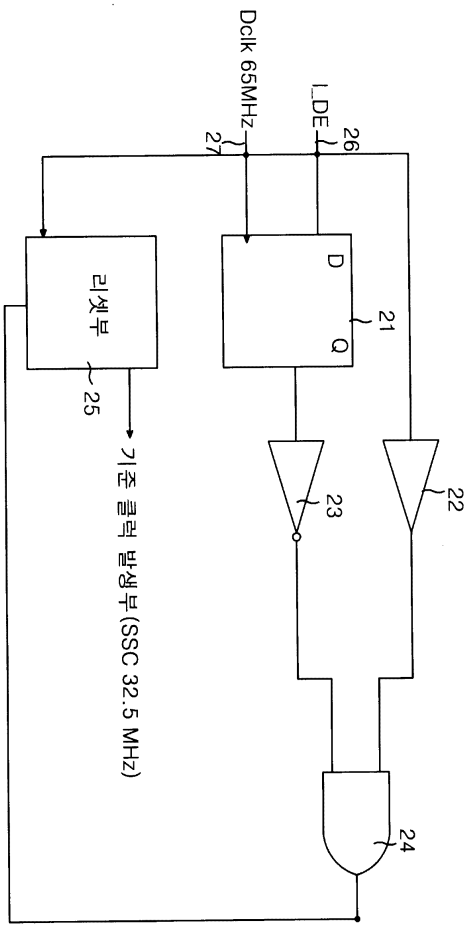
도면 5


I_DE
Dclk
SSC
SSC
SSP
I_DE
RESET

도면 6



도면 7



도면 8

