

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G11C 13/02(11) 공개번호 10-2005-0070700
(43) 공개일자 2005년07월07일(21) 출원번호 10-2003-0100549
(22) 출원일자 2003년12월30일(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416(72) 발명자 안수진
서울특별시 광진구 자양2동 한양아파트5-107(74) 대리인 이영필
이해영

심사청구 : 있음

(54) 상 변화 메모리 어레이의 셋 프로그래밍 방법 및 기입드라이버 회로

요약

상 변화 메모리 어레이의 셋 프로그래밍 방법 및 기입 드라이버 회로가 개시된다. 본 발명의 실시예에 따른 셋 프로그래밍 방법은, 인가되는 전류 펄스에 응답하여 리셋(reset) 저항 또는 셋(set) 저항으로 상태가 변화되는 상 변화 셀들을 구비하는 상 변화 메모리 어레이의 셋 프로그래밍(programming) 방법에 있어서 상기 상 변화 셀들의 상태를 셋 저항 상태로 만들기 위하여 전류량이 순차적으로 감소하는 제 1 내지 제 n 스테이지(stage)를 구비하는 셋 전류 펄스를 상기 상 변화 셀들로 인가하는 단계를 구비한다. 상기 제 1 스테이지의 전류량은 상기 상 변화 셀들 중 셋 저항 상태로 되기 위하여 가장 큰 전류량이 필요한 상 변화 셀을 셋 저항 상태로 만드는 전류량이다. 본 발명에 따른 셋 프로그래밍 방법 및 기입 드라이버 회로는 상 변화 메모리 어레이로 복수개의 셋 전류 펄스를 인가하고 전류량이 점차 감소되도록 함으로써 상 변화 메모리 어레이의 모든 상 변화 셀들이 셋 저항 상태가 되도록 할 수 있는 장점이 있다.

대표도

도 4

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 상 변화 물질에 데이터를 기입하기 위한 일반적인 전류 펄스를 나타내는 도면이다.

도 2는 상 변화 메모리 셀들로 인가되는 전류 변화에 따른 상 변화 셀들의 저항의 변화를 설명하는 도면이다.

도 3(a)는 본 발명의 실시예에 따른 상 변화 메모리 어레이로 인가되는 셋 전류 펄스를 나타내는 도면이다.

도 3(b)는 본 발명의 다른 실시예에 따른 상 변화 메모리 어레이로 인가되는 셋 전류 펄스를 나타내는 도면이다.

도 4는 본 발명의 실시예에 따른 기입 드라이버 회로를 나타내는 도면이다.

도 5(a)는 도 4의 펄스 발생부가 발생하는 셋 전압 펄스의 실시예를 나타내는 도면이다.

도 5(b)는 도 4의 펄스 발생부가 발생하는 셋 전압 펄스의 다른 실시예를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상 변화 메모리 어레이의 셋 프로그래밍 방법 및 셋 프로그래밍 방법을 구현하는 기입 드라이버 회로에 관한 것이다.

PRAM(Phase-change Random Access Memory)은 온도 변화에 따른 상 전이에 따라 저항이 변화되는 GST(Ge-Sb-Te)와 같은 물질(이하, 상 변화 물질이라 한다.)을 이용하여 데이터를 저장하는 비휘발성 메모리 소자이다. PRAM은 DRAM의 모든 장점과 불 휘발성, 저소비전력이라는 특징을 가진다.

기입 동작 시, 상 변화 물질에 전류를 흐르게 하면 상 변화 물질이 결정 상태(crystalline state) 또는 비결정 상태(amorphous state)로 전이된다.

상 변화 물질의 결정 상태 또는 비결정 상태는 상 변화 물질에 흐르는 전류의 크기와 양에 좌우된다. 상 변화 물질에 큰 전류를 짧은 시간동안 흐르게 하면 상 변화 물질은 비결정 상태로 변화되는데 이러한 상태를 보통 리셋(reset) 상태라고 부르며 데이터 1에 대응된다.

상 변화 물질에 리셋 전류보다 작은 전류를 긴 시간동안 흐르게 하면 상 변화 물질은 결정 상태로 변화되는데 이러한 상태를 보통 셋(set) 상태라고 부르며 데이터 0에 대응된다.

상 변화 물질이 리셋 상태인 경우의 저항이 셋 상태인 경우의 저항보다 크다. 초기에 셋 상태에 있는 메모리 셀을 리셋 상태로 바꾸고자 할 때, 상 변화 물질에 리셋 전류를 흐르게 하여 용융점(Melting Temperature)이상으로 상 변화 물질을 가열한 뒤 급속히 냉각(fast quenching)시키면 상 변화 물질은 리셋 상태가 된다.

반대로 초기에 리셋 상태에 있는 메모리 셀을 셋 상태로 바꾸고자 할 때, 상 변화 물질에 셋 전류를 흐르게 하여 상 변화 물질을 결정화 온도(Crystallization Temperature) 이상으로 가열한 뒤 일정시간을 유지한 후 냉각시키면 상 변화 물질이 셋 상태가 된다.

도 1은 상 변화 물질에 데이터를 기입하기 위한 일반적인 전류 펄스를 나타내는 도면이다.

기존의 데이터 기입 방법은 도 1과 같이 짧고 큰 전류 펄스를 상 변화 물질로 인가하여 상 변화 물질을 녹인 후 급냉시켜 비정질 상태(리셋 상태)를 만들거나 길고 작은 전류 펄스를 상 변화 물질로 인가하여 결정화 온도 이상으로 가열하여 상 변화 물질을 결정화 상태(셋 상태)로 만든다.

그런데, 복수개의 상 변화 메모리 셀들을 구비하는 메모리 어레이에 있어서, 메모리 어레이 내부의 메모리 셀들의 배치에 따라 각각의 메모리 셀의 기생 저항(parasitic loading)이 서로 다를 수 있다.

또한 메모리 셀들에 연결되는 신호선들 사이의 부하가 서로 다를 수도 있고 메모리 어레이의 면적이 커짐에 따라 제조 공정 중에 발생하는 메모리 셀들 사이에 리셋 전류의 차이가 발생할 수도 있다. 메모리 셀들 사이에 리셋 전류의 차이가 생기면 셋 전류의 차이도 발생된다.

이와 같이 복수개의 상 변화 셀들을 구비하는 메모리 어레이에서 상 변화 셀들을 셋 상태로 만드는 셋 전류의 전류량이 메모리 셀들 사이에 서로 달라질 수 있어 하나의 셋 전류로 모든 메모리 셀들을 셋 상태로 만들 수 없는 문제가 있다.

즉, 일부 메모리 셀들은 셋 전류에 의하여 셋 상태가 되지만 일부 메모리 셀들은 리셋 상태가 되기도 하고 또한 일부 셀들은 셋 상태가 되기는 하지만 셋 상태의 저항 값이 다른 메모리 셀의 셋 상태의 저항 값과 달라지는 문제가 발생될 수 있다. 이는 상 변화 메모리 어레이의 동작 에러를 발생시키는 원인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 상 변화 메모리 어레이의 모든 메모리 셀들을 셋 상태로 만들 수 있는 셋 프로그래밍 방법을 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 상 변화 메모리 어레이의 모든 메모리 셀들을 셋 상태로 만들 수 있는 기입 드라이버 회로를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 셋 프로그래밍 방법은, 인가되는 전류 펄스에 응답하여 리셋(reset) 저항 또는 셋(set) 저항으로 상태가 변화되는 상 변화 셀들을 구비하는 상 변화 메모리 어레이의 셋 프로그래밍(programming) 방법에 있어서 상기 상 변화 셀들의 상태를 셋 저항 상태로 만들기 위하여 전류량이 순차적으로 감소하는 제 1 내지 제 n 스테이지(stage)를 구비하는 셋 전류 펄스를 상기 상 변화 셀들로 인가하는 단계를 구비한다.

상기 제 1 스테이지의 전류량은 상기 상 변화 셀들 중 셋 저항 상태로 되기 위하여 가장 큰 전류량이 필요한 상 변화 셀을 셋 저항 상태로 만드는 전류량이다.

상기 제 1 스테이지의 전류량은 상기 상 변화 셀들이 녹는 온도(melting temperature)에 도달하도록 상기 상 변화 셀들을 가열시키는 전류량을 초과하지 않는다.

상기 셋 전류 펄스의 제 1 스테이지 내지 상기 제 n 스테이지 각각의 사이에는 상기 전류량이 영인 구간이 존재한다. 상기 셋 전류 펄스의 제 1 스테이지 내지 상기 제 n 스테이지 각각은 연속하여 발생된다. 상기 n은 4일 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 셋 프로그래밍 방법은 인가되는 전류 펄스에 응답하여 리셋(reset) 저항 또는 셋(set) 저항으로 상태가 변화되는 상 변화 셀들을 구비하는 상 변화 메모리 어레이의 셋 프로그래밍(programming) 방법에 있어서, 대응되는 상기 상 변화 셀의 상태를 셋 저항 상태로 만들기 위하여 소정의 전류량을 가지는 제 1 전류 펄스를 상기 상 변화 물질로 인가하는 단계를 구비한다.

그리고, 상기 제 1 전류 펄스의 전류량보다 작은 전류량을 가지는 제 2 내지 제 n 전류 펄스를 상기 상 변화 셀들로 순차적으로 인가하는 단계를 구비한다. 상기 제 2 내지 제 n 전류 펄스는 전류량이 순차적으로 감소된다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 기입 드라이버 회로는, 상기 인가되는 전류 펄스에 응답하여 리셋(reset) 저항 또는 셋(set) 저항으로 상태가 변화되는 상 변화 셀들 구비하는 상 변화 메모리 장치의 기입 드라이버 회로에 있어서 펄스 발생부 및 전류 제어부를 구비한다.

펄스 발생부는 전압의 크기가 순차적으로 감소하는 제 1 내지 제 n 스테이지(stage)를 구비하는 셋 전압 펄스를 발생한다.

전류 제어부는 상기 셋 전압 펄스에 응답하여 전류량이 순차적으로 감소하는 제 1 내지 제 n 스테이지를 구비하는 셋 전류 펄스를 상기 상 변화 셀들로 인가한다.

상기 전류 제어부는 제 1 트랜지스터, 제 2 트랜지스터 및 제어 트랜지스터를 구비한다.

제 1 트랜지스터는 전원 전압에 제 1 단이 연결되고 게이트와 제 2단이 서로 연결된다. 제 2 트랜지스터는 상기 전원 전압에 제 1 단이 연결되고 상기 제 1 트랜지스터의 게이트에 게이트가 연결되며 제 2단으로 상기 셋 전류 펄스가 출력된다.

제어 트랜지스터는 상기 제 1 트랜지스터의 제 2 단에 제 1 단이 연결되고 접지 전압에 제 2 단이 연결되며 게이트로 인가되는 상기 셋 전압 펄스에 응답하여 턴 온 되는 정도가 결정된다.

상기 셋 전압 펄스의 제 1 스테이지의 전압 크기는 상기 상 변화 셀들 중 셋 저항 상태로 되기 위하여 가장 큰 전류량이 필요한 상 변화 셀을 셋 저항 상태로 만드는 셋 전류 펄스를 발생할 수 있는 전압 크기이다.

상기 셋 전압 펄스의 제 1 스테이지의 전압 크기는 상기 상 변화 셀들이 녹는 온도(melting temperature)에 도달하도록 상기 상 변화 셀들을 가열시키는 셋 전류 펄스를 발생할 수 있는 전압 크기를 초과하지 않는다.

상기 셋 전압 펄스의 제 1 스테이지 내지 상기 제 n 스테이지 각각의 사이에는 상기 전압의 크기가 영인 구간이 존재한다. 상기 셋 전압 펄스의 제 1 스테이지 내지 상기 제 n 스테이지 각각은 연속하여 발생된다. 상기 n은 4 일 수 있다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 상 변화 메모리 셀들로 인가되는 전류 변화에 따른 상 변화 셀들의 저항의 변화를 설명하는 도면이다.

도 2를 참조하면, 상 변화 메모리 어레이에 존재하는 메모리 셀들 중 두 개의 메모리 셀(A,B)들을 예로 들어 설명한다.

메모리 셀(A)로 인가되는 전류를 증가시키면 메모리 셀(A)의 저항이 줄어든다. 메모리 셀(A)로 인가되는 전류가 약 1mA 이면 메모리 셀(A)의 저항은 최저가 된다.

그리고 메모리 셀(A)로 인가되는 전류가 1mA를 넘으면 메모리 셀(A)의 저항은 점점 증가하여 전류가 약 1.2mA 이상 되면 메모리 셀(A)의 저항은 최대가 되고 저항이 더 이상 증가되지 아니하는 포화상태가 된다.

메모리 셀(A)의 저항이 최대인 상태에서 다시 인가되는 전류의 양을 줄이면 메모리 셀(A)의 저항도 줄어든다. 그런데 인가되는 전류량이 1mA 이하가 되더라도 메모리 셀(A)의 저항이 다시 증가되지 아니하고 일정한 값을 유지한다.

즉, 인가되는 전류를 1mA 이하로 낮추더라도 메모리 셀(A)의 저항은 도 2의 저항 곡선(i)에 도시된 것과 같이 일정한 값을 유지한다.

메모리 셀(A)로 인가되는 전류가 1mA 일 경우의 메모리 셀의 저항 상태를 셋 저항 상태라고 정의한다면, 메모리 셀(A)로 인가되는 전류를 증가시킨 후 다시 감소시키는 경우 메모리 셀(A)은 계속 셋 저항 상태를 유지한다는 것을 알 수 있다.

이와 같은 원리는 메모리 셀(B)에 대해서도 마찬가지로 적용된다. 메모리 셀(B)로 인가되는 전류가 약 0.8mA 이면 메모리 셀(B)의 저항은 최저가 되고 메모리 셀(B)로 인가되는 전류가 약 0.9mA 이상 되면 메모리 셀(B)의 저항은 최대가 된다.

메모리 셀(B)의 저항이 최대인 상태에서 다시 인가되는 전류의 양을 줄이면 메모리 셀(B)의 저항도 줄어든다. 그런데 인가되는 전류 량이 0.8mA 이하가 되더라도 메모리 셀(B)의 저항이 다시 증가되지 아니하고 일정한 값을 유지한다.

즉, 인가되는 전류를 0.8mA 이하로 낮추더라도 메모리 셀(B)의 저항은 도 2의 저항 곡선(i)에 도시된 것과 같이 일정한 값을 유지한다.

메모리 셀(B)로 인가되는 전류가 0.8mA 일 경우의 메모리 셀의 저항 상태를 셋 저항 상태라고 정의한다면, 메모리 셀(B)로 인가되는 전류를 증가시킨 후 다시 감소시키는 경우 메모리 셀(B)은 계속 셋 저항 상태를 유지한다는 것을 알 수 있다.

도 2로부터, 메모리 셀들(A, B)의 상태가 셋 저항 상태가 되는 전류 량이 서로 다름을 알 수 있다. 도 2에서는 두 개의 메모리 셀들(A, B)만 예로 들었지만 상 변화 메모리 어레이에 존재하는 다수의 메모리 셀들이 셋 저항 상태가 되는 전류 량은 서로 다를 수 있다.

본 발명은 일단 메모리 셀들로 많은 전류 량을 인가한 후 다시 인가되는 전류 량을 감소시키면 메모리 셀들이 셋 저항 상태를 유지한다는 원리를 이용한다.

메모리 셀들로 인가되는 셋 전류를 한번만 인가하지 아니하고 여러 번 인가하며 인가되는 셋 전류의 전류 량을 점차 감소시키면 상 변화 메모리 어레이 내부의 메모리 셀들을 모두 셋 저항 상태로 만들 수 있다.

따라서 상 변화 메모리 어레이 내부의 상 변화 셀들의 셋 저항이 서로 다르므로 인하여 셋 전류를 수신한 메모리 셀들 중 일부가 셋 저항 상태로 되지 못하는 문제를 해결할 수 있다.

도 3(a)는 본 발명의 실시예에 따른 상 변화 메모리 어레이로 인가되는 셋 전류 펄스를 나타내는 도면이다.

도 3(b)는 본 발명의 다른 실시예에 따른 상 변화 메모리 어레이로 인가되는 셋 전류 펄스를 나타내는 도면이다.

본 발명의 실시예에 따른 셋 프로그래밍 방법은 상 변화 셀들의 상태를 셋 저항 상태로 만들기 위하여 전류 량이 순차적으로 감소하는 제 1 내지 제 n 스테이지(stage)를 구비하는 셋 전류 펄스(ISET)를 상 변화 셀들로 인가하는 단계를 구비한다.

도 3(a)를 참조하면, 셋 전류 펄스(ISET)의 제 1 스테이지(ST1)의 전류 량이 가장 많고 제 n 스테이지(STn)의 전류 량이 가장 적다. 제 1 스테이지(ST1)의 전류 량은 상 변화 셀들 중 셋 저항 상태로 되기 위하여 가장 큰 전류 량이 필요한 상 변화 셀을 셋 저항 상태로 만드는 전류 량이다.

도 2를 예로 들면, 만일 복수개의 메모리 셀들 중 셋 저항 상태로 되기 위하여 가장 큰 전류 량이 필요한 상 변화 메모리 셀이 도 2의 A에 대응되는 메모리 셀 이라면 셋 전류 펄스(ISET)의 제 1 스테이지(ST1)의 전류 량은 1mA 가 될 것이다.

셋 전류 펄스(ISET)의 전류 량은 인가되는 메모리 어레이의 메모리 셀들에 따라 다를 수 있으나, 셋 전류 펄스(ISET)의 제 1 스테이지(ST1)의 전류 량은 상 변화 셀들이 녹는 온도(melting temperature)에 도달하도록 상 변화 셀들을 가열시키는 전류 량을 초과하지 않는다.

상 변화 셀들이 녹는 온도 이상으로 상 변화 셀들을 가열하면 상 변화 셀들은 리셋 저항 상태로 변화된다. 따라서 셋 전류 펄스(ISET)의 가장 큰 전류 량인 제 1 스테이지(ST1)의 전류 량은 상 변화 셀들을 녹는 온도에 도달하도록 가열시키는 전류 량보다는 작아야 한다.

상 변화 메모리 어레이로 인가되는 셋 전류 펄스(ISET)는 도 3(a) 및 도 3(b)와 같이 두 가지 형태일 수 있다. 도 3(a)의 셋 전류 펄스(ISET)는 제 1 스테이지 내지 상기 제 n 스테이지(ST1, ST2 ~ STn) 각각의 사이에는 전류 량이 영 인 구간이 존재한다.

도 3(a)의 셋 전류 펄스(ISET)는 제 1 스테이지(ST1) 전류가 상 변화 메모리 어레이로 인가된 후 일정한 시간동안 전류가 상 변화 메모리 어레이로 인가되지 아니하는 구간이 존재한다. 그리고 다시 제 2 스테이지(ST2) 전류가 상 변화 메모리 어레이로 인가된다.

도 3(b)의 셋 전류 펄스(ISET)는 제 1 스테이지(ST1) 전류가 상 변화 메모리 어레이로 인가된 후 이어서 제 2 스테이지(ST2) 전류가 상 변화 메모리 어레이로 인가된다. 이러한 방식으로 제 n 스테이지(STn) 전류까지 상 변화 메모리 어레이로 연속적으로 인가된다. 도 3(b)의 셋 전류 펄스(ISET)는 계단 파와 동일한 형태이다.

도 3(a) 및 도 3(b)에는 셋 전류 펄스(ISET)의 각각의 스테이지(ST1, ST2 ~ STn)가 사각 파 형태로 도시되어 있으나, 셋 전류 펄스(ISET)의 형태가 반드시 사각 파에 한정되는 것은 아니다.

셋 전류 펄스(ISET)가 구비하는 스테이지의 수는 복수 개 일 수 있다. 상 변화 메모리 어레이의 크기와 제 1 스테이지(ST1)의 전류량을 고려하여 상 변화 셀들을 모두 셋 저항 상태로 만들 수 있는 스테이지의 수가 결정된다.

일 실시예로서, n 이 4인 경우, 즉, 셋 전류 펄스(ISET)가 제 1 내지 4 스테이지(ST1, ST2, ST3, ST4)를 구비하는 경우 상 변화 메모리 어레이의 모든 셀들을 셋 저항 상태로 만들 수 있다.

본 발명의 다른 실시예에 따른 셋 프로그래밍 방법은 대응되는 상 변화 셀의 상태를 셋 저항 상태로 만들기 위하여 소정의 전류량을 가지는 제 1 전류 펄스를 상기 상 변화 물질로 인가하는 단계와 상기 제 1 전류 펄스의 전류량보다 작은 전류량을 가지는 제 2 내지 제 n 전류 펄스를 상기 상 변화 셀들로 순차적으로 인가하는 단계를 구비한다.

상기 제 2 내지 제 n 전류 펄스는 전류량이 순차적으로 감소된다.

본 발명의 다른 실시예에 따른 셋 프로그래밍 방법에서 상기 제 1 전류 펄스 내지 제 n 전류 펄스는 도 3(a) 및 도 3(b)의 셋 전류 펄스(ISET)의 각각의 스테이지(ST1, ST2 ~ STn)와 동일하다.

즉, 본 발명의 다른 실시예에 따른 셋 프로그래밍 방법은 도 3(a) 및 도 3(b)의 각각의 스테이지(ST1, ST2 ~ STn) 전류를 순서대로 상 변화 메모리 어레이로 인가하는 방법에 관한 것이다. 도 3(a) 및 도 3(b)의 셋 전류 펄스(ISET)를 상 변화 메모리 어레이로 인가하는 방법에 대해서는 이미 설명되었으므로 상세한 설명을 생략한다.

도 4는 본 발명의 실시예에 따른 기입 드라이버 회로를 나타내는 도면이다.

도 5(a)는 도 4의 펄스 발생부가 발생하는 셋 전압 펄스의 실시예를 나타내는 도면이다.

도 5(b)는 도 4의 펄스 발생부가 발생하는 셋 전압 펄스의 다른 실시예를 나타내는 도면이다.

본 발명의 실시예에 따른 기입 드라이버 회로(400)는 펄스 발생부(410) 및 전류 제어부(420)를 구비한다.

펄스 발생부(410)는 전압의 크기가 순차적으로 감소하는 제 1 내지 제 n 스테이지(ST1, ST2 ~ STn)를 구비하는 셋 전압 펄스(VSET)를 발생한다.

전류 제어부(420)는 셋 전압 펄스(VSET)에 응답하여 전류량이 순차적으로 감소하는 제 1 내지 제 n 스테이지(ST1, ST2 ~ STn)를 구비하는 셋 전류 펄스(ISET)를 상 변화 셀들(PCELL)로 인가한다.

도 4에는 상 변화 셀들(PCELL) 중 하나만 도시되어 있다. 상 변화 셀(PCELL)은 워드 라인(W/L)에 연결되어 턴 온 또는 턴 오프 되는 트랜지스터(PTR)와 인가되는 셋 전류 펄스(ISET) 또는 리셋 전류 펄스(IRESET)에 의해서 저항의 크기가 변화되는 상 변화 물질(GST)을 구비한다.

도 4의 기입 드라이버 회로(400)는 앞서 설명된 셋 프로그래밍 방법을 구현하기 위한 회로이다. 즉, 기입 드라이버 회로(400)는 상 변화 메모리 어레이(430)의 상 변화 셀들(PCELL)을 셋 저항 상태로 만들기 위한 셋 전류 펄스(ISET)를 상 변화 메모리 어레이(430)로 인가한다.

셋 전류 펄스(ISET)는 도 3(a) 및 도 3(b)에 도시되고 앞서 설명된 셋 전류 펄스(ISET)의 특성을 가진다. 즉, 제 1 내지 제 n 스테이지(ST1, ST2 ~ STn)를 구비하고 전류량이 순차적으로 감소한다.

기입 드라이버 회로(400)가 도 3(a) 또는 도 3(b)에 도시된 것과 같은 셋 전류 펄스(ISET)를 발생하도록 하기 위하여 펄스 발생부(410)는 도 5(a) 또는 도 5(b)와 같은 전압 파형을 가지는 셋 전압 펄스(VSET)를 발생한다.

도 5(a)의 왼쪽에는 펄스 발생부(410)가 발생하는 리셋 전압 펄스(VRESET)가 도시되어 있다. 펄스 발생부(410)가 리셋 전압 펄스(VSET)를 발생하면 기입 드라이버 회로(400)는 상 변화 메모리 어레이(430)의 상 변화 셀들(PCELL)로 리셋 전류 펄스(IRESET)를 출력한다.

도 5(a)의 오른쪽에는 펄스 발생부(410)가 발생하는 셋 전압 펄스(VSET)가 도시되어 있다. 도 5(a)의 오른쪽에 도시된 셋 전압 펄스(VSET)는 도 3(a)에 도시된 셋 전류 펄스(ISET)와 동일한 형태이다.

즉, 셋 전압 펄스(VSET)의 제 1 스테이지 내지 상기 제 n 스테이지(ST1, ST2 ~ STn) 각각의 사이에는 전압의 크기가 영인 구간이 존재한다.

도 5(b)의 오른쪽에 도시된 셋 전압 펄스(VSET)는 도 3(b)에 도시된 셋 전류 펄스(ISET)와 동일한 형태이다. 즉, 셋 전압 펄스(VSET)의 제 1 스테이지 내지 상기 제 n 스테이지(ST1, ST2, ST3 ~ STn) 각각은 연속하여 발생된다.

즉, 전류 제어부(420)는 펄스 발생부(410)로부터 인가되는 셋 전압 펄스(VSET)와 동일한 파형을 가지는 셋 전류 펄스(ISET)를 발생한다.

다시 말하면, 상 변화 메모리 어레이(430)의 상 변화 셀들(PCELL)로 인가되는 셋 전류 펄스(ISET)의 형태는 펄스 발생부(410)에서 발생하는 셋 전압 펄스(VSET)의 형태에 의하여 제어된다.

도 5(a) 및 도 5(b)와 같은 셋 전압 펄스(VSET)를 발생하는 펄스 발생부(410)의 구조는 당업자라면 이해할 수 있으므로 상세한 설명을 생략한다.

펄스 발생부(410)가 발생하는 셋 전압 펄스(VSET)의 제 1 스테이지(ST1)의 전압 크기는 상 변화 셀들(PCELL) 중 셋 저항 상태로 되기 위하여 가장 큰 전류량이 필요한 상 변화 셀을 셋 저항 상태로 만드는 셋 전류 펄스(ISET)를 발생할 수 있는 전압 크기이다.

셋 전압 펄스(VSET)의 제 1 스테이지(ST1)의 전압 크기는 상 변화 셀들(PCELL)이 녹는 온도(melting temperature)에 도달하도록 상기 상 변화 셀들을 가열시키는 셋 전류 펄스(ISET)를 발생할 수 있는 전압 크기를 초과하지 않는다.

셋 전압 펄스(VSET)가 구비하는 스테이지의 수는 복수 개 일 수 있다. 상 변화 메모리 어레이(430)의 크기와 셋 전압 펄스(VSET)의 제 1 스테이지(ST1)의 전압량을 고려하여 상 변화 셀들(PCELL)을 모두 셋 저항 상태로 만들 수 있는 셋 전압 펄스(VSET)의 스테이지의 수가 결정된다.

일 실시예로서, n 이 4인 경우, 즉, 셋 전압 펄스(VSET)가 제 1 내지 4 스테이지(ST1, ST2, ST3, ST4)를 구비하는 경우 상 변화 메모리 어레이(430)의 모든 셀들을 셋 저항 상태로 만들 수 있다.

전류 제어부(420)는 제 1 트랜지스터(TR1), 제 2 트랜지스터(TR2) 및 제어 트랜지스터(CTR)를 구비한다.

제 1 트랜지스터(TR1)는 전원 전압(VDD)에 제 1 단이 연결되고 게이트와 제 2단이 서로 연결된다. 제 2 트랜지스터(TR2)는 전원 전압(VDD)에 제 1 단이 연결되고 제 1 트랜지스터(TR1)의 게이트에 게이트가 연결되며 제 2단으로 셋 전류 펄스(ISET)가 출력된다.

제 1 트랜지스터(TR1)와 제 2 트랜지스터(TR2)는 전류 거울(current mirror) 형태로 결합된다.

제어 트랜지스터(CTR)는 제 1 트랜지스터(TR1)의 제 2단에 제 1 단이 연결되고 접지 전압(VSS)에 제 2단이 연결되며 게이트로 인가되는 셋 전압 펄스(VSET)에 응답하여 턴 온 되는 정도가 결정된다.

제어 트랜지스터(CTR)의 게이트로 셋 전압 펄스(VSET)의 제 1 스테이지(ST1) 전압이 인가되는 경우 제어 트랜지스터(CTR)의 턴 온 되는 정도는 셋 전압 펄스(VSET)의 제 n 스테이지(ST n) 전압이 인가되는 경우 제어 트랜지스터(CTR)의 턴 온 되는 정도보다 크다.

즉, 제어 트랜지스터(CTR)의 게이트로 셋 전압 펄스(VSET)의 제 1 스테이지(ST1) 전압이 인가되는 경우 제어 트랜지스터(CTR)를 통하여 흐르는 전류량이 셋 전압 펄스(VSET)의 제 n 스테이지(ST n) 전압이 인가되는 경우 제어 트랜지스터(CTR)를 통하여 흐르는 전류량보다 많다.

제 1 트랜지스터(TR1)에 전류 미러 형태로 결합되는 제 2 트랜지스터(TR2)의 제 2단으로 흐르는 셋 전류 펄스(ISET)의 전류량은 제어 트랜지스터(CTR)를 통하여 흐르는 전류량에 비례한다.

따라서, 제어 트랜지스터(CTR)로 인가되는 셋 전압 펄스(VSET)의 전압 크기에 비례하여 상 변화 메모리 어레이(430)로 흐르는 셋 전류 펄스(ISET)의 전류량이 정해진다.

그러므로, 기입 드라이버 회로(400)는 펄스 발생부(410)에서 발생하는 셋 전압 펄스(VSET)의 전압 크기를 제어하여 상 변화 메모리 어레이(430)로 인가되는 셋 전류 펄스(ISET)의 전류량을 결정할 수 있다.

도 4의 기입 드라이버 회로(400)를 이용하여 상 변화 메모리 어레이(430)로 인가되는 셋 전류 펄스(ISET)의 전류량을 점차로 감소시켜 상 변화 메모리 어레이(430)의 모든 상 변화 셀들(PCELL)을 셋 저항 상태로 만들 수 있다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 셋 프로그래밍 방법 및 기입 드라이버 회로는 상 변화 메모리 어레이로 복수개의 셋 전류 펄스를 인가하고 전류량이 점차 감소되도록 함으로써 상 변화 메모리 어레이의 모든 상 변화 셀들이 셋 저항 상태가 되도록 할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

인가되는 전류 펄스에 응답하여 리셋(reset) 저항 또는 셋(set) 저항으로 상태가 변화되는 상 변화 셀들을 구비하는 상 변화 메모리 어레이의 셋 프로그래밍(programming) 방법에 있어서,

상기 상 변화 셀들의 상태를 셋 저항 상태로 만들기 위하여 전류량이 순차적으로 감소하는 제 1 내지 제 n 스테이지(stage)를 구비하는 셋 전류 펄스를 상기 상 변화 셀들로 인가하는 단계를 구비하는 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 2.

제 1항에 있어서, 상기 제 1 스테이지의 전류량은,

상기 상 변화 셀들 중 셋 저항 상태로 되기 위하여 가장 큰 전류량이 필요한 상 변화 셀을 셋 저항 상태로 만드는 전류량인 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 3.

제 1항에 있어서, 상기 제 1 스테이지의 전류량은,

상기 상 변화 셀들이 녹는 온도(melting temperature)에 도달하도록 상기 상 변화 셀들을 가열시키는 전류량을 초과하지 않는 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 4.

제 1항에 있어서,

상기 셋 전류 펄스의 제 1 스테이지 내지 상기 제 n 스테이지 각각의 사이에는 상기 전류량이 영인 구간이 존재하는 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 5.

제 1항에 있어서, 상기 셋 전류 펄스의 제 1 스테이지 내지 상기 제 n 스테이지 각각은,

연속하여 발생하는 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 6.

제 1항에 있어서, 상기 n은,

4인 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 7.

인가되는 전류 펄스에 응답하여 리셋(reset) 저항 또는 셋(set) 저항으로 상태가 변화되는 상 변화 셀들을 구비하는 상 변화 메모리 어레이의 셋 프로그래밍(programming) 방법에 있어서,

대응되는 상기 상 변화 셀의 상태를 셋 저항 상태로 만들기 위하여 소정의 전류량을 가지는 제 1 전류 펄스를 상기 상 변화 물질로 인가하는 단계; 및

상기 제 1 전류 펄스의 전류량보다 작은 전류량을 가지는 제 2 내지 제 n 전류 펄스를 상기 상 변화 셀들로 순차적으로 인가하는 단계를 구비하며,

상기 제 2 내지 제 n 전류 펄스는,

전류량이 순차적으로 감소되는 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 8.

제 7항에 있어서, 상기 제 1 전류 펄스의 전류량은,

상기 상 변화 셀들 중 셋 저항 상태로 되기 위하여 가장 큰 전류량이 필요한 상 변화 셀을 셋 저항 상태로 만드는 전류량인 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 9.

제 7항에 있어서, 상기 제 1 전류 펄스의 전류량은,

상기 상 변화 셀들이 녹는 온도(melting temperature)에 도달하도록 상기 상 변화 셀들을 가열시키는 전류량을 초과하지 않는 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 10.

제 7항에 있어서,

상기 제 1 전류 펄스 내지 상기 제 n 전류 펄스 각각의 사이에는 전류량이 영인 구간이 존재하는 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 11.

제 7항에 있어서, 상기 제 1 전류 펄스 내지 상기 제 n 전류 펄스 각각은,

연속하여 발생하는 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 12.

제 7항에 있어서, 상기 n은,

4인 것을 특징으로 하는 상 변화 메모리 어레이의 셋 프로그래밍 방법.

청구항 13.

인가되는 전류 펄스에 응답하여 리셋(reset) 저항 또는 셋(set) 저항으로 상태가 변화되는 상 변화 셀들 구비하는 상 변화 메모리 장치의 기입 드라이버 회로에 있어서,

전압의 크기가 순차적으로 감소하는 제 1 내지 제 n 스테이지(stage)를 구비하는 셋 전압 펄스를 발생하는 펄스 발생부 ; 및

상기 셋 전압 펄스에 응답하여 전류량이 순차적으로 감소하는 제 1 내지 제 n 스테이지를 구비하는 셋 전류 펄스를 상기 상 변화 셀들로 인가하는 전류 제어부를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 14.

제 13항에 있어서, 상기 전류 제어부는,

전원 전압에 제 1 단이 연결되고 게이트와 제 2단이 서로 연결되는 제 1 트랜지스터 ;

상기 전원 전압에 제 1 단이 연결되고 상기 제 1 트랜지스터의 게이트에 게이트가 연결되며 제 2단으로 상기 셋 전류 펄스가 출력되는 제 2 트랜지스터 ; 및

상기 제 1 트랜지스터의 제 2 단계 제 1 단계 연결되고 접지 전압에 제 2 단계 연결되며 게이트로 인가되는 상기 셋 전압 펄스에 응답하여 턴 온 되는 정도가 결정되는 제어 트랜지스터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 15.

제 13항에 있어서, 상기 셋 전압 펄스의 제 1 스테이지의 전압 크기는,

상기 상 변화 셀들 중 셋 저항 상태로 되기 위하여 가장 큰 전류량이 필요한 상 변화 셀을 셋 저항 상태로 만드는 셋 전류 펄스를 발생할 수 있는 전압 크기인 것을 특징으로 하는 기입 드라이버 회로.

청구항 16.

제 13항에 있어서, 상기 셋 전압 펄스의 제 1 스테이지의 전압 크기는,

상기 상 변화 셀들이 녹는 온도(melting temperature)에 도달하도록 상기 상 변화 셀들을 가열시키는 셋 전류 펄스를 발생할 수 있는 전압 크기를 초과하지 않는 것을 특징으로 하는 기입 드라이버 회로.

청구항 17.

제 13항에 있어서,

상기 셋 전압 펄스의 제 1 스테이지 내지 상기 제 n 스테이지 각각의 사이에는 상기 전압의 크기가 영 인 구간이 존재하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 18.

제 13항에 있어서, 상기 셋 전압 펄스의 제 1 스테이지 내지 상기 제 n 스테이지 각각은,

연속하여 발생하는 것을 특징으로 하는 기입 드라이버 회로.

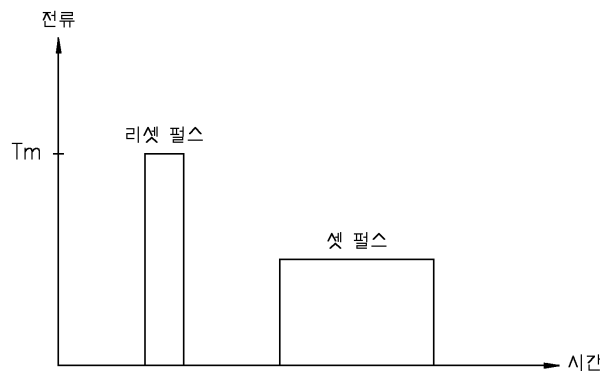
청구항 19.

제 13항에 있어서, 상기 n은,

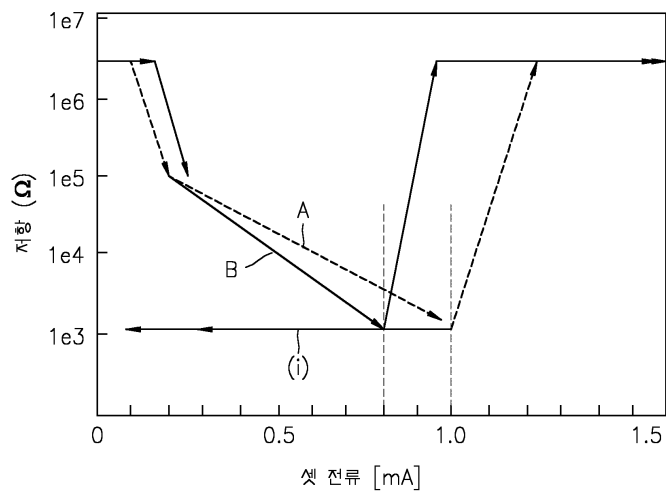
4인 것을 특징으로 하는 기입 드라이버 회로.

도면

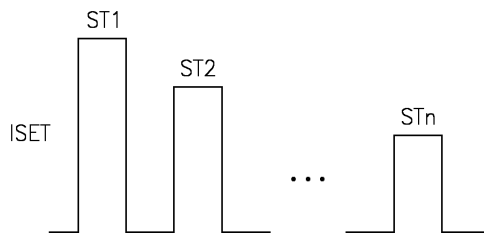
도면1



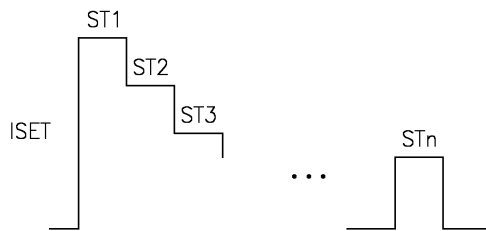
도면2



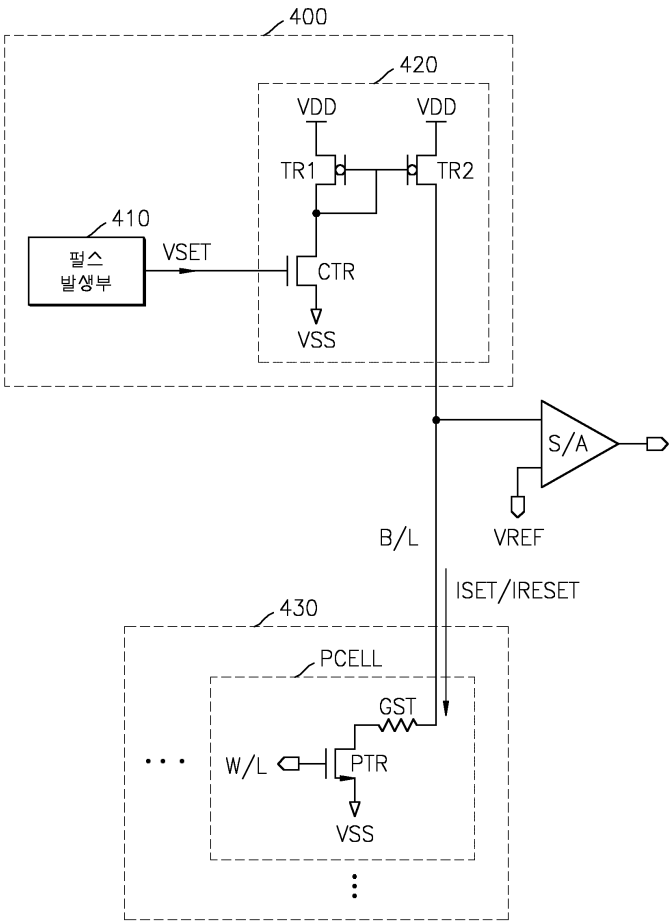
도면3a



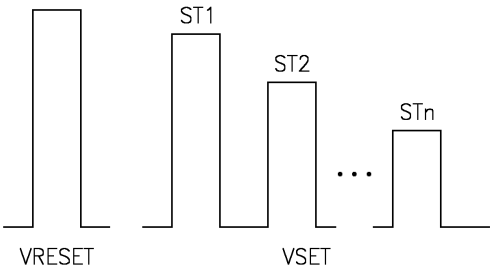
도면3b



도면4



도면5a



도면5b

