(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年5 月4 日 (04.05.2006)

PCT

(10) 国際公開番号
WO 2006/046299 A1

(51) 国際特許分類[7]: H01L 25/065, 25/07, 25/18, 23/12, 23/28

(21) 国際出願番号: PCT/JP2004/016117

(22) 国際出願日: 2004 年10 月29 日 (29.10.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパンション エルエルシー (SPANSION LLC) [US/US]; 940883453 カリフォルニア州サニーベイル ワン エイエムディ プレイス ピー・オー・ボックス ３４５３ California (US). Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845 福島県会津若松市門田町工業団地６番 Fukushima (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 池田充貴 (IKEDA, Mitsutaka) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP). 菊間克仁 (KIKUMA, Katsuhito) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP). 野上幸子 (NOGAMI, Sachiko) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP). 明石裕二 (AKASHI, Yuji) [JP/JP]; 〒5050009 岐阜県美濃加茂市蜂屋町矢田１番１ 富士通インテグレーテッドマイクロテクノロジ株式会社内 Gifu (JP).

(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋１－６－１三井住友海上テプコビル Tokyo (JP).

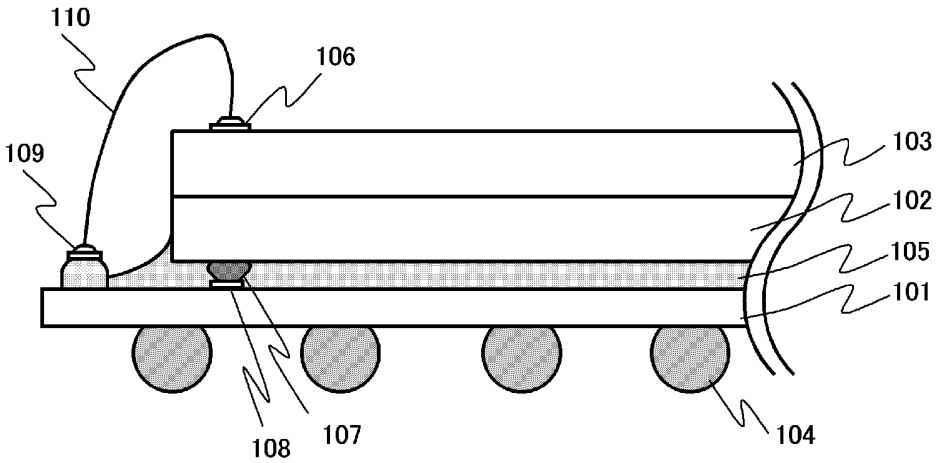
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: MULTICHIP PACKAGE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: マルチチップパッケージおよびその製造方法



(57) Abstract: A lower chip (102) is fixed and flip-bonded with a liquid underfill (105) coated on the front side of an interposer (101) as an adhesive. On the front side of the interposer (101), a protruding pad (109) having a height of, for example, approximately 10 μm is provided, and is connected with a bonding pad (106) provided on the major side of an upper chip (103) by bonding wire (110). The underfill (105) that protruded at the time of fixing the lower chip (102) to the interposer (101) is stopped by the protruding part of the protruding pad (109). Thus, the protruding part of the underfill (105) is prevented from covering the summit part of the protruding pad (109).

[続葉有]

WO 2006/046299 A1

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

インターポーザ（１０１）の表面側に塗布された液体のアンダーフィル（１０５）を接着剤として下側チップ（１０２）が固定されてフリップ接続されている。また、インターポーザ（１０１）の表面には、例えば１０μｍ程度の高さの隆起パッド（１０９）が設けられており、この隆起パッド（１０９）と上側チップ（１０３）の主面に設けられたボンディングパッド（１０６）とがボンディングワイヤ（１１０）で接続されている。下側チップ（１０２）をインターポーザ（１０１）に固定した際にはみ出したアンダーフィル（１０５）は、この隆起パッド（１０９）の隆起部によって堰き止められ、これによりアンダーフィル（１０５）のはみ出しが隆起パッド（１０９）頂上部を被覆することが回避される。

明 細 書

マルチチップパッケージおよびその製造方法

技術分野

[0001] 本発明は半導体パッケージを積層させて構成されるマルチチップパッケージおよびその製造方法に関する。

背景技術

[0002] 近年、携帯電話などの移動体通信端末やICメモリカードなどの不揮発性記憶媒体をはじめとする電子部品に対する小型化要求が強くなってきており、これらの電子部品を構成する部品点数を削減したり或いは当該構成部品の小型化を図ることで、電子部品の小型化を実現するための開発が進められている。このような小型化要求に応えるための重要な技術の一つとして、電子部品の主要構成部品である半導体素子を効率的(高密度)にパッケージングするための実装技術があり、特に、複数の半導体素子を積層させてパッケージングすることにより、限られた面積のシステム基板上に多数の半導体素子を実装する技術が有望と考えられている。

[0003] 複数の半導体素子を積層させて実装する従来技術としては「スタックマルチチップパッケージ(Stacked Multi-Chip Package: SMCP)」が知られている(例えば、特開平11−297927号公報を参照)。このSMCPは、複数のチップをインターポーザ(MCP基板)の上に積層させ、これらのチップを単一のパッケージ内に実装する方法であり、携帯通信機器に広く用いられている技術である。しかしながら、このSMCPでは、単一パッケージ内に実装可能なチップの組み合わせや積層可能なチップ数に制限があり、ワイヤボンディング技術やフィリップチップ技術などの種々の搭載技術を組み合わせた、FWS−MCP(Flip Wire Stacked MCP)やWFS−MCP(Wire Flip Stacked MCP)などにより製造を行うこととなる。

[0004] ワイヤボンディング技術は、ワイヤボンダを用いて、チップとインターポーザのパッドを電気的に接続する基本的な実装技術であり、低コストではあるが同サイズのチップの積層は不可能である。一方、フリップチップ技術は、パッドにバンプを立てたチップをフェイスダウン実装し、アンダーフィルによって接合する技術である。この技術は最

下層のチップにしか適用できないが、ワイヤボンディング技術を用いてフリップチップの上部に同サイズのチップを積層することができるという利点がある。

[0005] 図1は、従来の、フリップチップ技術とワイヤボンディング技術を組み合わせて積層チップを実装する際の問題点を説明するための図で、インターポーザ11の主面上に下側チップ12と上側チップ13を積層して実装したSMCPの一部が図示されている。インターポーザ11の裏面側にはボールグリッドアレイのハンダボール14が設けられ、表面側に塗布された液体のアンダーフィル15を接着剤として下側チップ12が固定され、下側チップ12の裏面に設けられたバンプ17とインターポーザ11の表面に設けられたフリップ用パッド18とが電気的に接続されてフリップ接続されている。そして、上側チップ13の主面に設けられたボンディングパッド16とインターポーザ11の表面に設けられたワイヤ用パッド19とは、ボンディングワイヤ20で接続されている。

[0006] ここで、液体であるアンダーフィル15を用いてチップの接合を行うフリップチップ技術では、バンプ17を立てたフリップ用パッド18の部分にアンダーフィル15が塗布されていないと、当該未塗布箇所に異物が侵入してチップが剥離してしまうなどの不良が発生する可能性がある。このため、下側チップ12の裏面全体にアンダーフィル15が行き渡るように、インターポーザ11の主面にアンダーフィル15を塗布することが必要となる。しかしながら、図1に示したように、SMCPのインターポーザ11上にはフリップ用パッド18の他にワイヤ用パッド19も設けられているため、下側チップ12をインターポーザ11に固定した際に、下側チップ12の裏面から「はみ出し」た液体のアンダーフィル15がワイヤ用パッド19を被覆してしまうことが起こり得る。このような被覆が生じると、上側チップ13に設けられているボンディングパッド16とインターポーザ11に設けられているワイヤ用パッド19とをボンディングワイヤ20で接続することができなくなってしまう。このような問題を解決する手法として「土手形成法」が知られている。

[0007] 図2は、土手形成法を説明するための図で、この方法では、アンダーフィル15の「はみ出し」によるワイヤ用パッド19の被覆を回避するために、ワイヤ用パッド19とチップ搭載領域との間に、例えばレジストによって形成した高さ数10μmの「土手」21を設ける。下側チップ12をインターポーザ11に固定した際に下側チップ12の裏面から「はみ出し」たアンダーフィル15は、この土手21によって堰き止められ、これによりア

ンダーフィル15の「はみ出し」によるワイヤ用パッド19の被覆が回避される。

発明の開示

発明が解決しようとする課題

[0008] しかしながら、上述した土手形成法では、土手を形成するためのスペース(一般的には1mm程度)に相当する分だけパッケージサイズが大きくなってしまい、要求されている小型化に反する結果を生じるという問題がある。

[0009] 本発明は、かかる問題に鑑みてなされたもので、その目的とするところは、パッケージサイズを大きくすることなくアンダーフィルによるワイヤ用パッドの被覆を回避することが可能な、ワイヤ・フリップ技術を用いたSMCPを実現することにある。

課題を解決するための手段

[0010] 本発明は、ボンディングパッドを有するインターポーザと、該インターポーザ上に接着剤により固定された半導体チップ積層体とを備え、前記ボンディングパッドは、ワイヤによって前記半導体チップ積層体に接続され、かつ前記接着剤により被覆されない高さを有しているマルチチップパッケージである。このマルチチップパッケージにおいて、前記積層体の最下層に位置する半導体チップは前記インターポーザにフリップチップ接続され、前記ボンディングパッドは前記積層体の最上層に位置する半導体チップとワイヤ接続されている構成とすることができる。また、前記ボンディングパッドは、絶縁物と、該絶縁物の上に設けられた導電性パッド部材とを有する構成とすることができる。また、前記ボンディングパッドは、前記インターポーザ上に設けられた配線上に設けられた金属部材を含む構成とすることができる。また、前記ボンディングパッドは、前記インターポーザ上に設けられた配線上に設けられたバンプを含む構成とすることができる。また、前記ボンディングパッドは、前記インターポーザ上に設けられた配線上に設けられた金バンプを含む構成とすることができる。また、前記ボンディングパッドは、絶縁物と該絶縁物の上に設けられた導電体とを有し、該導電体は前記インターポーザ上の配線の一部である構成とすることができる。また、前記接着剤は、前記絶縁物上に位置する部分を除いて前記配線を覆う構成とすることができる。また、前記接着剤は、前記ボンディングパッドの少なくとも下側部分と接している構成とすることができる。

[0011] 本発明はまた、インターポーザ上に絶縁物を設ける工程と、ボンディングパッドとして供されかつ前記絶縁体を覆う部分を有する配線を形成する工程と、前記インターポーザ上の接着剤により、前記インターポーザに半導体チップ積層体を取り付ける工程とを有するマルチチップパッケージの製造方法である。この場合、前記半導体チップ積層体の電極と、前記絶縁物上の配線の前記部分との間にワイヤをボンディングする工程を更に含むことができる。

[0012] 本発明はまた、インターポーザ上に配線を形成する工程と、所定の高さを持つ導電部材を前記配線上に形成する工程と、前記インターポーザ上の接着剤により、前記インターポーザに半導体チップ積層体を取り付ける工程とを有するマルチチップパッケージの製造方法である。この場合、前記取り付ける工程は、液体状の前記接着剤を用いることが好ましい。

発明の効果

[0013] パッケージサイズを大きくすることなくアンダーフィルによるワイヤ用パッドの被覆を回避することが可能な、ワイヤ・フリップ技術を用いたSMCPを実現することができる。

図面の簡単な説明

[0014] [図1]フリップチップ技術とワイヤボンディング技術を組み合わせて積層チップを実装する際の問題点を説明するための図である。

[図2]土手形成法を説明するための図である。

[図3]本発明のSMCPの構成を説明するための図である。

[図4]実施例1のSMCPの製造プロセスを説明するための図である。

[図5]実施例2のSMCPの製造プロセスを説明するための図である。

[図6]実施例3のSMCPの製造プロセスを説明するための図である。

発明を実施するための最良の形態

[0015] 以下に、図面を参照して、本発明を実施するための形態について説明する。

[0016] 図3は、本発明のSMCPの構成を説明するための図で、インターポーザ101の主面上に下側チップ102と上側チップ103を積層して実装したSMCPの一部が図示されている。インターポーザ101の裏面側にはハンダボール104が設けられている。こ

のインターポーザ101の表面側に塗布された液体の熱硬化性合成樹脂であるアンダーフィル105を接着剤として下側チップ102が固定され、下側チップ102の裏面に設けられたバンプ107とインターポーザ101の表面に設けられたフリップ用パッド108とが電気的に接続されてフリップ接続されている。また、インターポーザ101の表面には、例えば10μm程度の高さを有するワイヤ用隆起パッド109が設けられており、この隆起パッド109と上側チップ103の主面に設けられたボンディングパッド106とがボンディングワイヤ110で接続されている。

[0017] 本発明のSMCPにおいては、インターポーザ101の表面に設けられたワイヤ用パッドを隆起パッド109とすることで、下側チップ102をインターポーザ101に固定した際に下側チップ102の裏面から「はみ出し」たアンダーフィル105を、この隆起パッド109の隆起部によって堰き止め、これによりアンダーフィル105の「はみ出し」が隆起パッド109頂上部を被覆することを回避している。したがって、上述した土手形成法のように、アンダーフィルのはみ出しを堰き止めるための特別なスペースを必要とすることなく、上側チップ103に設けられたボンディングパッド106とインターポーザ101に設けられたワイヤ用隆起パッド109とをワイヤボンディングすることが可能となり、パッケージサイズを大きくすることなくアンダーフィルによるワイヤ用パッドの被覆を回避することが可能な、ワイヤ・フリップ技術を用いたSMCPを実現することができる。なお、上記隆起パッド109の構造は、アンダーフィルのはみ出しを堰き止めることができ、かつその頂部にワイヤボンディング用のパッドを備えるものであればよく、これをどのように構成するかは適宜変更が可能である。具体的な構成例については以下の実施例において説明する。

[0018] 本発明のSMCPと特開平11−297927号公報に開示されているマルチチップモジュール(MCM)とは、上側チップ103に設けられたボンディングパッド106とインターポーザ101に設けられたワイヤ用隆起パッド109とをワイヤボンディングするに際してアンダーフィルのはみ出しを堰き止めるための特別なスペースを必要としない点において共通する。しかしながら、特開平11−297927号公報に記載のMCMでは、上側チップがワイヤボンディングされるパッドは当該上側チップ用に特別に設けられたサブ基板上に設けられることとされているのに対して、本発明のものは、かかるサブ基

板を必要とせず、上側チップと下側チップを単一の基板上に実装している。すなわち、特開平11−297927号公報に記載のMCMでは、複数の半導体チップのそれぞれを実装するための複数のサブ基板を必要とし、これら複数のサブ基板が積層されてMCMが構成されている。したがって、その製造プロセスにおいては、半導体チップの積層だけではなく、個々の半導体チップに対応するサブ基板をも積層させる工程が必須である。これに対して本発明のものは、上側チップ103と下側チップ102はともに共通のインターポーザ101に実装されるものであって、SMCPを製造する際に必要となる積層プロセスはチップに対してのみとされ、その工程が極めて簡素化されることとなる。

[0019] 以下に、実施例により、本発明をより詳細に説明する。

(実施例1)

図4は、本実施例のSMCPの製造プロセスを説明するための図で、図4(a)ー(f)のそれぞれについて、左図は断面概略図、右図は上面概略図である。先ず、本発明のSMCPの配線層用の基板となるインターポーザ101と絶縁体のアタッチメント111とを準備し(図4(a))、次に、インターポーザ101上の外周近傍領域の所定の箇所にアタッチメント111を熱硬化性の樹脂などにより接着して固定する(図4(b))。なお、このアタッチメント111のディメンジョンは適宜変更可能なパラメータであるが、例えば、その高さは50μm程度とされる。また、図4(b)には、インターポーザ101の左端部近傍に設けられたアタッチメント111のみが記載されているが、上側チップ103に設けられたボンディングパッド106とのワイヤボンディングを必要とするインターポーザ101上の対応箇所に、必要な数量とサイズのアタッチメント111が設けられる。

[0020] アタッチメント111を固定した後に、インターポーザ101主面に配線層112を形成する。この配線層112は、エッチング、電解メッキ、あるいは無電解メッキなどの一般的な手法により形成される。この工程により、インターポーザ101主面上にはフリップ用パッド108と配線部分113とが形成され、インターポーザ101が多層基板である場合にはスルーホール114も形成される。また、アタッチメント111の主面(および側面)にはワイヤ用パッドが形成され、アタッチメント111とその頂部に形成されたワイヤ用パッドが隆起パッド109を構成することとなる。

[0021] 配線層112形成に続いて、隆起パッド109の表面を被覆しないようにアンダーフィル105を塗布し(図4(d))、インターポーザ101上に設けたフリップ用パッド108と下側チップ102の裏面に設けられたバンプ107とが電気的に接続されるように下側チップ102を搭載する(図4(e))。このとき、下側チップ102がインターポーザ101側に押付けられるため、アンダーフィル105が下側チップ102の裏面端部から押し出されて広がり、例えば隆起パッド109の側面にまで染み出す。しかし、隆起パッのワイヤド109は充分な高さ(例えば50μm)を有しているために、隆起パッド109の頂部用パッド部を被覆することはない。

[0022] このようにしてインターポーザ101上に固定された下側チップ102上に上側チップ103を積層させ、この上側チップに設けられたボンディングパッド106が隆起パッド109にボンディングワイヤ110で接続される(図4(f))。この後、積層チップを樹脂封止し、インターポーザ101の裏面に不図示のハンダボールを形成してSMCPが完成する。

(実施例2)

図5は、本実施例のSMCPの製造プロセスを説明するための図で、図5(a)ー(e)のそれぞれについて、左図は断面概略図、右図は上面概略図である。先ず、本発明のSMCPの配線層用の基板となるインターポーザ101主面に配線層112を形成する。この配線層112は、エッチング、電解メッキ、あるいは無電解メッキなどの一般的な手法により形成される。この工程により、インターポーザ101主面上にはフリップ用パッド108と配線部分113、および外周部近傍の所定箇所にワイヤ用パッドが形成される(図5(a))。

[0023] 次に、インターポーザ101上の外周近傍領域に設けた個々のワイヤ用パッド上に、Cuなどの導電性材料からなる隆起パッド109を、導電性ペースト接着剤や超音波融着技術などにより接合する(図5(b))。なお、図5(b)には、インターポーザ101の左端部近傍に設けられた隆起パッド109のみが記載されているが、上側チップ103に設けられたボンディングパッド106とのワイヤボンディングを必要とするインターポーザ101上の対応箇所に、必要な数量とサイズの隆起パッド109が設けられることはいうまでもない。

[0024] これに続いて、隆起パッド109の表面を被覆しないようにアンダーフィル105を塗布し(図5(c))、インターポーザ101上に設けたフリップ用パッド108と下側チップ102の裏面に設けられたバンプ107とが電気的に接続されるように下側チップ102を搭載する(図5(d))。このとき、下側チップ102がインターポーザ101側に押付けられるため、アンダーフィル105が下側チップ102の裏面端部から押し出されて広がり、例えば隆起パッド109の側面にまで染み出す。しかし、隆起パッド109は充分な高さ(例えば50μm)を有しているために、隆起パッド109の頂部のワイヤ用パッド部を被覆することはない。

[0025] このようにしてインターポーザ101上に固定された下側チップ102上に上側チップ103を積層させ、この上側チップに設けられたボンディングパッド106が隆起パッド109にボンディングワイヤ110で接続される(図5(e))。この後、積層チップを樹脂封止し、インターポーザ101の裏面に不図示のハンダボールを形成してSMCPが完成する。

(実施例3)

図6は、本実施例のSMCPの製造プロセスを説明するための図で、図6(a)ー(e)のそれぞれについて、左図は断面概略図、右図は上面概略図である。先ず、本発明のSMCPの配線層用の基板となるインターポーザ101主面に配線層112を形成する。この配線層112は、エッチング、電解メッキ、あるいは無電解メッキなどの一般的な手法により形成される。この工程により、インターポーザ101主面上にはフリップ用パッド108と配線部分113、および外周部近傍の所定箇所にワイヤ用パッドが形成される(図6(a))。

[0026] 次に、インターポーザ101上の外周近傍領域に設けた個々のワイヤ用パッド上に、通常のボールボンディング法を用いて、隆起パッドの役割を果たすAuバンプ115を、熱圧着等により接合する(図6(b))。なお、図6(b)には、インターポーザ101の左端部近傍に設けられたAuバンプ115のみが記載されているが、上側チップ103に設けられたボンディングパッド106とのワイヤボンディングを必要とするインターポーザ101上の対応箇所に、必要な数量とサイズのAuバンプ115が設けられることはいうまでもない。

[0027] これに続いて、Auバンプ115の表面を被覆しないようにアンダーフィル105を塗布し(図6(c))、インターポーザ101上に設けたフリップ用パッド108と下側チップ102の裏面に設けられたバンプ107とが電気的に接続されるように下側チップ102を搭載する(図6(d))。このとき、下側チップ102がインターポーザ101側に押付けられるため、アンダーフィル105が下側チップ102の裏面端部から押し出されて広がり、例えばAuバンプ115の側面にまで染み出す。しかし、Auバンプ115は充分な高さ(例えば50μm)を有しているために、Auバンプ115の頂部のワイヤ用パッド部を被覆することはない。

[0028] このようにしてインターポーザ101上に固定された下側チップ102上に上側チップ103を積層させ、この上側チップに設けられたボンディングパッド106がAuバンプ115にボンディングワイヤ110で接続される(図6(e))。この後、積層チップを樹脂封止し、インターポーザ101の裏面に不図示のハンダボールを形成してSMCPが完成する。この方法によれば、Auバンプ115の形成は、ボンディングワイヤ110を形成するボンディング装置と同じ装置を用いて実行することができるため、コスト上有利である。

産業上の利用可能性

[0029] 本発明は、パッケージサイズを大きくすることなくアンダーフィルによるワイヤ用パッドの被覆を回避することが可能な、ワイヤ・フリップ技術を用いたSMCPを提供する。

請求の範囲

[1] ボンディングパッドを有するインターポーザと、

該インターポーザ上に接着剤により固定された半導体チップ積層体とを備え、

前記ボンディングパッドは、ワイヤによって前記半導体チップ積層体に接続され、かつ前記接着剤により被覆されない高さを有しているマルチチップパッケージ。

[2] 前記積層体の最下層に位置する半導体チップは前記インターポーザにフリップチップ接続され、前記ボンディングパッドは前記積層体の最上層に位置する半導体チップとワイヤ接続されている請求項1に記載のマルチチップパッケージ。

[3] 前記ボンディングパッドは、絶縁物と、該絶縁物の上に設けられた導電性パッド部材とを有する請求項1または2に記載のマルチチップパッケージ。

[4] 前記ボンディングパッドは、前記インターポーザ上に設けられた配線上に設けられた金属部材を含む請求項1または2に記載のマルチチップパッケージ。

[5] 前記ボンディングパッドは、前記インターポーザ上に設けられた配線上に設けられたバンプを含む請求項1又は2に記載のマルチチップパッケージ。

[6] 前記ボンディングパッドは、前記インターポーザ上に設けられた配線上に設けられた金バンプを含む請求項1又は2記載のマルチチップパッケージ。

[7] 前記ボンディングパッドは、絶縁物と該絶縁物の上に設けられた導電体とを有し、該導電体は前記インターポーザ上の配線の一部である請求項1又は2記載のマルチチップパッケージ。

[8] 前記接着剤は、前記絶縁物上に位置する部分を除いて前記配線を覆う請求項7記載のマルチチップパッケージ。

[9] 前記接着剤は、前記ボンディングパッドの少なくとも下側部分と接している請求項1から8のいずれか一項記載のマルチチップパッケージ。

[10] インターポーザ上に絶縁物を設ける工程と、

ボンディングパッドとして供されかつ前記絶縁体を覆う部分を有する配線を形成する工程と、

前記インターポーザ上の接着剤により、前記インターポーザに半導体チップ積層体を取り付ける工程と

を有するマルチチップパッケージの製造方法。

[11] 前記半導体チップ積層体の電極と、前記絶縁物上の配線の前記部分との間にワイヤをボンディングする工程を含む請求項10記載の製造方法。

[12] インターポーザ上に配線を形成する工程と、

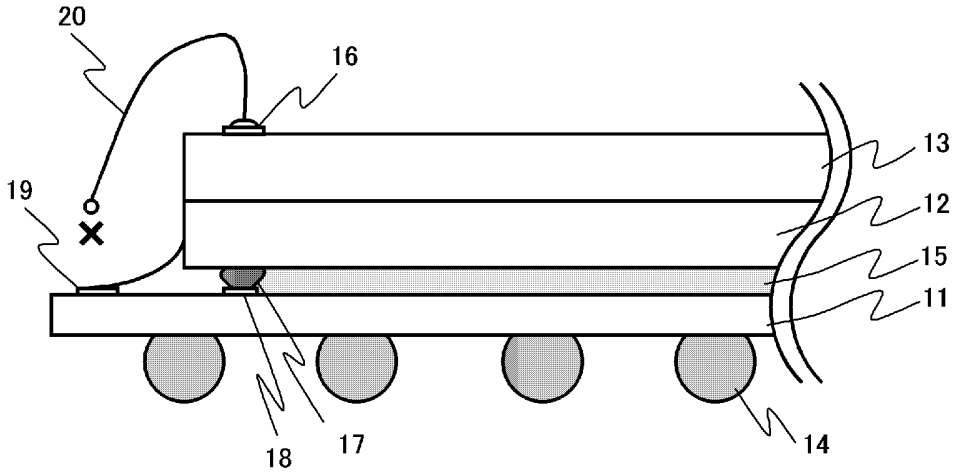
所定の高さを持つ導電部材を前記配線上に形成する工程と、

前記インターポーザ上の接着剤により、前記インターポーザに半導体チップ積層体を取り付ける工程と

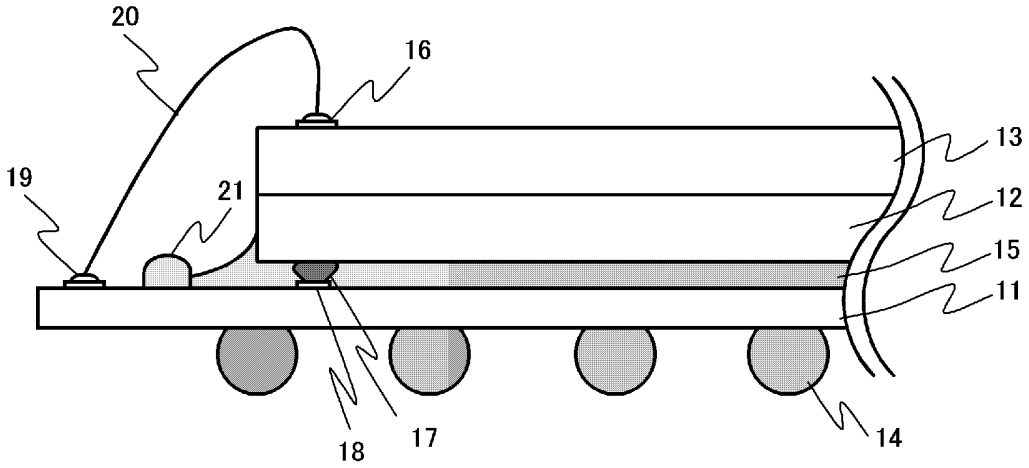
を有するマルチチップパッケージの製造方法。

[13] 前記取り付ける工程は、液体状の前記接着剤を用いる請求項12記載の製造方法。

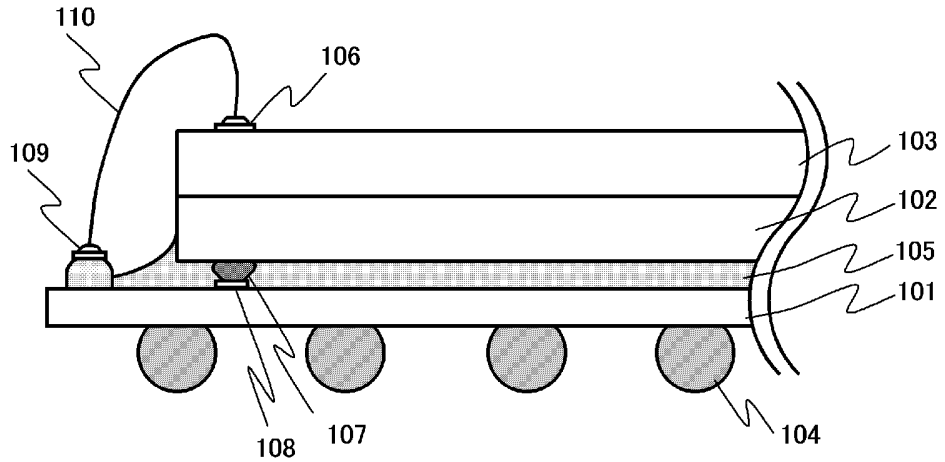
[図1]


20
16
19
13
12
15
11
18
17
14

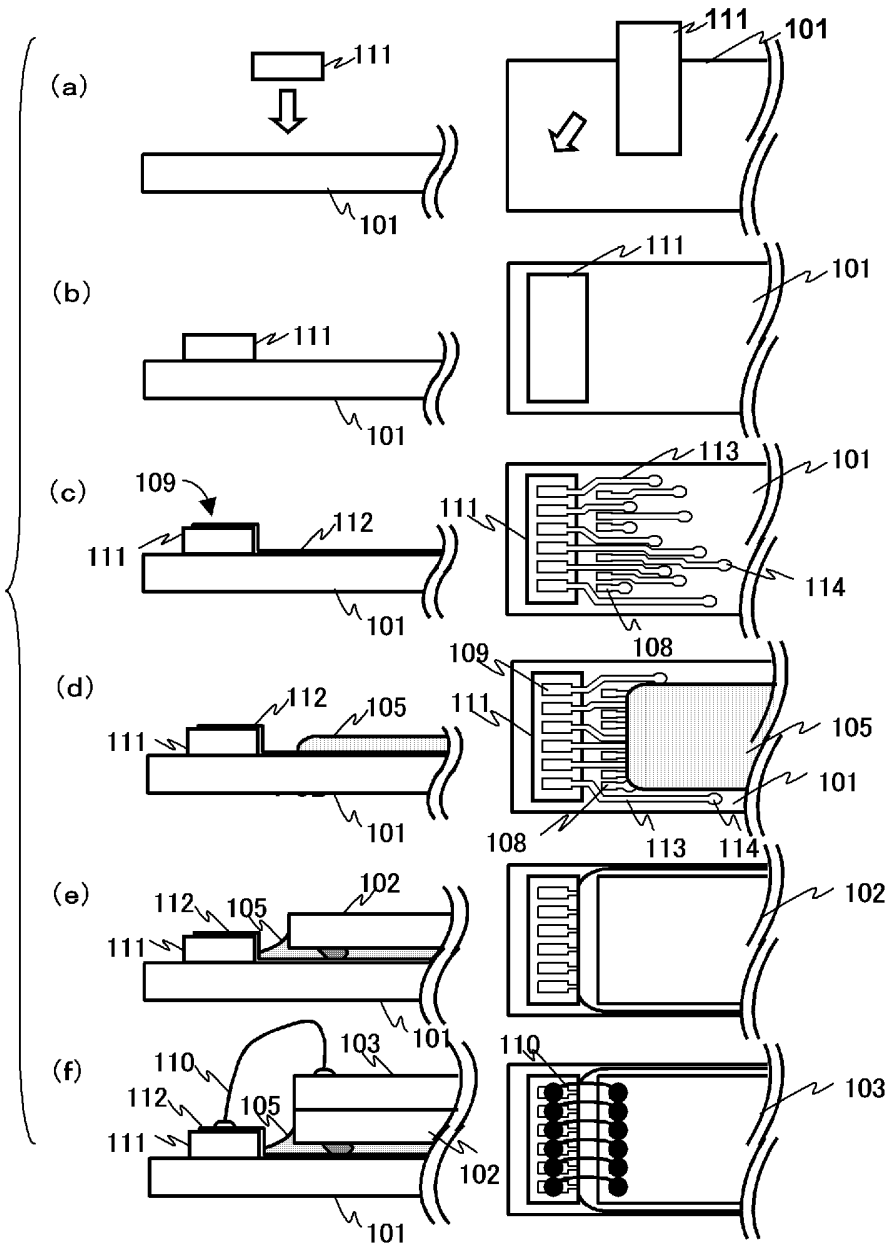
[図2]


20
16
19
21
13
12
15
11
18
17
14

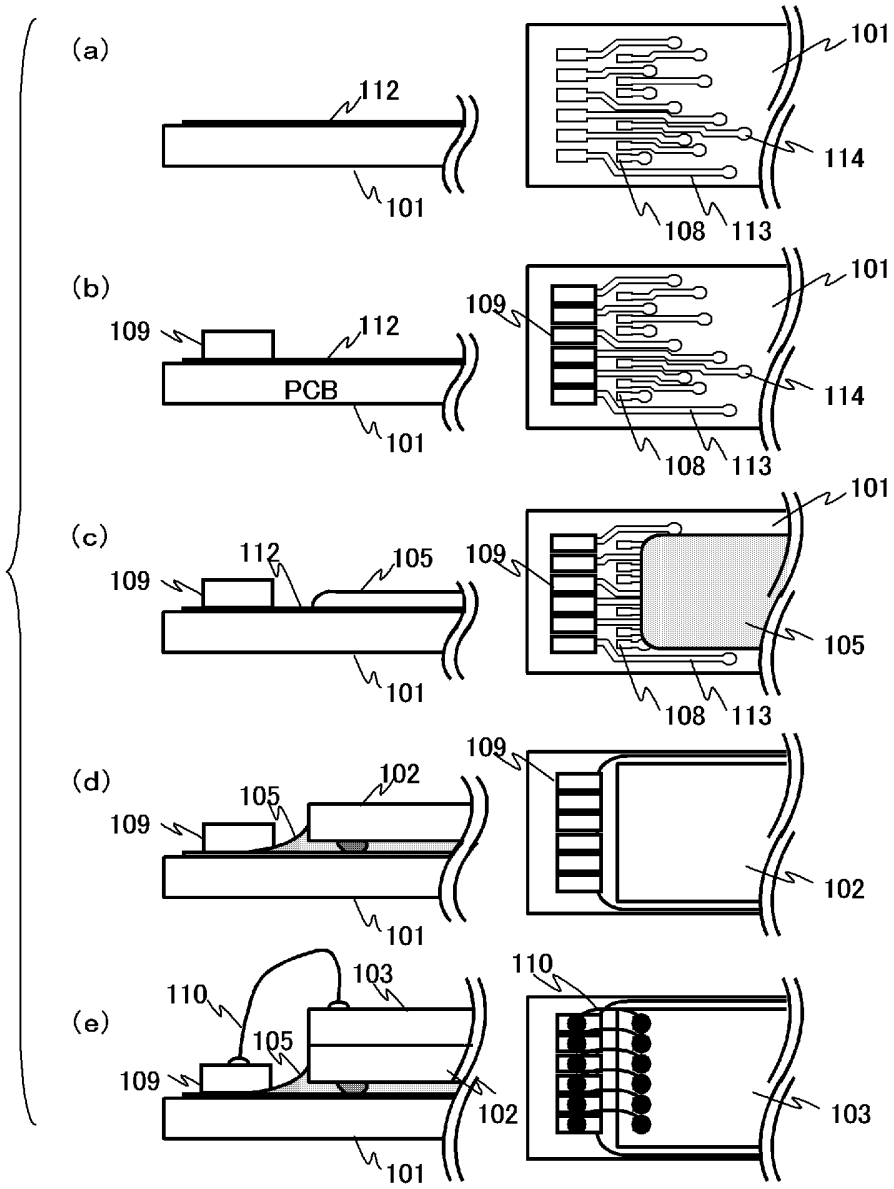
[図3]


110
106
109
103
102
105
101
108
107
104

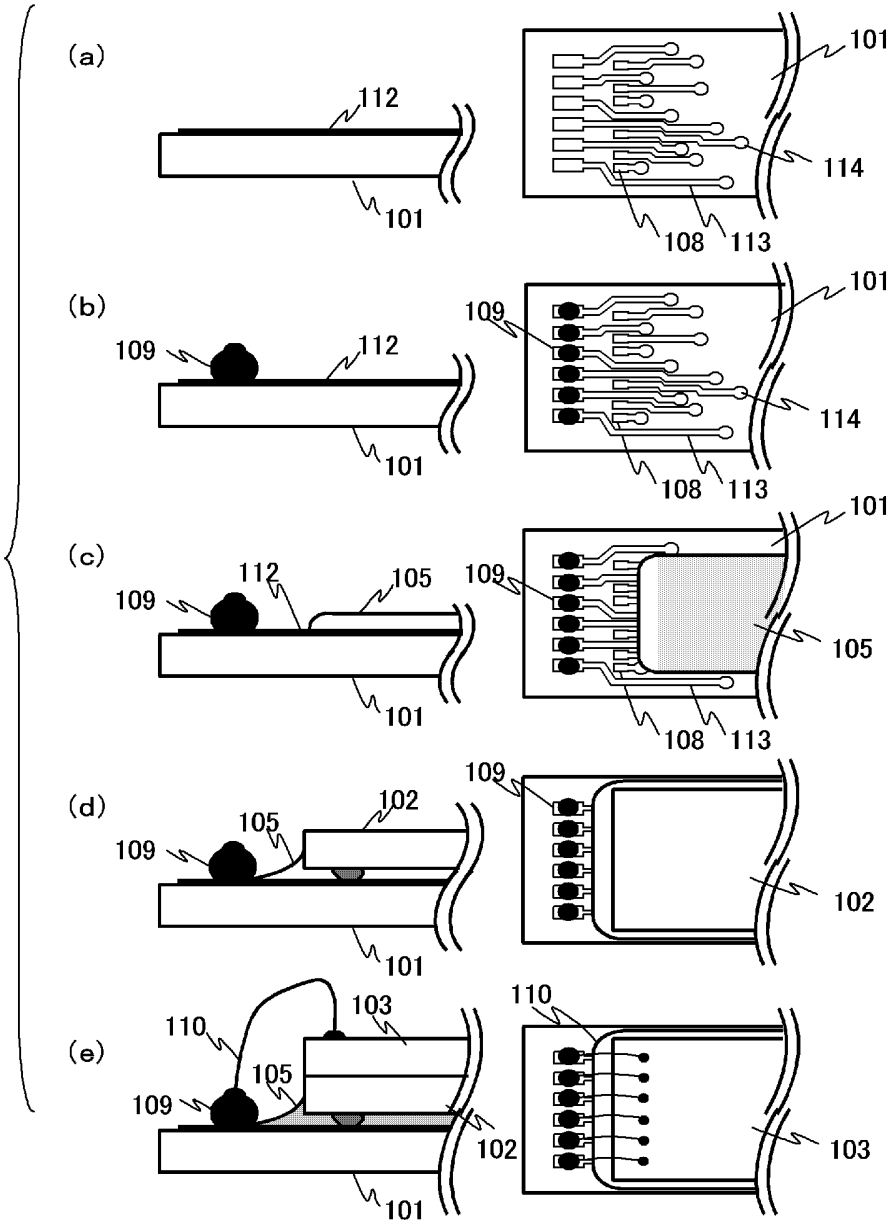
[図4]


(a)
111
101
(b)
111
101
(c)
109
111
112
101
(d)
112
105
111
101
(e)
112
105
102
111
101
(f)
110
112
105
103
111
102
101

[図5]


(a)
112
101
101
114
108
113
(b)
109
112
PCB
101
109
101
114
108
113
(c)
109
112
105
101
109
101
105
108
113
(d)
109
105
102
101
109
102
(e)
110
103
105
109
102
101
110
103

[図6]


(a)
112
101
101
114
108
113
(b)
109
112
101
109
101
114
108
113
(c)
109
112
105
101
109
101
105
108
113
(d)
109
105
102
101
109
102
(e)
110
109
105
103
102
101
110
103

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/016117

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L25/065, 25/07, 25/18, 23/12, 23/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L25/065, 25/07, 25/18, 23/12, 23/28, 21/52, 21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-231879 A (Matsushita Electric Industrial Co., Ltd.), 16 August, 2002 (16.08.02), Fig. 4; Par Nos. [0057] to [0064] (Family: none)	1-13
Y	JP 2000-21920 A (Sony Corp.), 21 January, 2000 (21.01.00), Fig. 2; Par Nos. [0038] to [0048] (Family: none)	1-3,7-13
Y	JP 2003-234427 A (Matsushita Electric Industrial Co., Ltd.), 22 August, 2003 (22.08.03), Figs. 1 to 4; Par Nos. [0027] to [0035] (Family: none)	1,2,4-6,8-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 January, 2005 (07.01.05)	25 January, 2005 (25.01.05)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/016117

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-193174 A (Matsushita Electric Industrial Co., Ltd.), 08 July, 2004 (08.07.04), Figs. 1 to 5; Par Nos. [0038] to [0048] (Family: none)	1-13
A	JP 2002-222914 A (Sony Corp.), 09 August, 2002 (09.08.02), Figs. 1 to 3; Par Nos. [0018] to [0029] & US 2002/102769 A1	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／０１６１１７

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl[7]　H01L 25/065, 25/07, 25/18, 23/12, 23/28

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl[7]　H01L 25/065, 25/07, 25/18, 23/12, 23/28, 21/52, 21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２００５年
日本国登録実用新案公報　１９９４－２００５年
日本国実用新案登録公報　１９９６－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2002-231879 A（松下電器産業株式会社）2002.08.16, 図4, 【0057】-【0064】（ファミリーなし）	1-13
Y	JP 2000-21920 A（ソニー株式会社）2000.01.21, 図2, 【0038】-【0048】（ファミリーなし）	1-3, 7-13
Y	JP 2003-234427 A（松下電器産業株式会社）2003.08.22, 図1-4, 【0027】-【0035】（ファミリーなし）	1, 2, 4-6, 8-13

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日　０７．０１．２００５	国際調査報告の発送日　25.1.2005
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｒ　９６３１ 酒井　英夫 電話番号　０３－３５８１－１１０１　内線　３４６９

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００４年１月）

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／０１６１１７

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 2004-193174 A (松下電器産業株式会社) 2004.07.08, 図1-5, 【0038】-【0048】 (ファミリーなし)	1-13
A	JP 2002-222914 A (ソニー株式会社) 2002.08.09, 図1-3, 【0018】-【0029】 & US 2002/102769 A1	1-13