

公告本

申請日期	89. 1. 21
案 號	89100987
類 別	G06F 15/78 G06F 12/08

A4
C4

472197

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明 名稱	中 文	高速處理器系統、使用其之方法、以及記錄媒體
	英 文	HIGH-SPEED PROCESSOR SYSTEM, METHOD OF USING THE SAME, AND RECORDING MEDIUM
二、發明 創作人	姓 名	大場 章南
	國 籍	日本
	住、居所	日本國東京都港區赤坂7丁目1番1號 新力電腦娛樂股份有限公司內
三、申請人	姓 名 (名稱)	日商新力電腦娛樂股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國東京都港區赤坂7丁目1番1號
	代 表 人 名 姓	久多良木 健

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1999年1月21日 特願平11-013486 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 · 訂 · 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

技術範疇

本發明有關於層次配置平行電腦系統，且尤其有關於一種高速處理器系統，能在不必修正現存程式種類之下執行高速平行處理，及使用高速處理器系統的方法，以及記錄媒體。

發明背景

已知一種高速處理器系統(具有CPU及含快取記憶體的低速大容量DRAM)可作為一種高速處理大量資料的系統，此一已知高速處理器系統(圖1)具有：裝設第一快取記憶體的CPU 1，及複數個平行DRAM 2其經由共同匯流排線而接到CPU 1，各DRAM 2配有第二快取記憶體3以便DRAM 2能以大約與CPU 1的處理速度相同的速度處理。

在圖1所示電路的操作中，根據CPU 1的指令而讀取一DRAM 2的資料，而資訊的寫入DRAM 2也是根據CPU 1的指令而執行。若讀取指令命中，即若從DRAM 2讀取的期望資料存在快取記憶體3，則CPU 1能藉由存取第二快取記憶體3而執行高速資料處理，惟以失誤為例，即快取記憶體3中不存在著期望資料時，則快取記憶體3必須從DRAM 2讀取目標資料。

高速處理器系統的上述基本配置具有：處理器，DRAM，及快取記憶體在今日居於重要的地位，因為它有利於能使用一般程式種類作控制。

惟使用層次式快取記憶體配置的此高速處理器系統不能執行平行處理，因為它僅使用一CPU 1，此外，一般程式

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明(2)

種類本身不是供平行處理用，而且除非修正它否則不能容易的用以執行一平行處理系統，因而導致實用上的阻礙。

發明總結

在這些情況下，本發明之目的在提供一種新式高速處理器系統，一種使用高速處理器系統之方法，及一種記錄媒體用以記錄一電腦可讀取及電腦可執行程式。

由此可知，本發明之目的是提供一種高速處理器系統，能在不必改變或修正一習用程式種類之下實施平行處理，一種產生此一高速處理器系統之方法，及一種記錄媒體記錄一電腦可讀取及電腦可執行程式。

根據本發明而提供一高速處理器系統，包括：一CPU具有一第一快取記憶體；一第二快取記憶體排列在低於CPU層次級之層次級，第二快取記憶體具有一第一MPU；及複數個主記憶體連接至第二快取記憶體且互相平行排列，各主記憶體具有設置一第二MPU之第三快取記憶體；其中各第一MPU及第二MPU皆具有一快取記憶體邏輯功能及一處理器功能，藉以能分散式同時處理。

在本發明的高速處理器系統中，第三快取記憶體具有比第二快取記憶體大之線大小，而第二快取記憶體具有比第一快取記憶體大之線大小。

從CPU存取第二快取記憶體作為一第二快取記憶體，以及從第一MPU存取第二快取記憶體作為一第一快取記憶體。

從CPU存取第三快取記憶體作為一第三快取記憶體，從

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(3)

第一MPU存取第三快取記憶體作為一第二快取記憶體，以及從第二MPU存取第三快取記憶體作為第一快取記憶體。

第一MPU及第二MPU執行的各資料處理是根據控制協定而執行，視資料傳送大小及資料傳送頻率而決定該協定由CPU給予的預擷取指令或智慧預擷取指令攜帶。

例如，第一MPU藉由使用儲存在複數個主記憶體中的資料及程式而主要執行整體傳送處理或低計算級及高傳送率處理，第二MPU藉由使用儲存在所屬單一主記憶體中儲存的資料及程式而主要執行區域物件處理。

可以將高速處理器系統在單晶片中當成ASIC-DRAM來處理。

本發明也提供一種使用高速處理器系統的方法，其包括：一CPU具有一第一快取記憶體，一第二快取記憶體排列在低於CPU層次級之層次級，第二快取記憶體具有一第一MPU，及複數個主記憶體連接至第二快取記憶體且互相平行排列，各主記憶體具有設置一第二MPU之第三快取記憶體，該方法包括：令CPU主要執行高層算術處理；令第一MPU主要執行高層算術處理，令第一MPU主要執行整體傳送處理及低層計算，及高速率傳送處理；及令一第二MPU藉由使用儲存在與第二MPU結合之主記憶體之資料及程式而主要執行區域物件處理，因而執行分散式同時處理。

第一MPU及第二MPU執行的各資料處理是根據一控制協定而執行，該協定由CPU給予的預擷取指令或智慧預擷取

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明(4)

指令攜帶。因此用一般程式種類可控制高速處理器。

可實施本發明的高速處理器系統以包括：一CPU具有一第一快取記憶體，及複數個主記憶體與CPU連接且互相平行排列，各主記憶體具有設置一MPU之第二快取記憶體，其中各MPU皆具有一快取記憶體邏輯功能及一處理器功能，藉以能分散式同時處理。

附圖簡單說明

圖1是習用平行處理器的方塊圖。

圖2是本發明實施例的方塊圖。

圖3的方塊圖顯示DRAM，MPU及快取記憶體的晶片配置實例。

圖4的方塊圖顯示第二快取記憶體及MPU的內部結構。

圖5的圖形說明一般快取記憶體模式中的資料流動。

圖6的圖形說明區域物件分散式執行中的資料流動。

圖7的圖形說明第二快取記憶體執行的傳送處理中的資料流動。

圖8說明一智慧預擷取指令。

圖9的圖形顯示ASIC DRAM的晶片系統。

實施本發明之最佳模式

參考圖2至9以說明本發明的實施例，參考圖2，高速處理器系統具有CPU 10其包括移快取記憶體(指令快取記憶體)10a作為第一快取記憶體，D快取記憶體(資料快取記憶體)10b，及便條式記憶體10c，(名詞第一快取記憶體也用總稱I快取記憶體10a，D快取記憶體10b及便條式記憶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

體 10c)，高速處理器系統也具有接到 CPU 10 的一致快取記憶體 11(也稱為第二快取記憶體)。高速處理器系統的最低層次級包括複數個一致快取記憶體 12(也稱為第三快取記憶體)其經由匯流排線而平行連接，及 DRAM 13-1 至 13-3，第二及第三快取記憶體各設置 MPU(微處理器)16，14 作為快取記憶體邏輯。

圖 2 所示配置的各層次級使用一快取記憶體或多個快取記憶體目的是達成高速處理，該配置令線大小(快取記憶體容量單位的大小，即短脈衝群讀寫長度)在低層次級快取記憶體之中大於高層次級快取記憶體。圖 2 的配置僅是說明性，而第二快取記憶體 11 並不重要。即高速處理器系統可具有此一配置其包括 CPU 10 及複數個 DRAM 13 各具有一致快取記憶體 12。

在圖 2 的配置中，MPU 16 及 MPU 14，其作為第二快取記憶體 12 及第三快取記憶體 13 的快取記憶體邏輯，與 CPU 10 是二元式相容，各 MPU 14 及 MPU 16 具有雙重角色，即作為快取記憶體邏輯的功能及作為處理器的功能。快取記憶體功能是一種在 CPU 10 的指令下控制快取記憶體的功能，而處理器是功能是在 CPU 10 的指令下作為分散式同時系統的子 CPU。

圖 3 說明在半導體晶片 15 上實施於圖 2 的高速處理器配置，在晶片 15 上形成的是 DRAM 陣列 13a(由 DRAM 13 組成，是主要部分)，感測放大器 13b，列位址 13c，行位址 13d，控制電路 13e，及資料輸入輸出電路 13f。圖 3 的晶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

片15使用SRAM 12作為快取記憶體，SRAM 12直接接到感測放大器13b以便從DRAM陣列13a輸入資料以及輸出資料到DRAM陣列13a，SRAM 12在本身與資料輸入輸出電路13f之間交換資料。

由SRAM 12組成的快取記憶體受具有快取記憶體邏輯功能及處理器功能的MPU 14的控制，關於快取記憶體邏輯功能，SRAM 12是一簡單一致快取記憶體，在MPU 14的控制下，所以可經由SRAM 12而在DRAM陣列13a上執行讀寫操作。至於處理功能，圖2配置中的SRAM 12是CPU 10的第三快取記憶體，所以MPU 14可執行以下操作，如執行由儲存在DRAM 13a中的程式及資料組成的物件，及根據一預設預擷取指令而預先讀取資料。

CPU 10給予的預擷取指令可驅動MPU 14，通常處理器系統的處理速度是依快取記憶體而定，其接到CPU及記憶體(作為高速記憶體)，而這是為何可接受使用快取記憶體的理。尤其是，CPU使用預擷取指令以預讀取資料，本發明中作為快取記憶體控制的預擷取指令又送入MPU 14，所以MPU 14也能執行處理。

實際上MPU 14能藉由伸展式RISC(限制指令組電腦)CPU核心而設在系統的快取記憶體中，該核心可由較小核心如ARM(精減RISC機器)處理器或MIPS(無互鎖管級之微處理器)處理器所組成以便能達成高性能CPU。

圖4說明圖2中CPU 10與第二快取記憶體11之間連接的實例，基本上可以將第二快取記憶體11視為由一致快取記憶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

體11a組成的處理器，MPU 16執行處理功能以作為CPU 10的第二快取記憶體，而且可作為第二快取記憶體。第二快取記憶體中的一致快取記憶體11a是由SRAM組成，當CPU 10存取一致快取記憶體11a時其係MPU 16的第一快取記憶體，圖4中的數字17是指記憶體介面以接到DRAM 13。

如上所述，第二快取記憶體11具有的短脈衝群讀寫長度大於第一快取記憶體(其包括I快取記憶體，D快取記憶體，及便條式)，根據CPU 10的控制協定，第二快取記憶體11是第二快取記憶體，同時執行物件的處理，該物件由儲存在第三快取記憶體及主記憶體中的程式及資料組成，此例中的處理主要需要時常在DRAM 13-1至13-3之間作資料傳送，而不是複雜的算術處理。第二快取記憶體11也根據CPU 10的指令而執行一種預擷取指令，其比各第三快取記憶體12的MPU 14執行的指令更為普通且更複雜，例如第二快取記憶體12執行需要複數個DRAM的預擷取指令。

圖5顯示的資料流動是當圖2的電路以一般快取記憶體模式操作時看到的，其中MPU 14，16在不執行處理功能之下僅執行快取記憶體邏輯功能，當執行包括在DRAM 13中的資料時，CPU 10經由第二快取記憶體11而讀取資料。即資料從最低層次級的第三快取記憶體12傳送到第二快取記憶體11，而其設計成具有較大的傳送大小(一次傳送的資料大小)及較低的傳送頻率，傳送到第二快取記憶體11的資料又傳送到最高層次級的第一快取記憶體，而且傳送到CPU 10，回溯上述路徑即可執行將資料寫入DRAM 13。

五、發明說明 (8)

因此執行資料的存取許多次，使用目前CPU 10的堆疊功能如後入先出儲存功能，似乎即可有效管理此存取方式，惟實際上會遇到一個問題，即必須時常存取的無資料快取記憶體是導因於CPU 10必須僅存取該資料一次，如作為影像處理的資料及要擷取的大型資料。根據本發明的快取記憶體控制的上述概念是根據消除或減少這種浪費存取次數的需求。

目前使用的處理系統設計成(如圖5所示)假設有許多存取路徑，實際上，圖5的記憶體架構可以在一般程式下操作是極有用的。

參考圖6，其說明當第三快取記憶體12的MPU 14執行處理功能時實施的資料流動，在此例中，MPU 14執行區域物件的分散式處理，因此不必由CPU 10處理的區域物件是根據一控制協定而由MPU 14處理，該協定包括在CPU 10的預擷取指令中，例如將儲存在單一DRAM區塊中的程式或資料視為一區域物件，以便作處理如僅增加計算或極大值的判定，因此藉由使用MPU 14即能執行分散式同時處理。要瞭解的是區域物件上的DRAM區塊的執行，是在分散式同時處理執行期間從指令快取記憶體中快取出來的。

圖7顯示的資料流動是當第二快取記憶體11中MPU 16執行處理功能時實施的，MPU 16在一預設範圍中執行物件的分散式處理，即MPU 16根據CPU 10的控制協定而處理物件(其不必由CPU 10處理)。MPU 16執行的分散式處理的例子如整體傳送處理，及低層計算及高速率傳送處理，如從一

五、發明說明 (9)

DRAM 13-1將資料傳送到另一DRAM 13-2。

基本上MPU 16能存取所有的記憶體，所以它能作為多重處理器系統其取代CPU 10的處理。惟MPU 16能最適用於大型傳送如大型資料的整體傳送，因為它的計算能力遠低於CPU 10的。因此MPU 16選擇性執行這種處理，其不需要CPU 10的高計算功能或是指令第一快取記憶體的複雜功能，MPU 16執行的處理也是在CPU 10的控制協定控制之下。

圖8說明一智慧預擷取指令，使用智慧預擷取指令(IPREF)作為一種方法以便能控制MPU 16，14，其不需要習用程式種類的任何改變下即受CPU 10的控制。參考圖8，CPU 10具有I快取記憶體10a及D快取記憶體10b，使用MPU 16作為處理器會遇到快取記憶體一致性的問題，即MPU 16執行程式所導致的資料改變與CPU 10的D快取記憶體10b中儲存的資料不一致，為了避免此問題，圖中的實施例作了如此配置，當CPU 10令MPU 16執行工作時，CPU 10的D快取記憶體10b中的資料即快取出，所以用新資料(指定資料)更新D快取記憶體10的內容，該新資料是MPU 16執行程式的結果。

MPU 16是一個一致快取記憶體，所以可控制它以作為快取記憶體，因此MPU 16根據IPREF指令而作工，其方式與根據預擷取指令而工作的一般快取記憶體相同，因此藉由IPREF指令能同時控制快取記憶體及MPU 16，尤其是，MPU 16作為快取記憶體以回應預擷取指令，且作工以回應

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

IPREF 指令。

換言之根據圖 8 的 IPREF 是 CPU 10 的延伸指令，執行時此延伸指令可快取出 D 快取記憶體 10b 中的指定區域，且傳送一控制協定到低層次級的快取記憶體。收到控制協定時，低層次級的指定 MPU 即藉由存取 DRAM 或低層次級的記憶體區塊而由協定執行一指定程式，而且將期望資料置於快取記憶體中。

用以判定極大值的擷取例子如以下所示。

IPREF DRAM 0 /*DRAM 0 中資料陣列的極大值*/

IPREF DRAM 1 /*DRAM 1 中資料陣列的極大值*/

IPREF DRAM 2 /*DRAM 2 中資料陣列的極大值*/

IPREF DRAM 3 /*DRAM 3 中資料陣列的極大值*/

載入 r0 DRAM 1-MAX /*讀取 DRAM 0 中的極大值*/

載入 r1 DRAM 1-MAX /*讀取 DRAM 1 中的極大值*/

載入 r2 DRAM 1-MAX /*讀取 DRAM 2 中的極大值*/

載入 r3 DRAM 1-MAX /*讀取 DRAM 3 中的極大值*/

Max r0,r0,r1

Max r2,r2,r3

Max r0,r0,r2 /*擷取極大值資料結束*/

此例子是根據以下假設，即圖 8 所示的指定資料已儲存在 DRAM 0 至 DRAM 3 之中，指令 IPREF DRAM 0 至 IPREF DRAM 3 是用以執行一指定程式的指令。將 D 快取記憶體 10b 的指定區域內容快取出之後，即根據 IPREF 指令而執行已儲存的程式。在 DRAM 0 至 DRAM 3 之上執行 IPREF，同

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (11)

時CPU 10傳送控制協定到DRAM 1至DRAM 3。當快取記憶體中已設定極大值時即執行載入指令，在此例中，藉由使用8個指令(包括4個IPREF指令及4個載入指令)即能判定4個極大值，雖然可得到的極大值數目是依DRAM的傳送大小而定，藉由互相檢查得到的極大值即可判定真實的極大值。

由上述可看出根據本發明的處理器系統，設置有許多快取記憶體各由MPU組成，以作為快取記憶體邏輯及子層次級的處理器，藉由此處理器系統在不需要習用程式種類的任何修正下即可高速且迅速同時執行處理。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要(發明之名稱:)

高速處理器系統、使用其之方法、以及記錄媒體

本發明之目的在提供一種高速處理器系統，能在不必修正習用程式種類之下執行分散式同時處理。

根據本發明之處理器系統具有：一CPU，複數個DRAM，及以層次配置排列之複數個快取記憶體。各快取記憶體設置有一MPU，其與CPU二元式相容，且具有作為一處理器之功能。

(請先閱讀背面之注意事項再填寫本頁各欄)

訂
線

英文發明摘要(發明之名稱: HIGH-SPEED PROCESSOR SYSTEM, METHOD OF USING THE SAME, AND RECORDING MEDIUM)

The invention is aimed at providing a high-speed processor system capable of performing distributed concurrent processing without requiring modification of conventional programming styles.

The processor system in accordance with the invention has a CPU, a plurality of parallel DRAMs, and a plurality of cache memories arranged in a hierarchical configuration. Each of the cache memories is provided with an MPU which is binarily-compatible with the CPU and which has a function to serve as a processor.

Representative Figure: Fig. 2

六、申請專利範圍

1. 一種高速處理器系統，包括：

— CPU具有一第一快取記憶體；

— 第二快取記憶體排列在低於該CPU層次級之層次級，該第二快取記憶體具有一第一MPU；及

複數個主記憶體連接至該第二快取記憶體且互相平行排列，各該主記憶體具有設置一第二MPU之第三快取記憶體；

其中各該第一MPU及該第二MPU皆具有一快取記憶體邏輯功能及一處理器功能，藉以能分散式同時處理。

2. 如申請專利範圍第1項之高速處理器系統，其中該第三快取記憶體具有比該第二快取記憶體大之線大小，而該第二快取記憶體具有比該第一快取記憶體大之線大小。

3. 如申請專利範圍第1項之高速處理器系統，其中該第一MPU及該第二MPU與該CPU二元式相容。

4. 如申請專利範圍第1項之高速處理器系統，其中藉由一個一致快取記憶體而實施各該第二快取記憶體及該第三快取記憶體。

5. 如申請專利範圍第1項之高速處理器系統，其中從該CPU存取該第二快取記憶體作為一第二快取記憶體，及從該第一MPU存取該第二快取記憶體作為一第一快取記憶體。

6. 如申請專利範圍第1項之高速處理器系統，其中從該CPU存取該等第三快取記憶體作為諸第三快取記憶體，從該第一MPU存取該等第三快取記憶體作為諸第二快取記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

體，及從該第二MPU存取該等第三快取記憶體作為諸第一快取記憶體。

7. 如申請專利範圍第1項之高速處理器系統，其中該第一MPU及該第二MPU執行之各資料處理係根據一控制協定而執行，該協定由該CPU給予之預擷取指令或智慧預擷取指令所攜帶。
8. 如申請專利範圍第1項之高速處理器系統，其中各該第一MPU及該第二MPU視資料傳送大小及資料傳送頻率而選擇性執行資料處理。
9. 如申請專利範圍第1項之高速處理器系統，其中該第一MPU藉由使用儲存在該複數個主記憶體中之資料及程式而主要執行整體傳送處理或低計算級及高傳送率處理。
10. 如申請專利範圍第1項之高速處理器系統，其中該各該第二MPU藉由使用儲存在結合之單一主記憶體中之資料及程式而主要執行區域物件處理。
11. 如申請專利範圍第1項之高速處理器系統，其中藉由一DRAM而實施該主記憶體，及藉由一SRAM而實施各該第一快取記憶體及該第二快取記憶體。
12. 如申請專利範圍第1項之高速處理器系統，其中在一單晶片中當成ASIC-DRAM來實施。
13. 一種使用一高速處理器系統之方法，該系統包括：一CPU具有一第一快取記憶體，一第二快取記憶體排列在低於該CPU層次級之層次級，該第二快取記憶體具有一第一MPU，及複數個主記憶體連接至該第二快取記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

且互相平行排列，各該主記憶體具有設置一第二MPU之第三快取記憶體，該方法包括：

令該CPU主要執行高層算術處理；

令該第一MPU主要執行高層算術處理，及低層計算與高傳送速率處理；及

令一該第二MPU藉由使用儲存在與第二MPU結合之該主記憶體之資料及程式而主要執行區域物件處理，因而執行分散式同時處理。

14. 如申請專利範圍第13項之使用一高速處理器系統之方法，其中藉由該第一MPU及該第二MPU執行之各資料處理是根據一控制協定而執行，該協定由該CPU給予之預擷取指令或智慧預擷取指令所攜帶。
15. 如申請專利範圍第13項之使用一高速處理器系統之方法，其中用一個示一程式種類可控制該高速處理器。
16. 如申請專利範圍第13項之使用一高速處理器系統之方法，其中當至少一該第一MPU及該第二MPU執行一資料處理功能以處理資料時，MPU所屬之區塊即維持快取出。
17. 一種電腦可讀取及電腦可執行處理程式，用於一高速處理器系統其包括：一CPU具有一第一快取記憶體，一第二快取記憶體排列在低於該CPU層次級之層次級，該第二快取記憶體具有一第一MPU，及複數個主記憶體連接至該第二快取記憶體且互相平行排列，各該主記憶體具有設置一第二MPU之第三快取記憶體，該電腦可讀取及

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

六、申請專利範圍

電腦可執行處理程式包括：

一控制協定以一預擷取或一智慧預擷取指令為內容，要從該CPU給予至該MPU及該第二MPU；

其中該第一MPU藉由使用該複數個主記憶體中儲存之資料及程式而主要執行整體傳送處理，或低層計算與高傳送速率處理；及

其中該第二MPU藉由使用儲存在結合之數一主記憶體中之資料及程式而主要執行區域物件處理，因而執行分散式同時處理。

18. 一種高速處理器系統，包括：

一CPU具有一第一快取記憶體；及

複數個主記憶體與該CPU連接且互相平行排列，各該主記憶體具有設置一MPU之第二快取記憶體；

其中各該MPU皆具有一快取記憶體邏輯功能及一處理器功能，藉以能分散式同時處理。

19. 如申請專利範圍第18項之高速處理器系統，其中藉由一個一致快取記憶體而實施各該第二快取記憶體。

20. 如申請專利範圍第18項之高速處理器系統，其中從該CPU存取該等第二快取記憶體作為一第二快取記憶體，及從該等MPU存取該等第二快取記憶體作為第一快取記憶體。

21. 如申請專利範圍第18項之高速處理器系統，其中MPU執行之資料處理係根據一控制協定而執行，該協定由該CPU給予之預擷取指令或智慧預擷取指令所攜帶。

六、申請專利範圍

22. 如申請專利範圍第18項之高速處理器系統，其中各該等 MPU 藉由使用儲存在結合之單一主記憶體中之資料及程式而主要執行區域物件處理。
23. 如申請專利範圍第18項之高速處理器系統，其中藉由諸 DRAM 而實施該等主記憶體，及藉由一 SRAM 而實施各該第一快取記憶體及該等第二快取記憶體。
24. 如申請專利範圍第18項之高速處理器系統，其中在一單晶片中當成 ASIC-DRAM 來實施。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

89100987

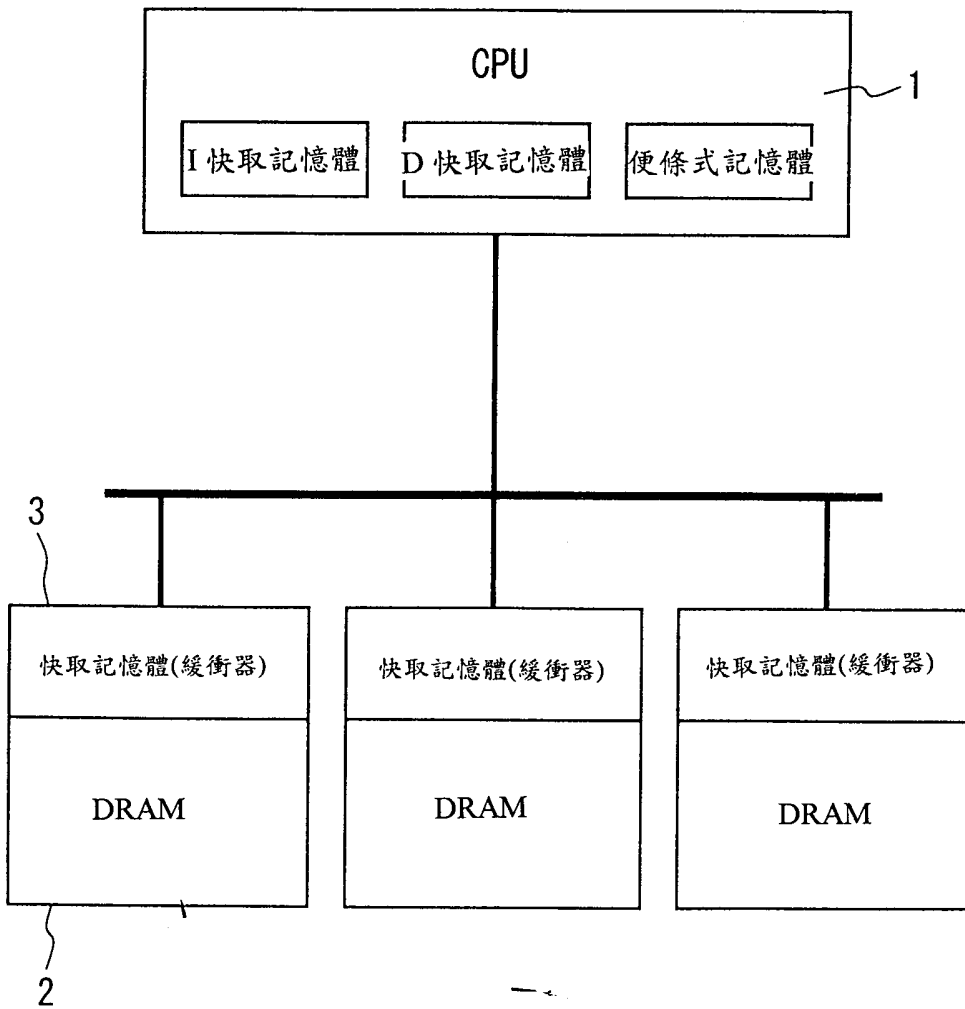


圖 1

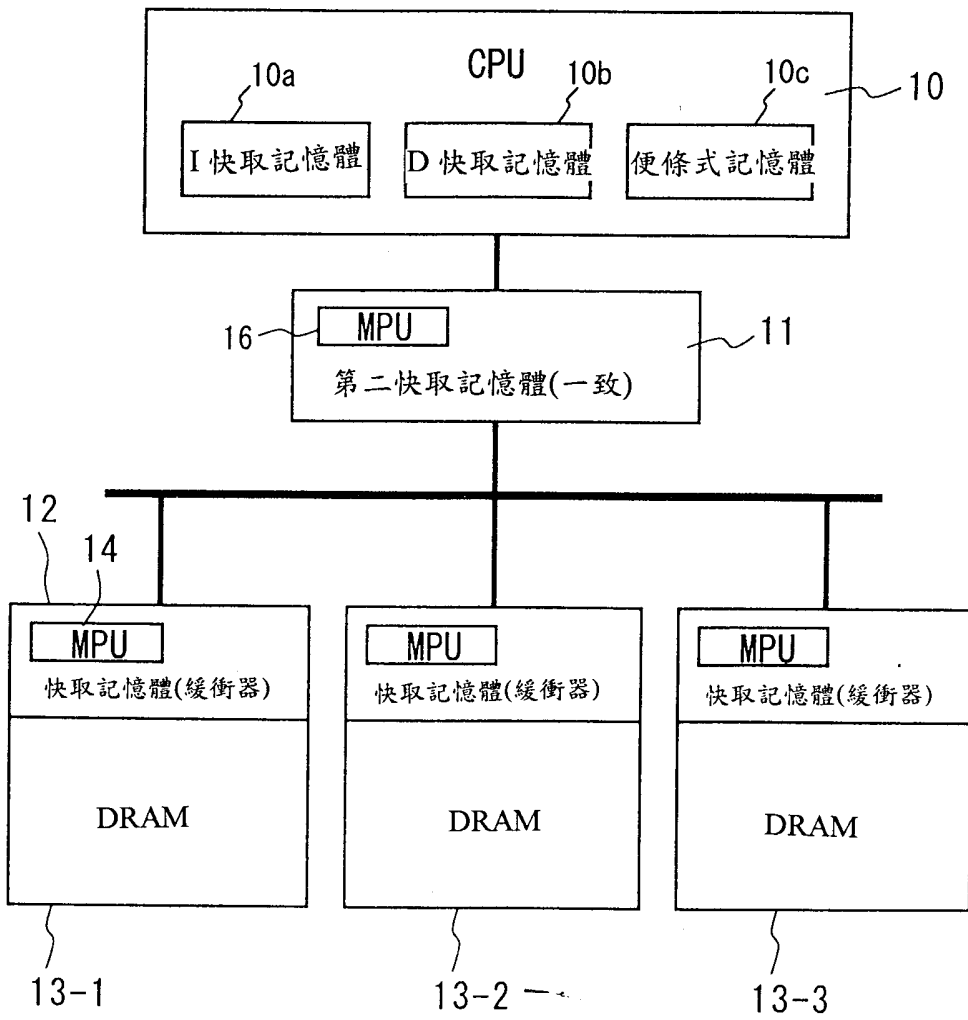


圖 2

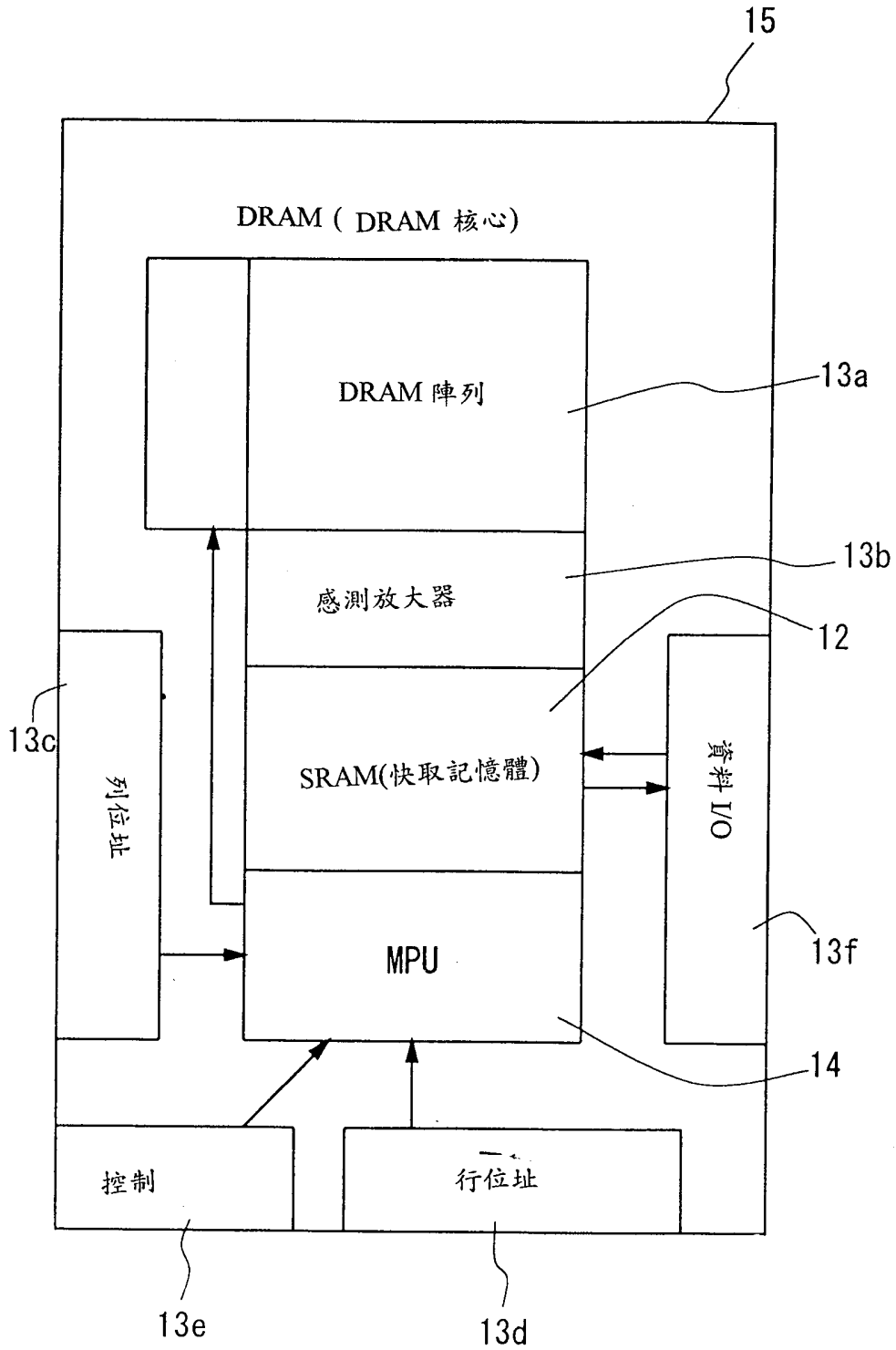
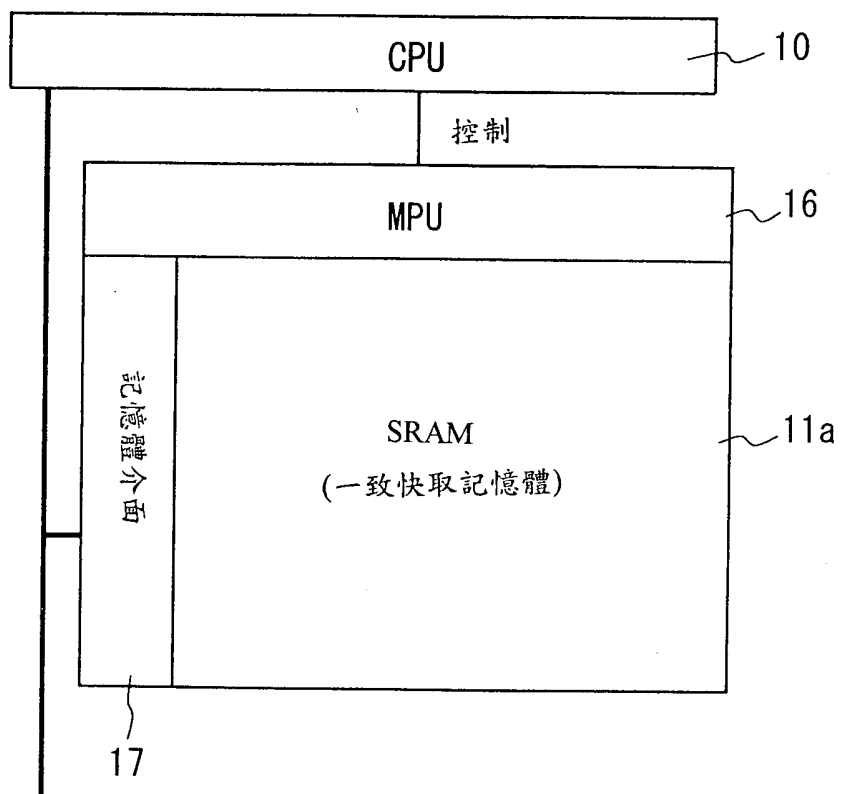


圖 3



至 DRAM(主記憶體)

圖 4

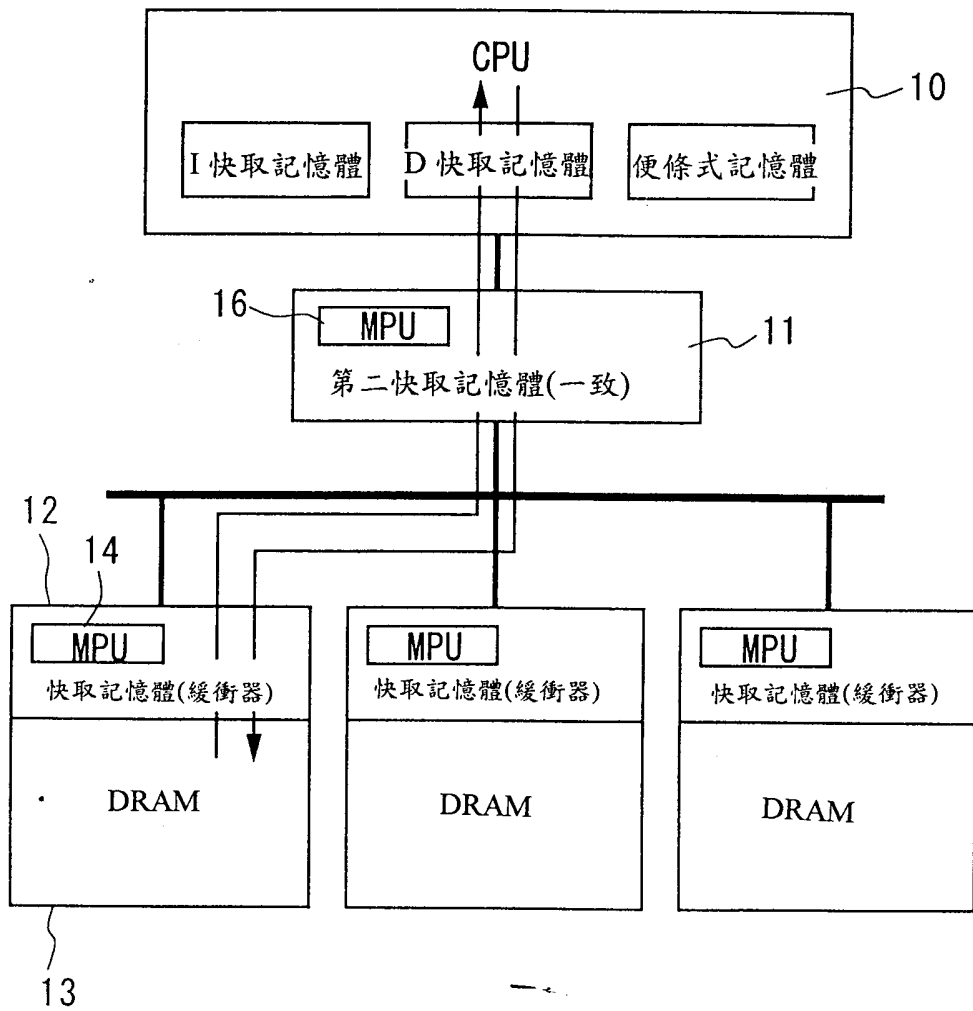


圖 5

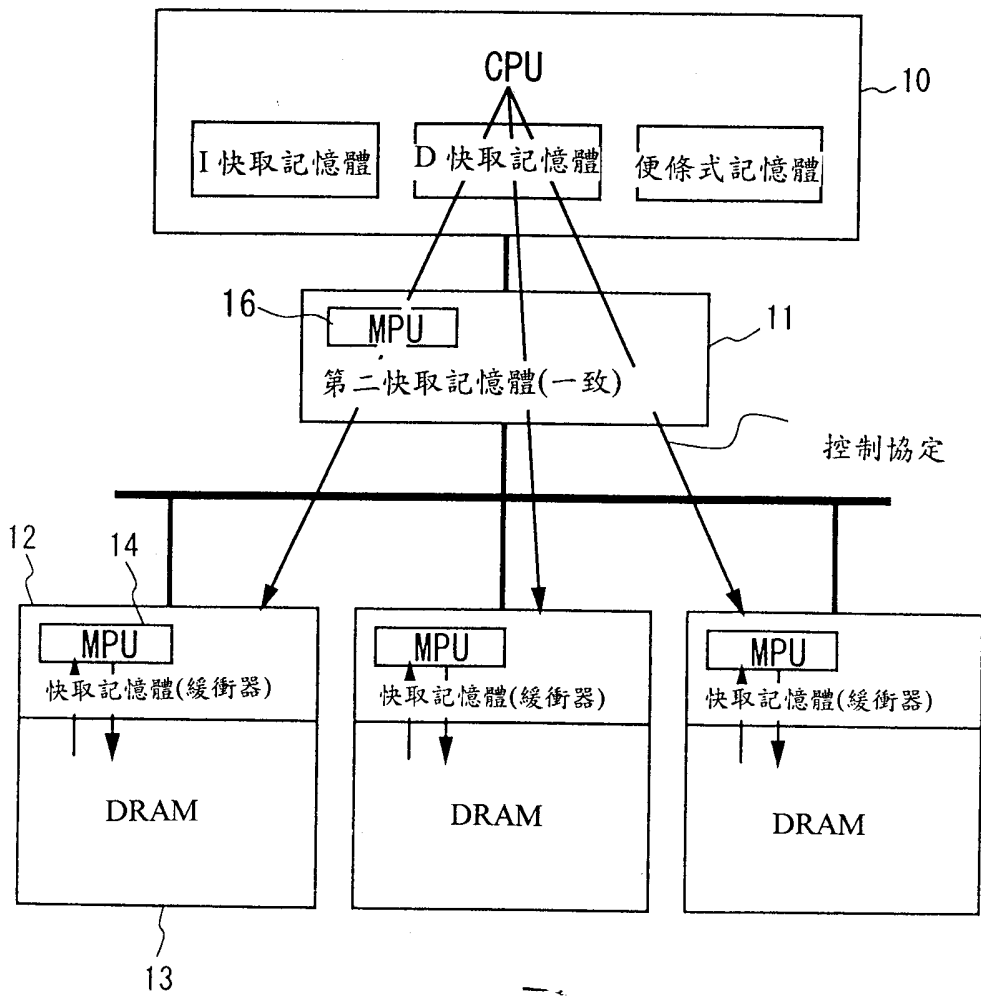


圖 6

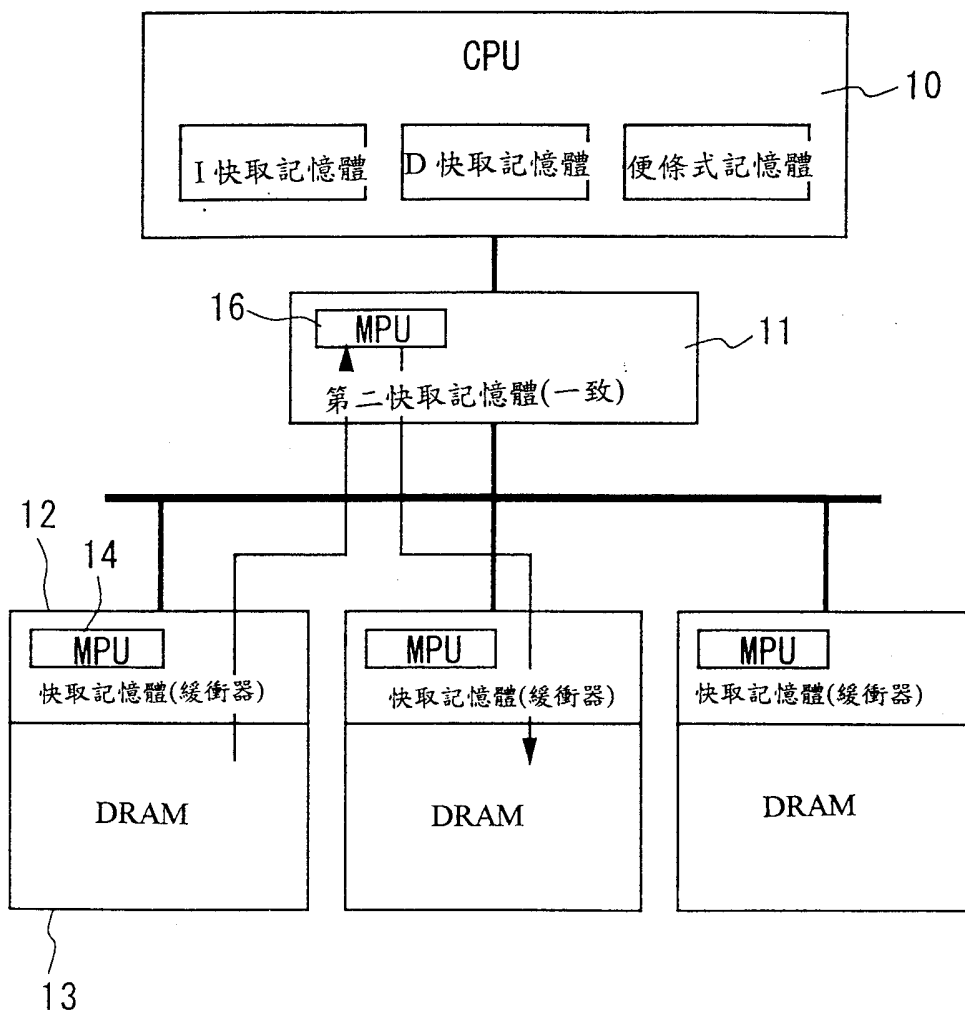


圖 7

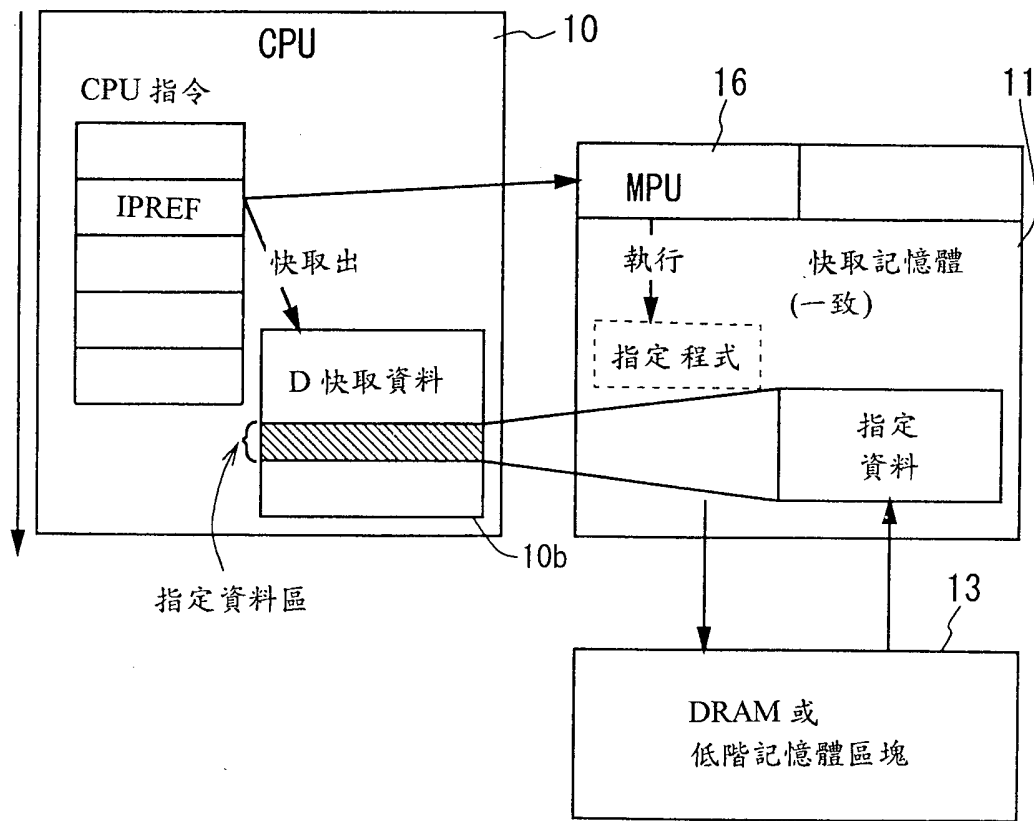


圖 8

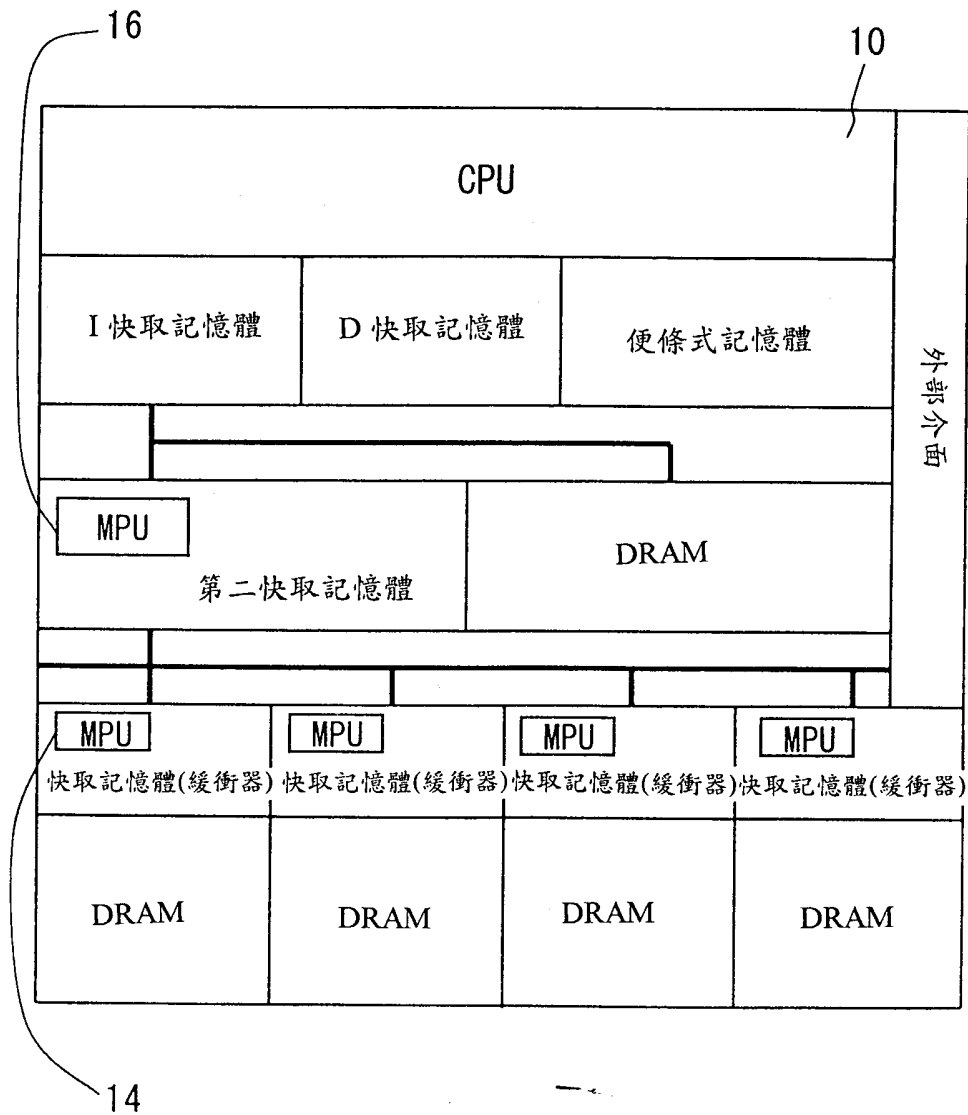


圖 9