(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월14일
(11) 등록번호 10-2543263
(24) 등록일자 2023년06월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) *H10K 30/00* (2023.01)
H10K 30/80 (2023.01)
(52) CPC특허분류
H01L 27/14609 (2023.01)
H01L 27/14636 (2013.01)
(21) 출원번호 10-2022-7023761(분할)
(22) 출원일자(국제) 2017년11월14일
심사청구일자 2022년07월11일
(85) 번역문제출일자 2022년07월11일
(65) 공개번호 10-2022-0103203
(43) 공개일자 2022년07월21일
(62) 원출원 특허 10-2019-7013455
원출원일자(국제) 2017년11월14일
심사청구일자 2020년10월06일
(86) 국제출원번호 PCT/JP2017/040938
(87) 국제공개번호 WO 2018/096980
국제공개일자 2018년05월31일
(30) 우선권주장
JP-P-2016-226658 2016년11월22일 일본(JP)
(56) 선행기술조사문헌
JP2007258424 A*
KR1020130040439 A*
JP2008112907 A
JP2016039203 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니그룹주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
후루카와 아키라
일본국 도쿄도 미나토쿠 코난 1-7-1 소니그룹주식회사 내
안도 요시히로
일본국 도쿄도 미나토쿠 코난 1-7-1 소니그룹주식회사 내
(뒷면에 계속)
(74) 대리인
최달용

전체 청구항 수 : 총 9 항 심사관 : 심병로

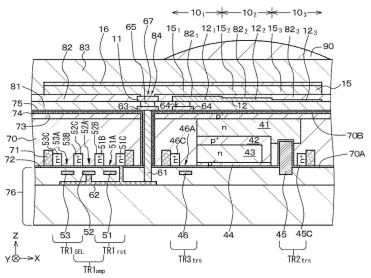
(54) 발명의 명칭 **촬상 소자, 적층형 촬상 소자 및 고체 촬상 장치**

(57) 요 약

본 개시의 촬상 소자는, 제1 전극, 광전 변환층, 제2 전극, N개(단, N≥2)의 절연층 세그먼트를 포함하는 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n

(뒷면에 계속)

대 표 도



번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 상기 광전 변환층을 포함하고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께는, 제N번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께와 다른 것을 특징으로 한다.

(52) CPC특허분류
H01L 27/14647 (2013.01)
H10K 30/30 (2023.02)
H10K 30/81 (2023.02)
Y02E 10/549 (2020.08)

(72) 발명자
토가시 히데아키
일본국 도쿄도 미나토쿠 코난 1-7-1 소니그룹주식회사 내
코가 후미히코
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내

명 세 서

청구범위

청구항 1

제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

전하 축적용 전극과 절연층과 광전 변환층의 적층 방향을 Z방향, 제1 전극으로부터 떨어지는 방향을 X방향으로 했을 때, YZ 가상 평면으로 전하 축적용 전극과 절연층과 광전 변환층이 적층된 적층 부분을 절단한 때의 적층 부분의 단면적은, 제1 전극으로부터의 거리에 의존하여 변화하는 것을 특징으로 하는 촬상 소자.

청구항 2

제1항에 기재된 촬상 소자를 적어도 하나 가지는 것을 특징으로 하는 적층형 촬상 소자.

청구항 3

제1항에 기재된 촬상 소자를, 복수, 구비한 것을 특징으로 하는 고체 촬상 장치.

청구항 4

제2항에 기재된 적층형 촬상 소자를, 복수, 구비한 것을 특징으로 하는 고체 촬상 장치.

청구항 5

제1항에 기재된 촬상 소자를, 복수, 가지고 있고,

복수의 촬상 소자로 촬상 소자 블록이 구성되어 있고,

촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극이 공유되어 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 6

제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비한 촬상 소자를, 복수, 가지고 있고,

복수의 촬상 소자로 촬상 소자 블록이 구성되어 있고,

촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극이 공유되어 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 7

제6항에 있어서,

촬상 소자 블록을 구성하는 복수의 촬상 소자의 사이에는 전송 제어용 전극이 배설되어 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 8

제6항에 있어서,

하나의 촬상 소자의 상방에 하나의 온 · 칩 · 마이크로 · 렌즈가 배설되어 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 9

제6항에 있어서,

2개의 촬상 소자로부터 촬상 소자 블록이 구성되어 있고,

촬상 소자 블록의 상방에 하나의 온 · 칩 · 마이크로 · 렌즈가 배설되어 있는 것을 특징으로 하는 고체 촬상 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

발명의 설명

기 술 분 야

[0001] 본 출원은 2016년 11월 22일자로 출원된 JP2016-226658호에 대한 우선권을 주장한다.

[0002] 본 개시는, 촬상 소자, 적층형 촬상 소자 및 고체 촬상 장치에 관한 것이다.

배 경 기 술

[0003] 광전 변환층에 유기 반도체 재료를 사용하는 촬상 소자는, 특정한 색(파장대)을 광전 변환하는 것이 가능하다. 그리고, 이와 같은 특징을 갖기 때문에, 고체 촬상 장치에서의 촬상 소자로서 이용하는 경우, 온 칩 · 컬러 필터(OCCF)와 촬상 소자와의 조합으로 부화소가 이루어지고, 부화소가 2차원 배열되어 있는, 종래의 고체 촬상 장치에서는 불가능한, 부화소를 적층한 구조(적층형 촬상 소자)를 얻는 것이 가능하다(예를 들면, 일본국 특개2011-138927 참조). 또한, 디모자이크 처리를 필요로 하지 않기 때문에, 위색이 발생하지 않는다는 이점이 있다. 또한, 이하의 설명에서, 반도체 기판의 위 또는 상방에 마련된 광전 변환부를 구비한 촬상 소자를, 편의상, 『제1 타입의 촬상 소자』라고 부르고, 제1 타입의 촬상 소자를 구성하는 광전 변환부를, 편의상, 『제1 타입의 광전 변환부』라고 부르고, 반도체 기판 내에 마련된 촬상 소자를, 편의상, 『제2 타입의 촬상 소자』라고 부르고, 제2 타입의 촬상 소자를 구성하는 광전 변환부를, 편의상, 『제2 타입의 광전 변환부』라고 부르는 경우가 있다.

[0004] 도 60에 종래의 적층형 촬상 소자(적층형 고체 촬상 장치)의 구조례를 도시한다. 도 60에 도시하는 예에서는, 반도체 기판(370) 내에, 제2 타입의 촬상 소자인 제3 촬상 소자(330) 및 제2 촬상 소자(320)을 구성하는 제2 타입의 광전 변환부인 제3광전 변환부(331) 및 제2광전 변환부(321)가 적층되어, 형성되어 있다. 또한, 반도체 기판(370)의 상방(구체적으로는, 제2 촬상 소자(320)의 상방)에는, 제1 타입의 광전 변환부인 제1광전 변환부(311)가 배치되어 있다. 여기서, 제1광전 변환부(311)는, 제1 전극(311), 유기 재료로 이루어지는 광전 변환층(315), 제2 전극(316)을 구비하고 있고, 제1 타입의 촬상 소자인 제1 촬상 소자(310)를 구성한다. 제2광전 변환부(321) 및 제3광전 변환부(331)에서는, 흡수 계수의 차이에 의해, 각각, 예를 들면, 청색 및 적색의 광이 광전 변환된다. 또한, 제1광전 변환부(311)에서는, 예를 들면, 녹색의 광이 광전 변환된다.

[0005] 제2광전 변환부(321) 및 제3광전 변환부(331)에서 광전 변환에 의해 생성한 전하는, 이들의 제2광전 변환부(321) 및 제3광전 변환부(331)에 일단 축적된 후, 각각, 종형 트랜지스터(게이트부(322)를 도시한다)와 전송 트

랜지스터(게이트부(332)를 도시한다)에 의해 제2 부유 확산층(Floating Diffusion)(FD_2) 및 제3 부유 확산층(FD_3)에 전송되고, 또한, 외부의 판독 회로(도시 생략)에 출력된다. 이들의 트랜지스터 및 부유 확산층(FD_2, FD_3)도 반도체 기판(370)에 형성되어 있다.

[0006] 제1광전 변환부(311)에서 광전 변환에 의해 생성한 전하는, 콘택트홀부(361), 배선층(362)를 통하여, 반도체 기판(370)에 형성된 제1 부유 확산층(FD_1)에 축적된다. 또한, 제1광전 변환부(311)은, 콘택트홀부(361), 배선층(362)를 통하여, 전하량을 전압으로 변환하는 증폭 트랜지스터의 게이트부(318)에도 접속되어 있다. 그리고, 제1 부유 확산층(FD_1)은, 리셋·트랜지스터(게이트부(317)을 도시한다)의 일부를 구성하고 있다. 또한, 참조 번호 371은 소자 분리 영역이고, 참조 번호 372는 반도체 기판(370)의 표면에 형성된 산화막이고, 참조 번호 376, 381은 층간 절연층이고, 참조 번호 383은 보호층이고, 참조 번호 390은 온 칩·마이크로·렌즈이다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 특허 문헌 1 : 일본국 특개2011-138927

발명의 내용

해결하려는 과제

[0008] 그런데, 제2광전 변환부(321) 및 제3광전 변환부(331)에서 광전 변환에 의해 생성한 전하는, 제2광전 변환부(321) 및 제3광전 변환부(331)에 일단 축적된 후, 제2 부유 확산층(FD_2) 및 제3 부유 확산층(FD_3)에 전송된다. 그러므로, 제2광전 변환부(321) 및 제3광전 변환부(331)을 완전 공핍화할 수 있다. 그렇지만, 제1광전 변환부(311)에서 광전 변환에 의해 생성한 전하는, 직접, 제1 부유 확산층(FD_1)에 축적된다. 그러므로, 제1광전 변환부(311)을 완전 공핍화하는 것은 곤란하다. 그리고, 이상의 결과, kTC 노이즈가 커지고, 랜덤 노이즈가 악화하고, 촬상 화질의 저하를 가져온다. 또한, 제1광전 변환부(311)에서 광전 변환에 의해 생성한 전하를, 한층 용이하게, 또한, 확실하게 전송하는 것에 대한 강한 요망도 있다. 나아가서는, 복수의 촬상 소자가 배열된 화소 영역에서의 구성, 구조의 간소화, 미세화에 대한 강한 요망도 있다.

[0009] 따라서, 본 개시의 제1의 목적은, 반도체 기판의 위 또는 상방에 광전 변환부가 배치된 촬상 소자로서, 촬상 화질의 저하를 억제할 수 있고, 게다가, 광전 변환에 의해 생성한 전하를, 한층 용이하게, 또한, 확실하게 전송하는 것을 가능하게 하는 구성, 구조의 촬상 소자, 이러한 촬상 소자로 구성된 적층형 촬상 소자, 이러한 촬상 소자 또는 적층형 촬상 소자를 구비한 고체 촬상 장치를 제공하는 것에 있다. 또한, 본 개시의 제2의 목적은, 반도체 기판의 위 또는 상방에 광전 변환부가 배치된 촬상 소자로서, 촬상 화질의 저하를 억제할 수 있는 촬상 소자를 여러가지며, 게다가, 촬상 소자가 복수 배열된 화소 영역에서의 구성, 구조를 간소화, 미세화할 수 있는 고체 촬상 장치를 제공하는 것에 있다.

과제의 해결 수단

[0010] 상기한 제1의 목적을 달성하기 위한 본 개시의 제1의 양태~제6의 양태에 관한 촬상 소자는, 제1 전극, 광전변환층 및 제2 전극이 적층되어 이루어지는 광전변환부를 구비하고 있고,

[0011] 광전변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0012] 광전변환부는, N개(단, N≥2)의 광전변환부 세그먼트로 구성되어 있고,

[0013] 광전변환층은, N개의 광전변환층 세그먼트로 구성되어 있고,

[0014] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0015] 본 개시의 제1의 양태~제3의 양태에 관한 촬상 소자에서는, 전하 축적용 전극은, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0016] 본 개시의 제4의 양태~제5의 양태에 관한 촬상 소자에서는, 전하 축적용 전극은, 상호 이간되어 배치된, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0017] 제n번째(단, n=1, 2, 3 … N)의 광전변환부 세그먼트는, 제n번째의 전하 축적용 전극 세그먼트, 제n번째의 절연층 세그먼트 및 제n번째의 광전변환층 세그먼트로 구성되어 있고, n의 값이 큰 광전변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치한다.

[0018] 그리고, 본 개시의 제1의 양태에 관한 촬상 소자에서는, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 절연층 세그먼트의 두께가, 점차로 변화하고 있다.

[0019] 또한, 본 개시의 제2의 양태에 관한 촬상 소자에서는, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 광전 변환층 세그먼트의 두께가, 점차로 변화하고 있다.

[0020] 또한, 본 개시의 제3의 양태에 관한 촬상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 절연층 세그먼트를 구성하는 재료가 다르다.

[0021] 또한, 본 개시의 제4의 양태에 관한 촬상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 전하 축적용 전극 세그먼트를 구성하는 재료가 다르다.

[0022] 또한, 본 개시의 제5의 양태에 관한 촬상 소자에서는, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 전하 축적용 전극 세그먼트의 면적이, 점차로 작게 되어 있다. 또한, 면적은, 연속적으로 작게 되어 있어도 좋고, 계단형상으로 작게 되어 있어도 좋다.

[0023] 상기한 제1의 목적을 달성하기 위한 본 개시의 제6의 양태는,

[0024] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0025] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0026] 전하 축적용 전극과 절연층과 광전 변환층의 적층 방향을 Z방향, 제1 전극부터 떨어지는 방향을 X방향으로 하였을 때, YZ 가상평면으로 전하 축적용 전극과 절연층과 광전 변환층이 적층된 적층 부분을 절단한 때의 적층 부분의 단면적은, 제1 전극부터의 거리에 의존하여 변화한다. 또한, 단면적의 변화는, 연속적인 변화라도 좋고, 계단형상의 변화라도 좋다.

[0027] 상기한 제1의 목적을 달성하기 위한 본 개시의 적층형 촬상 소자는, 본 개시의 제1의 양태~제6의 양태에 관한 촬상 소자를 적어도 하나 갖는다.

[0028] 상기한 제2의 목적을 달성하기 위한 본 개시의 제1의 양태에 관한 고체 촬상 장치는,

[0029] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0030] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비한 촬상 소자를, 복수, 갖고 있고,

[0031] 복수의 촬상 소자로 촬상 소자 블록이 구성되어 있고,

[0032] 촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극이 공유되어 있다.

[0033] 상기한 제2의 목적을 달성하기 위한 본 개시의 제2의 양태에 관한 고체 촬상 장치는, 본 개시의 제1의 양태~제7의 양태에 관한 촬상 소자를, 복수, 갖고 있고,

[0034] 복수의 촬상 소자로 촬상 소자 블록이 구성되어 있고,

[0035] 촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극이 공유되어 있다.

[0036] 상기한 제1의 목적을 달성하기 위한 본 개시의 제3의 양태에 관한 고체 촬상 장치는, 본 개시의 제1의 양태~제6의 양태에 관한 촬상 소자를, 복수, 구비하고 있다. 또한, 상기한 제1의 목적을 달성하기 위한 본 개시의 제4의 양태에 관한 고체 촬상 장치는, 본 개시의 적층형 촬상 소자를 복수개 구비하고 있다.

[0037] 본 발명의 한 실시예는 제1 전극, 광전 변환층, 제2 전극, N개(단, N≥2)의 절연층 세그먼트를 포함하는 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n

번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 상기 광전 변환층을 포함하고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께는, 제N번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께와 다르다.

[0038] 본 발명의 한 실시예에는 제1 전극, N개(단, N≥2)의 광전 변환부 세그먼트를 포함하는 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 상기 광전 변환층으로 형성되고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 광전 변환층 세그먼트의 두께는, 제N번째 광전 변환부 세그먼트에서의 광전 변환층 세그먼트의 두께와 다르다

[0039] 본 발명의 한 실시예는 제1 전극, 광전 변환층, 제2 전극, N개(단, N≥2)의 절연층 세그먼트를 포함하는 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 광전 변환층 세그먼트로 형성되고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 상기 절연층 세그먼트를 형성하는 재료가 인접하는 광전 변환부 세그먼트에서 다른 것을 특징으로 한다.

[0040] 본 발명의 한 실시예는 제1 전극, 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 전하 축적용 전극은 서로 이간된 N개(단, N≥2)의 전하 축적용 세그먼트를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 절연층, 및 상기 광전 변환층 세그먼트로 형성되고, n의 값이 증가함에 따라, 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 상기 전하 축적용 전극 세그먼트를 형성하는 재료가 인접하는 광전 변환부 세그먼트에서 다르다.

[0041] 본 발명의 한 실시예는 제1 전극, 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 전하 축적용 전극은 N개(단, N≥2)의 전하 축적용 세그먼트를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 절연층, 및 상기 광전 변환층으로 형성되고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 면적은, 제N번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 면적과 다르다.

[0042] 본 발명의 한 실시예는 제1 전극, 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층 비아와의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 전하 축적용 전극과 절연층과 광전 변환층의 적층 방향이 Z방향으로 정의되고, 제1 전극으로부터 떨어지는 방향이 X방향으로 정의될 때, YZ 가상평면으로 전하 축적용 전극과 절연층과 광전 변환층을 포함하는 적층부의 단면적은, 제1 전극부터의 거리에 의존하여 변화한다.

[0043] 본 발명의 한 실시예는 제1 전극, 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 각각 포함하는 복수의 촬상 소자를 포함하는 광전 변환부를 포함하고, 촬상 소자 블록은 상기 복수의 촬상 소자를 포함하고, 상기 제1의 전극이 촬상 소자 블록의 복수의 촬상 소자에 의해 공유된다.

[0044] 본 발명의 한 실시예는 복수의 촬상 소자 각각의 촬상 소자는, 제1 전극, 광전 변환층, 제2 전극, N개(단, N≥2)의 절연층 세그먼트를 포함하는 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 상기 광전 변환층을 포함하고, n의 값이 증가함에 따라, 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께는, 제N번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께와 다르다.

발명의 효과

[0045] 본 개시의 제1의 양태～제6의 양태에 관한 촬상 소자, 본 개시의 적층형 촬상 소자를 구성하는 본 개시의 촬상 소자, 본 개시의 제1의 양태～제4의 양태에 관한 고체 촬상 장치를 구성하는 본 개시의 촬상 소자에서는, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극이 구비되어 있기 때문에, 광전 변환부에 광이 조사되고, 광전 변환부에서 광전 변환될 때, 광전 변환층의 전하를 축적할 수 있다. 그러므로, 노광 시작시, 전하 축적부를 완전 공핍화하여, 전하를 소거하는 것이 가능해진다. 그 결과, kTC 노이즈가 커지고, 랜덤 노이즈가 악화하고, 촬상 화질의 저하를 가져온다는 현상의 발생을 억제할 수 있다. 또한, 본 개시의 제1의 양태～제6의 양태에 관한 촬상 소자, 이러한 촬상 소자를 적용한 본 개시의 적층형 촬상 소자나 본 개시의 제1의 양태～제4의 양태에 관한 고체 촬상 장치에서는, 절연층 세그먼트의 두께가 규정되고, 또는 또한, 광전 변환층 세그먼트의 두께가 규정되고, 또는 또한, 절연층 세그먼트를 구성하는 재료가 달리, 또는 또한, 전하 축적용 전극 세그먼트를 구성하는 재료가 달리, 또는 또한, 전하 축적용 전극 세그먼트의 면적이 규정되고, 또는 또한, 적층 부분의 단면적이 규정되어 있기 때문에, 일종의 전하 전송 구배가 형성되어, 광전 변환에 의해 생성한 전하를, 한층 용이하게, 또한, 확실하게, 제1 전극에 전송하는 것이 가능해진다. 그리고, 그 결과, 잔상의 발생이나 전송 잔재의 발생을 방지할 수 있다. 나아가서는, 본 개시의 제1의 양태～제2의 양태에 관한 고체 촬상 장치에서는, 촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극이 공유되어 있기 때문에, 촬상 소자가 복수 배열된 화소 영역에서의 구성, 구조를 간소화, 미세화할 수 있다. 또한, 본 명세서에 기재된 효과는 어디까지나 예시이고 한정되는 것이 아니라, 또한, 부가적인 효과가 있어도 좋다.

도면의 간단한 설명

[0046] 도 1은, 실시례 1의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도.

도 2는, 실시례 1의 촬상 소자에서의 전하 축적용 전극, 광전 변환층 및 제2 전극이 적층된 부분을 확대한 모식적인 일부 단면도.

도 3은, 실시례 1의 촬상 소자, 적층형 촬상 소자의 등가 회로도.

도 4는, 실시례 1의 촬상 소자, 적층형 촬상 소자의 등가 회로도.

도 5는, 실시례 1의 촬상 소자를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.

도 6은, 실시례 1의 촬상 소자의 동작시의 각 부위에서의 전위의 상태를 모식적으로 도시하는 도면.

도 7은, 실시례 1의 촬상 소자를 구성하는 제1 전극 및 전하 축적용 전극의 모식적인 배치도.

도 8은, 실시례 1의 촬상 소자를 구성하는 제1 전극, 전하 축적용 전극, 제2 전극 및 콘택트홀부의 모식적인 투시 사시도.

도 9는, 실시례 1의 고체 촬상 장치의 개념도.

도 10은, 실시례 1의 촬상 소자, 적층형 촬상 소자의 변형례의 등가 회로도.

도 11은, 도 10에 도시한 실시례 1의 촬상 소자의 변형례를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.

도 12는, 실시례 2의 촬상 소자에서의 전하 축적용 전극, 광전 변환층 및 제2 전극이 적층된 부분을 확대한 모식적인 일부 단면도.

도 13은, 실시례 3의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도.

도 14는, 실시례 4 및 실시례 5의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도.

도 15A 및 도 15B는, 실시례 5에서의 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 16A 및 도 16B는, 실시례 5에서의 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 17은, 실시례 5의 촬상 소자, 적층형 촬상 소자의 등가 회로도.

도 18은, 실시례 5의 촬상 소자, 적층형 촬상 소자의 등가 회로도.

도 19는, 실시례 5의 촬상 소자를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.

도 20은, 실시례 5의 촬상 소자의 동작시의 각 부위에서의 전위의 상태를 모식적으로 도시하는 도면.

도 21은, 실시례 5의 촬상 소자의 다른 동작시(전송시)의 각 부위에서의 전위의 상태를 모식적으로 도시하는 도면.

도 22는, 실시례 5의 촬상 소자의 변형례를 구성하는 제1 전극 및 전하 축적용 전극의 모식적인 배치도.

도 23은, 실시례 6 및 실시례 5의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도.

도 24A 및 도 24B는, 실시례 6에서의 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 25는, 실시례 7의 고체 촬상 장치에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 26은, 실시례 7의 고체 촬상 장치의 제1 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 27은, 실시례 7의 고체 촬상 장치의 제2 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 28은, 실시례 7의 고체 촬상 장치의 제3 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 29는, 실시례 7의 고체 촬상 장치의 제4 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 30은, 실시례 7의 고체 촬상 장치의 제5 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 31은, 실시례 7의 고체 촬상 장치의 제6 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 32는, 실시례 7의 고체 촬상 장치의 제7 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 33은, 실시례 7의 고체 촬상 장치의 제8 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 34는, 실시례 7의 고체 촬상 장치의 제9 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 35A, 도 35B 및 도 35C는, 실시례 7의 촬상 소자 블록에서의 판독 구동례를 도시하는 차트.

도 36은, 실시례 8의 고체 촬상 장치에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 37은, 실시례 8의 고체 촬상 장치의 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 38은, 실시례 8의 고체 촬상 장치의 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 39는, 실시례 8의 고체 촬상 장치의 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 40은, 실시례 9의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도.

도 41은, 실시례 10의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도.

도 42는, 실시례 10의 촬상 소자, 적층형 촬상 소자의 변형례의 모식적인 일부 단면도.

도 43은, 실시례 10의 촬상 소자의 다른 변형례의 모식적인 일부 단면도.

도 44는, 실시례 10의 촬상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 45는, 실시례 11의 촬상 소자, 적층형 촬상 소자의 일부분의 모식적인 일부 단면도.

도 46은, 실시례 11의 촬상 소자를 구성하는 제1 전극, 전하 축적용 전극 및 전하 배출 전극의 모식적인 배치도.

도 47은, 실시례 11의 촬상 소자를 구성하는 제1 전극, 전하 축적용 전극, 전하 배출 전극, 제2 전극 및 콘택트 홀부의 모식적인 투시 사시도.

도 48은, 실시례 1의 촬상 소자, 적층형 촬상 소자의 다른 변형례의 모식적인 일부 단면도.

도 49는, 실시례 1의 촬상 소자, 적층형 촬상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 50A, 도 50B 및 도 50C는, 실시례 1의 촬상 소자, 적층형 촬상 소자의 또 다른 변형례의 제1 전극의 부분 등이 확대된 모식적인 일부 단면도.

도 51은, 실시례 11의 촬상 소자, 적층형 촬상 소자의 다른 변형례의 전하 배출 전극의 부분 등이 확대된 모식적인 일부 단면도.

도 52는, 실시례 1의 촬상 소자, 적층형 촬상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 53은, 실시례 1의 촬상 소자, 적층형 촬상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 54는, 실시례 1의 촬상 소자, 적층형 촬상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 55는, 실시례 1의 촬상 소자, 적층형 촬상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 56은, 실시례 1의 촬상 소자, 적층형 촬상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 57은, 실시례 1의 촬상 소자의 변형례에서의 전하 축적용 전극, 광전 변환층 및 제2 전극이 적층된 부분을 확대한 모식적인 일부 단면도.

도 58은, 실시례 2의 촬상 소자의 변형례에서의 전하 축적용 전극, 광전 변환층 및 제2 전극이 적층된 부분을 확대한 모식적인 일부 단면도.

도 59는, 본 개시의 촬상 소자, 적층형 촬상 소자로 구성된 고체 촬상 장치를 전자 기기(카메라)를 이용한 예의 개념도.

도 60은, 종래의 적층형 촬상 소자(적층형 고체 촬상 장치)의 개념도.

발명을 실시하기 위한 구체적인 내용

[0047] 이하, 도면을 참조하여, 실시례에 의거하여 본 개시를 설명하는데, 본 개시는 실시례로 한정되는 것이 아니고, 실시례에서의 여러가지의 수치나 재료는 예시이다. 또한, 설명은, 이하의 순서로 행한다.

[0048] 1.본 개시의 제1의 양태～제6의 양태에 관한 촬상 소자, 본 개시의 적층형 촬상 소자 및 본 개시의 제1의 양태～제4의 양태에 관한 고체 촬상 장치, 전반에 관한 설명

[0049] 2.실시례 1(본 개시의 제1의 양태 및 본 개시의 제6의 양태에 관한 촬상 소자, 본 개시의 적층형 촬상 소자 및 본 개시의 제4의 양태에 관한 고체 촬상 장치)

[0050] 3.실시례 2(본 개시의 제2의 양태 및 본 개시의 제6의 양태에 관한 촬상 소자)

[0051] 4.실시례 3(본 개시의 제3의 양태에 관한 촬상 소자)

[0052] 5.실시례 4(본 개시의 제4의 양태에 관한 촬상 소자)

[0053] 6. 실시례 5(본 개시의 제5의 양태에 관한 촬상 소자)

[0054] 7. 실시례 6(본 개시의 제6의 양태에 관한 촬상 소자)

[0055] 8. 실시례 7(본 개시의 제1의 양태～제2의 양태에 관한 고체 촬상 장치)

[0056] 9. 실시례 8(실시례 7의 변형)

[0057] 9. 실시례 9(실시례 1～실시례 6의 변형)

[0058] 10. 실시례 10(실시례 1～실시례 6, 실시례 9의 변형)

[0059] 11.실시례 11(실시례 1～실시례 6, 실시례 9～실시례 10의 변형)

[0060] 12.기타

[0061] <본 개시의 제1의 양태～제6의 양태에 관한 촬상 소자, 본 개시의 적층형 촬상 소자 및 본 개시의 제1의 양태～제4의 양태에 관한 고체 촬상 장치, 전반에 관한 설명>

[0062] 본 개시의 제1의 양태～제2의 양태에 관한 고체 촬상 장치에 있어서, 촬상 소자 블록을 구성하는 복수의 촬상 소자의 사이에는 전송 제어용 전극이 배설되어 있는 형태로 할 수 있다. 전송 제어용 전극은, 제1 전극측에, 제1 전극 또는 전하 축적용 전극과 같은 레벨에 형성되어 있어도 좋고, 다른 레벨에 형성되어 있어도 좋다. 또는 또한, 전송 제어용 전극은, 제2 전극측에, 제2 전극과 같은 레벨에 형성되어 있어도 좋고, 다른 레벨에 형성되어 있어도 좋다. 나아가서는, 이 바람직한 형태를 포함하는 본 개시의 제1의 양태～제2의 양태에 관한 고체 촬상 장치에서는, 하나의 촬상 소자의 상방에 하나의 온·칩·마이크로·렌즈가 배설되어 있는 형태로 할 수 있고, 또는 또한, 2개의 촬상 소자로 촬상 소자 블록이 구성되어 있고, 촬상 소자 블록의 상방에 하나의 온·칩·마이크로·렌즈가 배설되어 있는 형태로 할 수 있다.

[0063] 본 개시의 제1의 양태～제2의 양태에 관한 고체 촬상 장치에서는, 복수의 촬상 소자에 대해 하나의 부유 확산층이 마련된다. 여기서, 하나의 부유 확산층에 대해 마련되는 복수의 촬상 소자는, 후술하는 제1 타입의 촬상 소자의 복수로 구성되어 있어도 좋고, 적어도 하나의 제1 타입의 촬상 소자와, 1 또는 2 이상이 후술하는 제2 타입의 촬상 소자로 구성되어 있어도 좋다. 그리고, 전하 전송 기간의 타이밍을 적절하게 제어함으로써, 복수의 촬상 소자가 하나의 부유 확산층을 공유하는 것이 가능해진다. 복수의 촬상 소자는 연계하여 동작되고, 후술하는 구동 회로에는 촬상 소자 블록으로서 접속되어 있다. 즉, 촬상 소자 블록을 구성하는 복수의 촬상 소자가 하나의 구동 회로에 접속되어 있다. 단, 전하 축적용 전극의 제어는, 촬상 소자마다 행하여진다. 또한, 복수의 촬상 소자가 하나의 콘택트홀부를 공유하는 것이 가능하다. 복수의 촬상 소자에서 공유된 제1 전극과, 각 촬상 소자의 전하 축적용 전극의 배치 관계는, 제1 전극이, 각 촬상 소자의 전하 축적용 전극에 인접해서 배치되어 있는 경우도 있다. 또는 또한, 제1 전극이, 복수의 촬상 소자의 일부의 전하 축적용 전극에 인접해서 배치되어 있고, 복수의 촬상 소자의 나머지 전하 축적용 전극이라고는 인접해서 배치되지 않은 경우도 있고, 이 경우에는, 복수의 촬상 소자의 나머지로부터 제1 전극으로의 전하의 이동은, 복수의 촬상 소자의 일부를 경유한 이동이 된다. 촬상 소자를 구성하는 전하 축적용 전극과 촬상 소자를 구성하는 전하 축적용 전극 사이의 거리(편의상, 『거리(A)』라고 부른다)는, 제1 전극에 인접한 촬상 소자에서의 제1 전극과 전하 축적용 전극 사이의 거리(편의상, 『거리(B)』라고 부른다)보다도 긴 것이, 각 촬상 소자로부터 제1 전극으로의 전하의 이동을 확실한 것으로 하기 위해 바람직하다. 또한, 제1 전극부터 떨어져서 위치하는 촬상 소자일수록, 거리(A)의 값을 크게 하는 것이 바람직하다.

[0064] 본 개시의 제1의 양태～제5의 양태에 관한 촬상 소자에서는, n의 값이 큰 광전 변환부 세그먼트일수록 제1 전극으로부터 떨어져서 위치하는데, 제1 전극으로부터 떨어져서 위치하는지의 여부는, X방향을 기준으로 하여 판단한다. 또한, 본 개시의 제6의 양태에 관한 촬상 소자에서는, 제1 전극부터 떨어지는 방향을 X방향으로 하고 있지만, 『X방향』을 이하와 같이, 정의한다. 즉, 촬상 소자 또는 적층형 촬상 소자가 복수 배열된 화소 영역은, 2차원 어레이형상으로, 즉, X방향 및 Y방향으로 규칙적으로 복수 배열된 화소로 구성된다. 화소의 평면 형상을 사각형으로 한 경우, 제1 전극에 가장 가까운 변이 늘어나는 방향을 Y방향으로 하고, Y방향과 직교하는 방향을 X방향으로 한다. 또는 또한, 화소의 평면 형상을 임의의 형상으로 한 경우, 제1 전극에 가장 가까운 선분이나 곡선이 포함되는 전체적인 방향을 Y방향으로 하고, Y방향과 직교하는 방향을 X방향으로 한다.

[0065] 광입사측에 위치하는 제2 전극은, 복수의 촬상 소자에서 공통화되어 있는 것이 바람직하다. 즉, 제2 전극을 이른바 베타 전극으로 할 수 있다. 광전 변환층은, 복수의 촬상 소자에서 공통화되어 있어도 좋고, 즉, 복수의 촬상 소자에서 1층의 광전 변환층이 형성되어 있어도 좋고, 촬상 소자마다 마련되어 있어도 좋다.

[0066] 본 개시의 제1의 양태～제2의 양태에 관한 촬상 소자에서, N개의 광전 변환층 세그먼트는 연속해서 마련되어 있고, N개의 절연층 세그먼트도 연속해서 마련되어 있고, N개의 전하 축적용 전극 세그먼트도 연속해서 마련되어 있다. 본 개시의 제3의 양태～제5의 양태에 관한 촬상 소자에서, N개의 광전 변환층 세그먼트는 연속해서 마련되어 있다. 또한, 본 개시의 제4의 양태, 제5의 양태에 관한 촬상 소자에서, N개의 절연층 세그먼트는 연속해서 마련되어 있는 한편, 본 개시의 제3의 양태에 관한 촬상 소자에서, N개의 절연층 세그먼트는, 광전 변환부 세그먼트의 각각에 대응하여 마련되어 있다. 나아가서는, 본 개시의 제4의 양태～제5의 양태에 관한 촬상 소자에서,

경우에 따라서는, 본 개시의 제3의 양태에 관한 촬상 소자에서, N개의 전하 축적용 전극 세그먼트는, 광전 변환부 세그먼트의 각각에 대응하여 마련되어 있다. 그리고 본 개시의 제1의 양태～제6의 양태에 관한 촬상 소자에서는, 전하 축적용 전극 세그먼트의 전부에 같은 전위가 가하여진다. 또는 또한, 본 개시의 제4의 양태～제5의 양태에 관한 촬상 소자에서, 경우에 따라서는, 본 개시의 제3의 양태에 관한 촬상 소자에서, N개의 전하 축적용 전극 세그먼트의 각각에, 다른 전위를 가하여도 좋다.

[0067] 본 개시의 제1의 양태～제6의 양태에 관한 촬상 소자, 또는, 본 개시의 적층형 촬상 소자를 구성하는 제1의 양태～제6의 양태에 관한 촬상 소자, 상기가 바람직한 형태를 포함하는 본 개시의 제1의 양태～제2의 양태에 관한 고체 촬상 장치, 본 개시의 제3의 양태～제4의 양태에 관한 고체 촬상 장치를 구성하는 촬상 소자(이하, 이들의 촬상 소자를 총칭하여, 『본 개시의 촬상 소자 등』이라고 부른다)에서는,

[0068] 반도체 기판을 또한 구비하고 있고,

[0069] 광전 변환부는, 반도체 기판의 상방에 배치되어 있는 형태로 할 수 있다. 또한, 제1 전극, 전하 축적용 전극 및 제2 전극은, 후술하는 구동 회로에 접속되어 있다.

[0070] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 촬상 소자 등에서, 제1 전극은, 절연층에 마련된 개구부 내를 연재되고, 광전 변환층과 접속되어 있는 형태로 할 수 있다. 또는 또한, 광전 변환층은, 절연층에 마련된 개구부 내를 연재되고, 제1 전극과 접속되어 있는 형태로 할 수 있고, 이 경우,

[0071] 제1 전극의 정상면의 연부는 절연층으로 덮여 있고,

[0072] 개구부의 저면에는 제1 전극이 노출하여 있고,

[0073] 제1 전극의 정상면과 접하는 절연층의 면을 제1면, 전하 축적용 전극과 대향하는 광전 변환층의 부분과 접하는 절연층의 면을 제2면으로 하였을 때, 개구부의 측면은, 제1면부터 제2면을 향하여 넓어지는 경사를 갖는 형태로 할 수 있고, 나아가서는, 제1면부터 제2면을 향하여 넓어지는 경사를 갖는 개구부의 측면은, 전하 축적용 전극측에 위치하는 형태로 할 수 있다. 또한, 광전 변환층과 제1 전극 사이에 다른 층이 형성되어 있는 형태(예를 들면, 광전 변환층과 제1 전극 사이에 전하 축적에 적합한 재료층이 형성되어 있는 형태)를 포함한다.

[0074] 나아가서는, 이상에 설명한 각종 바람직한 형태를 포함하는 본 개시의 촬상 소자 등에서,

[0076] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,

[0077] 제1 전극 및 전하 축적용 전극은, 구동 회로에 접속되어 있고,

[0078] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{12})가 인가되고, 광전 변환층에 전하가 축적되고,

[0079] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{21})가 인가되고, 전하 축적용 전극에 전위(V_{22})가 인가되고, 광전 변환층에 축적된 전하가 제1 전극을 경유하여 제어부에 판독되는 구성으로 할 수 있다. 단, 제1 전극의 전위가 제2 전극의 전위보다도 높은 경우,

[0080] $V_{12} \geq V_{11}$, 또한, $V_{22} < V_{21}$ 이고, 제1 전극의 전위가 제2 전극의 전위보다도 낮은 경우, $V_{12} \leq V_{11}$, 또한, $V_{22} > V_{21}$ 이다.

[0081] 이하, 제1 전극의 전위가 제2 전극의 전위보다도 높은 경우에 관한 설명을 행하지만, 제1 전극의 전위가 제2 전극의 전위보다도 낮은 경우는, 전위의 고저를 역으로 하면 좋다.

[0082] 본 개시의 제1의 양태에 관한 촬상 소자에서는, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 절연층 세그먼트의 두께가, 점차로 변화하고 있는데, 절연층 세그먼트의 두께는, 점차로 두껍게 되어 가도 좋고, 얇게 되어 가도 좋고, 이에 의해, 일종의 전하 전송 구배가 형성된다.

[0083] 축적하여야 할 전하를 전자로 하는 경우, 절연층 세그먼트의 두께가, 점차로 두껍게 되는 구성을 채용하면 좋고, 축적하여야 할 전하를 정공으로 하는 경우, 절연층 세그먼트의 두께가, 점차로 얇게 되는 구성을 채용하면 좋다. 그리고, 이들의 경우, 전하 축적 기간에서, $|V_{12}| \geq |V_{11}|$라는 상태가 되면, 제n번째 광전 변환부 세그먼트의 쪽이, 제(n+1)번째 광전 변환부 세그먼트보다도, 많은 전하를 축적할 수 있고, 강한 전계가 가하여져, 제1번째 광전 변환부 세그먼트로부터 제1 전극으로의 전하의 흐름을 확실하게 방지할 수 있다. 그리고, 전하 전송 기간에서, $|V_{22}| < |V_{21}|$라는 상태가 되면, 제1번째 광전 변환부 세그먼트로부터 제1 전극으로의 전하의 흐름, 제(n+1)번째 광전 변환부 세그먼트로부터 제n번째 광전 변환부 세그먼트로의 전하의 흐름을, 확실하게 확보할

수 있다.

[0084] 본 개시의 제2의 양태에 관한 촬상 소자에서는, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 광전 변환층 세그먼트의 두께가, 점차로 변화하고 있는데, 광전 변환층 세그먼트의 두께는, 점차로 두껍게 되어 가도 좋고, 얇게 되어 가도 좋고, 이에 의해, 일종의 전하 전송 구배가 형성된다.

[0085] 축적하여야 할 전하를 전자로 하는 경우, 광전 변환층 세그먼트의 두께가, 점차로 두껍게 되는 구성을 채용하면 좋고, 축적하여야 할 전하를 정공으로 하는 경우, 광전 변환층 세그먼트의 두께가, 점차로 얇게 되는 구성을 채용하면 좋다. 그리고, 광전 변환층 세그먼트의 두께가, 점차로 두껍게 되는 경우, 전하 축적 기간에서 $V_{12} \geq V_{11}$라는 상태가 되면, 또한, 광전 변환층 세그먼트의 두께가, 점차로 얇게 되는 경우, 전하 축적 기간에서 $V_{12} \leq V_{11}$라는 상태가 되면, 제n번째 광전 변환부 세그먼트의 쪽이, 제(n+1)번째 광전 변환부 세그먼트보다도 강한 전계가 가하여져, 제1번째 광전 변환부 세그먼트로부터 제1 전극으로의 전하의 흐름을 확실하게 방지할 수 있다. 그리고, 전하 전송 기간에서, 광전 변환층 세그먼트의 두께가, 점차로 두껍게 되는 경우, $V_{22} < V_{21}$라는 상태가 되면, 또한, 광전 변환층 세그먼트의 두께가, 점차로 얇게 되는 경우, $V_{22} > V_{21}$라는 상태가 되면, 제1번째 광전 변환부 세그먼트로부터 제1 전극으로의 전하의 흐름, 제(n+1)번째 광전 변환부 세그먼트로부터 제n번째 광전 변환부 세그먼트로의 전하의 흐름을, 확실하게 확보할 수 있다.

[0086] 본 개시의 제3의 양태에 관한 촬상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 절연층 세그먼트를 구성하는 재료가 달리, 이에 의해, 일종의 전하 전송 구배가 형성되는데, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 절연층 세그먼트를 구성하는 재료의 비유전율의 값이, 점차로 작아지는 것이 바람직하다. 그리고, 이와 같은 구성을 채용함으로써, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제n번째 광전 변환부 세그먼트의 쪽이 제(n+1)번째 광전 변환부 세그먼트보다도 많은 전하를 축적할 수 있다. 그리고, 전하 전송 기간에서, $V_{22} < V_{21}$라는 상태가 되면, 제1번째 광전 변환부 세그먼트로부터 제1 전극으로의 전하의 흐름, 제(n+1)번째 광전 변환부 세그먼트로부터 제n번째 광전 변환부 세그먼트로의 전하의 흐름을, 확실하게 확보할 수 있다.

[0087] 본 개시의 제4의 양태에 관한 촬상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 전하 축적용 전극 세그먼트를 구성하는 재료가 달리, 이에 의해, 일종의 전하 전송 구배가 형성되는데, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 절연층 세그먼트를 구성하는 재료의 일함수의 값이, 점차로 커지는 것이 바람직하다. 그리고, 이와 같은 구성을 채용함으로써, 전압의 정부에 의존하는 일 없이, 신호 전하 전송에 유리한 전위 구배를 형성할 수 있다.

[0088] 본 개시의 제5의 양태에 관한 촬상 소자에서는, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 전하 축적용 전극 세그먼트의 면적이, 점차로 작게 되어 있고, 이에 의해, 일종의 전하 전송 구배가 형성되기 때문에, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제n번째 광전 변환부 세그먼트의 쪽이, 제(n+1)번째 광전 변환부 세그먼트보다도 많은 전하를 축적할 수 있다. 그리고, 전하 전송 기간에서, $V_{22} < V_{21}$라는 상태가 되면, 제1번째 광전 변환부 세그먼트로부터 제1 전극으로의 전하의 흐름, 제(n+1)번째 광전 변환부 세그먼트로부터 제n번째 광전 변환부 세그먼트로의 전하의 흐름을, 확실하게 확보할 수 있다.

[0089] 본 개시의 제6의 양태에 관한 촬상 소자에서, 적층 부분의 단면적은 제1 전극부터의 거리에 의존하여 변화하고, 이에 의해, 일종의 전하 전송 구배가 형성된다. 구체적으로는, 적층 부분의 단면의 두께를 일정하게 하고, 적층 부분의 단면의 폭을 제1 전극부터 떨어질수록 좁게 하는 구성을 채용하면, 본 개시의 제5의 양태에 관한 촬상 소자에서 설명한 바와 마찬가지로, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제1 전극에 가까운 영역의 쪽이, 먼 영역보다도 많은 전하를 축적할 수 있다. 따라서, 전하 전송 기간에서, $V_{22} < V_{21}$라는 상태가 되면, 제1 전극에 가까운 영역부터 제1 전극으로의 전하의 흐름, 먼 영역부터 가까운 영역으로의 전하의 흐름을, 확실하게 확보할 수 있다. 한편, 적층 부분의 단면의 폭을 일정하게 하고, 적층 부분의 단면의 두께, 구체적으로는, 절연층 세그먼트의 두께를, 점차로 두껍게 하는 구성을 채용하면, 본 개시의 제1의 양태에 관한 촬상 소자에서 설명한 바와 마찬가지로, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제1 전극에 가까운 영역의 쪽이, 먼 영역보다도, 많은 전하를 축적할 수 있고, 강한 전계가 가하여져, 제1 전극에 가까운 영역부터 제1 전극으로의 전하의 흐름을 확실하게 방지할 수 있다. 그리고, 전하 전송 기간에서, $V_{22} < V_{21}$라는 상태가 되면, 제1 전극에 가까운 영역부터 제1 전극으로의 전하의 흐름, 먼 영역부터 가까운 영역으로의 전하의 흐름을, 확실하게 확보할 수 있다.

또한, 광전 변환층 세그먼트의 두께를, 점차로 두껍게 하는 구성을 채용하면, 본 개시의 제2의 양태에 관한 촬상 소자에서 설명한 바와 마찬가지로, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제1 전극에 가까운 영역의 쪽이, 먼 영역보다도 강한 전계가 가하여져, 제1 전극에 가까운 영역부터 제1 전극으로의 전하의 흐름을 확실하게 방지할 수 있다. 그리고, 전하 전송 기간에서, $V_{22} < V_{21}$라는 상태가 되면, 제1 전극에 가까운 영역부터 제1 전극으로의 전하의 흐름, 먼 영역부터 가까운 영역으로의 전하의 흐름을, 확실하게 확보할 수 있다.

[0090] 또한, 본 개시의 제4의 양태～제5의 양태에 관한 촬상 소자, 경우에 따라서는, 본 개시의 제3의 양태에 관한 촬상 소자에서, N개의 전하 축적용 전극 세그먼트의 각각에, 다른 전위를 가하는 경우,

[0091] 제1 전극의 전위가 제2 전극의 전위보다도 높은 경우, 전하 전송 기간에서, 제1 전극에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트(제1번째 광전 변환부 세그먼트)에 인가되는 전위는, 제1 전극에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트(제N번째 광전 변환부 세그먼트)에 인가되는 전위보다도 높고,

[0092] 제1 전극의 전위가 제2 전극의 전위보다도 낮은 경우, 전하 전송 기간에서, 제1 전극에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트(제1번째 광전 변환부 세그먼트)에 인가되는 전위는, 제1 전극에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트(제N번째 광전 변환부 세그먼트)에 인가되는 전위보다도 낮은 형태로 할 수 있다.

[0093] 나아가서는, 이상에 설명한 각종의 바람직한 형태, 구성을 포함하는 본 개시의 촬상 소자 등에서는, 광전 변환층에 접속되고, 제1 전극 및 전하 축적용 전극과 이간하여 배치된 전하 배출 전극을 또한 구비하고 있는 형태로 할 수 있다. 또한, 이와 같은 형태의 본 개시의 촬상 소자 등을, 편의상, 『전하 배출 전극을 구비한 본 개시의 촬상 소자 등』이라고 부른다. 그리고, 전하 배출 전극을 구비한 본 개시의 촬상 소자 등에서, 전하 배출 전극은, 제1 전극 및 전하 축적용 전극을 둘러싸도록(즉, 액자형상으로) 배치되어 있는 형태로 할 수 있다. 전하 배출 전극은, 복수의 촬상 소자에서 공유화(공통화)할 수 있다. 그리고, 이 경우,

[0094] 광전 변환층은, 절연층에 마련된 제2 개구부 내를 연재되고, 전하 배출 전극과 접속되어 있고,

[0095] 전하 배출 전극의 정상면의 연부는 절연층으로 덮여 있고,

[0096] 제2 개구부의 저면에는 전하 배출 전극이 노출하여 있고,

[0097] 전하 배출 전극의 정상면과 접하는 절연층의 면을 제3면, 전하 축적용 전극과 대향하는 광전 변환층의 부분과 접하는 절연층의 면을 제2면으로 하였을 때, 제2 개구부의 측면은, 제3면으로부터 제2면을 향하여 넓어지는 경사를 갖는 형태로 할 수 있다.

[0098] 나아가서는, 전하 배출 전극을 구비한 본 개시의 촬상 소자 등에서는,

[0099] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,

[0100] 제1 전극, 전하 축적용 전극 및 전하 배출 전극은, 구동 회로에 접속되어 있고,

[0101] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{12})가 인가되고, 전하 배출 전극에 전위(V_{14})가 인가되고, 광전 변환층에 전하가 축적되고,

[0102] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{21})가 인가되고, 전하 축적용 전극에 전위(V_{22})가 인가되고, 전하 배출 전극에 전위(V_{24})가 인가되고, 광전 변환층에 축적된 전하가 제1 전극을 통하여 제어부에 판독되는 구성으로 할 수 있다. 단, 제1 전극의 전위가 제2 전극의 전위보다도 높은 경우,

[0103] $V_{14} > V_{11}$, 또한, $V_{24} < V_{21}$

[0104] 이고, 제1 전극의 전위가 제2 전극의 전위보다도 낮은 경우,

[0105] $V_{14} < V_{11}$, 또한, $V_{24} > V_{21}$

[0106] 이다.

[0107] 이상에 설명한 각종의 바람직한 형태, 구성을 포함하는 본 개시의 촬상 소자 등에서,

[0108] 반도체 기판에는, 제어부를 구성하는 적어도 부유 확산층 및 증폭 트랜지스터가 마련되어 있고,

[0109] 제1 전극은, 부유 확산층 및 증폭 트랜지스터의 게이트부에 접속되어 있는 구성으로 할 수 있다. 그리고, 이 경우, 나아가서는,

[0110] 반도체 기판에는, 또한, 제어부를 구성하는 리셋·트랜지스터 및 선택 트랜지스터가 마련되어 있고,

[0111] 부유 확산층은, 리셋·트랜지스터의 일방의 소스/드레인 영역에 접속되어 있고,

[0112] 증폭 트랜지스터의 일방의 소스/드레인 영역은, 선택 트랜지스터의 일방의 소스/드레인 영역에 접속되어 있고, 선택 트랜지스터의 타방의 소스/드레인 영역은 신호선에 접속되어 있는 구성으로 할 수 있다.

[0113] 나아가서는, 이상에 설명한 각종의 바람직한 형태, 구성을 포함하는 본 개시의 촬상 소자 등에서, 전하 축적용 전극의 크기는 제1 전극보다도 큰 형태로 할 수 있다. 전하 축적용 전극의 면적을 S_1', 제1 전극의 면적을 S_1로 하였을 때, 한정하는 것은 아니지만,

[0114] $4 \leq S_1'/S_1$

[0115] 를 만족하는 것이 바람직하다.

[0116] 나아가서는, 이상에 설명한 각종의 바람직한 형태, 구성을 포함하는 본 개시의 촬상 소자 등에서, 제2 전극측부터 광이 입사하고, 제2 전극 가까이의 광입사측에는 차광층이 형성되어 있는 형태로 할 수 있다. 또는 또한, 제2 전극측부터 광이 입사하고, 제1 전극에는 광이 입사하지 않는 형태로 할 수 있고, 이 경우, 제2 전극 가까이의 광입사측으로서, 제1 전극의 상방에는 차광층이 형성되어 있는 구성으로 할 수 있고,

[0117] 또는 또한,

[0118] 전하 축적용 전극 및 제2 전극의 상방에는 온 칩·마이크로·렌즈가 마련되어 있고,

[0119] 온 칩·마이크로·렌즈에 입사하는 광은, 전하 축적용 전극에 집광되는 구성으로 할 수 있다. 여기서, 차광층은, 제2 전극의 광입사측의 면보다도 상방에 배설되어도 좋고, 제2 전극의 광입사측의 면의 위에 마련되어도 좋다. 경우에 따라서는, 제2 전극에 차광층이 형성되어 있어도 좋다. 차광층을 구성하는 재료로서, 크롬(Cr)이나 구리(Cu), 알루미늄(Al), 텅스텐(W), 광을 통과시키지 않는 수지(예를 들면, 폴리이미드 수지)를 예시할 수 있다.

[0120] 본 개시의 촬상 소자로서, 구체적으로는, 청색의 광(425㎚ 내지 495㎚의 광)을 흡수한 광전 변환층(편의상, 『제1 타입의 청색 광전 변환층』이라고 부른다)을 구비한 청색에 감도를 갖는 촬상 소자(편의상, 『제1 타입의 청색용 촬상 소자』라고 부른다), 녹색의 광(495㎚ 내지 570㎚의 광)을 흡수한 광전 변환층(편의상, 『제1 타입의 녹색 광전 변환층』이라고 부른다)을 구비한 녹색에 감도를 갖는 촬상 소자(편의상, 『제1 타입의 녹색용 촬상 소자』라고 부른다), 적색의 광(620㎚ 내지 750㎚의 광)을 흡수한 광전 변환층(편의상, 『제1 타입의 적색 광전 변환층』이라고 부른다)을 구비한 적색에 감도를 갖는 촬상 소자(편의상, 『제1 타입의 적색용 촬상 소자』라고 부른다)를 들 수 있다. 또한, 전하 축적용 전극을 구비하지 않은 종래의 촬상 소자로서, 청색에 감도를 갖는 촬상 소자를, 편의상, 『제2 타입의 청색용 촬상 소자』라고 부르고, 녹색에 감도를 갖는 촬상 소자를, 편의상, 『제2 타입의 녹색용 촬상 소자』라고 부르고, 적색에 감도를 갖는 촬상 소자를, 편의상, 『제2 타입의 적색용 촬상 소자』라고 부르고, 제2 타입의 청색용 촬상 소자를 구성하는 광전 변환층을, 편의상, 『제2 타입의 청색 광전 변환층』이라고 부르고, 제2 타입의 녹색용 촬상 소자를 구성하는 광전 변환층을, 편의상, 『제2 타입의 녹색 광전 변환층』이라고 부르고, 제2 타입의 적색용 촬상 소자를 구성하는 광전 변환층을, 편의상, 『제2 타입의 적색 광전 변환층』이라고 부른다.

[0121] 본 개시의 적층형 촬상 소자는, 적어도 본 개시의 촬상 소자(광전 변환 소자)

[0122] 를 하나 갖는데, 구체적으로는, 예를 들면,

[0123] [A] 제1 타입의 청색용 광전 변환부, 제1 타입의 녹색용 광전 변환부 및 제1 타입의 적색용 광전 변환부가, 수직 방향으로 적층되고,

[0124] 제1 타입의 청색용 촬상 소자, 제1 타입의 녹색용 촬상 소자 및 제1 타입의 적색용 촬상 소자의 제어부의 각각이, 반도체 기판에 마련된 구성, 구조

[0125] [B] 제1 타입의 청색용 광전 변환부 및 제1 타입의 녹색용 광전 변환부가, 수직 방향으로 적층되고,

[0126] 이들 2층의 제1 타입의 광전 변환부의 하방에, 제2 타입의 적색용 광전 변환부가 배치되고,

[0127] 제1 타입의 청색용 촬상 소자, 제1 타입의 녹색용 촬상 소자 및 제2 타입의 적색용 촬상 소자의 제어부의 각각이, 반도체 기판에 마련된 구성, 구조

[0128] [C] 제1 타입의 녹색용 광전 변환부의 하방에, 제2 타입의 청색용 광전 변환부 및 제2 타입의 적색용 광전 변환부가 배치되고,

[0129] 제1 타입의 녹색용 촬상 소자, 제2 타입의 청색용 촬상 소자 및 제2 타입의 적색용 촬상 소자의 제어부의 각각이, 반도체 기판에 마련된 구성, 구조

[0130] [D] 제1 타입의 청색용 광전 변환부의 하방에, 제2 타입의 녹색용 광전 변환부 및 제2 타입의 적색용 광전 변환부가 배치되고,

[0131] 제1 타입의 청색용 촬상 소자, 제2 타입의 녹색용 촬상 소자 및 제2 타입의 적색용 촬상 소자의 제어부의 각각이, 반도체 기판에 마련된 구성, 구조를

[0132] 들 수 있다. 또한, 이들의 촬상 소자의 광전 변환부의 수직 방향에서의 배치순은, 광입사 방향에서 청색용 광전 변환부, 녹색용 광전 변환부, 적색용 광전 변환부의 순서, 또는, 광입사 방향에서 녹색용 광전 변환부, 청색용 광전 변환부, 적색용 광전 변환부의 순서인 것이 바람직하다. 이것은, 보다 짧은 파장의 광이 보다 입사 표면측에서 효율 좋게 흡수되기 때문이다. 적색은 3색 중에서는 가장 긴 파장이기 때문에, 광입사면에서 보아 적색용 광전 변환부를 최하층에 위치시키는 것이 바람직하다. 이들의 촬상 소자의 적층 구조에 의해, 하나의 화소가 구성된다. 또한, 제1 타입의 적외선용 광전 변환부를 구비하고 있어도 좋다. 여기서, 제1 타입의 적외선용 광전 변환부의 광전 변환층은, 예를 들면, 유기계 재료로 구성되고, 제1 타입의 촬상 소자의 적층 구조의 최하층으로서, 제2 타입의 촬상 소자보다도 위에 배치하는 것이 바람직하다. 또는 또한, 제1 타입의 광전 변환부의 하방에, 제2 타입의 적외선용 광전 변환부를 구비하고 있어도 좋다.

[0133] 제1 타입의 촬상 소자에서는, 예를 들면, 제1 전극이, 반도체 기판의 위에 마련된 층간 절연층상에 형성되어 있다. 반도체 기판에 형성된 촬상 소자는, 이면 조사형으로 할 수도 있고, 표면 조사형으로 할 수도 있다.

[0134] 광전 변환층을 유기계 재료로 구성하는 경우, 광전 변환층을,

[0135] (1) p형 유기 반도체로 구성한다.

[0136] (2) n형 유기 반도체로 구성한다.

[0137] (3) p형 유기 반도체층/n형 유기 반도체층의 적층 구조로 구성한다. p형 유기 반도체층/p형 유기 반도체와 n형 유기 반도체와의 혼합층(벌크 헤테로 구조)/n형 유기 반도체층의 적층 구조로 구성한다. p형 유기 반도체층/p형 유기 반도체와 n형 유기 반도체와의 혼합층(벌크 헤테로 구조)의 적층 구조로 구성한다. n형 유기 반도체층/p형 유기 반도체와 n형 유기 반도체와의 혼합층(벌크 헤테로 구조)의 적층 구조로 구성한다.

[0138] (4) p형 유기 반도체와 n형 유기 반도체의 혼합(벌크 헤테로 구조)으로 구성한다. 의 4양태의 어느 하나로 할 수 있다. 단, 적층순은 임의로 교체하는 구성으로 할 수 있다.

[0139] p형 유기 반도체로서, 나프탈렌 유도체, 안트라센 유도체, 페난트렌 유도체, 피렌 유도체, 페릴렌 유도체, 테트라센 유도체, 펜타센 유도체, 퀴나크리돈 유도체, 티오펜 유도체, 티에노티오펜 유도체, 벤조티오펜 유도체, 벤조티에노벤조티오펜 유도체, 트리알릴아민 유도체, 카르바졸 유도체, 페릴렌 유도체, 피센 유도체, 크리센 유도체, 플루오란텐 유도체, 프탈로시아닌 유도체, 서브프탈로시아닌 유도체, 서브포르피라진 유도체, 복소환 화합물을 배위자로 하는 금속 착체, 폴리티오펜 유도체, 폴리벤조티아디아졸 유도체, 폴리플루오렌 유도체 등을 들 수 있다. n형 유기 반도체로서, 풀러렌 및 풀러렌 유도체<예를 들면, C60이나, C70, C74등의 풀러렌(고차원 풀러렌), 내포 풀러렌 등) 또는 풀러렌 유도체(예를 들면, 풀러렌 불화물이나 PCBM 풀러렌 화합물, 풀러렌 다량체 등)>, p형 유기 반도체보다도 HOMO 및 LUMO가 큰(깊은) 유기 반도체, 투명한 무기 금속 산화물을 들 수 있다. n형 유기 반도체로서, 구체적으로는, 질소 원자, 산소 원자, 유황 원자를 함유하는 복소환 화합물, 예를 들면, 피리딘 유도체, 피라진 유도체, 피리미딘 유도체, 트리아진 유도체, 퀴놀린 유도체, 퀴녹살린 유도체, 이소퀴놀린 유도체, 아크리딘 유도체, 페나진 유도체, 페난트롤린 유도체, 테트라졸 유도체, 피라졸 유도체, 이미다졸 유도체, 티아졸 유도체, 옥사졸 유도체, 이미다졸 유도체, 벤즈이미다졸 유도체, 벤조트리아졸 유도체, 벤즈옥사졸 유도체, 벤즈옥사졸 유도체, 카르바졸 유도체, 벤조푸란 유도체, 디벤조푸란 유도체, 서브포르피라진 유도체, 폴리페닐렌비닐렌 유도체, 폴리벤조티아디아졸 도체, 폴리플루오렌 유도체 등을 분자 골격의 일부에 갖는 유기 분자, 유기 금속 착체나 서브프탈로시아닌 유도체를 들 수 있다. 풀러렌 유도체에 포함되는 기(基) 등으로서, 할로겐 원자 ; 직쇄, 분기 또는 환상(環狀)의 알킬기 또는 페닐기 ; 직쇄 또는 축환(縮環)한 방향족 화합물

을 갖는 기 ; 할로겐 화물을 갖는 기 ; 파셜플루오로알킬기 ; 퍼플루오로알킬기 ; 실릴알킬기 ; 실릴알콕시기 ; 아릴실릴기 ; 아릴술파닐기 ; 알킬슬파닐기 ; 아릴술포닐기 ; 알킬술포닐기 ; 아릴술피드기 ; 알킬술피드기 ; 아미노기 ; 알킬아미노기 ; 아릴아미노기 ; 히드록시기 ; 알콕시기 ; 아실아미노기 ; 아실옥시기 ; 카르보닐기 ; 카르복시기 ; 카르복소아미드기 ; 카르모알콕시기 ; 아실기 ; 술포닐기 ; 시아노기 ; 니트로기 ; 칼코겐화물을 갖는 기 ; 포스핀기 ; 포스폰기 ; 이들의 유도체를 들 수 있다. 유기계 재료로 구성된 광전 변환층(『유기 광전 변환층』이라고 부르는 경우가 있다)의 두께는, 한정하는 것은 아니지만, 예를 들면, 1×10^{-8}m 내지 5×10^{-7}m, 바람직하게는 2.5×10^{-8}m 내지 3×10^{-7}m, 보다 바람직하게는 2.5×10^{-8}m 내지 2×10^{-7}m, 한층 바람직하게는 1×10^{-7}m 내지 1.8×10^{-7}m를 예시할 수 있다. 또한, 유기 반도체는, p형, n형으로 분류된 것이 많은데, p형이란 정공을 수송하기 쉽다는 의미이고, n형이란 전자를 수송하기 쉽다는 의미이고, 무기 반도체와 같이 열여기(熱勵起)의 다수 캐리어로서 정공 또는 전자를 갖고 있다는 해석으로 한정되지 않는다.

[0140] 또는 또한, 녹색의 파장의 광을 광전 변환하는 유기 광전 변환층을 구성하는 재료로서, 예를 들면, 로다민계 색소, 메로시아닌계 색소, 퀴나크리돈 유도체, 서브프탈로시아닌계 색소(서브프탈로시아닌 유도체) 등을 들 수 있고, 청색의 광을 광전 변환하는 유기 광전 변환층을 구성하는 재료로서, 예를 들면, 쿠마린산 색소, 트리스-8-히드록시퀴놀리알루미늄(Alq3), 메로시아닌계 색소 등을 들 수 있고, 적색의 광을 광전 변환하는 유기 광전 변환층을 구성하는 재료로서, 예를 들면, 프탈로시아닌계 색소, 서브프탈로시아닌계 색소(서브프탈로시아닌 유도체)를 들 수 있다.

[0141] 또는 또한, 광전 변환층을 구성하는 무기계 재료로서, 결정 실리콘, 어모퍼스 실리콘, 미결정 실리콘, 결정 셀렌, 어모퍼스 셀렌, 및, 칼코파이라이트계 화합물인 CIGS(CuInGaSe), CIS($CuInSe_2$), $CuInS_2$, $CuAlS_2$, $CuAlSe_2$, $CuGaS_2$, $CuGaSe_2$, $AgAlS_2$, $AgAlSe_2$, $AgInS_2$, $AgInSe_2$, 또는 또한, Ⅲ-Ⅴ족 화합물인 GaAs, InP, AlGaAs, InGaP, AlGaInP, InGaAsP, 나아가서는, CdSe, CdS, In_2Se_3, In_2S_3, Bi_2Se_3, Bi_2S_3, ZnSe, ZnS, PbSe, PbS 등의 화합물 반도체를 들 수 있다. 더하여, 이들의 재료로 이루어지는 양자 도트를 광전 변환층에 사용하는 것도 가능하다.

[0142] 또는 또한, 광전 변환층을, 하층 반도체층과, 상층 광전 변환층의 적층 구조로 할 수 있다. 이와 같이 하층 반도체층을 마련함으로써, 전하 축적시의 재결합을 방지할 수 있고, 광전 변환층에 축적한 전하의 제1 전극으로의 전송 효율을 증가시킬 수 있고, 암전류의 생성을 억제할 수 있다. 상층 광전 변환층을 구성하는 재료는, 상기한 광전 변환층을 구성하는 각종 재료로부터, 적절히, 선택하면 좋다. 한편, 하층 반도체층을 구성하는 재료로서, 밴드 갭 에너지의 값이 크게(예를 들면, 3.0eV 이상의 밴드 갭 에너지의 값), 게다가, 광전 변환층을 구성하는 재료보다도 높은 이동도를 갖는 재료를 사용하는 것이 바람직하다. 구체적으로는, IGZO 등의 산화물 반도체 재료 ; 천이금속 다이칼코게나이드 ; 실리콘카바이드 ; 다이아몬드 ; 그라펜 ; 카본 나노 튜브 ; 축합 다환 탄화수소 화합물이나 축합 복소환 화합물 등의 유기 반도체 재료를 들 수 있다. 또는 또한, 하층 반도체층을 구성하는 재료로서, 축적하여야 할 전하가 전자인 경우, 광전 변환층을 구성하는 재료의 이온화 포텐셜보다도 큰 이온화 포텐셜을 갖는 재료를 들 수 있고, 축적하여야 할 전하가 정공인 경우, 광전 변환층을 구성하는 재료의 전자 친화력보다도 작은 전자 친화력을 갖는 재료를 들 수 있다. 또는 또한, 하층 반도체층을 구성하는 재료에서의 불순물 농도는 $1\times10^{18}cm^{-3}$ 이하인 것이 바람직하다. 하층 반도체층은, 단층 구성이라도 좋고, 다층 구성이라도 좋다. 또한, 전하 축적용 전극의 상방에 위치하는 하층 반도체층을 구성하는 재료와, 제1 전극의 상방에 위치하는 하층 반도체층을 구성하는 재료를, 다르게 하여도 좋다.

[0143] 본 개시의 제1의 양태～제4의 양태에 관한 고체 촬상 장치에 의해, 단판식 컬러 고체 촬상 장치를 구성할 수 있다.

[0144] 적층형 촬상 소자를 구비한 본 개시의 제2의 양태 또는 제4의 양태에 관한 고체 촬상 장치에서는, 베이어 배열의 촬상 소자를 구비한 고체 촬상 장치와 달리(즉, 컬러 필터를 이용하여 청색, 녹색, 적색의 분광을 행하는 것이 아니라), 동일 화소 내에서 광의 입사 방향에서, 복수종의 파장의 광에 대해 감도를 갖는 촬상 소자를 적층하여 하나의 화소를 구성하기 때문에, 감도의 향상 및 단위체적당의 화소 밀도의 향상을 도모할 수 있다. 또한, 유기계 재료는 흡수 계수가 높기 때문에, 유기 광전 변환층의 막두께를 종래의 Si계 광전 변환층과 비교하여 얇게 할 수 있고, 인접 화소로부터의 광 누설이나, 광의 입사각의 제한이 완화된다. 나아가서는, 종래의 Si계 촬상 소자에서는 3색의 화소 사이에서 보간 처리를 행하여 색 신호를 작성하기 때문에 위색이 생기지만, 적층형 촬상 소자를 구비한 본 개시의 제2의 양태 또는 제4의 양태에 관한 고체 촬상 장치에서는, 위색의 발생이 억제된다. 유기 광전 변환층 그 자체가 컬러 필터로서도 기능하기 때문에, 컬러 필터를 마련하지 않더라도 색 분리

가 가능하다.

[0145] 한편, 본 개시의 제1의 양태, 제2의 양태 또는 제3의 양태에 관한 고체 촬상 장치에서는, 컬러 필터를 이용함으로써, 청색, 녹색, 적색의 분광 특성에의 요구를 완화할 수 있고, 또한, 높은 양산성을 갖는다. 본 개시의 제1의 양태, 제2의 양태 또는 제3의 양태에 관한 고체 촬상 장치에서의 촬상 소자의 배열로서, 베이어 배열외, 인터라인 배열, G 스트라이프 RB 체크무늬 배열, G 스트라이프 RB 완전체크 무늬 배열, 체크무늬 보색 배열, 스트라이프 배열, 경사 스트라이프 배열, 원색 색차 배열, 필드 색차 순차 배열, 프레임 색차 순차 배열, MOS형 배열, 개량 MOS형 배열, 프레임 인터리브 배열, 필드 인터리브 배열을 들 수 있다. 여기서, 하나의 촬상 소자에 의해 하나의 화소(또는 부화소)가 구성된다.

[0146] 본 개시의 촬상 소자 또는 본 개시의 적층형 촬상 소자가 복수 배열된 화소 영역은, 2차원 어레이형상으로 규칙적으로 복수 배열된 화소로 구성된다. 화소 영역은, 통상, 실제로 광을 수광하고 광전 변환에 의해 생성된 신호 전하를 증폭하여 구동 회로에 판독한 유효 화소 영역과, 흑레벨의 기준이 되는 광학적 흑을 출력하기 위한 흑 기준 화소 영역으로 구성되어 있다. 흑 기준 화소 영역은, 통상은, 유효 화소 영역의 외주부에 배치되어 있다.

[0147] 이상에 설명한 각종의 바람직한 형태, 구성을 포함하는 본 개시의 촬상 소자 등에서, 광이 조사되고, 광전 변환층에서 광전 변환이 생기고, 정공(홀)과 전자가 캐리어 분리된다. 그리고, 정공이 취출되는 전극을 양극, 전자가 취출되는 전극을 음극으로 한다. 제1 전극이 양극을 구성하고, 제2 전극이 음극을 구성하는 형태도 있고, 역으로, 제1 전극이 음극을 구성하고, 제2 전극이 양극을 구성하는 형태도 있다.

[0148] 적층형 촬상 소자를 구성하는 경우, 제1 전극, 전하 축적용 전극, 전송 제어용 전극, 전하 배출 전극 및 제2 전극은 투명 도전 재료로 이루어지는 구성으로 할 수 있다. 또한, 제1 전극, 전하 축적용 전극, 전송 제어용 전극 및 전하 배출 전극을 총칭하여, 『제1 전극 등』이라고 부르는 경우가 있다. 또는 또한, 본 개시의 촬상 소자 등이, 예를 들면 베이어 배열과 같이 평면에 배치되는 경우에는, 제2 전극은 투명 도전 재료로 이루어지고, 제1 전극 등은 금속재료로 이루어지는 구성으로 할 수 있고, 이 경우, 구체적으로는, 광입사측에 위치하는 제2 전극은 투명 도전 재료로 이루어지고, 제1 전극 등은, 예를 들면, Al-Nd(알루미늄 및 네오듐의 합금) 또는 ASC(알루미늄, 사마륨 및 구리의 합금)으로 이루어지는 구성으로 할 수 있다. 또한, 투명 도전 재료로 이루어지는 전극을 『투명 전극』이라고 부르는 경우가 있다. 여기서, 투명 도전 재료의 밴드 갭 에너지는, 2.5eV 이상, 바람직하게는 3.1eV 이상인 것이 바람직하다. 투명 전극을 구성하는 투명 도전 재료로서, 도전성이 있는 금속 산화물을 들 수 있고, 구체적으로는, 산화인듐, 인듐-주석 산화물(ITO, Indium Tin Oxide, Sn 도프의 In_2O_3, 결정성 ITO 및 어모퍼스 ITO를 포함한다), 산화아연에 도펀트로서 인듐을 첨가한 인듐-아연 산화물(IZO, Indium Zinc Oxide), 산화갈륨에 도펀트로서 인듐을 첨가한 인듐-갈륨 산화물(IGO), 산화아연에 도펀트로서 인듐과 갈륨을 첨가한 인듐-갈륨-아연 산화물(IGZO, In-$GaZnO_4$), 산화아연에 도펀트로서 인듐과 주석을 첨가한 인듐-주석-아연 산화물(ITZO), IFO(F 도프의 In_2O_3), 산화주석(SnO_2), ATO(Sb 도프의 SnO_2), FTO(F 도프의 SnO_2), 산화아연(타원소를 도프한 ZnO를 포함한다), 산화아연에 도펀트로서 알루미늄을 첨가한 알루미늄-아연 산화물(AZO), 산화아연에 도펀트로서 갈륨을 첨가한 갈륨-아연 산화물(GZO), 산화티탄(TiO_2), 산화티탄에 도펀트로서 니오브를 첨가한 니오브-티탄산 화물(TNO), 산화안티몬, 스피넬형 산화물, $YbFe_2O^4$ 구조를 갖는 산화물을 예시할 수 있다. 또는 또한, 갈륨 산화물, 티탄 산화물, 니오브 산화물, 니켈 산화물 등을 모층(母層)으로 하는 투명 전극을 들 수 있다. 투명 전극의 두께로서, 2×10^{-8}m 내지 2×10-7m, 바람직하게는 3×10^{-8}m 내지 1×10^{-7}m를 들 수 있다. 제1 전극이 투명성을 요구되는 경우, 제조 프로세스의 간소화라는 관점에서, 전하 배출 전극도 투명 도전 재료로 구성하는 것이 바람직하다.

[0149] 또는 또한, 투명성이 불필요한 경우, 정공을 취출하는 전극으로서의 기능을 갖는 양극을 구성하는 도전 재료로서, 고(高)일함수(예를 들면, φ=4.5eV~5.5eV)를 갖는 도전 재료로 구성하는 것이 바람직하고, 구체적으로는, 금(Au), 은(Ag), 크롬(Cr), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 철(Fe), 이리듐(Ir), 게르마늄(Ge), 오스뮴(Os), 레늄(Re), 텔루르(Te)를 예시할 수 있다. 한편, 전자를 취출하는 전극으로서의 기능을 갖는 음극을 구성하는 도전 재료로서, 저일함수(예를 들면, φ=3.5eV~4.5eV)를 갖는 도전 재료로 구성하는 것이 바람직하고, 구체적으로는, 알칼리 금속(예를 들면 Li, Na, K 등) 및 그 불화물 또는 산화물, 알칼리토류 금속(예를 들면 Mg, Ca 등) 및 그 불화물 또는 산화물, 알루미늄(Al), 아연(Zn), 주석(Sn), 탈륨(Tl), 나트륨-칼륨 합금, 알루미늄-리튬 합금, 마그네슘-은 합금, 인듐, 이테르븀 등의 희토류 금속, 또는, 이들의 합금을 들 수 있다. 또는 또한, 양극이나 음극을 구성하는 재료로서, 백금(Pt), 금(Au), 팔라듐(Pd), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 은(Ag), 탄탈(Ta), 텅스텐(W), 구리(Cu), 티탄(Ti), 인듐(In), 주석(Sn), 철(Fe), 코발트(Co), 몰리브덴(Mo) 등의 금속,

또는, 이들의 금속 원소를 포함하는 합금, 이들의 금속으로 이루어지는 도전성 입자, 이들의 금속을 포함하는 합금의 도전성 입자, 불순물을 함유한 폴리실리콘, 탄소계 재료, 산화물 반도체, 카본·나노·튜브, 그라펜 등의 도전성 재료를 들 수 있고, 이들의 원소를 포함하는 층의 적층 구조로 할 수도 있다. 나아가서는, 양극이나 음극을 구성하는 재료로서, 폴리(3,4-에틸렌디옥시티오펜)/폴리스티렌술폰산[PEDOT/PSS]이라는 유기 재료(도전성 고분자)를 들 수도 있다. 또한, 이들의 도전성 재료를 바인더(고분자)에 혼합하여 페이스트 또는 잉크로 한 것을 경화시켜, 전극으로서 이용하여도 좋다.

[0150] 제1 전극 등이나 제2 전극(양극이나 음극)의 성막 방법으로서, 건식법 또는 습식법을 이용하는 것이 가능하다. 건식법으로서, 물리적 기상 성장법(PVD법) 및 화학적 기상 성장법(CVD법)을 들 수 있다. PVD법의 원리를 이용한 성막 방법으로서, 저항 가열 또는 고주파 가열을 이용한 진공 증착법, EB(전자 빔) 증착법, 각종 스퍼터링법(마그네트론 스퍼터링법, RF-DC 결합형 바이어스 스퍼터링법, ECR 스퍼터링법, 대향 타겟 스퍼터링법, 고주파 스퍼터링법), 이온플레이팅법, 레이저 어브레이전법, 분자선 에피택시법, 레이저 전사법을 들 수 있다. 또한, CVD법으로서, 플라즈마 CVD법, 열 CVD법, 유기 금속 (MO) CVD법, 광 CVD법을 들 수 있다. 한편, 습식법으로서, 전해 도금법이나 무전해 도금법, 스핀 코트법, 잉크젯법, 스프레이 코트법, 스탬프법, 마이크로 콘택트 프린트법, 플렉소 인쇄법, 오프셋 인쇄법, 그라비어 인쇄법, 딥법 등의 방법을 들 수 있다. 패터닝법으로서, 섀도 마스크, 레이저 전사, 포토리소그래피 등의 화학적 에칭, 자외선이나 레이저 등에 의한 물리적 에칭 등을 들 수 있다. 제1 전극 등이나 제2 전극의 평탄화 기술로서, 레이저 평탄화법, 리플로우법, CMP(Chemical Mechanical Polishing)법 등을 이용할 수 있다.

[0151] 절연층을 구성하는 재료로서, 산화규소계 재료 ; 질화규소(SiN_Y) ; 산화알루미늄(Al_2O_3) 등의 금속 산화물 고유전 절연 재료로 예시되는 무기계 절연 재료뿐만 아니라, 폴리메틸메타크릴레이트(PMMA) ; 폴리비닐페놀(PVP) ; 폴리비닐알코올(PVA) ; 폴리이미드 ; 폴리카보네이트(PC) ; 폴리에틸렌테레프탈레이트(PET) ; 폴리스티렌 ; N-2(아미노에틸)3-아미노프로필트리메톡시실란(AEAPTMS), 3-메르캅토 프로필트리메톡시실란(MPTMS), 옥타데실트리클로로실란(OTS) 등의 실라놀 유도체(실란 커플링제) ; 노볼락형 페놀 수지 ; 불소계 수지 ; 옥타데칸티올, 도데실이소시아네이트 등의 일단에 제어 전극과 결합 가능한 관능기를 갖는 직쇄 탄화수소류로 예시되는 유기계 절연 재료(유기 폴리머)를 들 수 있고, 이들의 조합을 이용할 수도 있다. 또한, 산화규소계 재료로서, 산화실리콘(SiO_X), BPSG, PSG, BSG, AsSG, PbSG, 산화질화실리콘(SiON), SOG(스핀 온 글라스), 저유전율 재료(예를 들면, 폴리아릴에테르, 시클로퍼플루오로카본 폴리머 및 벤조시클로부텐, 환상 불소 수지, 폴리테트라플루오로에틸렌, 불화아릴에테르, 불화폴리이미드, 어모퍼스 카본, 유기 SOG)를 예시할 수 있다. 각종 층간 절연층이나 절연막을 구성하는 재료도, 이들의 재료로부터 적절히 선택하면 좋다.

[0152] 제어부를 구성하는 부유 확산층, 증폭 트랜지스터, 리셋·트랜지스터 및 선택 트랜지스터의 구성, 구조는, 종래의 부유 확산층, 증폭 트랜지스터, 리셋·트랜지스터 및 선택 트랜지스터의 구성, 구조와 마찬가지로 할 수 있다. 구동 회로도 주지의 구성, 구조로 할 수 있다.

[0153] 제1 전극은, 부유 확산층 및 증폭 트랜지스터의 게이트부에 접속되어 있는데, 제1 전극과 부유 확산층 및 증폭 트랜지스터의 게이트부와의 접속을 위해 콘택트홀부를 형성하면 좋다. 콘택트홀부를 구성하는 재료로서, 불순물이 도핑된 폴리실리콘이나, 텅스텐, Ti, Pt, Pd, Cu, TiW, TiN, TiNW, WSi2, $MoSi_2$ 등의 고융점 금속이나 금속 실리사이드, 이들의 재료로 이루어지는 층의 적층 구조(예를 들면, Ti/TiN/W)를 예시할 수 있다.

[0154] 유기 광전 변환층과 제1 전극 사이에, 제1 캐리어 블로킹층을 마련하여도 좋고, 유기 광전 변환층과 제2 전극 사이에, 제2 캐리어 블로킹층을 마련하여도 좋다. 또한, 제1 캐리어 블로킹층과 제1 전극 사이에 제1 전하 주입층을 마련하여도 좋고, 제2 캐리어 블로킹층과 제2 전극 사이에 제2 전하 주입층을 마련하여도 좋다. 예를 들면, 전자 주입층을 구성하는 재료로서, 예를 들면, 리튬(Li), 나트륨(Na), 칼륨(K)이라는 알칼리 금속 및 그 불화물이나 산화물, 마그네슘(Mg), 칼슘(Ca)이라는 알칼리토류 금속 및 그 불화물이나 산화물을 들 수 있다.

[0155] 각종 유기층의 성막 방법으로서, 건식 성막법 및 습식 성막법을 들 수 있다. 건식 성막법으로서, 저항 가열 또는 고주파 가열, 전자 빔 가열을 이용한 진공 증착법, 플래시 증착법, 플라즈마 증착법, EB 증착법, 각종 스퍼터링법(2극 스퍼터링법, 직류 스퍼터링법, 직류 마그네트론 스퍼터링법, 고주파 스퍼터링법, 마그네트론 스퍼터링법, RF-DC 결합형 바이어스 스퍼터링법, ECR 스퍼터링법, 대향 타겟 스퍼터링법, 고주파 스퍼터링법, 이온 빔 스퍼터링법), DC(Direct Current)법, RF법, 다음극법, 활성화 반응법, 전계 증착법, 고주파 이온플레이팅법이나 반응성 이온플레이팅법 등의 각종 이온플레이팅법, 레이저 어브레이전법, 분자선 에피택시법, 레이저 전사법, 분자선 에피택시법(MBE법)을 들 수 있다. 또한, CVD법으로서, 플라즈마 CVD법, 열 CVD법, MOCVD법, 광 CVD법을

들 수 있다. 한편, 습식법으로서, 구체적으로는, 스핀 코트법 ; 침지법 ; 캐스트법 ; 마이크로 콘택트 프린트법 ; 드롭 캐스트법 ; 스크린 인쇄법이나 잉크젯 인쇄법, 오프셋 인쇄법, 그라비어 인쇄법, 플렉소 인쇄법이라는 각종 인쇄법 ; 스탬프법 ; 스프레이법 ; 에어 독터 코터법, 블레이드 코터법, 로드 코터법, 나이프 코터법, 스퀴즈 코터법, 리버스 롤 코터법, 트랜스퍼 롤 코터법, 그라비어 코터법, 키스 코터법, 캐스트 코터법, 스프레이 코터법, 슬릿 오리피스 코터법, 캘린더 코터 법이라는 각종 코팅법을 예시할 수 있다. 또한, 도포법에서는, 용매로서, 톨루엔, 클로로포름, 헥산, 에탄올이라는 무극성 또는 극성이 낮은 유기 용매를 예시할 수 있다. 패터닝법으로서, 섀도 마스크, 레이저 전사, 포토리소그래피 등의 화학적 에칭, 자외선이나 레이저 등에 의한 물리적 에칭 등을 들 수 있다. 각종 유기층의 평탄화 기술로서, 레이저 평탄화법, 리플로우법 등을 이용할 수 있다.

[0156] 촬상 소자 또는 고체 촬상 장치에는, 전술한 바와 같이, 필요에 응하여, 온 칩 · 마이크로 · 렌즈나 차광층을 마련하여도 좋고, 촬상 소자를 구동하기 위한 구동 회로나 배선이 마련되어 있다. 필요에 응하여, 촬상 소자에의 광의 입사를 제어하기 위한 셔터를 마련하여도 좋고, 고체 촬상 장치가 목적에 응하여 광학 커트 필터를 구비하여도 좋다.

[0157] 예를 들면, 고체 촬상 장치를 판독용 집적 회로(ROIC)와 적층하는 경우, 판독용 집적 회로 및 구리(Cu)로 이루어지는 접속부가 형성된 구동용 기판과, 접속부가 형성된 촬상 소자를, 접속부끼리가 접하도록 맞겹치고, 접속부끼리를 접합함으로써, 적층할 수 있고, 접속부끼리를 솔더 범프 등을 이용하여 접합할 수도 있다.

[0158] [실시례 1]

[0159] 실시례 1은, 본 개시의 제1의 양태 및 본 개시의 제6의 양태에 관한 촬상 소자, 본 개시의 적층형 촬상 소자, 및, 본 개시의 제4의 양태에 관한 고체 촬상

[0160] 장치에 관한 것이다.

[0161] 실시례 1의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도를 도 1에 도시하고, 전하 축적용 전극, 광전 변환층 및 제2 전극이 적층된 부분을 확대한 모식적인 일부 단면도를 도 2에 도시하고, 실시례 1의 촬상 소자, 적층형 촬상 소자의 등가 회로도를 도 3 및 도 4에 도시하고, 실시례 1의 촬상 소자를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 5에 도시하고, 실시례 1의 촬상 소자의 동작시의 각 부위에서의 전위의 상태를 모식적으로 도 6에 도시한다. 또한, 실시례 1의 촬상 소자를 구성하는 제1 전극 및 전하 축적용 전극의 모식적인 배치도를 도 7에 도시하고, 실시례 1의 촬상 소자를 구성하는 제1 전극, 전하 축적용 전극, 제2 전극 및 콘택트홀부의 모식적인 투시 사시도를 도 8에 도시하고, 실시례 1의 고체 촬상 장치의 개념도를 도 9에 도시한다. 또한, 도 3 및 도 4에서는, 도면의 간소화를 위해, 절연층 세그먼트의 두께를 일정한 두께에 도시하고 있다.

[0162] 실시례 1의 촬상 소자(예를 들면, 후술하는 녹색용 촬상 소자), 또는 또한, 후술하는 실시례 2~실시례 6, 실시례 9~실시례 11의 촬상 소자는, 제1 전극(11), 광전 변환층(15) 및 제2 전극(16)이 적층되어 이루어지는 광전 변환부를 구비하고 있고, 광전 변환부는, 또한, 제1 전극(11)과 이간하여 배치되고, 또한, 절연층(82)을 통하여 광전 변환층(15)과 대향하여 배치된 전하 축적용 전극(12)을 구비하고 있다.

[0163] 또한, 실시례 1의 적층형 촬상 소자는, 실시례 1~실시례 6의 촬상 소자를 적어도 하나, 실시례 1~실시례 6에서는 실시례 1의 촬상 소자를 하나, 갖는다.

[0164] 나아가서는, 실시례 1의 고체 촬상 장치는, 실시례 1의 적층형 촬상 소자를, 복수, 구비하고 있다.

[0165] 여기서, 실시례 1의 촬상 소자 또는 후술하는 실시례 2~실시례 6, 실시례 9~실시례 11의 촬상 소자에서,

[0166] 광전 변환부는, N개(단, $N \geq 2$)의 광전 변환부 세그먼트(구체적으로는, 각 실시례에서는, 3개의 광전 변환부 세그먼트(10_1, 10_2, 10_3))로 구성되어 있고,

[0167] 광전 변환층(15)은, N개의 광전 변환층 세그먼트(구체적으로는, 각 실시례에서는, 3개의 광전 변환층 세그먼트(15_1, 15_2, 15_3))로 구성되어 있고,

[0168] 절연층(82)은, N개의 절연층 세그먼트(구체적으로는, 각 실시례에서는, 3개의 절연층 세그먼트(82_1, 82_2, 82_3))로 구성되어 있고,

[0169] 실시례 1~실시례 3에서, 전하 축적용 전극(12)은, N개의 전하 축적용 전극 세그먼트(구체적으로는, 각 실시례에서는, 3개의 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3))로 구성되어 있고,

[0170] 실시례 4~실시례 5에서, 경우에 따라서는, 실시례 3에서, 전하 축적용 전극(12)은, 상호 이간되어 배치된, N개의 전하 축적용 전극 세그먼트(구체적으로는, 각 실시례에서는, 3개의 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3))로 구성되어 있고,

[0171] 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트(10_n)는, 제n번째 전하 축적용 전극 세그먼트(12_n), 제n번째 절연층 세그먼트(82_n) 및 제n번째 광전 변환층 세그먼트(15_n)로 구성되어 있고,

[0172] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극(11)으로부터 떨어져서 위치한다.

[0173] 또는 또한, 실시례 1의 촬상 소자 또는 후술하는 실시례 2, 실시례 5의 촬상 소자는,

[0174] 제1 전극(11), 광전 변환층(15) 및 제2 전극(16)이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0175] 광전 변환부는, 또한, 제1 전극(11)과 이간하여 배치되고, 또한, 절연층(82)을 통하여 광전 변환층(15)과 대향하여 배치된 전하 축적용 전극(12)을 구비하고 있고,

[0176] 전하 축적용 전극(12)과 절연층(82)과 광전 변환층(15)의 적층 방향을 Z방향, 제1 전극(11)으로부터 떨어지는 방향을 X방향으로 하였을 때, YZ 가상평면으로 전하 축적용 전극(12)과 절연층(82)과 광전 변환층(15)이 적층된 적층 부분을 절단한 때의 적층 부분의 단면적은, 제1 전극부터의 거리에 의존하여 변화한다.

[0177] 또한, 실시례 1의 촬상 소자에서는, 제1번째 광전 변환부 세그먼트(10_1)로부터 제N번째 광전 변환부 세그먼트(10N)에 걸쳐서, 절연층 세그먼트의 두께가, 점차로 변화하고 있다. 구체적으로는, 절연층 세그먼트의 두께는, 점차로 두껍게 되어 있다. 또는 또한, 실시례 1의 촬상 소자에서는, 적층 부분의 단면의 폭은 일정하고, 적층 부분의 단면의 두께, 구체적으로는, 절연층 세그먼트의 두께는, 제1 전극(11)으로부터의 거리에 의존하여, 점차로 두껍게 되어 있다. 또한, 절연층 세그먼트의 두께는, 계단형상으로 두껍게 되어 있다. 제n번째 광전 변환부 세그먼트(10_n) 내에서의 절연층 세그먼트(82_n)의 두께는 일정하게 하였다. 제n번째 광전 변환부 세그먼트(10_n)에서의 절연층 세그먼트(82_n)의 두께를 「1」로 하였을 때, 제(n+1)번째 광전 변환부 세그먼트($10_{(n+1)}$)에서의 절연층 세그먼트($82_{(n+1)}$)의 두께로서, 2 내지 10을 예시할 수 있지만, 이와 같은 값으로 한정하는 것이 아니다. 실시례 1에서는, 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)의 두께를 점차 얇게 함으로써, 절연층 세그먼트(82_1, 82_2, 82_3)의 두께를 점차 두껍게 하고 있다. 광전 변환층 세그먼트(15_1, 15_2, 15_3)의 두께는 일정하다.

[0178] 그리고, 실시례 1 또는 후술하는 실시례 2~실시례 6, 실시례 9~실시례 11의 촬상 소자에서, 반도체 기판(보다 구체적으로는, 실리콘 반도체층)(70)을 또한 구비하고 있고, 광전 변환부는, 반도체 기판(70)의 상방에 배치되어 있다. 또한, 반도체 기판(70)에 마련되고, 제1 전극(11)이 접속된 구동 회로를 갖는 제어부를 또한 구비하고 있다. 여기서, 반도체 기판(70)에서의 광입사면을 상방으로 하고, 반도체 기판(70)의 반대측을 하방으로 한다. 반도체 기판(70)의 하방에는 복수의 배선으로 이루어지는 배선층(62)이 마련되어 있다. 또한, 반도체 기판(70)에는, 제어부를 구성하는 적어도 부유 확산층(FD_1) 및 증폭 트랜지스터($TR1_{amp}$)가 마련되어 있고, 제1 전극(11)은, 부유 확산층(FD_1) 및 증폭 트랜지스터($TR1_{amp}$)의 게이트부에 접속되어 있다. 반도체 기판(70)에는, 또한, 제어부를 구성하는 리셋·트랜지스터($TR1_{rst}$) 및 선택 트랜지스터($TR1_{sel}$)가 마련되어 있다. 또한, 부유 확산층(FD_1)은, 리셋·트랜지스터($TR1_{rst}$)의 일방의 소스/드레인 영역에 접속되어 있고, 증폭 트랜지스터($TR1_{amp}$)의 일방의 소스/드레인 영역은, 선택 트랜지스터($TR1_{sel}$)의 일방의 소스/드레인 영역에 접속되어 있고, 선택 트랜지스터($TR1_{sel}$)의 타방의 소스/드레인 영역은 신호선(VSL_1)에 접속되어 있다. 이들의 증폭 트랜지스터($TR1_{amp}$), 리셋·트랜지스터($TR1_{rst}$) 및 선택 트랜지스터($TR1_{sel}$)는, 구동 회로를 구성한다.

[0179] 구체적으로는, 실시례 1의 촬상 소자, 적층형 촬상 소자는, 이면 조사형의 촬상 소자, 적층형 촬상 소자로서, 녹색의 광을 흡수하는 제1 타입의 녹색 광전 변환층을 구비한 녹색에 감도를 갖는 제1 타입의 실시례 1의 녹색용 촬상 소자(이하, 『제1 촬상 소자』라고 부른다), 청색의 광을 흡수하는 제2 타입의 청색 광전 변환층을 구비한 청색에 감도를 갖는 제2 타입의 종래의 청색용 촬상 소자(이하, 『제2 촬상 소자』라고 부른다), 적색의 광을 흡수하는 제2 타입의 적색 광전 변환층을 구비한 적색에 감도를 갖는 제2 타입의 종래의 적색용 촬상 소자(이하, 『제3 촬상 소자』라고 부른다)의 3개의 촬상 소자가 적층된 구조를 갖는다. 여기서 적색용 촬상 소자(제3 촬상 소자) 및 청색용 촬상 소자(제2 촬상 소자)는, 반도체 기판(70) 내에 마련되어 있고, 제2 촬상 소자

의 쪽이, 제3 촬상 소자보다도 광입사측에 위치한다. 또한, 녹색용 촬상 소자(제1 촬상 소자)는, 청색용 촬상 소자(제2 촬상 소자)의 상방에 마련되어 있다. 제1 촬상 소자, 제2 촬상 소자 및 제3 촬상 소자의 적층 구조에 의해, 1화소가 구성된다. 컬러 필터는 마련되어 있지 않다.

[0180] 제1 촬상 소자에서는, 층간 절연층(81)상에, 제1 전극(11) 및 전하 축적용 전극(12)이, 이간하여 형성되어 있다. 층간 절연층(81) 및 전하 축적용 전극(12)은, 절연층(82)에 의해 덮여 있다. 절연층(82)상에는 광전 변환층(15)이 형성되고, 광전 변환층(15)상에는 제2 전극(16)이 형성되어 있다. 제2 전극(16)을 포함하는 전면에는, 보호층(83)이 형성되어 있고, 보호층(83)상에 온 칩·마이크로·렌즈(90)가 마련되어 있다. 제1 전극(11), 전하 축적용 전극(12) 및 제2 전극(16)은, 예를 들면, ITO(일함수 : 약 4.4eV)로 이루어지는 투명 전극으로 구성되어 있다. 광전 변환층(15)은, 적어도 녹색에 감도를 갖는 주지의 유기 광전 변환 재료(예를 들면, 로다민계 색소, 메로시아닌계 색소, 퀴나크리돈 등의 유기계 재료)를 포함하는 층으로 구성되어 있다. 또한, 광전 변환층(15)은, 또한, 전하 축적에 적합한 재료층을 포함하는 구성이라도 좋다. 즉, 광전 변환층(15)과 제1 전극(11) 사이에(예를 들면, 접속부(67) 내에), 또한, 전하 축적에 적합한 재료층이 형성되어 있어도 좋다. 층간 절연층(81)이나 절연층(82), 보호층(83)은, 주지의 절연 재료(예를 들면, SiO_2나 SiN)로 구성되어 있다. 광전 변환층(15)과 제1 전극(11)은, 절연층(82)에 마련된 접속부(67)에 의해 접속되어 있다. 접속부(67) 내로는, 광전 변환층(15)이 연재되어 있다. 즉, 광전 변환층(15)은, 절연층(82)에 마련된 개구부(84) 내로 연재되어, 제1 전극(11)과 접속되어 있다.

[0181] 전하 축적용 전극(12)은 구동 회로에 접속되어 있다. 구체적으로는, 전하 축적용 전극(12)은, 층간 절연층(81) 내에 마련된 접속구멍(66), 패드부(64) 및 배선(V_{OA})을 통하여, 구동 회로를 구성하는 수직 구동 회로(112)에 접속되어 있다.

[0182] 전하 축적용 전극(12)의 크기는 제1 전극(11)보다도 크다. 전하 축적용 전극(12)의 면적을 S_1', 제1 전극(11)의 면적을 S_1로 하였을 때, 한정하는 것은 아니지만,

[0183] $4 \leq S_1'/S_1$

[0184] 를 만족하는 것이 바람직하고, 실시례 1에서는, 한정하는 것은 아니지만, 예를 들면,

[0185] $S_1'/S_1=8$

[0186] 로 하였다. 또한, 실시례 1 또는 후술하는 실시례 2～실시례 4에서는, 3개의 광전 변환부 세그먼트(10_1, 10_2, 10_3))의 크기를 같은 크기로 하고, 평면 형상도 같게 하였다.

[0187] 반도체 기판(70)의 제1면(겉면)(70A)의 측에는 소자 분리 영역(71)이 형성되고, 또한, 반도체 기판(70)의 제1면(70A)에는 산화막(72)이 형성되어 있다. 나아가서는, 반도체 기판(70)의 제1면측에는, 제1 촬상 소자의 제어부를 구성하는 리셋·트랜지스터($TR1_{rst}$), 증폭 트랜지스터($TR1_{amp}$) 및 선택 트랜지스터($TR1_{sel}$)가 마련되고, 또한, 제1 부유 확산층(FD_1)이 마련되어 있다.

[0188] 리셋·트랜지스터($TR1_{rst}$)는, 게이트부(51), 채널 형성 영역(51A), 및, 소스/드레인 영역(51B, 51C)으로 구성되어 있다. 리셋·트랜지스터($TR1_{rst}$)의 게이트부(51)는 리셋선(RST_1)에 접속되고, 리셋·트랜지스터($TR1_{rst}$)의 일방의 소스/드레인 영역(51C)은, 제1 부유 확산층(FD_1)을 겸하고 있고, 타방의 소스/드레인 영역(51B)은, 전원(V_{DD})에 접속되어 있다.

[0189] 제1 전극(11)은, 층간 절연층(81) 내에 마련된 접속구멍(65), 패드부(63), 반도체 기판(70) 및 층간 절연층(76)에 형성된 콘택트홀부(61), 층간 절연층(76)에 형성된 배선층(62)을 통하여, 리셋·트랜지스터($TR1_{rst}$)의 일방의 소스/드레인 영역(51C)(제1 부유 확산층(FD_1))에 접속되어 있다.

[0190] 증폭 트랜지스터($TR1_{amp}$)는, 게이트부(52), 채널 형성 영역(52A), 및, 소스/드레인 영역(52B, 52C)으로 구성되어 있다. 게이트부(52)는 배선층(62)을 통하여, 제1 전극(11) 및 리셋·트랜지스터($TR1_{rst}$)의 일방의 소스/드레인 영역(51C)(제1 부유 확산층(FD_1))에 접속되어 있다. 또한, 일방의 소스/드레인 영역(52B)은, 리셋·트랜지스터

($TR1_{rst}$)를 구성하는 타방의 소스/드레인 영역(51B)과, 영역을 공유하고 있고, 전원(V_{DD})에 접속되어 있다.

[0191] 선택 트랜지스터($TR1_{sel}$)는, 게이트부(53), 채널 형성 영역(53A), 및, 소스/드레인 영역(53B, 53C)으로 구성되어 있다. 게이트부(53)는, 선택선(SEL_1)에 접속되어 있다. 또한, 일방의 소스/드레인 영역(53B)은, 증폭 트랜지스터($TR1_{amp}$)를 구성하는 타방의 소스/드레인 영역(52C)과, 영역을 공유하고 있고, 타방의 소스/드레인 영역(53C)은, 신호선(데이터 출력선)(VSL_1)(117)에 접속되어 있다.

[0192] 제2 촬상 소자는, 반도체 기판(70)에 마련된 n형 반도체 영역(41)을 광전 변환층으로서 구비하고 있다. 종형 트랜지스터로 이루어지는 전송 트랜지스터($TR2_{trs}$)의 게이트부(45)가, n형 반도체 영역(41)까지 늘어나고 있고, 또한, 전송 게이트선(TG_2)에 접속되어 있다. 또한, 전송 트랜지스터($TR2_{trs}$)의 게이트부(45)의 근방의 반도체 기판(70)의 영역(45C)에는, 제2 부유 확산층(FD_2)이 마련되어 있다. n형 반도체 영역(41)에 축적된 전하는, 게이트부(45)에 따라 형성된 전송 채널을 통하여 제2 부유 확산층(FD_2)에 판독된다.

[0193] 제2 촬상 소자에서는, 또한, 반도체 기판(70)의 제1면측에, 제2 촬상 소자의 제어부를 구성하는 리셋·트랜지스터($TR2_{rst}$), 증폭 트랜지스터($TR2_{amp}$) 및 선택 트랜지스터($TR2_{sel}$)가 마련되어 있다.

[0194] 리셋·트랜지스터($TR2_{rst}$)는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 리셋·트랜지스터($TR2_{rst}$)의 게이트부는 리셋선(RST_2)에 접속되고, 리셋·트랜지스터($TR2_{rst}$)의 일방의 소스/드레인 영역은 전원(V_{DD})에 접속되고, 타방의 소스/드레인 영역은, 제2 부유 확산층(FD_2)을 겸하고 있다.

[0195] 증폭 트랜지스터($TR2_{amp}$)는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 게이트부는, 리셋·트랜지스터($TR2_{rst}$)의 타방의 소스/드레인 영역(제2 부유 확산층(FD_2))에 접속되어 있다. 또한, 일방의 소스/드레인 영역은, 리셋·트랜지스터($TR2_{rst}$)를 구성하는 일방의 소스/드레인 영역과, 영역을 공유하고 있고, 전원(V_{DD})에 접속되어 있다.

[0196] 선택 트랜지스터($TR2_{sel}$)는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 게이트부는, 선택선(SEL_2)에 접속되어 있다. 또한, 일방의 소스/드레인 영역은, 증폭 트랜지스터($TR2_{amp}$)를 구성하는 타방의 소스/드레인 영역과, 영역을 공유하고 있고, 타방의 소스/드레인 영역은, 신호선(데이터 출력선)(VSL_2)에 접속되어 있다.

[0197] 제3 촬상 소자는, 반도체 기판(70)에 마련된 n형 반도체 영역(43)을 광전 변환층으로서 구비하고 있다. 전송 트랜지스터($TR3_{trs}$)의 게이트부(46)는 전송 게이트선(TG_3)에 접속되어 있다. 또한, 전송 트랜지스터($TR3_{trs}$)의 게이트부(46)의 근방의 반도체 기판(70)의 영역(46C)에는, 제3 부유 확산층(FD_3)이 마련되어 있다. n형 반도체 영역(43)에 축적된 전하는, 게이트부(46)에 따라 형성된 전송 채널(46A)을 통하여 제3 부유 확산층(FD_3)에 판독된다.

[0198] 제3 촬상 소자에서는, 또한, 반도체 기판(70)의 제1면측에, 제3 촬상 소자의 제어부를 구성하는 리셋·트랜지스터($TR3_{rst}$), 증폭 트랜지스터($TR3_{amp}$) 및 선택 트랜지스터($TR3_{sel}$)가 마련되어 있다.

[0199] 리셋·트랜지스터($TR3_{rst}$)는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 리셋·트랜지스터($TR3_{rst}$)의 게이트부는 리셋선(RST_3)에 접속되고, 리셋·트랜지스터($TR3_{rst}$)의 일방의 소스/드레인 영역은 전원(V_{DD})에 접속되고, 타방의 소스/드레인 영역은, 제3 부유 확산층(FD_3)을 겸하고 있다.

[0200] 증폭 트랜지스터($TR3_{amp}$)는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 게이트부는, 리셋·트랜지스터($TR3_{rst}$)의 타방의 소스/드레인 영역(제3 부유 확산층(FD_3))에 접속되어 있다. 또한, 일방의 소스/드레인 영역은, 리셋·트랜지스터($TR3_{rst}$)를 구성하는 일방의 소스/드레인 영역과, 영역을 공유하고 있고, 전원(V_{DD})에 접속되어 있다.

[0201] 선택 트랜지스터($TR3_{sel}$)는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 게이트부는, 선택선(SEL_3)에 접속되어 있다. 또한, 일방의 소스/드레인 영역은, 증폭 트랜지스터($TR3_{amp}$)를 구성하는 타방의 소스/드레인 영역과, 영역을 공유하고 있고, 타방의 소스/드레인 영역은, 신호선(데이터 출력선)(VSL_3)에 접속되어 있다.

[0202] 리셋선(RST_1, RST_2, RST_3), 선택선(SEL_1, SEL_2, SEL_3), 전송 게이트선(TG_2, TG_3)은, 구동 회로를 구성하는 수직 구동 회로(112)에 접속되고, 신호선(데이터 출력선)(VSL_1, VSL_2, VSL_3)은, 구동 회로를 구성하는 칼럼 신호 처리 회로(113)에 접속되어 있다.

[0203] n형 반도체 영역(43)과 반도체 기판(70)의 표면(70A) 사이에는 p+층(44)이 마련되어 있고, 암전류 발생을 억제하고 있다. n형 반도체 영역(41)과 n형 반도체 영역(43) 사이에는, p+층(42)이 형성되어 있고, 나아가서는, n형 반도체 영역(43)의 측면의 일부는 p+층(42)에 의해 둘러싸여 있다. 반도체 기판(70)의 이면(70B)의 측에는, p+층(73)이 형성되어 있고, p+층(73)으로부터 반도체 기판(70)의 내부의 콘택트홀부(61)를 형성하여야 할 부분에는, HfO_2막(74) 및 절연막(75)이 형성되어 있다. 층간 절연층(76)에는, 복수의 층에 걸쳐서 배선이 형성되어 있는데, 도시는 생략하였다.

[0204] HfO_2막(74)은, 부(負)의 고정 전하를 갖는 막이고, 이와 같은 막을 마련함에 의해, 암전류의 발생을 억제할 수 있다. 또한, HfO_2막 대신에, 산화알루미늄(Al_2O_3)막, 산화지르코늄(ZrO_2)막, 산화탄탈(Ta_2O_5)막, 산화티탄(TiO_2)막, 산화란탄(La_2O_3)막, 산화프라세오디뮴(Pr_2O_3)막, 산화세륨(CeO_2)막, 산화네오디뮴(Nd_2O_3)막, 산화프로메튬(Pm_2O_3)막, 산화사마륨(Sm_2O_3)막, 산화유로퓸(Eu_2O_3)막, 산화가돌리늄(Gd_2O_3)막, 산화테르븀(Tb_2O_3)막, 산화디스프로슘(Dy_2O_3)막, 산화홀뮴(Ho_2O_3)막, 산화툴륨(Tm_2O_3)막, 산화이테르븀(Yb_2O_3)막, 산화루테튬(Lu_2O_3)막, 산화이트륨(Y_2O_3)막, 질화하프늄막, 질화알루미늄막, 산질화하프늄막, 산질화알루미늄막을 사용할 수도 있다. 이들 막의 성막 방법으로서, 예를 들면, CVD법, PVD법, ALD법을 들 수 있다.

[0205] 이하, 도 6을 참조하여, 실시례 1의 촬상 소자(제1 촬상 소자)의 동작을 설명한다. 여기서, 제1 전극(11)의 전위를 제2 전극의 전위보다도 높게 하였다. 즉, 예를 들면, 제1 전극(11)을 정의 전위로 하고, 제2 전극을 부의 전위로 하고, 광전 변환층(15)에서 광전 변환되고, 전자가 부유 확산층에 판독된다. 다른 실시례에서도 마찬가지라고 한다. 또한, 제1 전극(11)을 부의 전위로 하고, 제2 전극을 정의 전위로 하고, 광전 변환층(15)에서 광전 변환에 의거하여 생성한 정공이 부유 확산층에 판독되는 형태에서는, 이하에 기술(記述)하는 전위의 고저를 역으로 하면 좋다.

[0206] 도 6, 후술하는 실시례 5에서 도 20, 도 21 중에서 사용하고 있는 부호는, 이하와 같다.

[0207] PA ・・・・・・・・전하 축적용 전극(12)과 대향한 광전 변환층(15)의 영역의 점(PA)에서의 전위, 또는, 전하 축적용 전극 세그먼트(12_3)와 대향한 광전 변환층(15)의 영역의 점(PA)에서의 전위

[0208] PB ・・・・・・・・전하 축적용 전극(12)과 제1 전극(11)의 중간에 위치하는 영역과 대향한 광전 변환층(15)의 영역의 점(PB)에서의 전위, 또는, 또는, 전하 축적용 전극 세그먼트(12_2)와 대향한 광전 변환층(15)의 영역의 점(PB)에서의 전위

[0209] PC ・・・・・・・・제1 전극(11)과 대향한 광전 변환층(15)의 영역의 점(PC)에서의 전위, 또는, 전하 축적용 전극 세그먼트(12_1)와 대향한 광전 변환층(15)의 영역의 점(PC)에서의 전위

[0210] PD ・・・・・・・・전하 축적용 전극 세그먼트(12_3)와 제1 전극(11)의 중간에 위치하는 영역과 대향한 광전 변환층(15)의 영역의 점(PD)에서의 전위

[0211] FD ・・・・・・・제1 부유 확산층(FD_1)에서의 전위

[0212] VOA ・・・・・・・전하 축적용 전극(12)에서의 전위

[0213] VOA1・・・・・제1번째 전하 축적용 전극 세그먼트(12_1)에서의 전위

[0214] VOA2 · · · · · 제2번째 전하 축적용 전극 세그먼트(12_2)에서의 전위

[0215] VOA3 · · · · · 제3번째 전하 축적용 전극 세그먼트(12_3)에서의 전위

[0216] RST · · · · · · · 리셋 · 트랜지스터($TR1_{rst}$)의 게이트부(51)에서의 전위

[0217] VDD · · · · · · · 전원의 전위

[0218] VSL_1 · · · · 신호선(데이터 출력선)(VSL_1)

[0219] TR1_rst · · 리셋 · 트랜지스터($TR1_{rst}$)

[0220] TR1_amp · · 증폭 트랜지스터($TR1_{amp}$)

[0221] TR1_sel · · 선택 트랜지스터($TR1_{sel}$)

[0222] 전하 축적 기간에서는, 구동 회로로부터, 제1 전극(11)에 전위(V_{11})가 인가되고, 전하 축적용 전극(12)에 전위(V_{12})가 인가된다. 광전 변환층(15)에 입사된 광에 의해 광전 변환층(15)에서 광전 변환이 생긴다. 광전 변환에 의해 생성한 정공은, 제2 전극(16)으로부터 배선(V_{OU})을 통하여 구동 회로로 송출된다. 한편, 제1 전극(11)의 전위를 제2 전극(16)의 전위보다도 높게 하였기 때문에, 즉, 예를 들면, 제1 전극(11)에 정의 전위가 인가되고, 제2 전극(16)에 부의 전위가 인가된다고 하였기 때문에, $V_{12} \geq V_{11}$, 바람직하게는, $V_{12} > V_{11}$로 한다. 이에 의해, 광전 변환에 의해 생성한 전자는, 전하 축적용 전극(12)에 끌어당겨지고, 전하 축적용 전극(12)과 대향한 광전 변환층(15)의 영역에 머무른다. 즉, 광전 변환층(15)에 전하가 축적된다. $V_{12} > V_{11}$이기 때문에, 광전 변환층(15)의 내부에 생성한 전자가, 제1 전극(11)을 향하여 이동하는 일은 없다. 광전 변환의 시간 경과에 수반하여, 전하 축적용 전극(12)과 대향한 광전 변환층(15)의 영역에서의 전위는, 보다 부측의 값이 된다.

[0223] 실시례 1의 촬상 소자에서는, 절연층 세그먼트의 두께가, 점차로 두껍게 되는 구성을 채용하고 있기 때문에, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제n번째 광전 변환부 세그먼트(10_n)의 쪽이, 제(n+1)번째 광전 변환부 세그먼트($10_{(n+1)}$) 보다도, 많은 전하를 축적할 수 있고, 강한 전계가 가하여져, 제1번째 광전 변환부 세그먼트(10_1)로부터 제1 전극(11)으로의 전하의 흐름을 확실하게 방지할 수 있다.

[0224] 전하 축적 기간의 후기에서, 리셋 동작이 이루어진다. 이에 의해, 제1 부유 확산층(FD_1)의 전위가 리셋되어, 제1 부유 확산층(FD_1)의 전위는 전원의 전위(V_{DD})가 된다.

[0225] 리셋 동작의 완료 후, 전하의 판독을 행한다. 즉, 전하 전송 기간에서, 구동 회로로부터, 제1 전극(11)에 전위(V_{21})가 인가되고, 전하 축적용 전극(12)에 전위(V_{22})가 인가된다. 여기서, $V_{22} < V_{21}$로 한다. 이에 의해, 전하 축적용 전극(12)과 대향한 광전 변환층(15)의 영역에 머물러 있던 전자는, 제1 전극(11), 나아가서는, 제1 부유 확산층(FD_1)에 판독된다. 즉, 광전 변환층(15)에 축적된 전하가 제어부에 판독된다.

[0226] 보다 구체적으로는, 전하 전송 기간에서, $V_{22} < V_{21}$라는 상태가 되면, 제1번째 광전 변환부 세그먼트(10_1)로부터 제1 전극(11)으로의 전하의 흐름, 제(n+1)번째 광전 변환부 세그먼트($10_{(n+1)}$)로부터 제n번째 광전 변환부 세그먼트(10_n)로의 전하의 흐름을, 확실하게 확보할 수 있다.

[0227] 이상으로, 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작이 완료된다.

[0228] 제1 부유 확산층(FD_1)에 전자가 판독된 후의 증폭 트랜지스터($TR1_{amp}$), 선택 트랜지스터($TR1_{sel}$)의 동작은, 종래의 이들의 트랜지스터의 동작과 같다. 또한, 제2 촬상 소자, 제3 촬상 소자의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작은, 종래의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작과 마찬가지이다. 또한, 제1 부유 확산층(FD_1)의 리셋 노이즈는, 종래와 마찬가지로, 상관 2중 샘플링(CDS, Correlated Double Sampling) 처리에 의해 제거할 수 있다.

[0229] 이상과 같이, 실시례 1에서는, 또는, 후술하는 실시례 1~실시례 6, 실시례 9~실시례 11의 촬상 소자에서는, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극이 구

비되어 있기 때문에, 광전 변환부에 광이 조사되고, 광전 변환부에서 광전 변환될 때, 광전 변환층과 절연층과 전하 축적용 전극에 의해 일종의 커패시터가 형성되어, 광전 변환층의 전하를 축적할 수 있다. 그러므로, 노광 시작시, 전하 축적부를 완전 공핍화하여, 전하를 소거하는 것이 가능해진다. 그 결과, kTC 노이즈가 커지고, 랜덤 노이즈가 악화하고, 촬상 화질의 저하를 가져온다는 현상의 발생을 억제할 수 있다. 또한, 전 화소를 일제히 리셋할 수 있기 때문에, 이른바 글로벌 셔터 기능을 실현할 수 있다.

[0230] 게다가, 실시례 1의 촬상 소자에서는, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 절연층 세그먼트의 두께가, 점차로 변화하고 있기 때문에, 또는 또한, YZ 가상평면으로 전하 축적용 전극과 절연층과 광전 변환층이 적층된 적층 부분을 절단한 때의 적층 부분의 단면적은, 제1 전극부터의 거리에 의존하여 변화하기 때문에, 일종의 전하 전송 구배가 형성되어, 광전 변환에 의해 생성한 전하를, 한층 용이하게, 또한, 확실하게 전송하는 것이 가능해진다.

[0231] 도 9에, 실시례 1의 고체 촬상 장치의 개념도를 도시한다. 실시례 1의 고체 촬상 장치(100)는, 적층형 촬상 소자(101)가 2차원 어레이형상으로 배열된 촬상 영역(111), 및, 그 구동 회로(주변 회로)로서의 수직 구동 회로(112), 칼럼 신호 처리 회로(113), 수평 구동 회로(114), 출력 회로(115) 및 구동 제어 회로(116) 등으로 구성되어 있다. 또한, 이들의 회로는 주지의 회로로 구성할 수 있고, 또한, 다른 회로 구성(예를 들면, 종래의 CCD형 고체 촬상 장치나 CMOS형 고체 촬상 장치에서 사용되는 각종의 회로)을 이용하여 구성할 수 있음은 말할 것도 없다. 또한, 도 9에서, 적층형 촬상 소자(101)에서의 참조 번호 「101」의 표시는, 1행에만 하였다.

[0232] 구동 제어 회로(116)는, 수직 동기 신호, 수평 동기 신호 및 마스터·클록에 의거하여, 수직 구동 회로(112), 칼럼 신호 처리 회로(113) 및 수평 구동 회로(114)의 동작의 기준이 되는 클록 신호나 제어 신호를 생성한다. 그리고, 생성된 클록 신호나 제어 신호는, 수직 구동 회로(112), 칼럼 신호 처리 회로(113) 및 수평 구동 회로(114)에 입력된다.

[0233] 수직 구동 회로(112)는, 예를 들면, 시프트 레지스터에 의해 구성되고, 촬상 영역(111)의 각 적층형 촬상 소자(101)를 행 단위로 순차적으로 수직 방향으로 선택 주사한다. 그리고, 각 적층형 촬상 소자(101)에서 수광량에 응하여 생성한 전류(신호)에 의거한 화소 신호(화상 신호)는, 신호선(데이터 출력선)(117), VSL을 통하여 칼럼 신호 처리 회로(113)에 보내진다.

[0234] 칼럼 신호 처리 회로(113)는, 예를 들면, 적층형 촬상 소자(101)의 열마다 배치되어 있고, 1행분의 적층형 촬상 소자(101)로부터 출력된 화상 신호를 촬상 소자마다 흑기준 화소(도시하지 않지만, 유효 화소 영역의 주위에 형성된다)로부터의 신호에 의해, 노이즈 제거나 신호 증폭의 신호 처리를 행한다. 칼럼 신호 처리 회로(113)의 출력단에는, 수평 선택 스위치(도시 생략)가 수평 신호선(118)과의 사이에 접속되어 마련된다.

[0235] 수평 구동 회로(114)는, 예를 들면 시프트 레지스터에 의해 구성되고, 수평 주사 펄스를 순차적으로 출력함에 의해, 칼럼 신호 처리 회로(113)의 각각을 순차적으로 선택하고, 칼럼 신호 처리 회로(113)의 각각으로부터 신호를 수평 신호선(118)에 출력한다.

[0236] 출력 회로(115)는, 칼럼 신호 처리 회로(113)의 각각으로부터 수평 신호선(118)을 통하여 순차적으로 공급되는 신호에 대해, 신호 처리를 행하여 출력한다.

[0237] 실시례 1의 촬상 소자, 적층형 촬상 소자의 변형례의 등가 회로도를 도 10에 도시하고, 실시례 1의 촬상 소자의 변형례를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 11에 도시하는 바와 같이, 리셋·트랜지스터($TR1_{rst}$)의 타방의 소스/드레인 영역(51B)을, 전원(V_{DD})에 접속하는 대신에, 접지하여도 좋다.

[0238] 실시례 1의 촬상 소자, 적층형 촬상 소자는, 예를 들면, 이하의 방법으로 제작할 수 있다. 즉, 우선, SOI 기판을 준비한다. 그리고, SOI 기판의 표면에 제1 실리콘층을 에피택셜 성장법에 의거하여 형성하고, 이 제1 실리콘층에, p+층(73), n형 반도체 영역(41)을 형성한다. 뒤이어, 제1 실리콘층상에 제2 실리콘층을 에피택셜 성장법에 의거하여 형성하고, 이 제2 실리콘층에, 소자 분리 영역(71), 산화막(72), p+층(42), n형 반도체 영역(43), p+층(44)을 형성한다. 또한, 제2 실리콘층에, 촬상 소자의 제어부를 구성하는 각종 트랜지스터 등을 형성하고, 또한 그 위에, 배선층(62)이나 층간 절연층(76), 각종 배선을 형성한 후, 층간 절연층(76)과 지지 기판(도시 생략)을 맞붙인다. 그 후, SOI 기판을 제거하여 제1 실리콘층을 노출시킨다. 또한, 제2 실리콘층의 표면이 반도체 기판(70)의 표면(70A)에 해당하고, 제1 실리콘층의 표면이 반도체 기판(70)의 이면(70B)에 해당한다. 또한, 제1 실리콘층과 제2 실리콘층을 종합하여 반도체 기판(70)이라고 표현하고 있다. 뒤이어, 반도체 기판(70)의 이면

(70B)의 측에, 콘택트홀부(61)를 형성하기 위한 개구부를 형성하고, HfO_2막(74), 절연막(75) 및 콘택트홀부(61)를 형성하고, 또한, 패드부(63, 64), 층간 절연층(81), 접속구멍(65, 66), 제1 전극(11), 전하 축적용 전극(12), 절연층(82)을 형성한다. 다음에, 접속부(67)를 개구하고, 광전 변환층(15), 제2 전극(16), 보호층(83) 및 온 칩 · 마이크로 · 렌즈(90)를 형성한다. 이상에 의해, 실시례 1의 촬상 소자, 적층형 촬상 소자를 얻을 수 있다.

[0239] 실시례 1의 촬상 소자에서는, 제1 전극(11), 전하 축적용 전극(12) 및 절연층(82)의 형성에 있어서, 우선, 층간 절연층(81)상에, 전하 축적용 전극(12_3)을 형성하기 위한 도전 재료층을 성막하고, 도전 재료층을 패터닝하여 광전 변환부 세그먼트(10_1, 10_2, 10_3) 및 제1 전극(11)을 형성하여야 할 영역에 도전 재료층을 남김으로써, 제1 전극(11)의 일부 및 전하 축적용 전극(12_3)을 얻을 수 있다. 다음에, 전면에, 절연층 세그먼트(82_3)를 형성하기 위한 절연층을 성막하고, 절연층을 패터닝하고, 평탄화처리를 행함으로써, 절연층 세그먼트(82_3)를 얻을 수 있다. 다음에, 전면에, 전하 축적용 전극(12_2)을 형성하기 위한 도전 재료층을 성막하고, 도전 재료층을 패터닝하여, 광전 변환부 세그먼트(10_1, 10_2) 및 제1 전극(11)을 형성하여야 할 영역에 도전 재료층을 남김으로써, 제1 전극(11)의 일부 및 전하 축적용 전극(12_2)을 얻을 수 있다. 다음에, 전면에 절연층 세그먼트(82_2)를 형성하기 위한 절연층을 성막하고, 절연층을 패터닝하고, 평탄화처리를 행함으로써, 절연층 세그먼트(82_2)를 얻을 수 있다. 다음에, 전면에, 전하 축적용 전극(12_1)을 형성하기 위한 도전 재료층을 성막하고, 도전 재료층을 패터닝하여, 광전 변환부 세그먼트(10_1) 및 제1 전극(11)을 형성하여야 할 영역에 도전 재료층을 남김으로써, 제1 전극(11) 및 전하 축적용 전극(12_1)을 얻을 수 있다. 다음에, 전면에 절연층을 성막하고, 평탄화처리를 행함으로써, 절연층 세그먼트(82_1)(절연층(82))를 얻을 수 있다. 그리고, 절연층(82)상에 광전 변환층(15)을 형성한다. 이렇게 하여 광전 변환부 세그먼트(10_1, 10_2, 10_3)를 얻을 수 있다.

[0240] [실시례 2]

[0241] 실시례 2의 촬상 소자는, 본 개시의 제2의 양태 및 제6의 양태에 관한 촬상 소자에 관한 것이다. 전하 축적용 전극, 광전 변환층 및 제2 전극이 적층된 부분을 확대한 모식적인 일부 단면도를 도 12에 도시하는 바와 같이, 실시례 2의 촬상 소자에서는, 제1번째 광전 변환부 세그먼트(10_1)로부터 제N번째 광전 변환부 세그먼트(10N)에 걸쳐서, 광전 변환층 세그먼트의 두께가, 점차로 변화하고 있다. 또는 또한, 실시례 2의 촬상 소자에서는, 적층 부분의 단면의 폭은 일정하고, 적층 부분의 단면의 두께, 구체적으로는, 광전 변환층 세그먼트의 두께를, 제1 전극(11)부터의 거리에 의존하여 점차로 두껍게 한다. 보다 구체적으로는, 광전 변환층 세그먼트의 두께는, 점차로 두껍게 되어 있다. 또한, 광전 변환층 세그먼트의 두께는, 계단형상으로 두껍게 되어 있다. 제n번째 광전 변환부 세그먼트(10_n) 내에서 광전 변환층 세그먼트(15n)의 두께는 일정하게 하였다. 제n번째 광전 변환부 세그먼트(10_n)에서의 광전 변환층 세그먼트(15_n)의 두께를 「1」로 하였을 때, 제(n+1)번째 광전 변환부 세그먼트($10_{(n+1)}$)에서의 광전 변환층 세그먼트(15(n+1))의 두께로서, 2 내지 10을 예시할 수 있지만, 이와 같은 값으로 한정하는 것이 아니다. 실시례 2에서는, 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)의 두께를 점차 얇게 함으로써, 광전 변환층 세그먼트(15_1, 15_2, 15_3)의 두께를 점차 두껍게 하고 있다. 절연층 세그먼트(82_1, 82_2, 82_3)의 두께는 일정하다.

[0242] 실시례 2의 촬상 소자에서는, 광전 변환층 세그먼트의 두께가, 점차로 두껍게 되기 때문에, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제n번째 광전 변환부 세그먼트(10_n)의 쪽이, 제(n+1)번째 광전 변환부 세그먼트($10_{(n+1)}$) 보다도 강한 전계가 가하여져, 제1번째 광전 변환부 세그먼트(10_1)로부터 제1 전극(11)으로의 전하의 흐름을 확실하게 방지할 수 있다. 그리고, 전하 전송 기간에서, $V_{22} < V_{21}$라는 상태가 되면, 제1번째 광전 변환부 세그먼트(10_1)로부터 제1 전극(11)으로의 전하의 흐름, 제(n+1)번째 광전 변환부 세그먼트($10_{(n+1)}$)로부터 제n번째 광전 변환부 세그먼트(10_n)로의 전하의 흐름을, 확실하게 확보할 수 있다.

[0243] 이와 같이, 실시례 2의 촬상 소자에서는, 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 광전 변환층 세그먼트의 두께가, 점차로 변화하고 있기 때문에, 또는 또한, YZ 가상평면으로 전하 축적용 전극과 절연층과 광전 변환층이 적층된 적층 부분을 절단한 때의 적층 부분의 단면적은, 제1 전극부터의 거

리에 의존하여 변화하기 때문에, 일종의 전하 전송 구배가 형성되어, 광전 변환에 의해 생성한 전하를, 한층 용이하게, 또한, 확실하게 전송하는 것이 가능해진다.

[0244] 실시례 2의 촬상 소자에서는, 제1 전극(11), 전하 축적용 전극(12), 절연층(82) 및 광전 변환층(15)의 형성에 있어서, 우선, 층간 절연층(81)상에, 전하 축적용 전극(12_3)을 형성하기 위한 도전 재료층을 성막하고, 도전 재료층을 패터닝하여, 광전 변환부 세그먼트(10_1, 10_2, 10_3) 및 제1 전극(11)을 형성하여야 할 영역에 도전 재료층을 남김으로써, 제1 전극(11)의 일부 및 전하 축적용 전극(12_3)을 얻을 수 있다. 뒤이어, 전면에, 전하 축적용 전극(12_2)을 형성하기 위한 도전 재료층을 성막하고, 도전 재료층을 패터닝하여, 광전 변환부 세그먼트(10_1, 10_2) 및 제1 전극(11)을 형성하여야 할 영역에 도전 재료층을 남김으로써, 제1 전극(11)의 일부 및 전하 축적용 전극(12_2)을 얻을 수 있다. 뒤이어, 전면에, 전하 축적용 전극(12_1)을 형성하기 위한 도전 재료층을 성막하고, 도전 재료층을 패터닝하여, 광전 변환부 세그먼트(10_1) 및 제1 전극(11)을 형성하여야 할 영역에 도전 재료층을 남김으로써, 제1 전극(11) 및 전하 축적용 전극(12_1)을 얻을 수 있다. 다음에, 전면에 절연층(82)을 컨포멀하게 성막한다. 그리고, 절연층(82)의 위에 광전 변환층(15)을 형성하고, 광전 변환층(15)에 평탄화처리를 시행한다. 이렇게 하여 광전 변환부 세그먼트(10_1, 10_2, 10_3)를 얻을 수 있다.

[0245] [실시례 3]

[0246] 실시례 3은, 본 개시의 제3의 양태에 관한 촬상 소자에 관한 것이다. 실시례 3의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도를 도 13에 도시한다. 실시례 3의 촬상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 절연층 세그먼트를 구성하는 재료가 다르다. 여기서, 제1번째 광전 변환부 세그먼트(10_1)로부터 제N번째 광전 변환부 세그먼트(10N)에 걸쳐서, 절연층 세그먼트를 구성하는 재료의 비유전율(比誘電率)의 값을, 점차로 작게 하고 있다. 실시례 3의 촬상 소자에서는, N개의 전하 축적용 전극 세그먼트의 전부에 같은 전위를 가하여도 좋고, N개의 전하 축적용 전극 세그먼트의 각각에, 다른 전위를 가하여도 좋다. 후자인 경우, 실시례 4에서 설명한 바와 마찬가지로, 상호 이간되어 배치된 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)를, 패드부(64_1, 64_2, 64_3)를 통하여, 구동 회로를 구성하는 수직 구동 회로(112)에 접속하면 좋다.

[0247] 그리고, 이와 같은 구성을 채용함으로써, 일종의 전하 전송 구배가 형성되어, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제n번째 광전 변환부 세그먼트의 쪽이, 제(n+1)번째 광전 변환부 세그먼트보다도 많은 전하를 축적할 수 있다. 그리고, 전하 전송 기간에서, $V_{22} < V_{21}$라는 상태가 되면, 제1번째 광전 변환부 세그먼트로부터 제1 전극으로의 전하의 흐름, 제(n+1)번째 광전 변환부 세그먼트로부터 제n번째 광전 변환부 세그먼트로의 전하의 흐름을, 확실하게 확보할 수 있다.

[0248] [실시례 4]

[0249] 실시례 4는, 본 개시의 제4의 양태에 관한 촬상 소자에 관한 것이다. 실시례 4의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도를 도 14에 도시한다. 실시례 4의 촬상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 전하 축적용 전극 세그먼트를 구성하는 재료가 다르다. 여기서, 제1번째 광전 변환부 세그먼트(10_1)로부터 제N번째 광전 변환부 세그먼트(10N)에 걸쳐서, 절연층 세그먼트를 구성하는 재료의 일함수의 값을, 점차로 크게 하고 있다. 실시례 4의 촬상 소자에서는, N개의 전하 축적용 전극 세그먼트의 전부에 같은 전위를 가하여도 좋고, N개의 전하 축적용 전극 세그먼트의 각각에, 다른 전위를 가하여도 좋다. 후자인 경우, 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)는, 패드부(64_1, 64_2, 64_3)를 통하여, 구동 회로를 구성하는 수직 구동 회로(112)에 접속되어 있다.

[0250] [실시례 5]

[0251] 실시례 5의 촬상 소자는, 본 개시의 제5의 양태에 관한 촬상 소자에 관한 촬상 소자에 관한 것이다. 실시례 5에서의 전하 축적용 전극 세그먼트의 모식적인 평면도를 도 15A, 도 15B, 도 16A 및 도 16B에 도시한다. 또한, 실시례 5의 촬상 소자, 적층형 촬상 소자의 등가 회로도를 도 17 및 도 18에 도시하고, 실시례 5의 촬상 소자를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 19에 도시하고, 실시례 5의 촬상 소자의 동작시의 각 부위에서의 전위의 상태를 모식적으로 도 20, 도 21에 도시한다. 실시례 5의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도는, 도 14 또는 도 23에 도시하는 바와 마찬가지이

다. 실시례 5의 촬상 소자에서는, 제1번째 광전 변환부 세그먼트(10_1)로부터 제N번째 광전 변환부 세그먼트(10N)에 걸쳐서, 전하 축적용 전극 세그먼트의 면적이, 점차로 작게 되어 있다. 실시례 5의 촬상 소자에서는, N개의 전하 축적용 전극 세그먼트의 전부에 같은 전위를 가하여도 좋고, N개의 전하 축적용 전극 세그먼트의 각각에, 다른 전위를 가하여도 좋다. 후자인 경우, 실시례 4에서 설명한 바와 마찬가지로, 상호 이간되어 배치된 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)를, 패드부(64_1, 64_2, 64_3)를 통하여, 구동 회로를 구성하는 수직 구동 회로(112)에 접속하면 좋다.

[0252] 실시례 5에서, 전하 축적용 전극(12)은, 복수의 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)로 구성되어 있다. 전하 축적용 전극 세그먼트의 수는, 2 이상이면 좋고, 실시례 5에서는 「3」으로 하였다. 그리고, 실시례 5의 촬상 소자, 적층형 촬상 소자에서는, 제1 전극(11)의 전위가 제2 전극(16)의 전위보다도 높기 때문에, 즉, 예를 들면, 제1 전극(11)에 정의 전위가 인가되고, 제2 전극(16)에 부의 전위가 인가되기 때문에, 전하 전송 기간에서, 제1 전극(11)에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트(12_1)에 인가되는 전위는, 제1 전극(11)에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트(12_3)에 인가되는 전위보다도 높다. 이와 같이, 전하 축적용 전극(12)에 전위 구배를 부여함으로써, 전하 축적용 전극(12)과 대향한 광전 변환층(15)의 영역에 머물러 있던 전자는, 제1 전극(11), 나아가서는, 제1 부유 확산층(FD_1)에 한층 확실하게 판독된다. 즉, 광전 변환층(15)에 축적된 전하가 제어부에 판독된다.

[0253] 도 20에 도시하는 예에서는, 전하 전송 기간에서, 전하 축적용 전극 세그먼트(12_3)의 전위<전하 축적용 전극 세그먼트(12_2)의 전위<전하 축적용 전극 세그먼트(12_1)의 전위로 함으로써, 광전 변환층(15)의 영역에 머물러 있던 전자를, 일제히, 제1 부유 확산층(FD_1)에 판독한다. 한편, 도 21에 도시하는 예에서는, 전하 전송 기간에서, 전하 축적용 전극 세그먼트(12_3)의 전위, 전하 축적용 전극 세그먼트(12_2)의 전위, 전하 축적용 전극 세그먼트(12_1)의 전위를 점차로 변화시킴으로써(즉, 계단형상 또는 슬로프형상으로 변화시킴으로써), 전하 축적용 전극 세그먼트(12_3)와 대향하는 광전 변환층(15)의 영역에 머물러 있던 전자를, 전하 축적용 전극 세그먼트(12_2)와 대향하는 광전 변환층(15)의 영역으로 이동시키고, 뒤이어, 전하 축적용 전극 세그먼트(12_2)와 대향하는 광전 변환층(15)의 영역에 머물러 있던 전자를, 전하 축적용 전극 세그먼트(12_1)와 대향하는 광전 변환층(15)의 영역으로 이동시키고, 뒤이어, 전하 축적용 전극 세그먼트(12_1)와 대향하는 광전 변환층(15)의 영역에 머물러 있던 전자를, 제1 부유 확산층(FD_1)에 확실하게 판독한다.

[0254] 실시례 5의 촬상 소자의 변형례를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 22에 도시하는 바와 같이, 리셋·트랜지스터($TR1_{rst}$)의 타방의 소스/드레인 영역(51B)을, 전원(V_{DD})에 접속하는 대신에, 접지하여도 좋다.

[0255] 실시례 5의 촬상 소자에서도, 이와 같은 구성을 채용함으로써, 일종의 전하 전송 구배가 형성된다. 즉, 제1번째 광전 변환부 세그먼트(10_1)로부터 제N번째 광전 변환부 세그먼트(10N)에 걸쳐서, 전하 축적용 전극 세그먼트의 면적이, 점차로 작게 되어 있기 때문에, 전하 축적 기간에서, $V_{12} \geq V_{11}$라는 상태가 되면, 제n번째 광전 변환부 세그먼트의 쪽이, 제(n+1)번째 광전 변환부 세그먼트보다도 많은 전하를 축적할 수 있다. 그리고, 전하 전송 기간에서, $V_{22}<V_{21}$라는 상태가 되면, 제1번째 광전 변환부 세그먼트로부터 제1 전극으로의 전하의 흐름, 제(n+1)번째 광전 변환부 세그먼트로부터 제n번째 광전 변환부 세그먼트로의 전하의 흐름을, 확실하게 확보할 수 있다.

[0256] [실시례 6]

[0257] 실시례 6은, 본 개시의 제6의 양태에 관한 촬상 소자에 관한 것이다. 실시례 6의 촬상 소자, 적층형 촬상 소자의 모식적인 일부 단면도를, 도 23에 도시한다. 또한, 실시례 6에서의 전하 축적용 전극 세그먼트의 모식적인 평면도를 도 24A 및 도 24B에 도시한다. 실시례 6의 촬상 소자는, 제1 전극(11), 광전 변환층(15) 및 제2 전극(16)이 적층되어 이루어지는 광전 변환부를 구비하고 있고, 광전 변환부는, 또한, 제1 전극(11)과 이간하여 배치되고, 또한, 절연층(82)을 통하여 광전 변환층(15)과 대향하여 배치된 전하 축적용 전극(12)을 구비하고 있다. 그리고, 전하 축적용 전극(12)과 절연층(82)과 광전 변환층(15)의 적층 방향을 Z방향, 제1 전극(11)으로부터 떨어지는 방향을 X방향으로 하였을 때, YZ 가상평면으로 전하 축적용 전극(12)과 절연층(82)과 광전 변환층(15)이 적층된 적층 부분을 절단한 때의 적층 부분의 단면적은, 제1 전극(11)으로부터의 거리에 의존하여 변

화한다.

[0258] 구체적으로는, 실시례 6의 촬상 소자에서는, 적층 부분의 단면의 두께는 일정하고, 적층 부분의 단면의 폭은, 제1 전극(11)으로부터 떨어질수록 좁게 되어 있다. 또한, 폭은, 연속적으로 좁게 되어 있어도 좋고(도 24A 참조), 계단형상으로 좁게 되어 있어도 좋다(도 24B 참조).

[0259] 이와 같이, 실시례 5의 촬상 소자에서는, YZ 가상평면으로 전하 축적용 전극(12)과 절연층(82)과 광전 변환층(15)이 적층된 적층 부분을 절단한 때의 적층 부분의 단면적은, 제1 전극부터의 거리에 의존하여 변화하기 때문에, 일종의 전하 전송 구배가 형성되어, 광전 변환에 의해 생성한 전하를, 한층 용이하게, 또한, 확실하게 전송하는 것이 가능해진다.

[0260] [실시례 7]

[0261] 실시례 7은, 본 개시의 제1의 양태 및 제2의 양태에 관한 고체 촬상 장치에 관한 것이다.

[0262] 실시례 7의 고체 촬상 장치는,

[0263] 제1 전극(11'), 광전 변환층(15) 및 제2 전극(16)이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0264] 광전 변환부는, 또한, 제1 전극(11')과 이간하여 배치되고, 또한, 절연층(82)을 통하여 광전 변환층(15)과 대향하여 배치된 전하 축적용 전극(12')을 구비한 촬상 소자를, 복수, 갖고 있고,

[0265] 복수의 촬상 소자로 촬상 소자 블록이 구성되어 있고,

[0266] 촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극(11')이 공유되어 있다.

[0267] 또는 또한, 실시례 7의 고체 촬상 장치는, 실시례 1~실시례 6에서 설명한 촬상 소자를, 복수, 구비하고 있다.

[0268] 실시례 7에서는, 복수의 촬상 소자에 대해 하나의 부유 확산층이 마련된다. 그리고, 전하 전송 기간의 타이밍을 적절하게 제어함으로써, 복수의 촬상 소자가 하나의 부유 확산층을 공유하는 것이 가능해진다. 그리고, 이 경우, 복수의 촬상 소자가 하나의 콘택트홀부를 공유하는 것이 가능하다.

[0269] 또한, 촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극(11')이 공유되어 있는 점을 제외하고, 실시례 7의 고체 촬상 장치는, 실질적으로, 실시례 1~실시례 6에서 설명한 고체 촬상 장치와 같은 구성, 구조를 갖는다.

[0270] 실시례 7의 고체 촬상 장치에서의 제1 전극(11') 및 전하 축적용 전극(12')의 배치 상태를, 모식적으로 도 25(실시례 7), 도 26(실시례 7의 제1 변형례), 도 27(실시례 7의 제2 변형례), 도 28(실시례 7의 제3 변형례) 및 도 29(실시례 7의 제4 변형례)에 도시한다. 도 25, 도 26, 도 29 및 도 30에는, 16개의 촬상 소자를 도시하고 있고, 도 27 및 도 28에는, 12개의 촬상 소자를 도시하고 있다. 그리고, 2개의 촬상 소자로 촬상 소자 블록이 구성되어 있다. 촬상 소자 블록을 점선으로 둘러싸서 도시하고 있다. 제1 전극(11'), 전하 축적용 전극(12')에 붙인 첨자는, 제1 전극(11'), 전하 축적용 전극(12')을 구별하기 위한 것이다. 이하의 설명에서도 마찬가지이다. 또한, 하나의 촬상 소자의 상방에 하나의 온·칩·마이크로·렌즈(도 25~도 34에는 도시 생략)가 배설되어 있다. 그리고, 하나의 촬상 소자 블록에서는, 제1 전극(11')을 끼우고, 2개의 전하 축적용 전극(12')이 배치되어 있다(도 25, 도 26 참조). 또는 또한, 병설된 2개의 전하 축적용 전극(12')에 대향하여 하나의 제1 전극(11')이 배치되어 있다(도 29, 도 30 참조). 즉, 제1 전극은, 각 촬상 소자의 전하 축적용 전극에 인접해서 배치되어 있다. 또는 또한, 제1 전극이, 복수의 촬상 소자의 일부의 전하 축적용 전극에 인접해서 배치되어 있고, 복수의 촬상 소자의 나머지 전하 축적용 전극과는 인접해서 배치되어 있지 않고(도 27, 도 28 참조), 이 경우에는, 복수의 촬상 소자의 나머지로부터 제1 전극으로의 전하의 이동은, 복수의 촬상 소자의 일부를 경유한 이동이 된다. 촬상 소자를 구성하는 전하 축적용 전극과 촬상 소자를 구성하는 전하 축적용 전극 사이의 거리(A)는, 제1 전극에 인접한 촬상 소자에서의 제1 전극과 전하 축적용 전극 사이의 거리(B)보다도 긴 것이, 각 촬상 소자로부터 제1 전극으로의 전하의 이동을 확실한 것으로 하기 위해 바람직하다. 또한, 제1 전극으로부터 떨어져서 위치하는 촬상 소자일수록, 거리(A)의 값을 크게 하는 것이 바람직하다. 또한, 도 26, 도 28 및 도 30에 도시하는 예에서는, 촬상 소자 블록을 구성하는 복수의 촬상 소자의 사이에는 전송 제어용 전극(13')이 배설되어 있다. 전송 제어용 전극(13')을 배설함으로써, 전송 제어용 전극(13')을 끼우고서의 촬상 소자 블록에서의 전하의 이동을 확실하게 억제할 수 있다. 또한, 전송 제어용 전극(13')에 인가되는 전위를 V_{13}로 하였을 때, $V_{12}>V_{13}$(예를 들면, $V_{12}-2>V_{13}$)으로 하면 좋다.

[0271] 전송 제어용 전극(13')은, 제1 전극측에, 제1 전극(11') 또는 전하 축적용 전극(12')과 같은 레벨로 형성되어 있어도 좋고, 다른 레벨(구체적으로는, 제1 전극(11') 또는 전하 축적용 전극(12')보다도 하방의 레벨)로 형성되어 있어도 좋다. 전자인 경우, 전송 제어용 전극(13')과 광전 변환층 사이의 거리를 단축할 수 있기 때문에, 포텐셜을 제어하기 쉽다. 한편, 후자인 경우, 전송 제어용 전극(13')과 전하 축적용 전극(12') 사이의 거리를 단축할 수 있기 때문에, 미세화에 유리하다.

[0272] 이하, 제1 전극($11'_2$) 및 2개의 2개의 전하 축적용 전극($12'_{21}$, $12'_{22}$)에 의해 구성된 촬상 소자 블록의 동작을 설명한다.

[0273] 전하 축적 기간에서는, 구동 회로로부터, 제1 전극($11'_2$)에 전위(V_a)가 인가되고, 전하 축적용 전극($12'_{21}$, $12'_{22}$)에 전위(V_A)가 인가된다. 광전 변환층(15)에 입사된 광에 의해 광전 변환층(15)에서 광전 변환이 생긴다. 광전 변환에 의해 생성한 정공은, 제2 전극(16)으로부터 배선(V_{OU})을 통하여 구동 회로로 송출된다. 한편, 제1 전극($11'_2$)의 전위를 제2 전극(16)의 전위보다도 높게 하였기 때문에, 즉, 예를 들면, 제1 전극($11'_2$)에 정의 전위가 인가되고, 제2 전극(16)에 부의 전위가 인가된다고 하였기 때문에, $V_A \geq V_a$, 바람직하게는, $V_A > V_{a로}$ 한다. 이에 의해, 광전 변환에 의해 생성한 전자는, 전하 축적용 전극($12'_{21}$, $12'_{22}$)에 끌어당겨지고, 전하 축적용 전극($12'_{21}$, $12'_{22}$)과 대향한 광전 변환층(15)의 영역에 머무른다. 즉, 광전 변환층(15)에 전하가 축적된다. $V_A \geq V_a$이기 때문에, 광전 변환층(15)의 내부에 생성한 전자가, 제1 전극($11'_2$)을 향하여 이동하는 일은 없다. 광전 변환의 시간 경과에 수반하여, 전하 축적용 전극($12'_{21}$, $12'_{22}$)과 대향한 광전 변환층(15)의 영역에서의 전위는, 보다 부측의 값이 된다.

[0274] 전하 축적 기간의 후기에서, 리셋 동작이 이루어진다. 이에 의해, 제1 부유 확산층의 전위가 리셋되고, 제1 부유 확산층의 전위는 전원의 전위(V_{DD})가 된다.

[0275] 리셋 동작의 완료 후, 전하의 판독을 행한다. 즉, 전하 전송 기간에서, 구동 회로로부터, 제1 전극($11'_2$)에 전위(V_b)가 인가되고, 전하 축적용 전극($12'_{21}$)에 전위(V_{21-B})가 인가되고, 전하 축적용 전극($12'_{22}$)에 전위(V_{22-B})가 인가된다. 여기서, $V_{21-B} < V_b < V_{22-B}$로 한다. 이에 의해, 전하 축적용 전극($12'_{21}$)과 대향한 광전 변환층(15)의 영역에 머물러 있던 전자는, 제1 전극($11'_2$), 나아가서는, 제1 부유 확산층에 판독된다.

[0276] 즉, 전하 축적용 전극($12'_{21}$)에 대향한 광전 변환층(15)의 영역에 축적된 전하가 제어부에 판독된다. 판독이 완료되었으면, $V_{22-B} \leq V_{21-B} < V_b$로 한다. 또한, 도 29, 도 30에 도시한 예에서는, $V_{22-B} < V_b < V_{21-B}$로 하여도 좋다. 이에 의해, 전하 축적용 전극($12'_{22}$)과 대향한 광전 변환층(15)의 영역에 머물러 있던 전자는, 제1 전극($11'_2$), 나아가서는, 제1 부유 확산층에 판독된다. 또한, 도 27, 도 28에 도시한 예에서는, 전하 축적용 전극($12'_{22}$)과 대향한 광전 변환층(15)의 영역에 머물러 있던 전자를, 전하 축적용 전극($12'_{22}$)이 인접하여 있는 제1 전극(11'3)을 경유하여, 제1 부유 확산층에 판독하여도 좋다. 이와 같이, 전하 축적용 전극($12'_{22}$)에 대향한 광전 변환층(15)의 영역에 축적된 전하가 제어부에 판독된다. 또한, 전하 축적용 전극($12'_{21}$)에 대향한 광전 변환층(15)의 영역에 축적된 전하의 제어부에의 판독이 완료되었으면, 제1 부유 확산층의 전위를 리셋하여도 좋다.

[0277] 도 35A에, 실시례 7의 촬상 소자 블록에서의 판독 구동례를 도시하는데,

[0278] [스텝-A]

[0279] 콤퍼레이터에의 오토 제로 신호 입력

[0280] [스텝-B]

[0281] 공유된 하나의 부유 확산층의 리셋 동작

[0282] [스텝-C]

[0283] 전하 축적용 전극($12'_{21}$)에 대응한 촬상 소자에서의 P상 판독 및 제1 전극($11'_2$)에의 전하의 이동

[0284] [스텝-D]

[0285] 전하 축적용 전극(12'$_{21}$)에 대응한 촬상 소자에서의 D상 판독 및 제1 전극(11'$_{2}$)에의 전하의 이동

[0286] [스텝-E]

[0287] 공유된 하나의 부유 확산층의 리셋 동작

[0288] [스텝-F]

[0289] 콤퍼레이터에의 오토 제로 신호 입력

[0290] [스텝-G]

[0291] 전하 축적용 전극(12'$_{22}$)에 대응한 촬상 소자에서의 P상 판독 및 제1 전극(11'$_{2}$)에의 전하의 이동

[0292] [스텝-H]

[0293] 전하 축적용 전극(12'$_{22}$)에 대응한 촬상 소자에서의 D상 판독 및 제1 전극(11'$_{2}$)에의 전하의 이동이라는 흐름으로, 전하 축적용 전극(12'$_{21}$) 및 전하 축적용 전극(12'$_{22}$)에 대응한 2개의 촬상 소자로부터의 신호를 판독한다. 상관 2중 샘플링(CDS) 처리에 의거하여, [스텝-C]에서의 P상 판독과 [스텝-D]에서의 D상 판독과의 차분이, 전하 축적용 전극(12'$_{21}$)에 대응한 촬상 소자로부터의 신호이고, [스텝-G]에서의 P상 판독과 [스텝-H]에서의 D상 판독과의 차분이, 전하 축적용 전극(12'$_{22}$)에 대응한 촬상 소자로부터의 신호이다.

[0294] 또한, [스텝-E]의 동작을 생략하여도 좋다(도 35B 참조). 또한, [스텝-F]의 동작을 생략하여도 좋고, 이 경우, 나아가서는, [스텝-G]를 생략할 수 있고(도 35C 참조), [스텝-C]에서의 P상 판독과 [스텝-D]에서의 D상 판독과의 차분이, 전하 축적용 전극(12'$_{21}$)에 대응한 촬상 소자로부터의 신호이고, [스텝-D]에서의 D상 판독과 [스텝-H]에서의 D상 판독과의 차분이, 전하 축적용 전극(12'$_{22}$)에 대응한 촬상 소자로부터의 신호가 된다.

[0295] 제1 전극(11') 및 전하 축적용 전극(12')의 배치 상태를 모식적으로 도 31(실시례 7의 제6 변형례) 및 도 32(실시례 7의 제7 변형례)에 도시하는 변형례에서는, 4개의 촬상 소자로 촬상 소자 블록이 구성되어 있다. 이들의 고체 촬상 장치의 동작은, 실질적으로, 도 25~도 30에 도시하는 고체 촬상 장치의 동작과 마찬가지로 할 수 있다.

[0296] 제1 전극(11') 및 전하 축적용 전극(12')의 배치 상태를 모식적으로 도 33 및 도 34에 도시하는 변형례 8 및 변형례 9에서는, 16개의 촬상 소자로 촬상 소자 블록이 구성되어 있다. 도 33 및 도 34에 도시하는 바와 같이, 전하 축적용 전극(12'$_{11}$)과 전하 축적용 전극(12'$_{12}$) 사이, 전하 축적용 전극(12'$_{12}$)과 전하 축적용 전극(12'$_{13}$) 사이, 전하 축적용 전극(12'$_{13}$)과 전하 축적용 전극(12'$_{14}$) 사이에는, 전송 제어용 전극(13'A_1, 13'A_2, 13'A_3)이 배설되어 있다. 또한, 도 34에 도시하는 바와 같이, 전하 축적용 전극(12'$_{21}$, 12'$_{31}$, 13'$_{41}$)과 전하 축적용 전극(12'$_{22}$, 12'$_{32}$, 13'$_{42}$) 사이, 전하 축적용 전극(12'$_{22}$, 12'$_{32}$, 13'$_{42}$)과 전하 축적용 전극(12'$_{23}$, 12'$_{33}$, 13'$_{43}$) 사이, 전하 축적용 전극(12'$_{23}$, 12'$_{33}$, 13'$_{43}$)과 전하 축적용 전극(12'$_{24}$, 12'$_{34}$, 13'$_{44}$) 사이에는, 전송 제어용 전극(13'B_1, 13'B_2, 13'B_3)이 배설되어 있다. 나아가서는, 촬상 소자 블록과 촬상 소자 블록 사이에는, 전송 제어용 전극(13'C)이 배설되어 있다. 그리고, 이들의 고체 촬상 장치에서는, 16개의 전하 축적용 전극(12')을 제어함으로써, 광전 변환층(15)에 축적된 전하를 제1 전극(11')으로부터 판독할 수 있다.

[0297] [스텝-10]

[0298] 구체적으로는, 우선, 전하 축적용 전극(12'$_{11}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 제1 전극(11')으로부터 판독한다. 다음에, 전하 축적용 전극(12'$_{12}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를, 전하 축적용 전극(12'$_{11}$)에 대향하는 광전 변환층(15)의 영역을 경유하여, 제1 전극(11')으로부터 판독한다. 다음에, 전하 축적용 전극(12'$_{13}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를, 전하 축적용 전극(12'$_{12}$) 및 전하 축적용 전극(12'$_{11}$)에 대향하는 광전 변환층(15)의 영역을 경유하여, 제1 전극(11')으로부터 판독한다.

[0299] [스텝-20]

[0300] 그 후, 전하 축적용 전극(12'$_{21}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{11}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{22}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{12}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{23}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{13}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{24}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{14}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다.

[0301] [스텝-21]

[0302] 전하 축적용 전극(12'$_{31}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{21}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{32}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{22}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{33}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{23}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{34}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{24}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다.

[0303] [스텝-22]

[0304] 전하 축적용 전극(12'$_{41}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{31}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{42}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{32}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{43}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{33}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{44}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{34}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다.

[0305] [스텝-30]

[0306] 그리고, [스텝-10]를 재차 실행함으로써, 전하 축적용 전극(12'$_{21}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 전하 축적용 전극(12'$_{22}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 전하 축적용 전극(12'$_{23}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 및, 전하 축적용 전극(12'$_{24}$)에 대향한 광전 변환층(15)의 영역에 축적된 전하를, 제1 전극(11')을 경유하여 판독할 수 있다.

[0307] [스텝-40]

[0308] 그 후, 전하 축적용 전극(12'$_{21}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{11}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{22}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{12}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{23}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{13}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{24}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{14}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다.

[0309] [스텝-41]

[0310] 전하 축적용 전극(12'$_{31}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{21}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{32}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{22}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{33}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{23}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{34}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전

하 축적용 전극(12'$_{24}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다.

[0311] [스텝-50]

[0312] 그리고, [스텝-10]를 재차 실행함으로써, 전하 축적용 전극(12'$_{31}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 전하 축적용 전극(12'$_{32}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 전하 축적용 전극(12'$_{33}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 및, 전하 축적용 전극(12'$_{34}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를, 제1 전극(11')을 경유하여 판독할 수 있다.

[0313] [스텝-60]

[0314] 그 후, 전하 축적용 전극(12'$_{21}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{11}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{22}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{12}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{23}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{13}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다. 전하 축적용 전극(12'$_{24}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하를 전하 축적용 전극(12'$_{14}$)에 대향하는 광전 변환층(15)의 영역으로 이동시킨다.

[0315] [스텝-70]

[0316] 그리고, [스텝-10]를 재차 실행함으로써, 전하 축적용 전극(12'$_{41}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 전하 축적용 전극(12'$_{42}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 전하 축적용 전극(12'$_{43}$)에 대향하는 광전 변환층(15)의 영역에 축적된 전하, 및, 전하 축적용 전극(12'$_{44}$))에 대향하는 광전 변환층(15)의 영역에 축적된 전하를, 제1 전극(11')을 경유하여 판독할 수 있다.

[0317] 실시례 7의 고체 촬상 장치에서는, 촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극이 공유되어 있기 때문에, 촬상 소자가 복수 배열된 화소 영역에서의 구성, 구조를 간소화, 미세화할 수 있다. 또한, 하나의 부유 확산층에 대해 마련된 복수의 촬상 소자는, 제1 타입의 촬상 소자의 복수로 구성되어 있어도 좋고, 적어도 하나의 제1 타입의 촬상 소자와, 1 또는 2 이상의 제2 타입의 촬상 소자로 구성되어 있어도 좋다.

[0318] [실시례 8]

[0319] 실시례 8은, 실시례 7의 변형이다. 제1 전극(11') 및 전하 축적용 전극(12')의 배치 상태를 모식적으로 도 36, 도 37, 도 38 및 도 39에 도시하는 실시례 8의 고체 촬상 장치에서는, 2개의 촬상 소자로 촬상 소자 블록이 구성되어 있다. 그리고, 촬상 소자 블록의 상방에 하나의 온 · 칩 · 마이크로 · 렌즈(90)가 마련되어 있다. 또한, 도 37 및 도 39에 도시한 예에서는, 촬상 소자 블록을 구성하는 복수의 촬상 소자의 사이에 전송 제어용 전극(13')이 마련되어 있다.

[0320] 예를 들면, 촬상 소자 블록을 구성하는 전하 축적용 전극(12'$_{11}$, 12'$_{21}$, 12'$_{31}$, 12'$_{41}$)에 대응하는 광전 변환층은, 도면, 우경사(右斜め) 위로부터의 입사광에 대해 높은 감도를 갖는다. 또한, 촬상 소자 블록을 구성하는 전하 축적용 전극(12'$_{12}$, 12'$_{22}$, 12'$_{32}$, 12'$_{42}$)에 대응하는 광전 변환층은, 도면, 좌경사 위로부터의 입사광에 대해 높은 감도를 갖다. 따라서, 예를 들면, 전하 축적용 전극(12'$_{11}$)을 갖는 촬상 소자와 전하 축적용 전극(12'$_{12}$)을 갖는 촬상 소와 조합시킴으로써, 상면 위상차 신호의 취득이 가능해진다. 또한, 전하 축적용 전극(12'$_{11}$)을 갖는 촬상 소자로부터의 신호와 전하 축적용 전극(12'$_{12}$)을 갖는 촬상 소자로부터의 신호를 가산하면, 이들의 촬상 소자와의 조합에 의해, 하나의 촬상 소자를 구성할 수 있다. 도 36에 도시한 예에서는, 전하 축적용 전극(12'$_{11}$)과 전하 축적용 전극(12'$_{12}$) 사이에 제1 전극(11'1)을 배치하고 있지만, 도 38에 도시한 예와 같이, 병치된 2개의 전하 축적용 전극(12'$_{11}$, 12'$_{12}$)에 대향하여 하나의 제1 전극(11'1)을 배치함으로써, 감도의 더한층의 향상을 도모할 수 있다.

[0321] [실시례 9]

[0322] 실시례 9는, 실시례 1~실시례 6의 변형이다. 도 40에 모식적인 일부 단면도를 도시하는 실시례 9의 촬상 소자,

적층형 촬상 소자는, 표면 조사형의 촬상 소자, 적층형 촬상 소자로서, 녹색의 광을 흡수하는 제1 타입의 녹색 광전 변환층을 구비한 녹색에 감도를 갖는 제1 타입의 실시례 1~실시례 6의 녹색용 촬상 소자(제1 촬상 소자), 청색의 광을 흡수하는 제2 타입의 청색 광전 변환층을 구비한 청색에 감도를 갖는 제2 타입의 종래의 청색용 촬상 소자(제2 촬상 소자), 적색의 광을 흡수하는 제2 타입의 적색 광전 변환층을 구비한 적색에 감도를 갖는 제2 타입의 종래의 적색용 촬상 소자(제3 촬상 소자)의 3개의 촬상 소자가 적층된 구조를 갖는다. 여기서 적색용 촬상 소자(제3 촬상 소자) 및 청색용 촬상 소자(제2 촬상 소자)는, 반도체 기판(70) 내에 마련되어 있고, 제2 촬상 소자의 쪽이, 제3 촬상 소자보다도 광입사측에 위치한다. 또한, 녹색용 촬상 소자(제1 촬상 소자)는, 청색용 촬상 소자(제2 촬상 소자)의 상방에 마련되어 있다.

[0323] 또한, 도 40, 도 41, 도 42, 도 43, 도 44, 도 45, 도 48, 도 49, 도 51, 도 52, 도 53, 도 54, 도 55, 도 56에서는, 도면을 간소화하기 위해, 광전 변환부 세그먼트의 도시를 생략하고, 전하 축적용 전극(12), 절연층(82), 광전 변환층(15)으로서 도시하였다.

[0324] 반도체 기판(70)의 표면(70A)측에는, 실시례 1과 마찬가지로 제어부를 구성하는 각종 트랜지스터가 마련되어 있다. 이들의 트랜지스터는, 실질적으로 실시례 1에서 설명한 트랜지스터와 같은 구성, 구조로 할 수 있다. 또한, 반도체 기판(70)에는, 제2 촬상 소자, 제3 촬상 소자가 마련되어 있는데, 이들의 촬상 소자도, 실질적으로 실시례 1에서 설명한 제2 촬상 소자, 제3 촬상 소자와 같은 구성, 구조로 할 수 있다.

[0325] 반도체 기판(70)의 표면(70A)의 위에는, 층간 절연층(77, 78)이 형성되어 있고, 층간 절연층(78)의 위에, 실시례 1~실시례 6의 촬상 소자를 구성하는 광전 변환부(제1 전극(11), 광전 변환층(15) 및 제2 전극(16)), 및, 전하 축적용 전극(12)등이 마련되어 있다.

[0326] 이와 같이, 표면 조사형인 점을 제외하고, 실시례 9의 촬상 소자, 적층형 촬상 소자의 구성, 구조는, 실시례 1~실시례 6의 촬상 소자, 적층형 촬상 소자의 구성, 구조와 마찬가지로 할 수 있기 때문에, 상세한 설명은 생략한다.

[0327] [실시례 10]

[0328] 실시례 10은, 실시례 1~실시례 9의 변형이다.

[0329] 도 41에 모식적인 일부 단면도를 도시하는 실시례 10의 촬상 소자, 적층형 촬상 소자는, 이면 조사형의 촬상 소자, 적층형 촬상 소자로서, 제1 타입의 실시례 1~실시례 6의 제1 촬상 소자, 및, 제2 타입의 제2 촬상 소자의 2개의 촬상 소자가 적층된 구조를 갖는다. 또한, 도 42에 모식적인 일부 단면도를 도시하는 실시례 10의 촬상 소자, 적층형 촬상 소자의 변형례는, 표면 조사형의 촬상 소자, 적층형 촬상 소자로서, 제1 타입의 실시례 1~실시례 6의 제1 촬상 소자, 및, 제2 타입의 제2 촬상 소자의 2개의 촬상 소자가 적층된 구조를 갖는다. 여기서, 제1 촬상 소자는 원색의 광을 흡수하고, 제2 촬상 소자는 보색의 광을 흡수한다. 또는 또한, 제1 촬상 소자는 백색의 광을 흡수하고, 제2 촬상 소자는 적외선을 흡수한다.

[0330] 도 43에 모식적인 일부 단면도를 도시하는 실시례 10의 촬상 소자의 변형례는, 이면 조사형의 촬상 소자로서, 제1 타입의 실시례 1~실시례 6의 제1 촬상 소자로 구성되어 있다. 또한, 도 44에 모식적인 일부 단면도를 도시하는 실시례 10의 촬상 소자의 변형례는, 표면 조사형의 촬상 소자로서, 제1 타입의 실시례 1~실시례 6의 제1 촬상 소자로 구성되어 있다. 여기서, 제1 촬상 소자는, 적색의 광을 흡수하는 촬상 소자, 녹색의 광을 흡수하는 촬상 소자, 청색의 광을 흡수하는 촬상 소자의 3종류의 촬상 소자로 구성되어 있다. 나아가서는, 이들의 촬상 소자의 복수로, 본 개시의 제3의 양태에 관한 고체 촬상 장치가 구성된다. 복수의 이들의 촬상 소자의 배치로서, 베이어 배열을 들 수 있다. 각 촬상 소자의 광입사측에는, 필요에 응하여, 청색, 녹색, 적색의 분광을 행하기 위한 컬러 필터가 마련되어 있다.

[0331] 또한, 제1 타입의 실시례 1~실시례 6의 촬상 소자를 하나, 마련하는 대신에, 2개, 적층하는 형태(즉, 광전 변환부를 2개, 적층하고, 반도체 기판에 2개의 촬상 소자의 제어부를 마련하는 형태), 또는 또한, 3개, 적층하는 형태(즉, 광전 변환부를 3개, 적층하고, 반도체 기판에 3개의 촬상 소자의 제어부를 마련하는 형태)로 할 수도 있다. 제1 타입의 촬상 소자와 제2 타입의 촬상 소자의 적층 구조례를, 이하의 표에 예시한다.

[0332] [표 1]

	제1타입	제2타입	참조도면
이면조사형 및 표면조사형	1 녹색	2 청색 + 적색	도 1 도 11
	1 원색	1 보색	도 12 도 13
	1 백색	1 적외선	
	1 청색또는녹색또는적색	0	도 14 도 15A 도 15B
	2 녹색 + 적외광	2 청색 + 적색	
	2 녹색 + 청색	1 적색	
	2 백색 + 적외광	0	
	3 녹색 + 청색 + 적색	2 청록색(에메랄드색) + 적외광	
	3 녹색 + 청색 + 적색	1 적외광	
	3 청색 + 녹색 + 적색	0	

[0333]

[0334] [실시예 11]

[0335] 실시예 11은, 실시예 1~실시예 10의 변형이고, 전하 배출 전극을 구비한 본 개시의 촬상 소자 등에 관한 것이다. 실시예 11의 촬상 소자, 적층형 촬상 소자의 일부분의 모식적인 일부 단면도를 도 45에 도시하고, 실시예 11의 촬상 소자를 구성하는 제1 전극, 전하 축적용 전극 및 전하 배출 전극의 모식적인 배치도를 도 46에 도시하고, 실시예 11의 촬상 소자를 구성하는 제1 전극, 전하 축적용 전극, 전하 배출 전극, 제2 전극 및 콘택트홀부의 모식적인 투시 사시도를 도 47에 도시한다.

[0336] 실시예 11의 촬상 소자, 적층형 촬상 소자에서는, 접속부(69)를 통하여 광전 변환층(15)에 접속되고, 제1 전극(11) 및 전하 축적용 전극(12)과 이간하여 배치된 전하 배출 전극(14)을 또한 구비하고 있다. 여기서, 전하 배출 전극(14)은, 제1 전극(11) 및 전하 축적용 전극(12)을 둘러싸도록(즉, 액자형상으로) 배치되어 있다. 전하 배출 전극(14)은, 구동 회로를 구성하는 화소 구동 회로에 접속되어 있다. 접속부(69) 내에는, 광전 변환층(15)이 연재되어 있다. 즉, 광전 변환층(15)은, 절연층(82)에 마련된 제2 개구부(85) 내를 연재되고, 전하 배출 전극(14)과 접속되어 있다. 전하 배출 전극(14)은, 복수의 촬상 소자에서 공유화(공통화)되어 있다.

[0337] 실시예 11에서는, 전하 축적 기간에서, 구동 회로로부터, 제1 전극(11)에 전위(V_{11})가 인가되고, 전하 축적용 전극(12)에 전위(V_{12})가 인가되고, 전하 배출 전극(14)에 전위(V_{14})가 인가되고, 광전 변환층(15)에 전하가 축적된다. 광전 변환층(15)에 입사된 광에 의해 광전 변환층(15)에서 광전 변환이 생긴다. 광전 변환에 의해 생성한 정공은, 제2 전극(16)으로부터 배선(V_{OU})을 통하여 구동 회로로 송출된다. 한편, 제1 전극(11)의 전위를 제2 전극(16)의 전위보다도 높게 하였기 때문에, 즉, 예를 들면, 제1 전극(11)에 정의 전위가 인가되고, 제2 전극(16)에 부의 전위가 인가된다고 하였기 때문에, $V_{14}>V_{11}$(예를 들면, $V_{12}>V_{14}>V_{11}$)로 한다. 이에 의해, 광전 변환에 의해 생성한 전자는, 전하 축적용 전극(12)으로 끌어당겨지고, 전하 축적용 전극(12)과 대향한 광전 변환층(15)의 영역에 머물러, 제1 전극(11)을 향하여 이동하는 것을 확실하게 방지할 수 있다. 단, 전하 축적용 전극(12)에 의한 끌어당김이 충분하지 않고, 또는 또한, 광전 변환층(15)에 완전히 축적되지 않은 전자(이른바 오버플로한 전자)는, 전하 배출 전극(14)을 경유하여, 구동 회로에 송출된다.

[0338] 전하 축적 기간의 후기에서, 리셋 동작이 이루어진다. 이에 의해, 제1 부유 확산층(FD_1)의 전위가 리셋되고, 제1 부유 확산층(FD_1)의 전위는 전원의 전위(V_{DD})가 된다.

[0339] 리셋 동작의 완료 후, 전하의 판독을 행한다. 즉, 전하 전송 기간에서, 구동 회로로부터, 제1 전극(11)에 전위(V_{21})가 인가되고, 전하 축적용 전극(12)에 전위(V_{22})가 인가되고, 전하 배출 전극(14)에 전위(V_{24})가 인가된다.

여기서, $V_{24}<V_{21}$(예를 들면, $V_{24}<V_{22}<V_{21}$)로 한다. 이에 의해, 전하 축적용 전극(12)과 대향한 광전 변환층(15)의 영역에 머물러 있던 전자는, 제1 전극(11), 나아가서는, 제1 부유 확산층(FD_1)에 확실하게 판독된다. 즉, 광전 변환층(15)에 축적된 전하가 제어부에 판독된다.

[0340] 이상으로, 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작이 완료된다.

[0341] 제1 부유 확산층(FD_1)에 전자가 판독된 후의 증폭 트랜지스터($TR1_{amp}$), 선택 트랜지스터($TR1_{sel}$)의 동작은, 종래의 이들의 트랜지스터의 동작과 같다. 또한, 예를 들면, 제2 촬상 소자, 제3 촬상 소자의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작은, 종래의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작과 마찬가지이다.

[0342] 실시례 11에서는, 이른바 오버플로한 전자는 전하 배출 전극(14)을 경유하여 구동 회로에 송출되기 때문에, 인접 화소의 전하 축적부에의 누입을 억제할 수 있고, 블루밍의 발생을 억제할 수 있다. 그리고, 이에 의해, 촬상 소자의 촬상 성능을 향상시킬 수 있다.

[0343] 이상, 본 개시를 바람직한 실시례에 의거하여 설명하였지만, 본 개시는 이들의 실시례로 한정되는 것이 아니다. 실시례에 설명한 촬상 소자, 적층형 촬상 소자, 고체 촬상 장치의 구조나 구성, 제조 조건, 제조 방법, 사용한 재료는 예시이고, 적절히 변경할 수 있다. 실시례 1의 촬상 소자와 실시례 2의 촬상 소자와 실시례 3의 촬상 소자와 실시례 4의 촬상 소자와 실시례 5의 촬상 소자를 임의로 조합시킬 수 있고, 실시례 1의 촬상 소자와 실시례 2의 촬상 소자와 실시례 3의 촬상 소자와 실시례 4의 촬상 소자와 실시례 6의 촬상 소자를 임의로 조합시킬 수 있다.

[0344] 경우에 따라서는, 부유 확산층(FD_1, FD_{21}, FD_3, 51C, 45C, 46C)을 공유화할 수도 있다.

[0345] 도 48에, 예를 들면, 실시례 1에서 설명한 촬상 소자, 적층형 촬상 소자의 변형례를 도시하는 바와 같이, 제1 전극(11)은, 절연층(82)에 마련된 개구부(84A) 내를 연재되어, 광전 변환층(15)과 접속되어 있는 구성으로 할 수도 있다.

[0346] 또는 또한, 도 49에, 예를 들면, 실시례 1에서 설명한 촬상 소자, 적층형 촬상 소자의 변형례를 도시하고, 도 50A에 제1 전극의 부분 등이 확대된 모식적인 일부 단면도를 도시하는 바와 같이, 제1 전극(11)의 정상면의 연부는 절연층(82)으로 덮여 있고, 개구부(84B)의 저면에는 제1 전극(11)이 노출하여 있고, 제1 전극(11)의 정상면과 접하는 절연층(82)의 면을 제1면(82a), 전하 축적용 전극(12)과 대향하는 광전 변환층(15)의 부분과 접하는 절연층(82)의 면을 제2면(82b)으로 하였을 때, 개구부(84B)의 측면은, 제1면(82a)부터 제2면(82b)을 향하여 넓어지는 경사를 갖는다. 이와 같이, 개구부(84B)의 측면에 경사를 붙임으로써, 광전 변환층(15)으로부터 제1 전극(11)에의 전하의 이동이 보다 원활하게 된다. 또한, 도 50A에 도시한 예에서는, 개구부(84B)의 축선을 중심으로 하고, 개구부(84B)의 측면은 회전 대칭이지만, 도 50B에 도시하는 바와 같이, 제1면(82a)부터 제2면(82b)을 향하여 넓어지는 경사를 갖는 개구부(84C)의 측면이 전하 축적용 전극(12)측에 위치하도록, 개구부(84C)를 마련하여도 좋다. 이에 의해, 개구부(84C)를 끼우고 전하 축적용 전극(12)과는 반대측의 광전 변환층(15)의 부분부터의 전하의 이동이 행하여지기 어렵게 된다. 또한, 개구부(84B)의 측면은, 제1면(82a)부터 제2면(82b)을 향하여 넓어지는 경사를 갖지만, 제2면(82b)에서의 개구부(84B)의 측면의 연부는, 도 50A에 도시한 바와 같이, 제1 전극(11)의 연부보다도 외측에 위치하여도 좋고, 도 50C에 도시하는 바와 같이, 제1 전극(11)의 연부보다도 내측에 위치하여도 좋다. 전자의 구성을 채용함으로써, 전하의 전송이 한층 용이해지고, 후자의 구성을 채용함으로써, 개구부의 형성시의 형상 편차를 작게 할 수 있다.

[0347] 이들의 개구부(84B, 84C)는, 절연층에 개구부를 에칭법에 의거하여 형성할 때에 형성하는 레지스트 재료로 이루어지는 에칭용 마스크를 리플로우함으로써, 에칭용 마스크의 개구 측면에 경사를 붙이고, 이 에칭용 마스크를 이용하여 절연층(82)을 에칭함으로써, 형성할 수 있다.

[0348] 또는 또한, 실시례 11에서 설명한 전하 배출 전극(14)에 관해, 도 51에 도시하는 바와 같이, 광전 변환층(15)은, 절연층(82)에 마련된 제2 개구부(85A) 내를 연재되고, 전하 배출 전극(14)과 접속되어 있고, 전하 배출 전극(14)의 정상면의 연부는 절연층(82)으로 덮여 있고, 제2 개구부(85A)의 저면에는 전하 배출 전극(14)이 노출하여 있고, 전하 배출 전극(14)의 정상면과 접하는 절연층(82)의 면을 제3면(82c), 전하 축적용 전극(12)과 대향한 광전 변환층(15)의 부분과 접하는 절연층(82)의 면을 제2면(82b)으로 하였을 때, 제2 개구부(85A)의 측면은, 제3면(82c)부터 제2면(82b)을 향하여 넓어지는 경사를 갖는 형태로 할 수 있다.

[0349] 또한, 도 52에, 예를 들면, 실시례 1에서 설명한 촬상 소자, 적층형 촬상 소자의 변형례를 도시하는 바와 같이,

제2 전극(16)의 측부터 광이 입사하고, 제2 전극(16)보다의 광입사측에는 차광층(92)이 형성되어 있는 구성으로 할 수도 있다. 또한, 광전 변환층보다도 광입사측에 마련된 각종 배선을 차광층으로서 기능시킬 수도 있다.

[0350] 또한, 도 52에 도시한 예에서는, 차광층(92)은, 제2 전극(16)의 상방에 형성되어 있는데, 즉, 제2 전극(16)보다의 광입사측으로서, 제1 전극(11)의 상방에 차광층(92)이 형성되어 있는데, 도 53에 도시하는 바와 같이, 제2 전극(16)의 광입사측의 면의 위에 마련되어도 좋다. 또한, 경우에 따라서는, 도 54에 도시하는 바와 같이, 제2 전극(16)에 차광층(92)이 형성되어 있어도 좋다.

[0351] 또는 또한, 제2 전극(16)측부터 광이 입사하고, 제1 전극(11)에는 광이 입사하지 않는 구조로 할 수도 있다. 구체적으로는, 도 52에 도시한 바와 같이, 제2 전극(16)보다의 광입사측으로서, 제1 전극(11)의 상방에는 차광층(92)이 형성되어 있다. 또는 또한, 도 55에 도시하는 바와 같이, 전하 축적용 전극(12) 및 제2 전극(16)의 상방에는 온 칩 · 마이크로 · 렌즈(90)가 마련되어 있고, 온 칩 · 마이크로 · 렌즈(90)에 입사하는 광은, 전하 축적용 전극(12)에 집광되고, 제1 전극(11)에는 도달하지 않는 구조로 할 수도 있다. 또는 또한, 온 칩 · 마이크로 · 렌즈(90)에 입사하는 광은, 제1 전극(11)에는 도달하지 않는 구조로 할 수도 있다.

[0352] 이들의 구성, 구조를 채용함으로써, 또는 또한, 전하 축적용 전극(12)의 상방에 위치하는 광전 변환층(15)의 부분에만 광이 입사하도록 차광층(92)을 마련하고, 또는 또한, 온 칩 · 마이크로 · 렌즈(90)를 설계함으로써, 제1 전극(11)의 상방에 위치하는 광전 변환층(15)의 부분은 광전 변환에 기여하지 않게 되기 때문에, 전 화소를 보다 확실하게 일제히 리셋할 수 있고, 글로벌 셔터 기능을 한층 용이하게 실현할 수 있다. 즉, 이들의 구성, 구조를 갖는 촬상 소자를, 복수, 구비한 고체 촬상 장치의 구동 방법에서는,

[0353] 모든 촬상 소자에서, 일제히, 광전 변환층(15)에 전하를 축적하면서, 제1 전극(11)에서의 전하를 계외에 배출하고, 그 후,

[0354] 모든 촬상 소자에서, 일제히, 광전 변환층(15)에 축적된 전하를 제1 전극(11)에 전송하고, 전송 완료 후, 순차적으로, 각 촬상 소자에서 제1 전극(11)에 전송된 전하를 판독하는, 각 공정을 반복한다.

[0355] 이와 같은 고체 촬상 장치의 구동 방법에서는, 각 촬상 소자는, 제2 전극측부터 입사한 광이 제1 전극에는 입사하지 않는 구조를 가지며, 모든 촬상 소자에서, 일제히, 광전 변환층에 전하를 축적하면서, 제1 전극에서의 전하를 계외에 배출하기 때문에, 전 촬상 소자에서 동시에 제1 전극의 리셋을 확실하게 행할 수 있다. 그리고, 그 후, 모든 촬상 소자에서, 일제히, 광전 변환층에 축적된 전하를 제1 전극에 전송하고, 전송 완료 후, 순차적으로, 각 촬상 소자에서 제1 전극에 전송된 전하를 판독한다. 그러므로, 이른바 글로벌 셔터 기능을 용이하게 실현할 수 있다.

[0356] 광전 변환층은 1층부터의 구성으로 한정되지 않는다. 예를 들면, 실시례 1에서 설명한 촬상 소자, 적층형 촬상 소자의 변형례를 도 56에 도시하는 바와 같이, 광전 변환층(15)을, 예를 들면, IGZO로 이루어지는 하층 반도체층(15A)과, 실시례 1에서 설명한 광전 변환층(15)을 구성하는 재료로 이루어지는 상층 광전 변환층(15B)의 적층 구조로 할 수도 있다. 이와 같이 하층 반도체층(15A)을 마련함으로써, 전하 축적시의 재결합을 방지할 수 있고, 광전 변환층(15)에 축적한 전하의 제1 전극(11)에의 전송 효율을 증가시킬 수 있고, 암전류의 생성을 억제할 수 있다.

[0357] 도 1 및 도 2에 도시한 실시례 1에서는, 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)의 두께를 점차 얇게 함으로써, 절연층 세그먼트(82_1, 82_2, 82_3)의 두께를 점차 두껍게 하고 있다. 한편, 실시례 1의 변형례에서의 전하 축적용 전극, 광전 변환층 및 제2 전극이 적층된 부분을 확대한 모식적인 일부 단면도를 도 57에 도시하는 바와 같이, 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)의 두께를 일정하게 하고, 절연층 세그먼트(82_1, 82_2, 82_3)의 두께를 점차 두껍게 하여도 좋다. 또한, 광전 변환층 세그먼트(15_1, 15_2, 15_3)의 두께는 일정하다.

[0358] 또한, 도 12에 도시한 실시례 2에서는, 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)의 두께를 점차 얇게 함으로써, 광전 변환층 세그먼트(15_1, 15_2, 15_3)의 두께를 점차 두껍게 하고 있다. 한편, 실시례 2의 변형례에서의 전하 축적용 전극, 광전 변환층 및 제2 전극이 적층된 부분을 확대한 모식적인 일부 단면도를 도 58에 도시하는 바와 같이, 전하 축적용 전극 세그먼트(12_1, 12_2, 12_3)의 두께를 일정하게 하고, 절연층 세그먼트(82_1, 82_2, 82_3)의 두께를 점차 얇게 함으로써, 광전 변환층 세그먼트(15_1, 15_2, 15_3)의 두께를 점차 두껍게 하여도 좋다.

[0359] 이상에 설명한 각종의 변형례는, 다른 실시례에 대해서도 적용할 수 있음은 말할 것도 없다.

[0360] 실시례에서는, 전자를 신호 전하로 하고 있고, 반도체 기판에 형성된 광전 변환층의 도전형을 n형으로 하였지만, 정공을 신호 전하로 하는 고체 촬상 장치에도 적용할 수 있다. 이 경우에는, 각 반도체 영역을 반대의 도전형의 반도체 영역으로 구성하면 좋고, 반도체 기판에 형성된 광전 변환층의 도전형은 p형으로 하면 좋다.

[0361] 또한, 실시례에서는, 입사광량에 응한 신호 전하를 물리량으로서 검지하는 단위 화소가 행렬형상으로 배치되어 이루어지는 CMOS형 고체 촬상 장치에 적용한 경우를 예로 들어 설명하였지만, CMOS형 고체 촬상 장치로의 적용으로 한정되는 것이 아니고, CCD형 고체 촬상 장치에 적용할 수도 있다. 후자인 경우, 신호 전하는, CCD형 구조의 수직 전송 레지스터에 의해 수직 방향으로 전송되고, 수평 전송 레지스터에 의해 수평 방향으로 전송되고, 증폭됨에 의해 화소 신호(화상 신호)가 출력된다. 또한, 화소가 2차원 매트릭스형상으로 형성되고, 화소열마다 칼럼 신호 처리 회로를 배치하여 이루어지는 칼럼 방식의 고체 촬상 장치 전반으로 한정하는 것도 아니다. 나아가서는, 경우에 따라서는, 선택 트랜지스터를 생략할 수도 있다.

[0362] 나아가서는, 본 개시의 촬상 소자, 적층형 촬상 소자는, 가시광의 입사광량의 분포를 검지하여 화상으로서 촬상하는 고체 촬상 장치에의 적용으로 한하지 않고, 적외선이나 X선, 또는, 입자 등의 입사량의 분포를 화상으로서 촬상하는 고체 촬상 장치에도 적용 가능하다. 또한, 광의에는, 압력이나 정전용량 등, 다른 물리량의 분포를 검지하여 화상으로서 촬상하는 지문 검출 센서 등의 고체 촬상 장치(물리량 분포 검지 장치) 전반에 대해 적용 가능하다.

[0363] 나아가서는, 촬상 영역의 각 단위 화소를 행 단위로 차례로 주사하여 각 단위 화소로부터 화소 신호를 판독하는 고체 촬상 장치로 한정되는 것이 아니다. 화소 단위로 임의의 화소를 선택하여, 선택 화소로부터 화소 단위로 화소 신호를 판독하는 X-Y 어드레스형의 고체 촬상 장치에 대해서도 적용 가능하다. 고체 촬상 장치는 원칩으로서 형성된 형태라도 좋고, 촬상 영역과, 구동 회로 또는 광학계를 통합하여 팩키징된 촬상 기능을 갖는 모듈형상의 형태라도 좋다.

[0364] 또한, 고체 촬상 장치에의 적용으로 한정되는 것이 아니고, 촬상 장치에도 적용 가능하다. 여기서, 촬상 장치란, 디지털 스틸 카메라나 비디오 카메라 등의 카메라 시스템이나, 휴대 전화기 등의 촬상 기능을 갖는 전자 기기를 가리킨다. 전자 기기에 탑재되는 모듈형상의 형태, 즉, 카메라 모듈을 촬상 장치로 하는 경우도 있다.

[0365] 본 개시의 촬상 소자, 적층형 촬상 소자로 구성된 고체 촬상 장치(201)를 전자 기기(카메라)(200)에 이용한 예를, 도 59에 개념도로서 도시한다. 전자 기기(200)는, 고체 촬상 장치(201), 광학 렌즈(210), 셔터 장치(211), 구동 회로(212), 및, 신호 처리 회로(213)를 갖는다. 광학 렌즈(210)는, 피사체로부터의 상광(입사광)을 고체 촬상 장치(201)의 촬상면상에 결상시킨다. 이에 의해 고체 촬상 장치(201) 내에, 일정 기간, 신호 전하가 축적된다. 셔터 장치(211)는, 고체 촬상 장치(201)에의 광조사 기간 및 차광 기간을 제어한다. 구동 회로(212)는, 고체 촬상 장치(201)의 전송 동작 등 및 셔터 장치(211)의 셔터 동작을 제어하는 구동 신호를 공급한다. 구동 회로(212)로부터 공급되는 구동 신호(타이밍 신호)에 의해, 고체 촬상 장치(201)의 신호 전송을 행한다. 신호 처리 회로(213)는, 각종의 신호 처리를 행한다. 신호 처리가 행하여진 영상 신호는, 메모리 등의 기억 매체에 기억되고, 또는, 모니터에 출력된다. 이와 같은 전자 기기(200)에서는, 고체 촬상 장치(201)에서의 화소 사이즈의 미세화 및 전송 효율의 향상을 달성할 수 있기 때문에, 화소 특성의 향상이 도모된 전자 기기(200)를 얻을 수 있다. 고체 촬상 장치(201)를 적용할 수 있는 전자 기기(200)로서는, 카메라로 한정되는 것이 아니고, 디지털 스틸 카메라, 휴대 전화기 등의 모바일 기기용 카메라 모듈 등의 촬상 장치에 적용 가능하다.

[0366] 또한, 본 개시는, 이하와 같은 구성을 취할 수도 있다.

[0367] [A01] ≪촬상 소자 : 제1의 양태≫

[0368] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0369] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0370] 광전 변환부는, N개(단, N≥2)의 광전 변환부 세그먼트로 구성되어 있고,

[0371] 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,

[0372] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0373] 전하 축적용 전극은, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0374] 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 제n번째 절연층 세그먼트 및 제n번째 광전 변환층 세그먼트로 구성되어 있고,

[0375] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,

[0376] 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 절연층 세그먼트의 두께가, 점차로 변화하고 있는 촬상 소자.

[0377] [A02] ≪촬상 소자 : 제2의 양태≫

[0378] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0379] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0380] 광전 변환부는, N개(단, N≥2)의 광전 변환부 세그먼트로 구성되어 있고,

[0381] 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,

[0382] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0383] 전하 축적용 전극은, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0384] 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 제n번째 절연층 세그먼트 및 제n번째 광전 변환층 세그먼트로 구성되어 있고,

[0385] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,

[0386] 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 광전 변환층 세그먼트의 두께가, 점차로 변화하고 있는 촬상 소자.

[0387] [A03] ≪촬상 소자 : 제3의 양태≫

[0388] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0389] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0390] 광전 변환부는, N개(단, N≥2)의 광전 변환부 세그먼트로 구성되어 있고,

[0391] 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,

[0392] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0393] 전하 축적용 전극은, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0394] 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 제n번째 절연층 세그먼트 및 제n번째 광전 변환층 세그먼트로 구성되어 있고,

[0395] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,

[0396] 인접하는 광전 변환부 세그먼트에서, 절연층 세그먼트를 구성하는 재료가 다른 촬상 소자.

[0397] [A04] ≪촬상 소자 : 제4의 양태≫

[0398] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0399] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0400] 광전 변환부는, N개(단, N≥2)의 광전 변환부 세그먼트로 구성되어 있고,

[0401] 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고, 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0402] 전하 축적용 전극은, 상호 이간되어 배치된, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0403] 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 제n번째 절연층 세그먼트 및 제n번째 광전 변환층 세그먼트로 구성되어 있고,

[0404] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,

[0405] 인접하는 광전 변환부 세그먼트에서, 전하 축적용 전극 세그먼트를 구성하는 재료가 다른 촬상 소자.

[0406] [A05] ≪촬상 소자 : 제5의 양태≫

[0407] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0408] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0409] 광전 변환부는, N개(단, N≥2)의 광전 변환부 세그먼트로 구성되어 있고,

[0410] 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,

[0411] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0412] 전하 축적용 전극은, 상호 이간되어 배치된, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0413] 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 제n번째 절연층 세그먼트 및 제n번째 광전 변환층 세그먼트로 구성되어 있고,

[0414] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,

[0415] 제1번째 광전 변환부 세그먼트로부터 제N번째 광전 변환부 세그먼트에 걸쳐서, 전하 축적용 전극 세그먼트의 면적이, 점차로 작게 되어 있는 촬상 소자.

[0416] [A06] ≪촬상 소자 : 제6의 양태≫

[0417] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0418] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0419] 전하 축적용 전극과 절연층과 광전 변환층의 적층 방향을 Z방향, 제1 전극부터 떨어지는 방향을 X방향으로 하였을 때, YZ 가상평면으로 전하 축적용 전극과 절연층과 광전 변환층이 적층된 적층 부분을 절단한 때의 적층 부분의 단면적은, 제1 전극부터의 거리에 의존하여 변화하는 촬상 소자.

[0420] [B01] 반도체 기판을 또한 구비하고 있고,

[0421] 광전 변환부는, 반도체 기판의 상방에 배치되어 있는 [A01] 내지 [A06]의 어느 한 항에 기재된 촬상 소자.

[0422] [B02] 제1 전극은, 절연층에 마련된 개구부 내를 연재되고, 광전 변환층과 접속되어 있는 [A01] 내지 [B01]의 어느 한 항에 기재된 촬상 소자.

[0423] [B03] 광전 변환층은, 절연층에 마련된 개구부 내를 연재되고, 제1 전극과 접속되어 있는 [A01] 내지 [B01]의 어느 한 항에 기재된 촬상 소자.

[0424] [B04] 제1 전극의 정상면의 연부는 절연층으로 덮여 있고,

[0425] 개구부의 저면에는 제1 전극이 노출하여 있고,

[0426] 제1 전극의 정상면과 접하는 절연층의 면을 제1면, 전하 축적용 전극과 대향하는 광전 변환층의 부분과 접하는 절연층의 면을 제2면으로 하였을 때, 개구부의 측면은, 제1면부터 제2면을 향하여 넓어지는 경사를 갖는 [B03]에 기재된 촬상 소자.

[0427] [B05] 제1면으로부터 제2면을 향하여 넓어지는 경사를 갖는 개구부의 측면은, 전하 축적용 전극측에 위치하는 [B04]에 기재된 촬상 소자.

[0428] [B06] ≪제1 전극 및 전하 축적용 전극의 전위의 제어≫

[0429] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,

[0430] 제1 전극 및 전하 축적용 전극은, 구동 회로에 접속되어 있고,

[0431] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{12})가 인가되고, 광전 변환층에 전하가 축적되고,

[0432] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{21})가 인가되고, 전하 축적용 전극에 전위(V_{22})가 인가되고, 광전 변환층에 축적된 전하가 제1 전극을 경유하여 제어부에 판독되는 [A01] 내지 [B05]의 어느 한 항에 기재된 촬상 소자.

[0433] 단, 제1 전극의 전위가 제2 전극보다 높은 경우,

[0434] $V_{12} \geq V_{11}$, 또한, $V_{22} < V_{21}$

[0435] 이고, 제1 전극의 전위가 제2 전극보다 낮은 경우,

[0436] $V_{12} \leq V_{11}$, 또한, $V_{22} > V_{21}$

[0437] 이다.

[0438] [B07] ≪전하 배출 전극≫

[0439] 광전 변환층에 접속되고, 제1 전극 및 전하 축적용 전극과 이간하여 배치된 전하 배출 전극을 또한 구비하고 있는 [A01] 내지 [B06]의 어느 한 항에 기재된 촬상 소자.

[0440] [B08] 전하 배출 전극은, 제1 전극 및 전하 축적용 전극을 둘러싸도록 배치되어 있는 [B07]에 기재된 촬상 소자.

[0441] [B09] 광전 변환층은, 절연층에 마련된 제2 개구부 내를 연재되고, 전하 배출 전극과 접속되어 있고,

[0442] 전하 배출 전극의 정상면의 연부는 절연층으로 덮여 있고,

[0443] 제2 개구부의 저면에는 전하 배출 전극이 노출하여 있고,

[0444] 전하 배출 전극의 정상면과 접하는 절연층의 면을 제3면, 전하 축적용 전극과 대향하는 광전 변환층의 부분과 접하는 절연층의 면을 제2면으로 하였을 때, 제2 개구부의 측면은, 제3면부터 제2면을 향하여 넓어지는 경사를 갖는 [B07] 또는 [B08]에 기재된 촬상 소자.

[0445] [B10] ≪제1 전극, 전하 축적용 전극 및 전하 배출 전극의 전위의 제어≫

[0446] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,

[0447] 제1 전극, 전하 축적용 전극 및 전하 배출 전극은, 구동 회로에 접속되어 있고,

[0448] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{12})가 인가되고, 전하 배출 전극에 전위(V_{14})가 인가되고, 광전 변환층에 전하가 축적되고,

[0449] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{21})가 인가되고, 전하 축적용 전극에 전위(V_{22})가 인가되고, 전하 배출 전극에 전위(V_{24})가 인가되고, 광전 변환층에 축적된 전하가 제1 전극을 통하여 제어부에 판독되는 [B07] 내지 [B09]의 어느 한 항에 기재된 촬상 소자.

[0450] 단, 제1 전극의 전위가 제2 전극보다 높은 경우,

[0451] $V_{14} > V_{11}$, 또한, $V_{24} < V_{21}$

[0452] 이고, 제1 전극의 전위가 제2 전극보다 낮은 경우,

[0453] $V_{14} < V_{11}$, 또한, $V_{24} > V_{21}$

[0454] 이다.

[0455] [B11] 제1 전극의 전위가 제2 전극보다 높은 경우, 전하 전송 기간에서, 제1 전극에 가장 가까운 곳에 위치하는

전하 축적용 전극 세그먼트에 인가되는 전위는, 제1 전극에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트에 인가되는 전위보다도 높고,

[0456] 제1 전극의 전위가 제2 전극보다 낮은 경우, 전하 전송 기간에서, 제1 전극에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트에 인가되는 전위는, 제1 전극에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트에 인가되는 전위보다도 낮은 [A01] 내지 [B10]의 어느 한 항에 기재된 촬상 소자.

[0457] [B12] 반도체 기판에는, 제어부를 구성하는 적어도 부유 확산층 및 증폭 트랜지스터가 마련되어 있고,

[0458] 제1 전극은, 부유 확산층 및 증폭 트랜지스터의 게이트부에 접속되어 있는 [A01] 내지 [B11]의 어느 한 항에 기재된 촬상 소자.

[0459] [B13] 반도체 기판에는, 또한, 제어부를 구성하는 리셋·트랜지스터 및 선택 트랜지스터가 마련되어 있고,

[0460] 부유 확산층은, 리셋·트랜지스터의 일방의 소스/드레인 영역에 접속되어 있고,

[0461] 증폭 트랜지스터의 일방의 소스/드레인 영역은, 선택 트랜지스터의 일방의 소스/드레인 영역에 접속되어 있고, 선택 트랜지스터의 타방의 소스/드레인 영역은 신호선에 접속되어 있는 [B12]에 기재된 촬상 소자.

[0462] [B14] 전하 축적용 전극의 크기는 제1 전극보다도 큰 [A01] 내지 [B13]의 어느 한 항에 기재된 촬상 소자.

[0463] [B15] 제2 전극측부터 광이 입사하고, 제2 전극 가까이의 광입사측에는 차광층이 형성되어 있는 [A01] 내지 [B14]의 어느 한 항에 기재된 촬상 소자.

[0464] [B16] 제2 전극측부터 광이 입사하고, 제1 전극에는 광이 입사하지 않는 [A01] 내지 [B14]의 어느 한 항에 기재된 촬상 소자.

[0465] [B17] 제2 전극 가까이의 광입사측으로서, 제1 전극의 상방에는 차광층이 형성되어 있는 [B16]에 기재된 촬상 소자.

[0466] [B18] 전하 축적용 전극 및 제2 전극의 상방에는 온 칩·마이크로·렌즈가 마련되어 있고,

[0467] 온 칩·마이크로·렌즈에 입사하는 광은, 전하 축적용 전극에 집광되는 [B16]에 기재된 촬상 소자.

[0468] [C01] ≪적층형 촬상 소자≫

[0469] [A01] 내지 [B18]의 어느 한 항에 기재된 촬상 소자를 적어도 하나 갖는 적층형 촬상 소자.

[0470] [D01] ≪고체 촬상 장치 : 제1의 양태≫

[0471] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0472] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비한 촬상 소자를, 복수, 갖고 있고,

[0473] 복수의 촬상 소자로 촬상 소자 블록이 구성되어 있고,

[0474] 촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극이 공유되어 있는 고체 촬상 장치.

[0475] [D02] ≪고체 촬상 장치 : 제2의 양태≫

[0476] [A01] 내지 [B17]의 어느 한 항에 기재된 촬상 소자를, 복수, 갖고 있고,

[0477] 복수의 촬상 소자로 촬상 소자 블록이 구성되어 있고,

[0478] 촬상 소자 블록을 구성하는 복수의 촬상 소자에서 제1 전극이 공유되어 있는 고체 촬상 장치.

[0479] [D03] 촬상 소자 블록을 구성하는 복수의 촬상 소자의 사이에는 전송 제어용 전극이 배설되어 있는 [D01] 또는 [D02]에 기재된 고체 촬상 장치.

[0480] [D04] 하나의 촬상 소자의 상방에 하나의 온·칩·마이크로·렌즈가 배설되어 있는 [D01] 내지 [D03]의 어느 한 항에 기재된 고체 촬상 장치.

[0481] [D05] 2개의 촬상 소자로 촬상 소자 블록이 구성되어 있고,

[0482] 촬상 소자 블록의 상방에 하나의 온·칩·마이크로·렌즈가 배설되어 있는 [D01] 내지 [D04]의 어느 한 항에 기

재된 고체 촬상 장치.

[0483] [D06] 복수의 촬상 소자에 대해 하나의 부유 확산층이 마련되어 있는 [D01] 내지 [D05]의 어느 한 항에 기재된 고체 촬상 장치.

[0484] [D07] 제1 전극은, 각 촬상 소자의 전하 축적용 전극에 인접해서 배치되어 있는 [D01] 내지 [D06]의 어느 한 항에 기재된 고체 촬상 장치.

[0485] [D08] 제1 전극이, 복수의 촬상 소자의 일부의 전하 축적용 전극에 인접해서 배치되어 있고, 복수의 촬상 소자의 나머지 전하 축적용 전극과는 인접해서 배치되지 않은 [D01] 내지 [D07]의 어느 한 항에 기재된 고체 촬상 장치.

[0486] [D09] 촬상 소자를 구성하는 전하 축적용 전극과 촬상 소자를 구성하는 전하 축적용 전극 사이의 거리는, 제1 전극에 인접한 촬상 소자에서의 제1 전극과 전하 축적용 전극 사이의 거리보다도 길다란 [D08]에 기재된 고체 촬상 장치.

[0487] [E01] ≪고체 촬상 장치 : 제3의 양태≫

[0488] [A01] 내지 [A06]의 어느 한 항에 기재된 촬상 소자를, 복수, 구비한 고체 촬상 장치.

[0489] [E02] ≪고체 촬상 장치 : 제4의 양태≫

[0490] [C01]에 기재된 적층형 촬상 소자를, 복수, 구비한 고체 촬상 장치.

[0491] [F01] ≪고체 촬상 장치의 구동 방법≫

[0492] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0493] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,

[0494] 제2 전극측부터 광이 입사하고, 제1 전극에는 광이 입사하지 않는 구조를 갖는 촬상 소자를, 복수, 구비한 고체 촬상 장치의 구동 방법으로서,

[0495] 모든 촬상 소자에서, 일제히, 광전 변환층에 전하를 축적하면서, 제1 전극에서의 전하를 계외에 배출하고, 그 후,

[0496] 모든 촬상 소자에서, 일제히, 광전 변환층에 축적된 전하를 제1 전극에 전송하고, 전송 완료 후, 순차적으로, 각 촬상 소자에서 제1 전극에 전송된 전하를 판독하는 각 공정을 반복하는 고체 촬상 장치의 구동 방법.

[0497] (G01)

[0498] 제1 전극, 광전 변환층, 제2 전극, N개(단, N≥2)의 절연층 세그먼트를 포함하는 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 상기 광전 변환층을 포함하고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께는, 제N번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께와 다른 것을 특징으로 하는 촬상 소자.

[0499] (G02)

[0500] (G01)에 기재된 촬상 소자를 복수로 포함하는 것을 특징으로 하는 촬상 장치.

[0501] (G03)

[0502] (G01)에 기재된 촬상 소자를 적어도 하나 포함하는 것을 특징으로 하는 적층형 촬상 소자.

[0503] (G04)

[0504] (G03)에 기재된 적층형 촬상 소자를 복수로 포함하는 것을 특징으르 하는 촬상 장치.

[0505] (G05)

[0506] 제1 전극, N개(단, N≥2)의 광전 변환부 세그먼트를 포함하는 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전

극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 상기 광전 변환층으로 형성되고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 광전 변환층 세그먼트의 두께는, 제N번째 광전 변환부 세그먼트에서의 광전 변환층 세그먼트의 두께와 다른 것을 특징으로 하는 촬상 소자.

[0507] (G06)

[0508] 제1 전극, 광전 변환층, 제2 전극, N개(단, N≥2)의 절연층 세그먼트를 포함하는 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 광전 변환층 세그먼트로 형성되고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 상기 절연층 세그먼트를 형성하는 재료가 인접하는 광전 변환부 세그먼트에서 다른 것을 특징으로 하는 촬상 소자.

[0509] (G07)

[0510] 제1 전극, 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 전하 축적용 전극은 서로 이간된 N개(단, N≥2)의 전하 축적용 세그먼트를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 절연층, 및 상기 광전 변환층 세그먼트로 형성되고, n의 값이 증가함에 따라, 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 상기 전하 축적용 전극 세그먼트를 형성하는 재료가 인접하는 광전 변환부 세그먼트에서 다른 것을 특징으로 하는 촬상 소자.

[0511] (G08)

[0512] 제1 전극, 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 전하 축적용 전극은 N개(단, N≥2)의 전하 축적용 세그먼트를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 제n번째 전하 축적용 전극 세그먼트, 절연층, 및 상기 광전 변환층으로 형성되고, n의 값이 증가함에 따라, 상기 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 면적은, 제N번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 면적과 다른 것을 특징으로 하는 촬상 소자.

[0513] (G09)

[0514] (G08)에 있어서, 제1번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 면적은, 평면으로 보아 제N번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 면적보다 더 큰 것을 특징으로 하는 촬상 소자.

[0515] (G10)

[0516] (G09)에 있어서, 제1번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 제1 방향의 제1 치수(dimension)는, 평면으로 보아 제N번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 제1 방향의 제1 치수보다 크고, 제1번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 제2 방향의 제2 치수(dimension)는, 평면으로 보아 제N번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 제2 방향의 제2 치수보다 작은 것을 특징으로 하는 촬상 소자.

[0517] (G11)

[0518] (G08)에 있어서, 상기 제1번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 적어도 3개의 단부(edge)는, 평면으로 보아 제N번째 광전 변환부 세그먼트에서의 전하 축적용 전극 세그먼트의 대응하는 단부에 인접한 것을 특징으로 하는 촬상 소자.

[0519] (G12)

[0520] (G08)에 있어서, 상기 전하 축적용 전극은 공통부를 포함하고, 적어도 하나의 광전 변환부 세그먼트는 n이 증가

하는 방향에 수직인 방향으로 서로 이간되어 배치된 복수의 전하 축적용 전극부를 포함하는 것을 특징으로 하는 촬상 소자.

[0521] (G13)

[0522] 제1 전극, 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층 비아와의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 전하 축적용 전극과 절연층과 광전 변환층의 적층 방향이 Z방향으로 정의되고, 제1 전극으로부터 떨어지는 방향이 X방향으로 정의될 때, YZ 가상평면으로 전하 축적용 전극과 절연층과 광전 변환층을 포함하는 적층부의 단면적은, 제1 전극부터의 거리에 의존하여 변화하는 것을 특징으로 하는 촬상 소자.

[0523] (G14)

[0524] 제1 전극, 광전 변환층, 제2 전극, 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 각각 포함하는 복수의 촬상 소자를 포함하는 광전 변환부를 포함하고, 촬상 소자 블록은 상기 복수의 촬상 소자를 포함하고, 상기 제1의 전극이 촬상 소자 블록의 복수의 촬상 소자에 의해 공유되는 것을 특징으로 하는 고체 촬상 장치.

[0525] (G15)

[0527] (G14)에 있어서, 복수의 촬상 소자 각각의 촬상 소자는, 제1 전극, 광전 변환층, 제2 전극, N개(단, N≥2)의 절연층 세그먼트를 포함하는 절연층, 및 상기 제1 전극과 이간하여 배치되고, 상기 광전 변환층과의 사이에 상기 절연층이 배치된 전하 축적용 전극을 포함하는 광전 변환부를 포함하고, 상기 광전 변환부는 N개의 광전 변환부 세그먼트를 포함하고, 제n번째(단, n=1, 2, 3 … N) 광전 변환부 세그먼트는, 전하 축적용 전극, 제n번째 절연층 세그먼트, 및 상기 광전 변환층을 포함하고, n의 값이 증가함에 따라, 제n번째 광전 변환부 세그먼트는 상기 제1 전극으로부터 더 떨어져 위치하고, 제1번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께는, 제N번째 광전 변환부 세그먼트에서의 절연층 세그먼트의 두께와 다른 것을 특징으로 하는 촬상 장치.

[0528] (G16)

[0529] (G14)에 있어서, 전송 제어용 전극이 촬상 소자 블록을 형성하는 복수의 촬상 소자들 사이에 배치되어 있는 것을 특징으로 하는 고체 촬상 장치.

[0530] (G17)

[0531] (G14)에 있어서, 하나의 온-칩 마이크로 렌즈가 하나의 촬상 소자의 상방에 배치되어 있는 것을 특징으로 하는 고체 촬상 장치.

[0532] (G18)

[0533] (G14)에 있어서, 상기 촬상 소자 블록은, 2개의 촬상 소자로 형성되고, 상기 온-칩 마이크로 렌즈는 상기 촬상 소자 블록의 상방에 배치되어 있는 것을 특징으로 하는 고체 촬상 장치.

[0534] (G19)

[0535] (G14)에 있어서, 복수의 촬상 소자 블록 중 제1 촬상 소자 블록, 및 복수의 촬상 소자 블록 중 제2 촬상 소자 블록을 더 포함하고, 상기 제1 촬상 소자 블록 중 제1 촬상 소자는, 평면으로 보아 제2 촬상 소자 블록 중 제1 촬상 소자에 인접한 것을 특징으로 하는 고체 촬상 장치.

[0536] (G20)

[0537] (G14)에 있어서, 복수의 촬상 소자 블록 중 제1 촬상 소자 블록, 복수의 촬상 소자 블록 중 제2 촬상 소자 블록, 및 상기 제1 촬상 소자 블록과 상기 제2 촬상 소자 블록 사이에 배치된 전송 제어용 전극을 더 포함하는 것을 특징으로 하는 고체 촬상 장치.

[0538] (G21)

[0539] (G14)에 있어서, 복수의 촬상 소자 블록 중 제1 촬상 소자 블록, 및 복수의 촬상 소자 블록 중 제2 촬상 소자 블록을 더 포함하고, 상기 제1 촬상 소자 블록 중 제1 촬상 소자는, 평면으로 보아 제1 촬상 소자 블록 중 제2 촬상 소자에 인접하고, 상기 제2 촬상 소자 블록 중 제1 촬상 소자는, 평면으로 보아 제2 촬상 소자 블록 중 제2 촬상 소자에 인접하고, 상기 제1 촬상 소자 블록 중 제2 촬상 소자는, 제2 촬상 소자 블록 중 제1 촬상 소자

에 인접한 것을 특징으로 하는 고체 촬상 장치.

[0540] (G22)

[0541] (G21)에 있어서, 상기 제1의 전극은, 평면으로 보아 상기 제1 촬상 소자 블록 중 제1 촬상 소자와 상기 제1 촬상 소자 블록 중 제3 촬상 소자 사이에 비스듬히 있는 것을 특징으로 하는 고체 촬상 장치.

[0542] (G23)

[0543] (G21)에 있어서, 상기 제1 촬상 소자 블록 중 제2 촬상 소자와 상기 제2 촬상 소자 블록 중 제1 촬상 소자 사이에 배치된 전송 제어용 전극을 더 포함하는 것을 특징으로 하는 고체 촬상 장치.

부호의 설명

[0544] 10_1, 10_2, 10_3 : 광전 변환부 세그먼트

11, 11': 제1 전극

12, 12': 전하 축적용 전극

12_1, 12_2, 12_3 : 전하 축적용 전극 세그먼트

13': 전송 제어용 전극

14: 전하 배출 전극

15 : 광전 변환층

15_1, 15_2, 15_3 : 광전 변환층 세그먼트

16 : 제2 전극

41 : 제2 촬상 소자를 구성하는 n형 반도체 영역

43 : 제3 촬상 소자를 구성하는 n형 반도체 영역

42, 44, 73 : p+층

FD_1, FD_{21}, FD_3, 45C, 46C : 부유 확산층

$TR1_{amp}$: 증폭 트랜지스터

$TR1_{rst}$: 리셋 · 트랜지스터

$TR1_{sel}$: 선택 트랜지스터

51 : 리셋 · 트랜지스터($TR1_{rst}$)의 게이트부

51A : 리셋 · 트랜지스터($TR1_{rst}$)의 채널 형성 영역

51B, 51C : 리셋 · 트랜지스터($TR1_{rst}$)의 소스/드레인 영역

52 : 증폭 트랜지스터($TR1_{amp}$)의 게이트부

52A : 증폭 트랜지스터($TR1_{amp}$)의 채널 형성 영역

52B, 52C : 증폭 트랜지스터($TR1_{amp}$)의 소스/드레인 영역

53 : 선택 트랜지스터($TR1_{sel}$)의 게이트부

53A : 선택 트랜지스터($TR1_{sel}$)의 채널 형성 영역

53B, 53C : 선택 트랜지스터($TR1_{sel}$)의 소스/드레인 영역

$TR2_{trs}$: 전송 트랜지스터

45 : 전송 트랜지스터의 게이트부

$TR2_{rst}$: 리셋 · 트랜지스터

$TR2_{amp}$: 증폭 트랜지스터

$TR2_{sel}$: 선택 트랜지스터

$TR3_{trs}$: 전송 트랜지스터

46 : 전송 트랜지스터의 게이트부

$TR3_{rst}$: 리셋 · 트랜지스터

$TR3_{amp}$: 증폭 트랜지스터

$TR3_{sel}$: 선택 트랜지스터

V_{DD} : 전원

RST_1, RST_2, RST_3 : 리셋선

SEL_1, SEL_2, SEL_3 : 선택선

117, VSL_1, VSL_2, VSL_3 : 신호선

TG_2, TG_3 : 전송 게이트선

V_{OA}, V_{OT}, V_{OU}: 배선

61 : 콘택트홀부

62 : 배선층

63, 64, 68A : 패드부

65, 68B : 접속구멍

66, 67, 69 : 접속부

70 : 반도체 기판

70A : 반도체 기판의 제1면(겉면)

70B : 반도체 기판의 제2면(이면)

71 : 소자 분리 영역

72 : 산화막

74: HfO_2막

75 : 절연막

76 : 층간 절연층

77, 78, 81 : 층간 절연층

82 : 절연층

82_1, 82_2, 82_3 : 절연층 세그먼트

82a : 절연층의 제1면

82b : 절연층의 제2면

82c : 절연층의 제3면

83 : 보호층

84, 84A, 84B, 84C : 개구부

85, 85A : 제2 개구부

90 : 온 칩 · 마이크로 · 렌즈

91 : 층간 절연층보다 하방에 위치하는 각종의 촬상 소자 구성 요소,

92 : 차광층

100 : 고체 촬상 장치

101 : 적층형 촬상 소자

111 : 촬상 영역

112 : 수직 구동 회로

113 : 칼럼 신호 처리 회로

114: 수평 구동 회로

115 : 출력 회로

116 : 구동 제어 회로

118 : 수평 신호선

200 : 전자 기기(카메라)

201 : 고체 촬상 장치

210 : 광학 렌즈

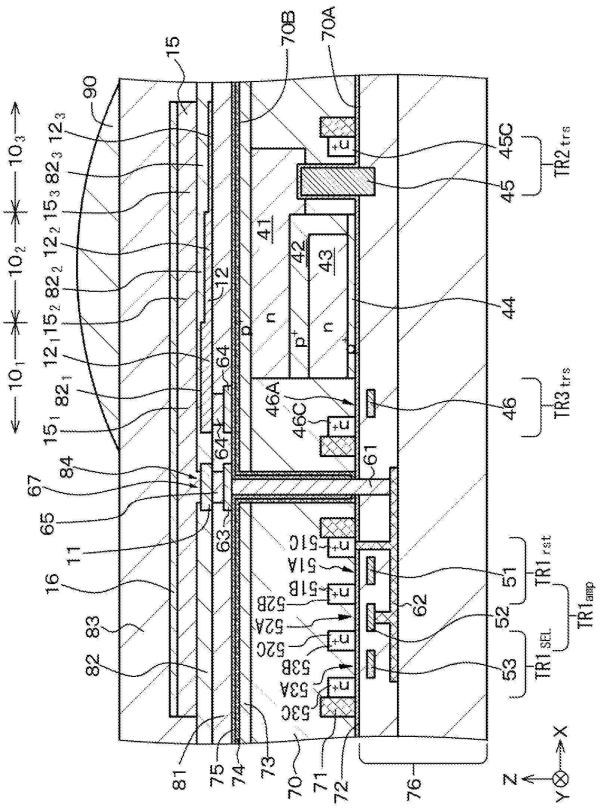
211 : 셔터 장치

212 : 구동 회로

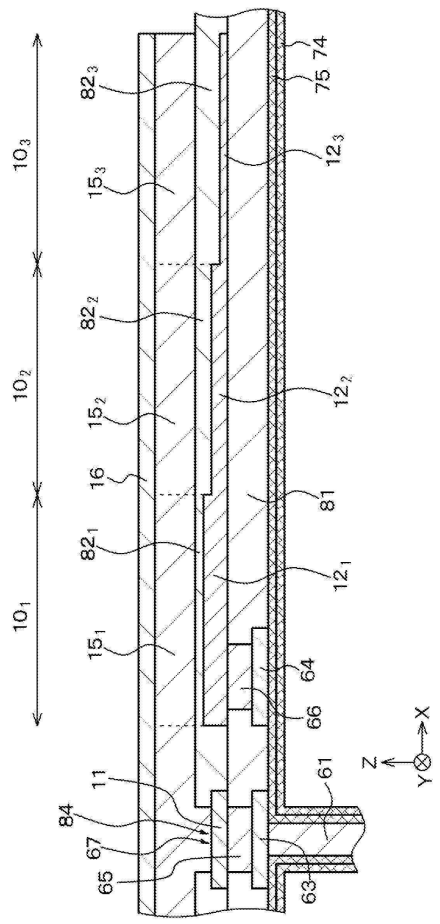
213 : 신호 처리 회로

도면

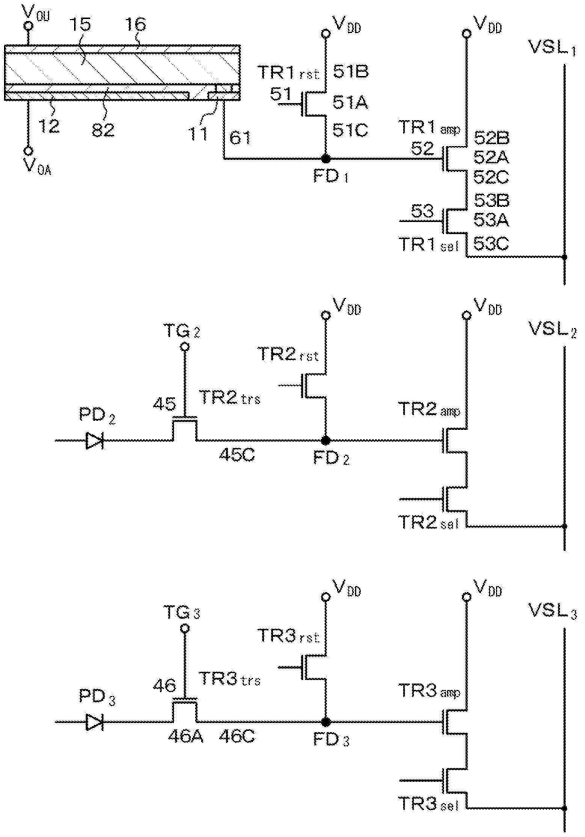
도면1


15
70B
70A
90
10_3
12_3 82_3 15_3
10_2
12_2 82_2 15_2
12
10_1
12_1 82_1 15_1
64
67
84
65
11
16
83
82
63
41
42
43
44
45C
45
$TR2_{trs}$
46A
46C
46
$TR3_{trs}$
61
51C
51A
51B
52B
52A
52C
53B
53A
53C
51
52
53
62
$TR1_{rst}$
$TR1_{amp}$
$TR1_{SEL}$
81
75
74
73
70
71
72
76
Z
X
Y

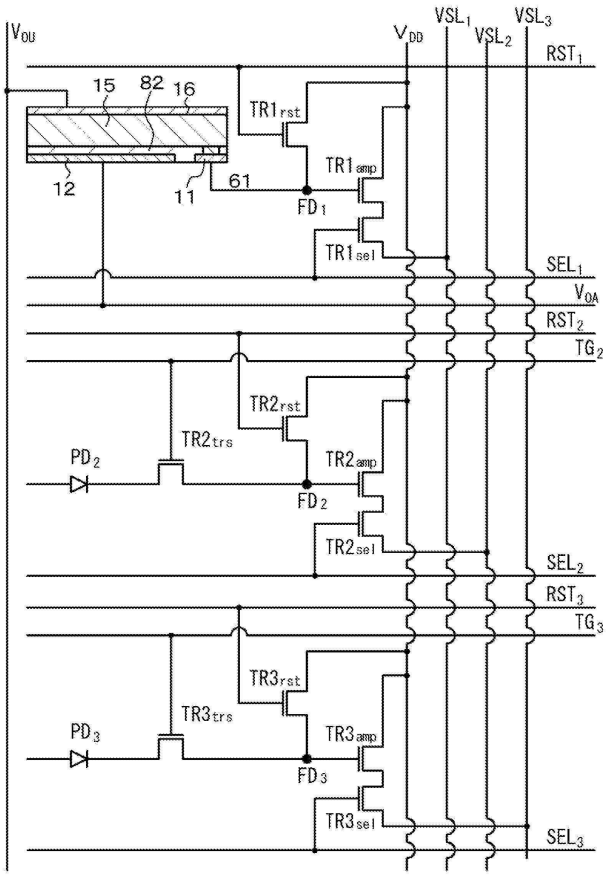
도면2


10_3
10_2
10_1
82_3
15_3
82_2
15_2
16
82_1
15_1
11
84
67
65
74
75
12_3
12_2
81
12_1
64
66
61
63
Z
X
Y

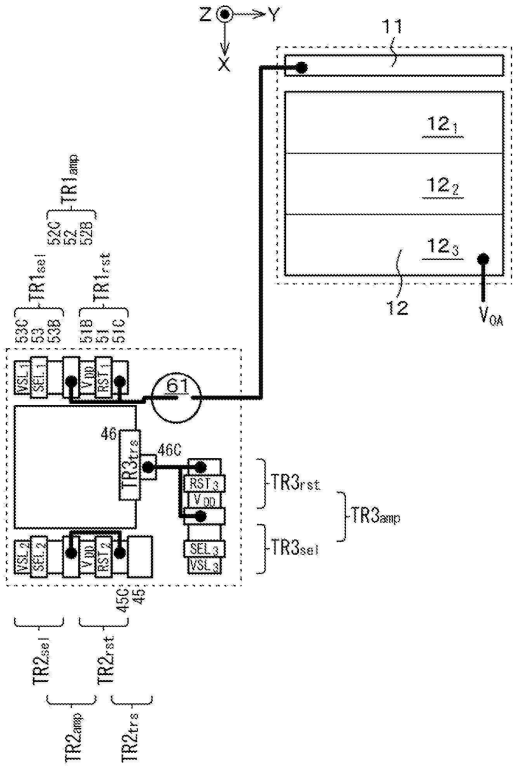
도면3


V0U
15
16
V0A
12
82
11
61
VDD
TR1rst
51B
51
51A
51C
FD1
TR1amp
52B
52
52A
52C
53B
53
53A
TR1sel
53C
VSL1
TG2
TR2rst
45
TR2trs
PD2
45C
FD2
TR2amp
TR2sel
VSL2
TG3
TR3rst
46
TR3trs
PD3
46A
46C
FD3
TR3amp
TR3sel
VSL3

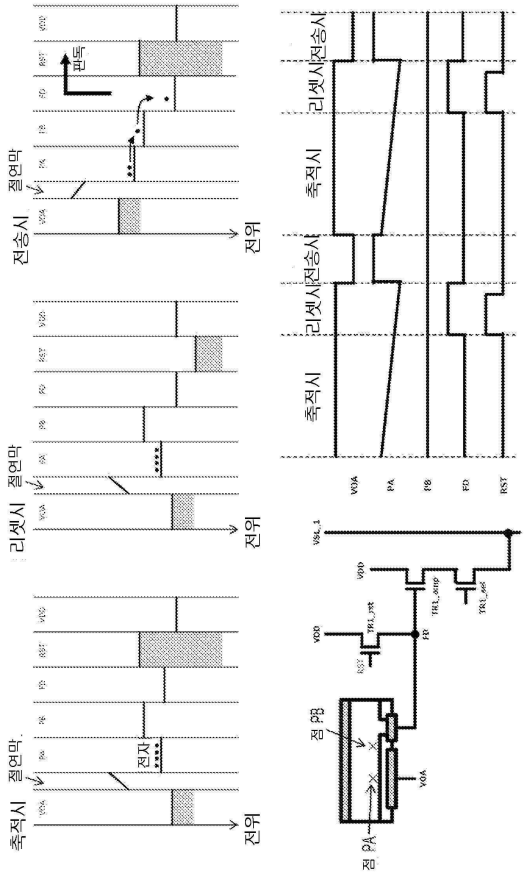
도면4


V_{OU}
V_{DD}
VSL_1
VSL_2
VSL_3
RST_1
15
82
16
12
11
61
$TR1_{rst}$
$TR1_{amp}$
FD_1
$TR1_{sel}$
SEL_1
V_{OA}
RST_2
TG_2
$TR2_{rst}$
$TR2_{trs}$
PD_2
$TR2_{amp}$
FD_2
$TR2_{sel}$
SEL_2
RST_3
TG_3
$TR3_{rst}$
$TR3_{trs}$
PD_3
$TR3_{amp}$
FD_3
$TR3_{sel}$
SEL_3

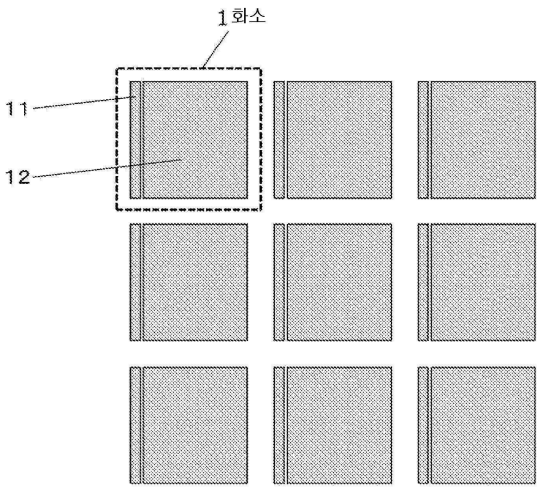
도면5


Z
Y
X
11
12_1
12_2
12_3
12
V_{OA}
$TR1_{amp}$
52C
52
52B
$TR1_{sel}$
$TR1_{rst}$
53C
53
53B
51B
51
51C
61
46
$TR3_{trs}$
46C
$TR3_{rst}$
$TR3_{amp}$
$TR3_{sel}$
45C
45
$TR2_{sel}$
$TR2_{rst}$
$TR2_{amp}$
$TR2_{trs}$

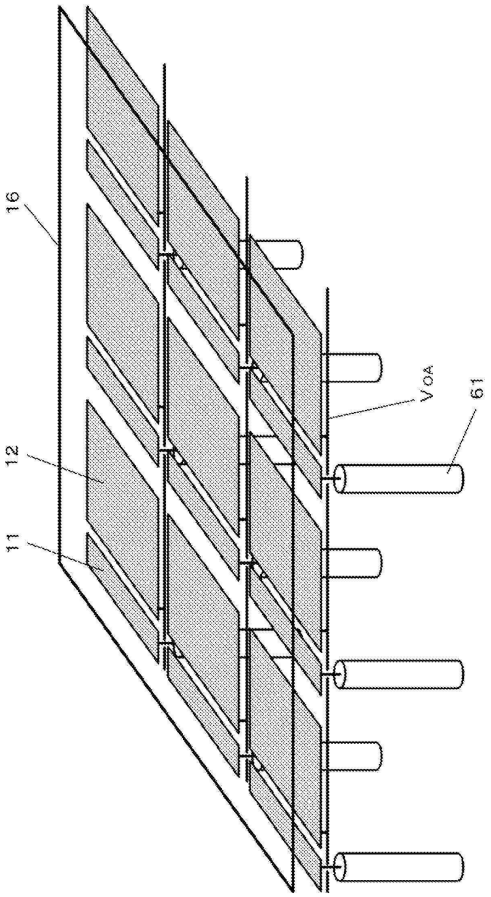
도면6


전송시
절연막
전위
리셋시
절연막
전위
축적시
절연막
전위
전자
펀치
축적시
리셋시전송시
축적시
리셋시전송시
VSUB
PA
PB
FD
RST
VSEL_1
VDD
VDD
FD
RST
점 PB
점 PA
VOA

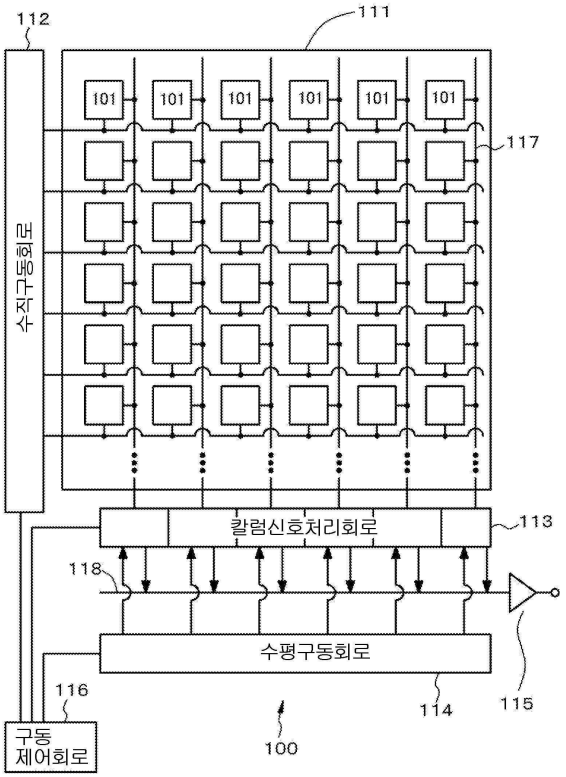
도면7


1화소
11
12

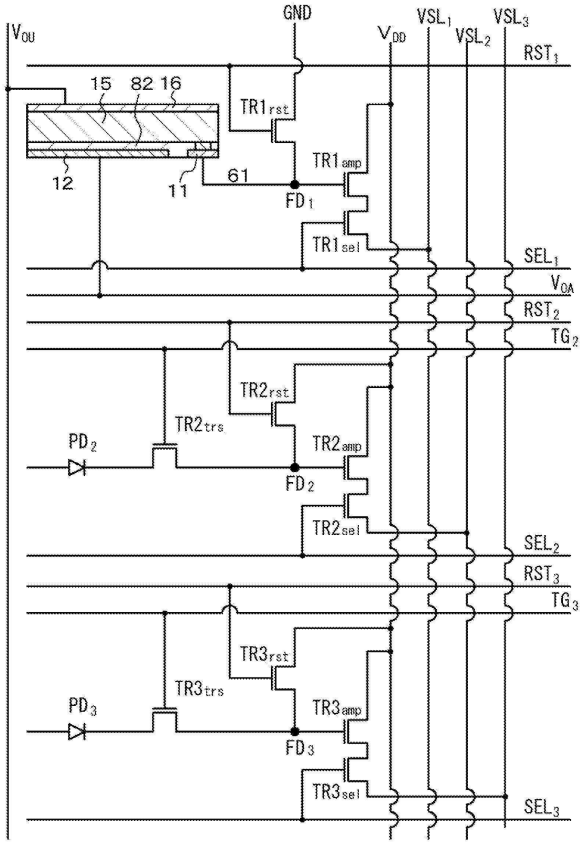
도면8



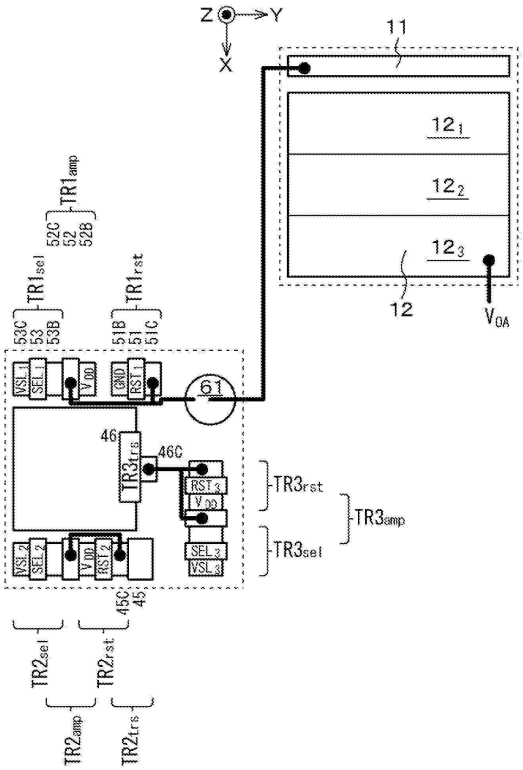
도면9


112
111
101
101
101
101
101
101
117
수직구동회로
칼럼신호처리회로
113
118
수평구동회로
116
114
115
구동
제어회로
100

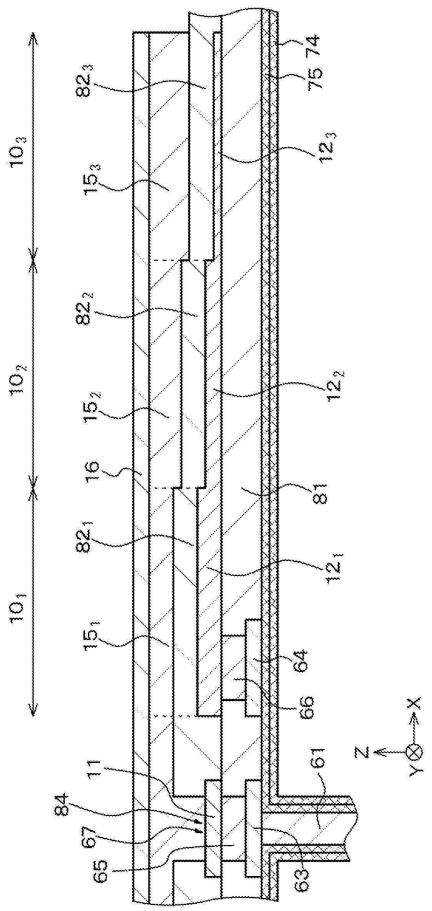
도면10


GND
VOU
VDD
VSL1
VSL2
VSL3
RST1
15
82
16
TR1rst
TR1amp
12
11
61
FD1
TR1sel
SEL1
VOA
RST2
TG2
TR2rst
TR2trs
PD2
TR2amp
FD2
TR2sel
SEL2
RST3
TG3
TR3rst
TR3trs
PD3
TR3amp
FD3
TR3sel
SEL3

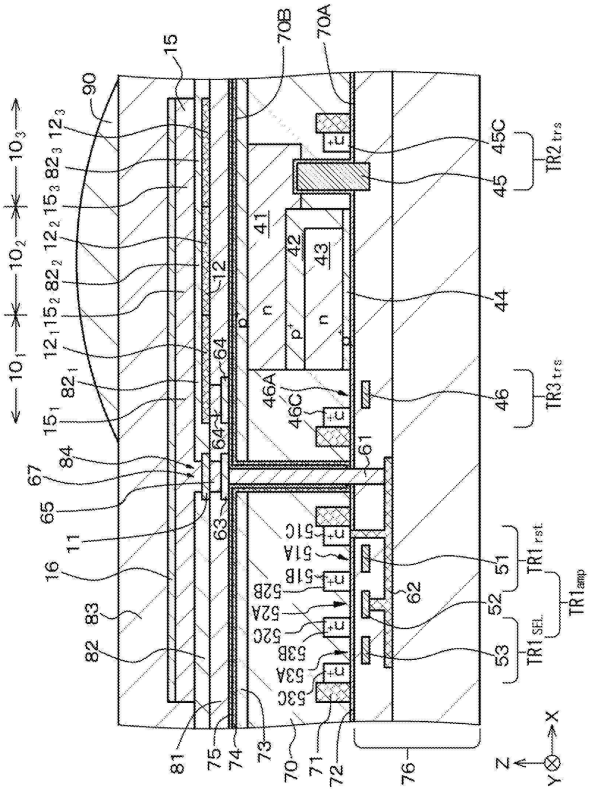
도면11


Z
Y
X
11
12
12 1
12 2
12 3
VOA
TR1amp
52C
52
52B
TR1sel
53C
53
53B
TR1rst
51B
51
51C
VSL1
SEL1
VDD
GND
RST1
61
46
TR3trs
46C
RST3
VDD
TR3rst
TR3amp
TR3sel
VSL2
SEL2
VDD
RST2
SEL2
VSL3
45C
45
TR2sel
TR2rst
TR2amp
TR2trs

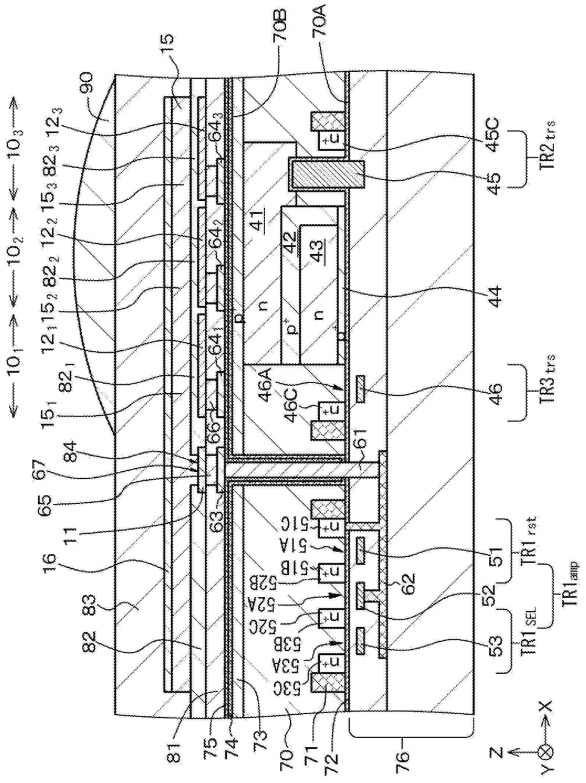
도면12


10_3
10_2
10_1
82_3
15_3
82_2
15_2
16
82_1
15_1
11
84
67
65
74
75
12_3
12_2
81
12_1
64
66
61
63
Z
X
Y

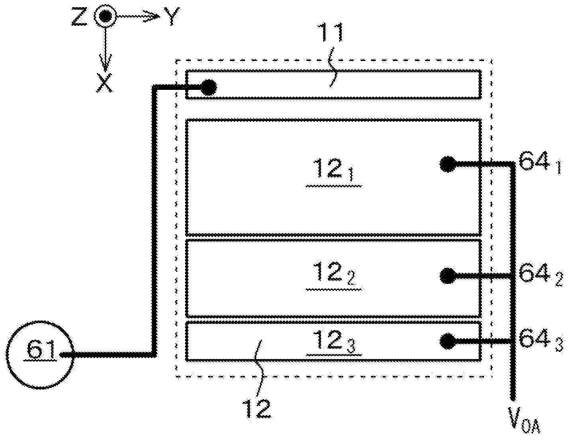
도면13



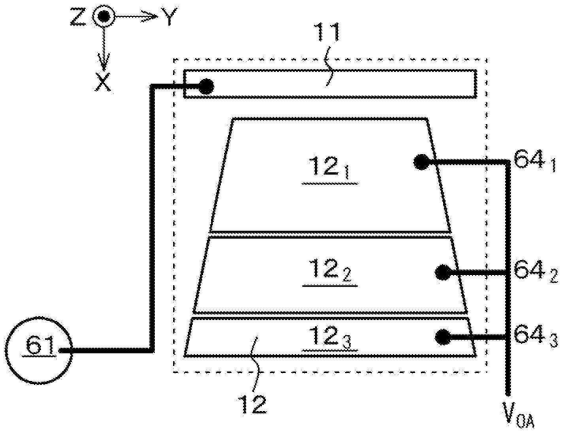
도면14



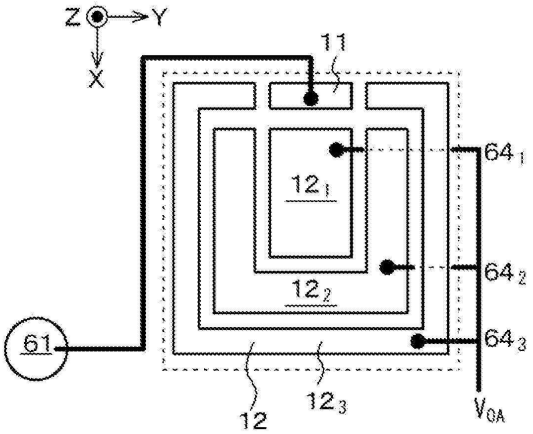
도면15a



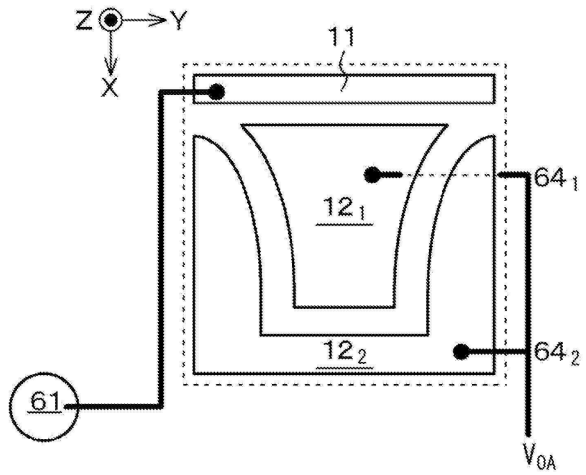
도면15b



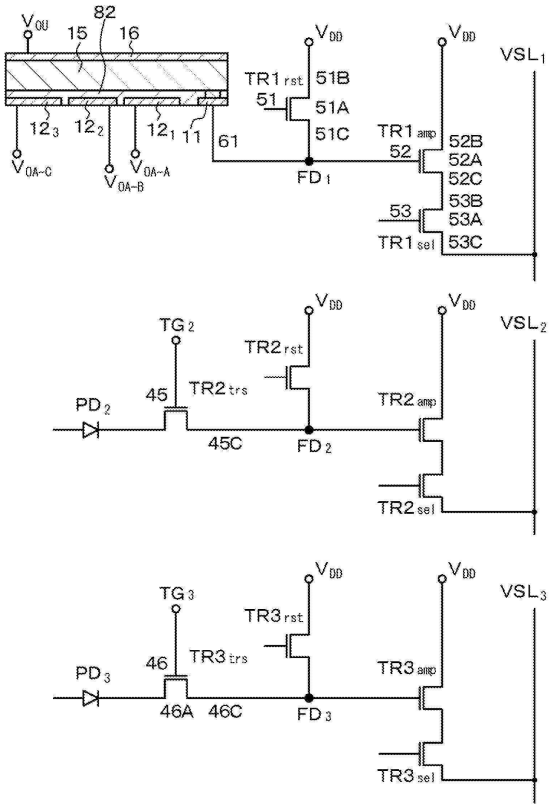
도면16a



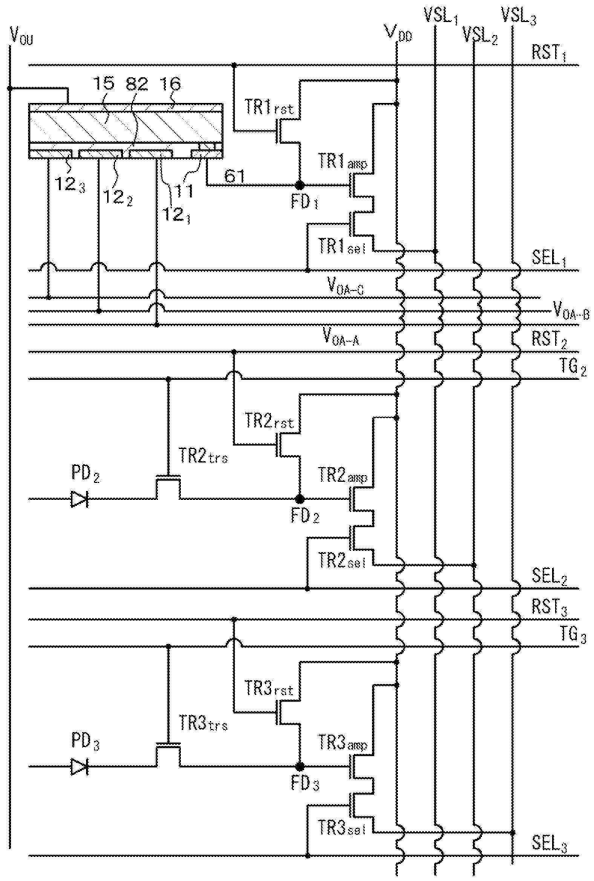
도면16b


Z
Y
X
11
12_1
12_2
64_1
64_2
61
V_{0A}

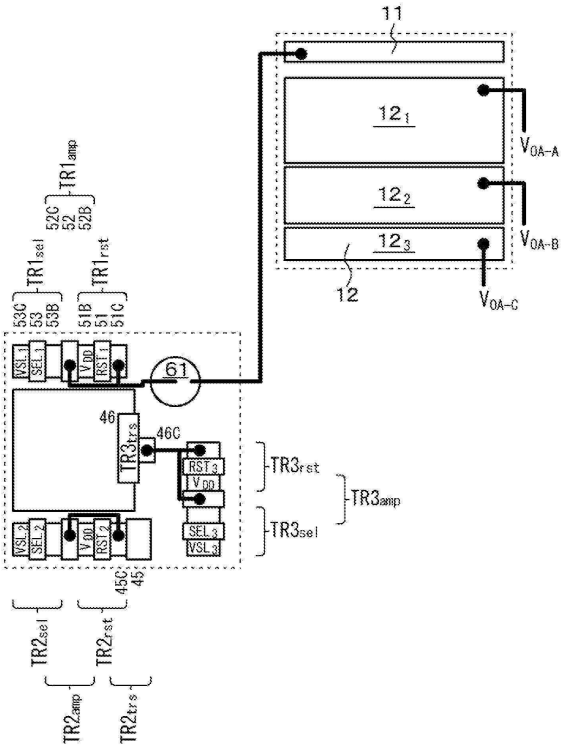
도면17


V_{0U}
82
15
16
12_3
12_2
12_1
11
61
V_{0A-C}
V_{0A-B}
V_{0A-A}
V_{DD}
$TR1_{rst}$
51
51B
51A
51C
FD_1
$TR1_{amp}$
52
52B
52A
52C
53
53B
53A
53C
$TR1_{sel}$
VSL_1
TG_2
$TR2_{rst}$
45
$TR2_{trs}$
PD_2
45C
FD_2
$TR2_{amp}$
$TR2_{sel}$
VSL_2
TG_3
$TR3_{rst}$
46
$TR3_{trs}$
PD_3
46A
46C
FD_3
$TR3_{amp}$
$TR3_{sel}$
VSL_3

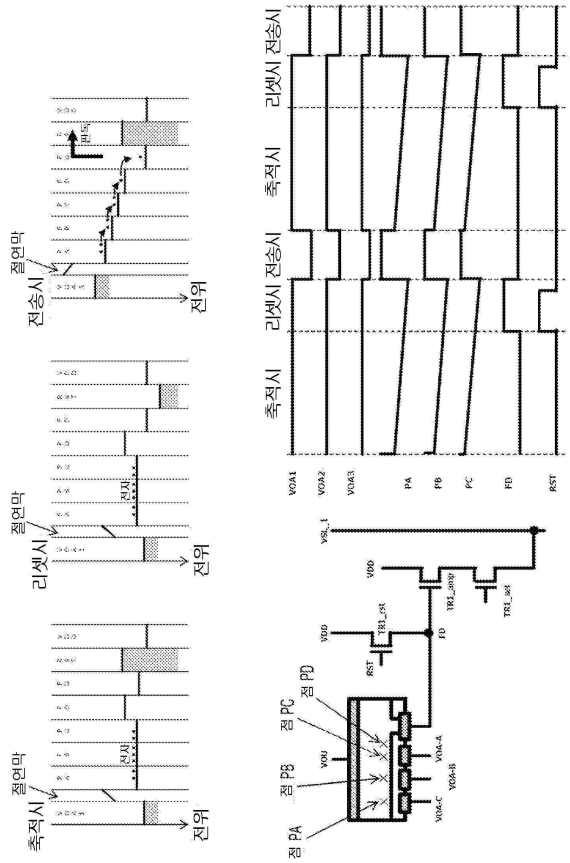
도면18


VOU
VDD
VSL1
VSL2
VSL3
RST1
15 82 16
TR1rst
TR1amp
TR1sel
123
122
11
121
61
FD1
SEL1
VOA-C
VOA-B
VOA-A
RST2
TG2
TR2rst
TR2trs
TR2amp
PD2
FD2
TR2sel
SEL2
RST3
TG3
TR3rst
TR3trs
TR3amp
PD3
FD3
TR3sel
SEL3

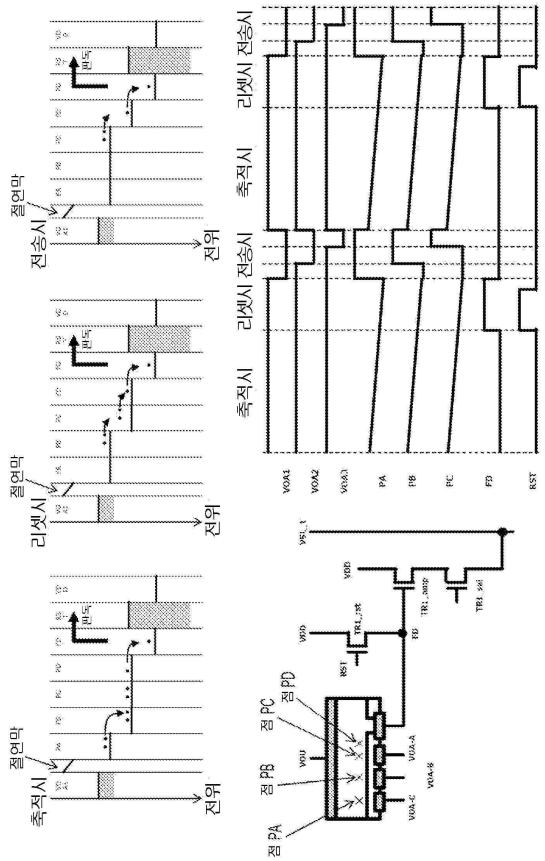
도면19


11
12
12 1
12 2
12 3
V OA-A
V OA-B
V OA-C
TR1amp
TR1sel
TR1rst
52C
52
52B
53C
53
53B
51B
51
51C
VSL1
SEL1
VDD
RST1
61
46
46C
TR3trs
RST3
VDD
TR3rst
TR3amp
TR3sel
VSL2
SEL2
VDD
RST2
SEL3
VSL3
45C
45
TR2sel
TR2rst
TR2amp
TR2trs

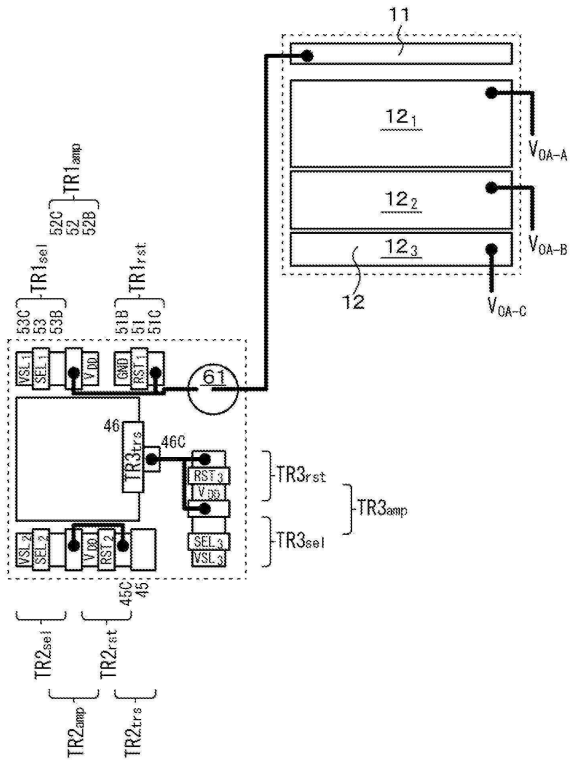
도면20


절연막
전송시
전위
절연막
리셋시
전위
절연막
축적시
전위
리셋시 전송시
축적시
리셋시 전송시
축적시
VOA1
VOA2
VOA3
PA
PB
PC
PD
RST
VSL_1
VDD
TR1_amp
TR1_sel
VDD
TR1_rst
RST
PD
PC
PB
PA
VOA-A
VOA-B
VOA-C

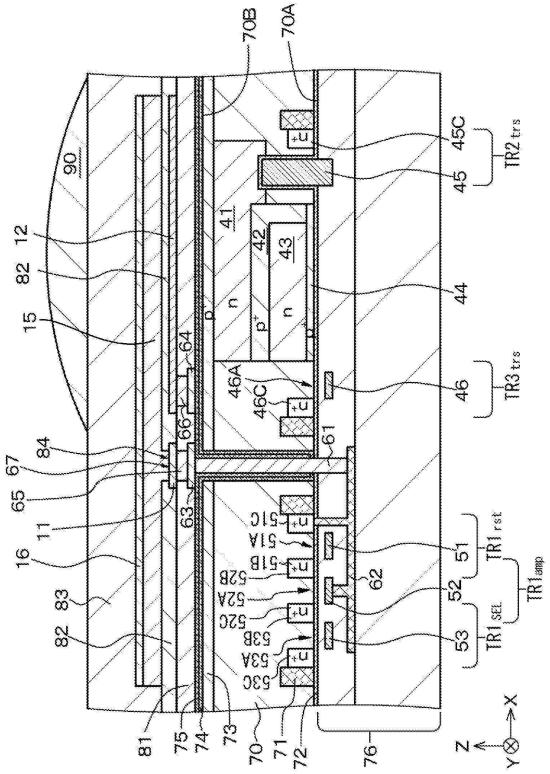
도면21


전송시
리셋시
축적시
전위
리셋시 전송시
축적시
리셋시 전송시
축적시
점 PA
점 PB
점 PC
점 PD

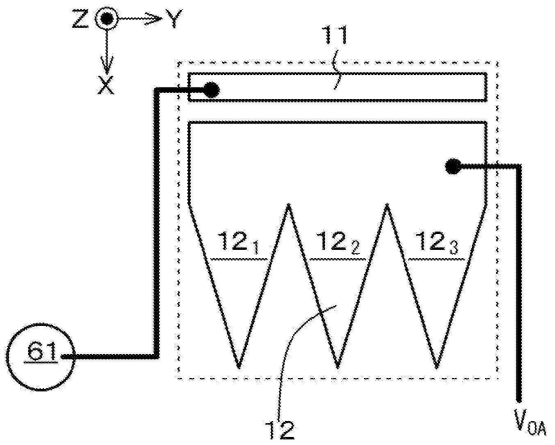
도면22


11
12
12₁
12₂
12₃
V_OA-A
V_OA-B
V_OA-C
61
46
46C
45
45C
TR1amp
TR1sel
TR1rst
TR2amp
TR2sel
TR2rst
TR2trs
TR3amp
TR3sel
TR3rst
TR3trs

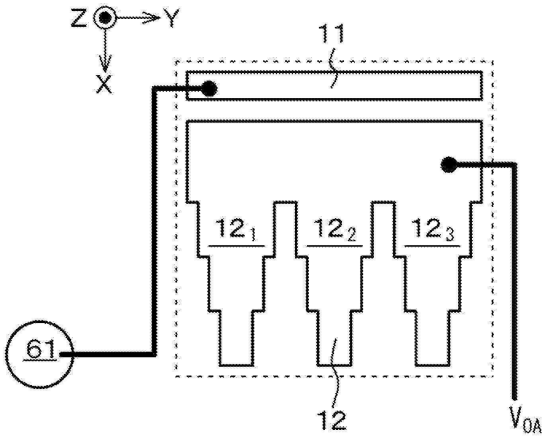
도면23


70B
70A
90
12
82
15
41
42
43
44
45C
45
TR2trs
46A
46C
46
TR3trs
61
84
67
65
66
64
63
11
16
83
82
51C
51A
51B
52B
52A
52C
53B
53A
53C
62
51
52
53
TR1rst
TR1amp
TR1SEL
81
75
74
73
70
71
72
76
Z
X
Y

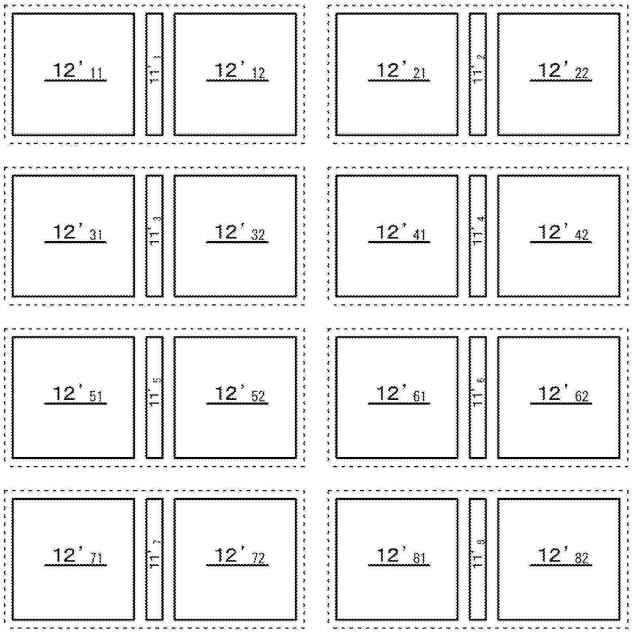
도면24a


Z
Y
X
11
12₁
12₂
12₃
61
12
V0A

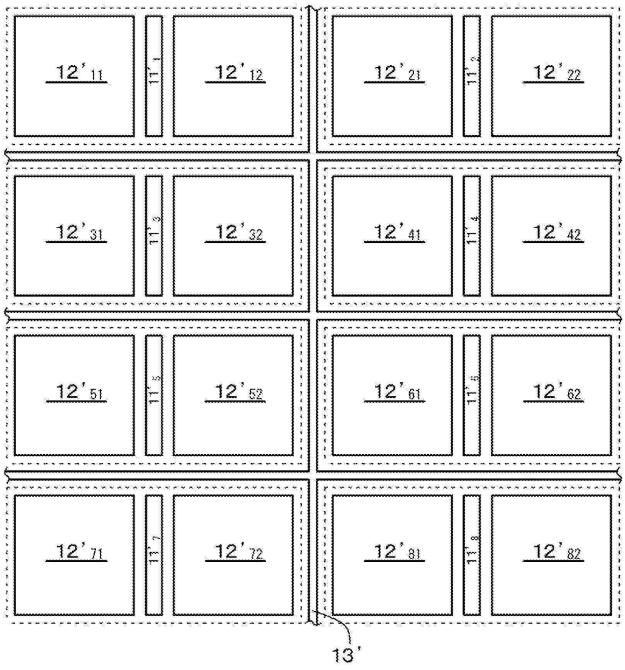
도면24b


Z
Y
X
11
12₁
12₂
12₃
61
12
V0A

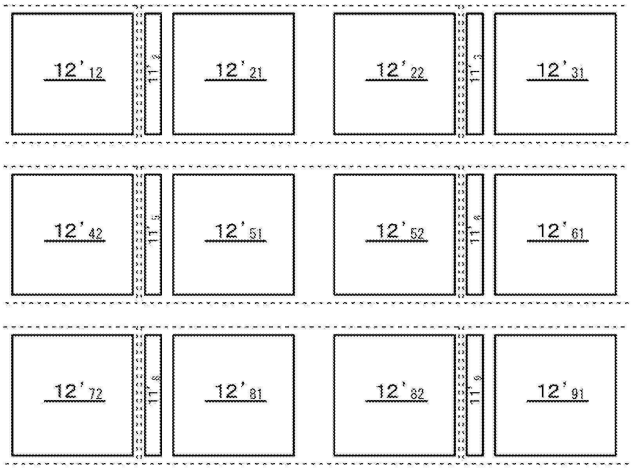
도면25


12'11
T1-1
12'12
12'21
T1-2
12'22
12'31
T1-3
12'32
12'41
T1-4
12'42
12'51
T1-5
12'52
12'61
T1-6
12'62
12'71
T1-7
12'72
12'81
T1-8
12'82

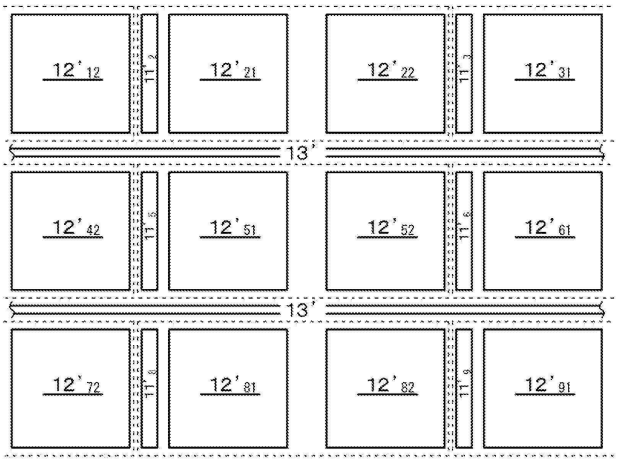
도면26


12'11
11'1
12'12
12'21
11'2
12'22
12'31
11'3
12'32
12'41
11'4
12'42
12'51
11'5
12'52
12'61
11'6
12'62
12'71
11'7
12'72
12'81
11'8
12'82
13'

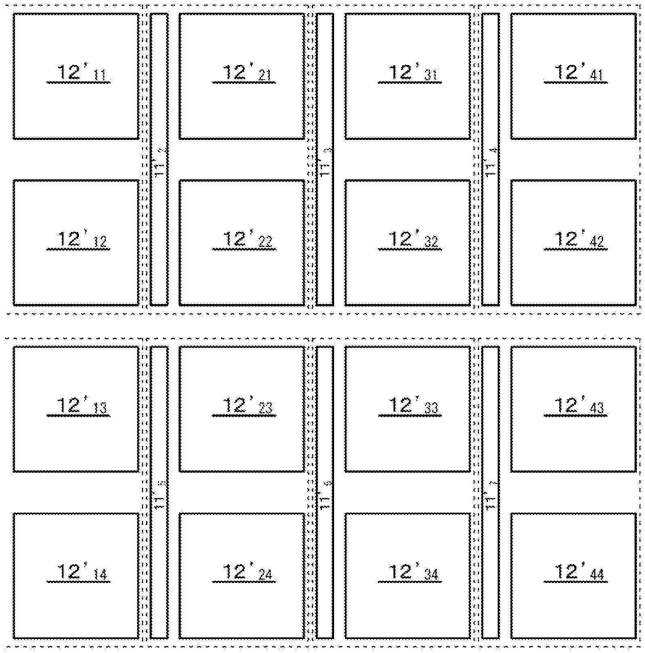
도면27


12'12
11'2
12'21
12'22
11'3
12'31
12'42
11'5
12'51
12'52
11'6
12'61
12'72
11'8
12'81
12'82
11'9
12'91

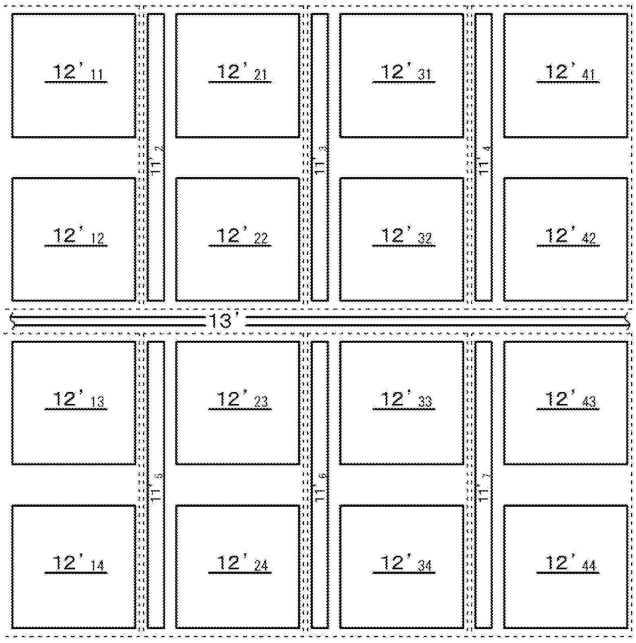
도면28


12'12
11'2
12'21
12'22
11'3
12'31
13'
12'42
11'5
12'51
12'52
11'6
12'61
13'
12'72
11'8
12'81
12'82
11'9
12'91

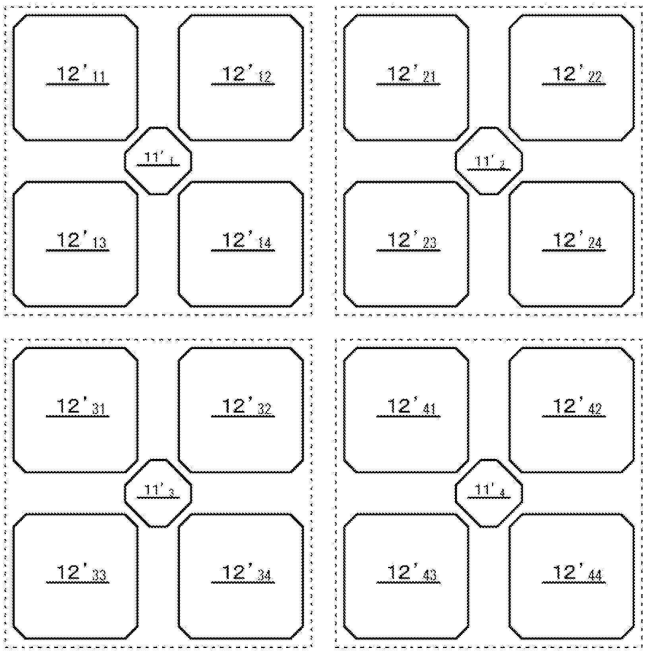
도면29


12'11
11'1
12'21
12'31
11'3
12'41
11'4
12'12
12'22
12'32
12'42
12'13
11'5
12'23
12'33
11'6
12'43
11'7
12'14
12'24
12'34
12'44

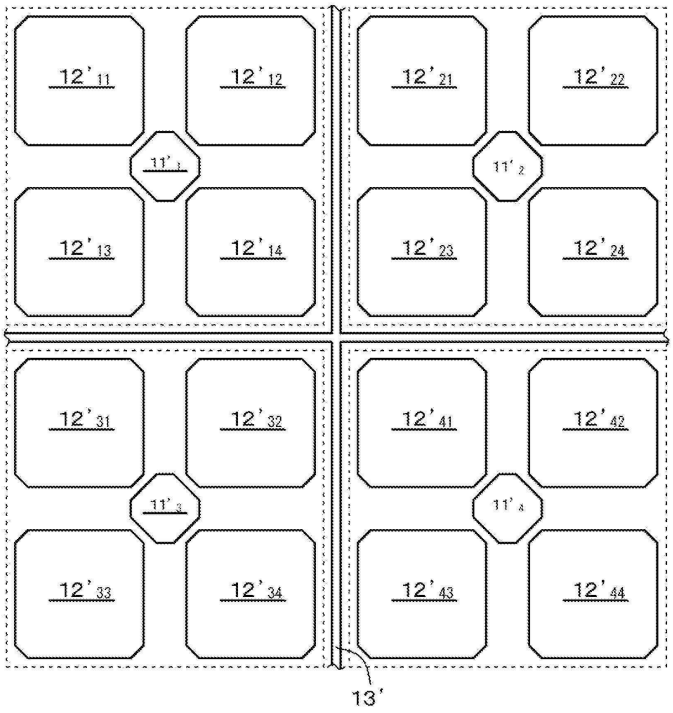
도면30


12'11
12'21
12'31
12'41
11'2
11'3
11'4
12'12
12'22
12'32
12'42
13'
12'13
12'23
12'33
12'43
11'5
11'6
11'7
12'14
12'24
12'34
12'44

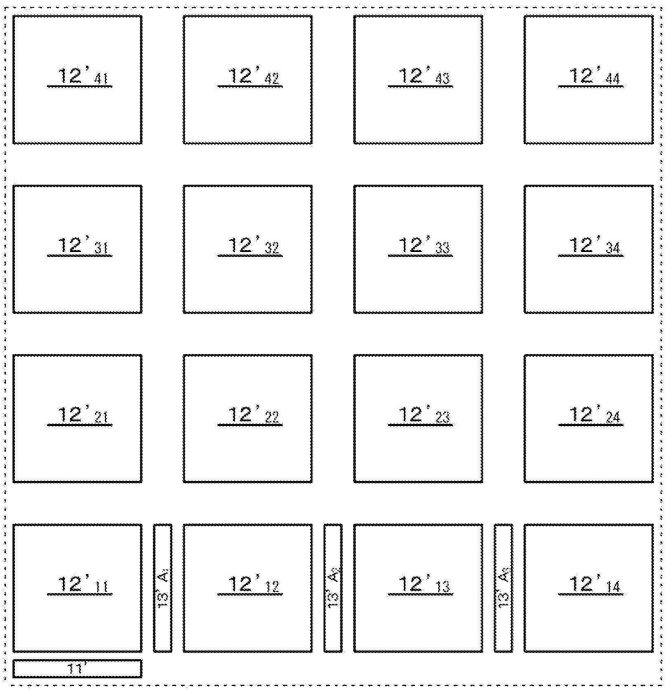
도면31


12'11
12'12
11'1
12'13
12'14
12'21
12'22
11'2
12'23
12'24
12'31
12'32
11'3
12'33
12'34
12'41
12'42
11'4
12'43
12'44

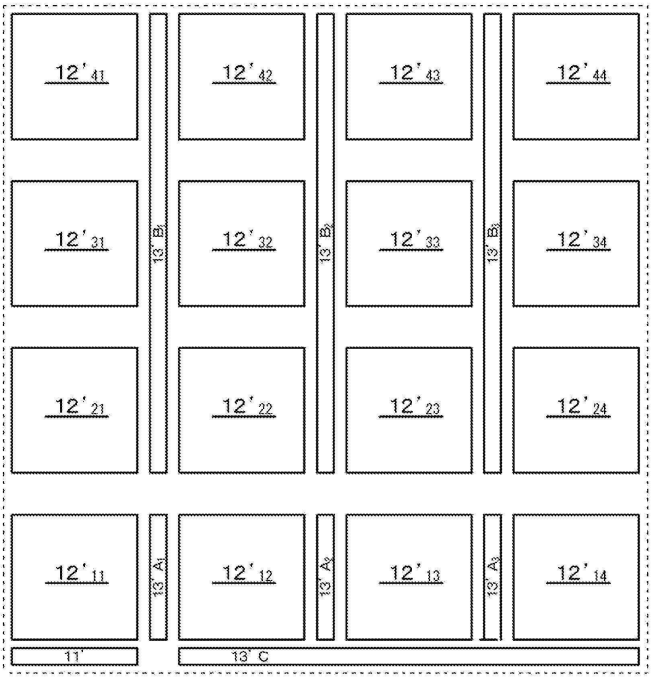
도면32


12'11
12'12
12'21
12'22
11'1
11'2
12'13
12'14
12'23
12'24
12'31
12'32
12'41
12'42
11'3
11'4
12'33
12'34
12'43
12'44
13'

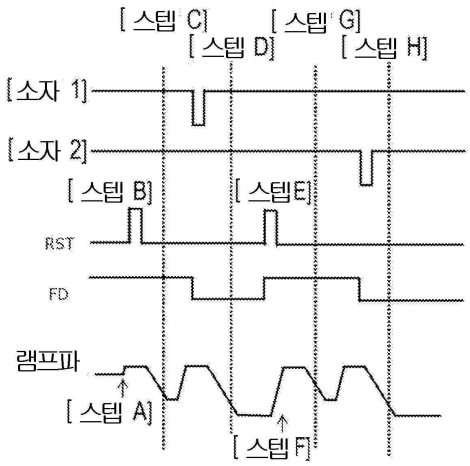
도면33


12'41
12'42
12'43
12'44
12'31
12'32
12'33
12'34
12'21
12'22
12'23
12'24
12'11
13'A1
12'12
13'A2
12'13
13'A3
12'14
11'

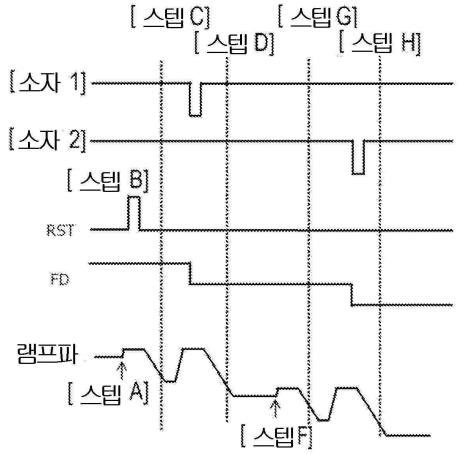
도면34


12'41
12'42
12'43
12'44
12'31
12'32
12'33
12'34
12'21
12'22
12'23
12'24
12'11
12'12
12'13
12'14
13' B1
13' B2
13' B3
13' A1
13' A2
13' A3
11'
13' C

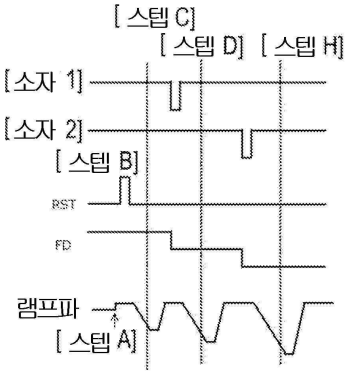
도면35a


[스텝 C]
[스텝 G]
[스텝 D]
[스텝 H]
[소자 1]
[소자 2]
[스텝 B]
[스텝E]
RST
FD
램프파
[스텝 A]
[스텝 F]

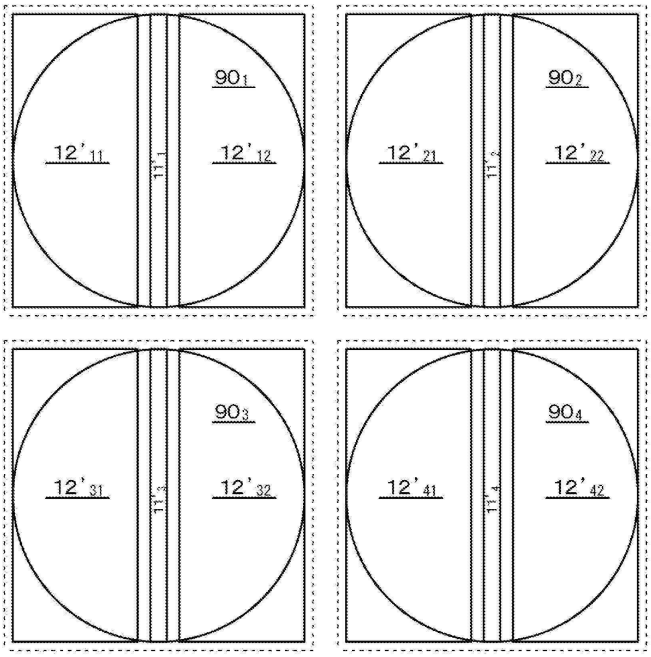
도면35b



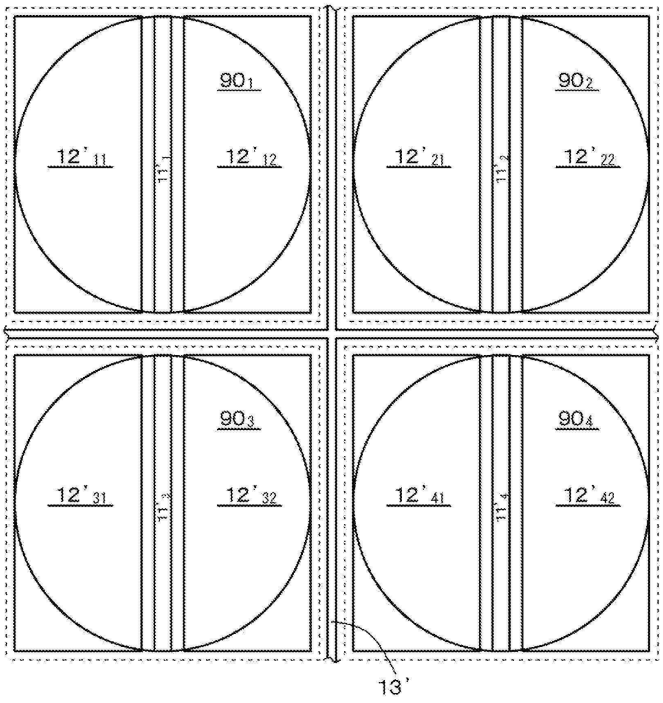
도면35c



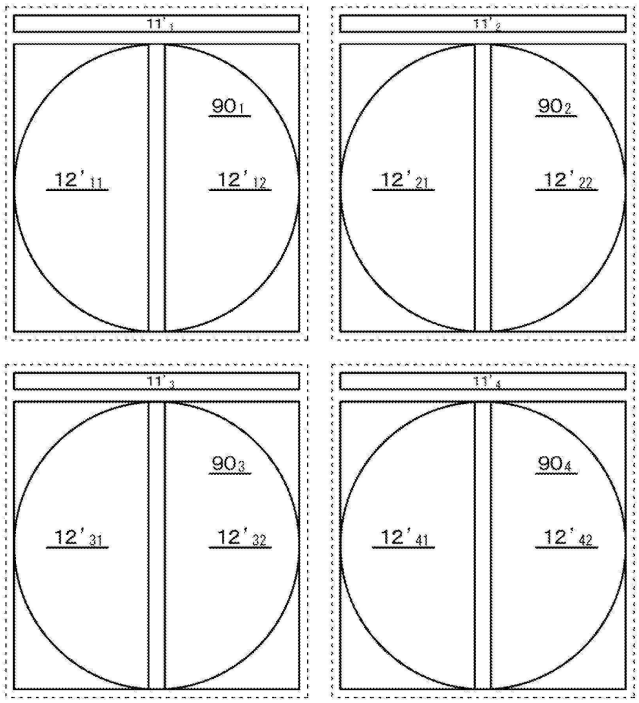
도면36



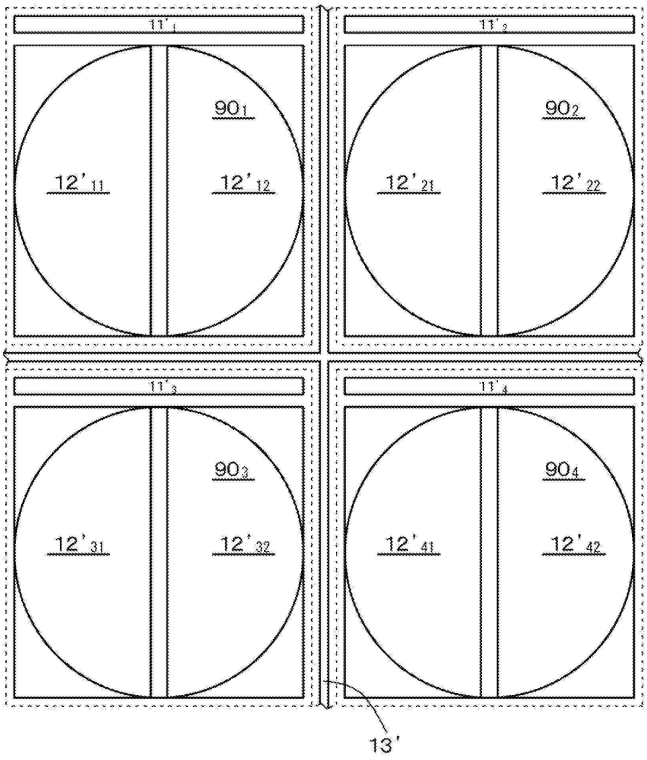
도면37


90₁
12'₁₁
12'₁₂
11'₁
90₂
12'₂₁
12'₂₂
11'₂
90₃
12'₃₁
12'₃₂
11'₃
90₄
12'₄₁
12'₄₂
11'₄
13'

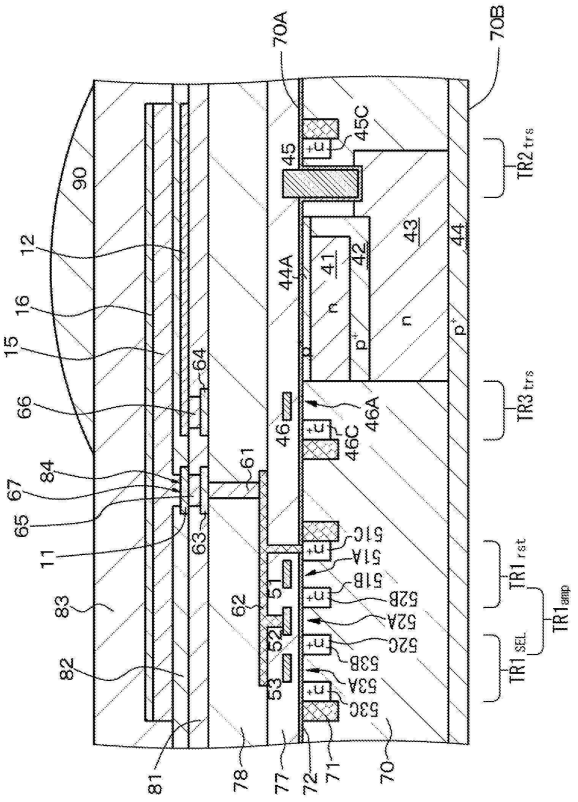
도면38


11'₁
90₁
12'₁₁
12'₁₂
11'₂
90₂
12'₂₁
12'₂₂
11'₃
90₃
12'₃₁
12'₃₂
11'₄
90₄
12'₄₁
12'₄₂

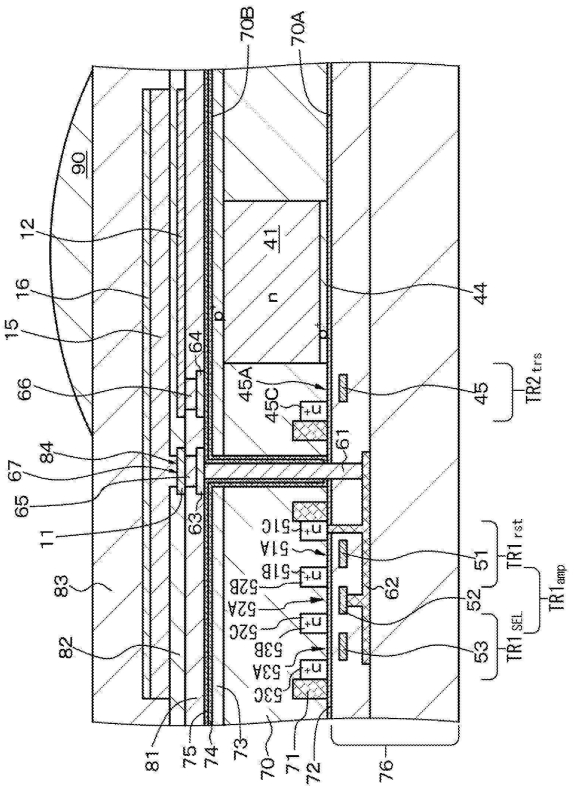
도면39


11'1
11'2
11'3
11'4
901
902
903
904
12'11
12'12
12'21
12'22
12'31
12'32
12'41
12'42
13'

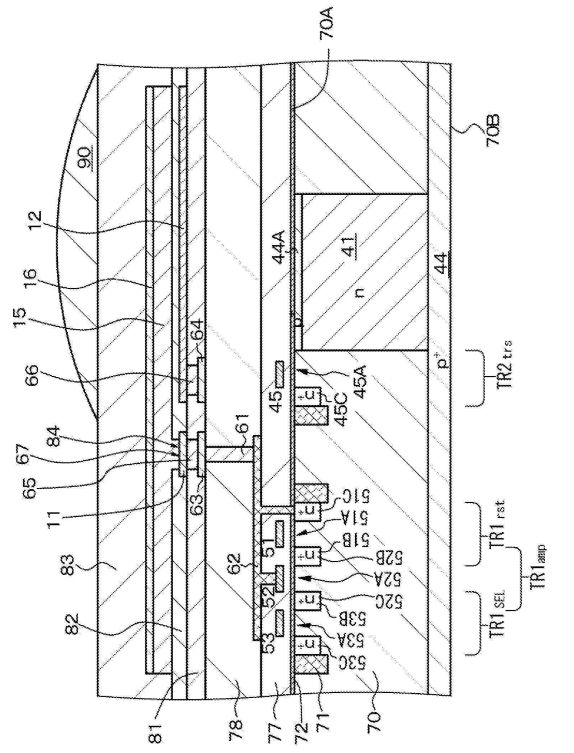
도면40


70A
70B
45C
45
TR2trs
90
12
16
15
64
66
84
67
65
11
83
82
81
78
77
72
71
70
44A
41
42
43
44
n
p+
46
46C
46A
TR3trs
61
63
62
51
52
53
51C
51A
51B
52B
52A
52C
53B
53A
53C
TR1rst
TR1amp
TR1SEL

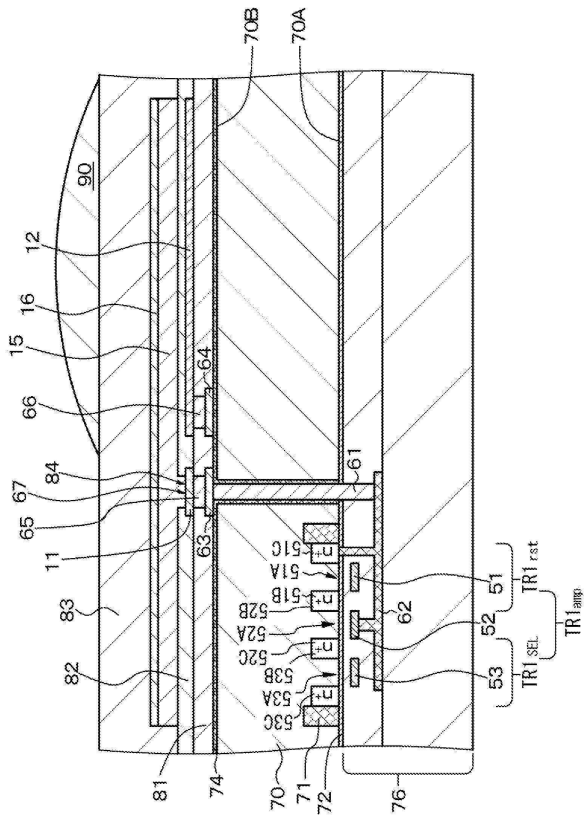
도면41


70B
70A
90
12
16
15
66
84
67
65
11
83
82
64
41
n
p+
44
45A
45C
45
TR2trs
61
63
51C
51A
51B
52B
52A
52C
53B
53A
53C
62
51
52
53
TR1rst
TR1amp
TR1SEL
81
75
74
73
70
71
72
76

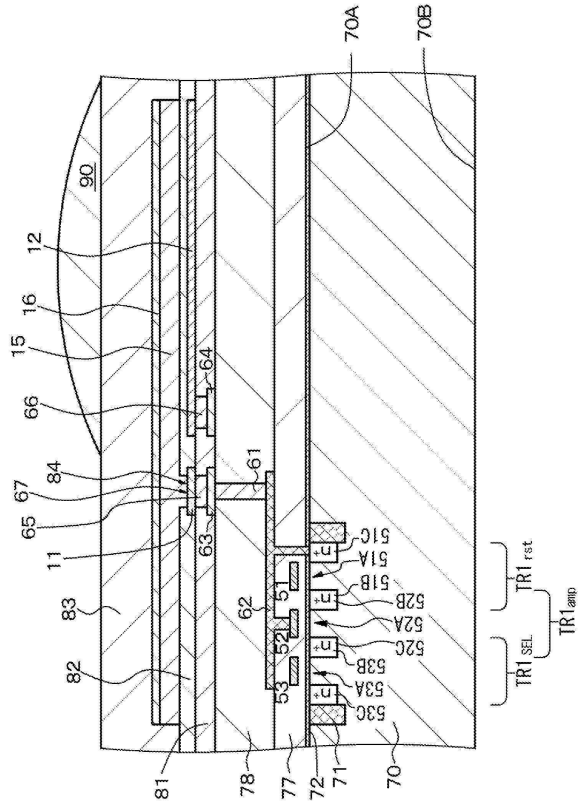
도면42


70A
70B
90
12
16
15
66
84
67
65
11
83
82
64
44A
41
n
p+
44
45
45A
45C
TR2trs
61
63
51C
51A
51B
52B
52A
52C
53B
53A
53C
62
51
52
53
TR1rst
TR1amp
TR1SEL
81
78
77
72
71
70

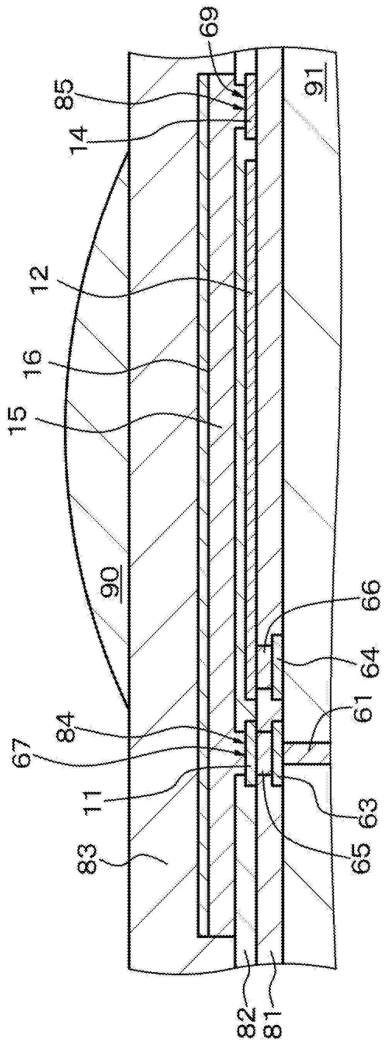
도면43


70B
70A
90
12
16
15
64
66
84
67
65
11
63
83
82
61
62
51
52
53
TR1 rst
TR1 amp
TR1 SEL
81
74
70
71
72
76

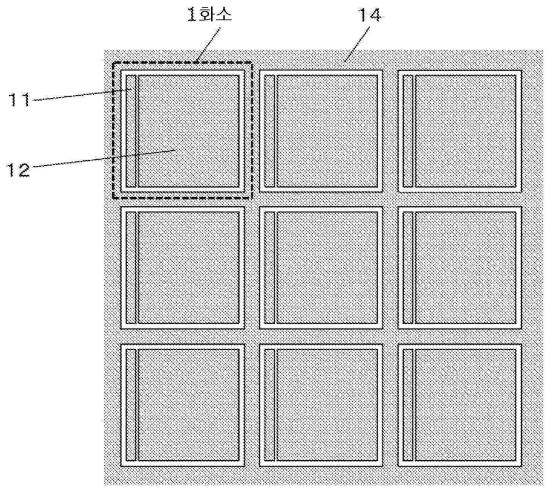
도면44


70A
70B
90
12
16
15
64
66
84
67
65
11
63
83
82
61
62
51
52
53
TR1 rst
TR1 amp
TR1 SEL
81
78
77
72
71
70

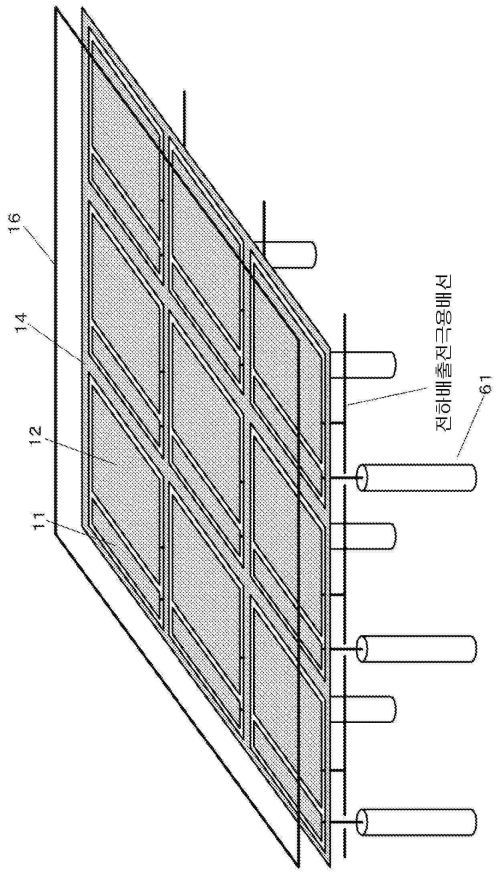
도면45



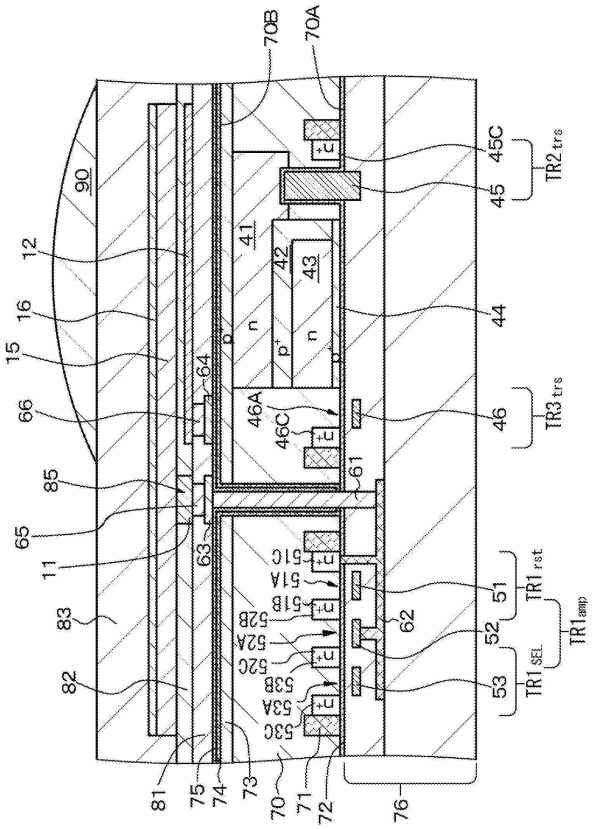
도면46



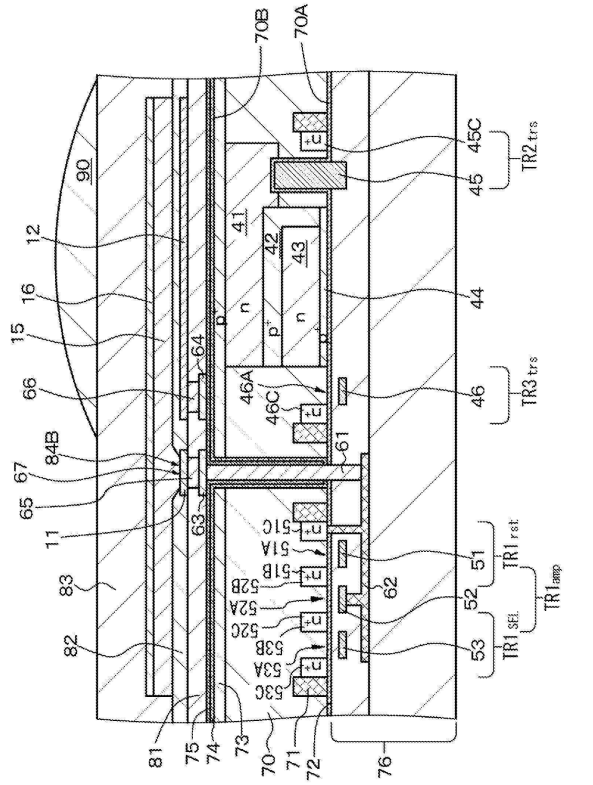
도면47



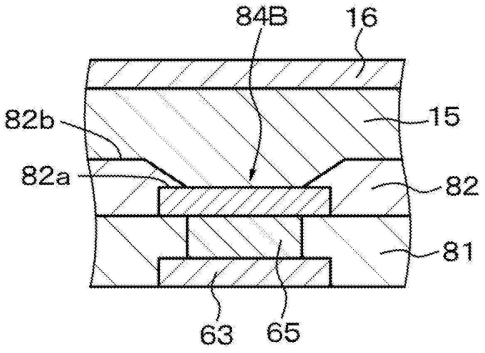
도면48


70B
70A
90
12
16
15
66
85
65
11
83
82
64
63
41
42
43
44
45C
45
46A
46C
46
61
51C
51A
51B
52B
52A
52C
53B
53A
53C
51
52
53
62
TR2trs
TR3trs
TR1rst
TR1amp
TR1SEL
81
75
74
73
70
71
72
76

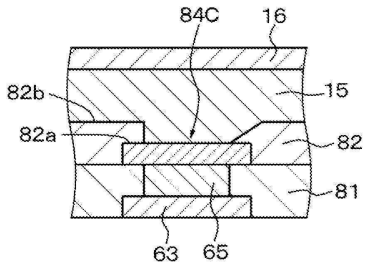
도면49


70B
70A
90
12
16
15
66
84B
67
65
11
83
82
64
63
41
42
43
44
45C
45
46A
46C
46
61
51C
51A
51B
52B
52A
52C
53B
53A
53C
51
52
53
62
TR2trs
TR3trs
TR1rst
TR1amp
TR1SEL
81
75
74
73
70
71
72
76

도면50a

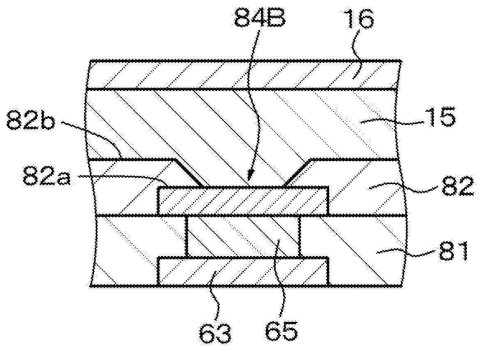


도면50b

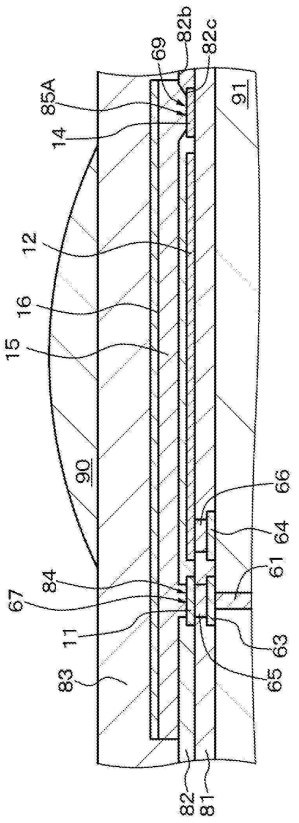


전하축적용전극12측

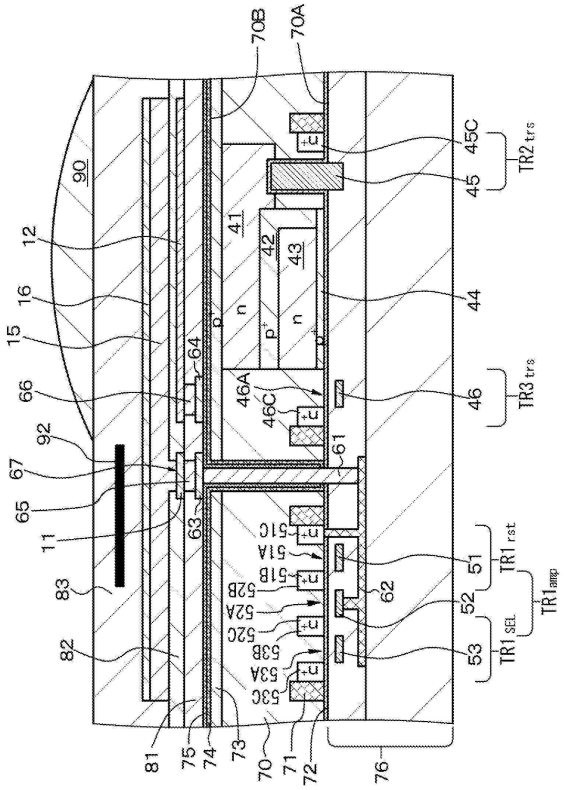
도면50c



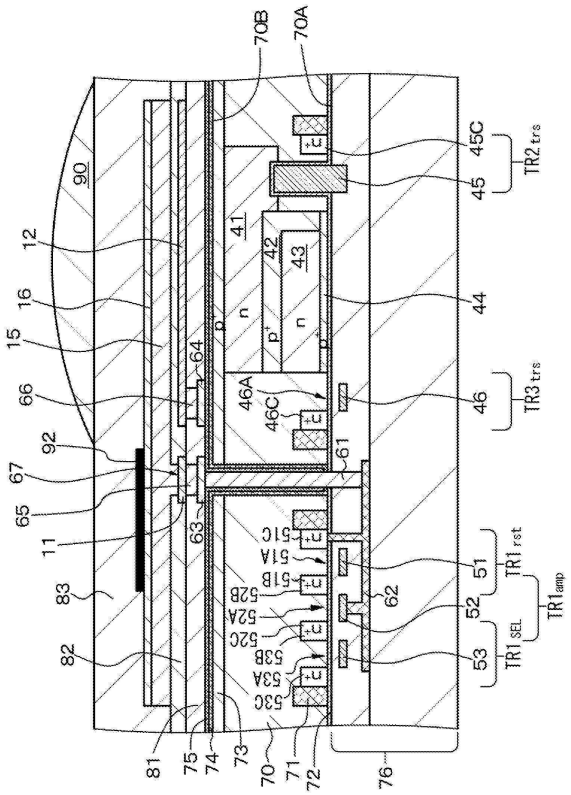
도면51


69
82b
82c
85A
14
91
12
16
15
90
66
64
61
84
67
11
63
83
65
82
81

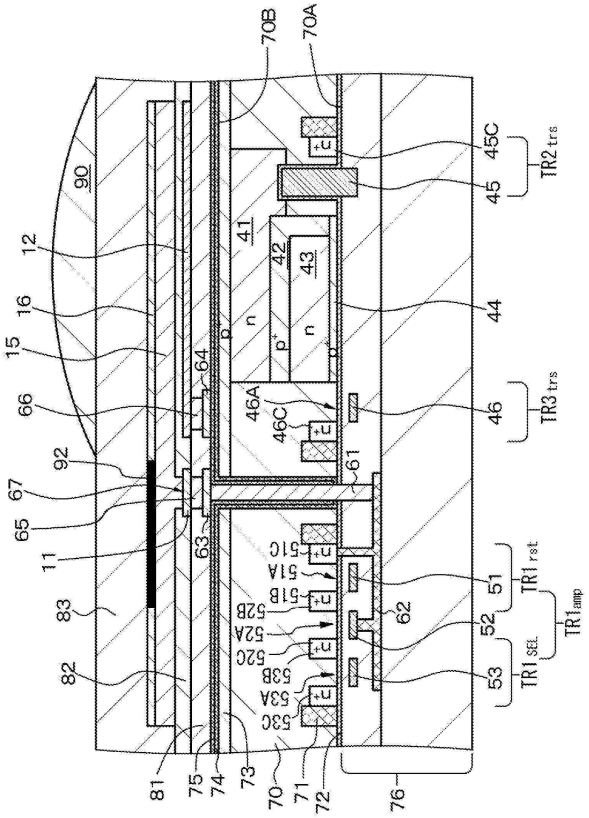
도면52


70B
70A
45C
45
TR2trs
41
42
43
12
16
15
64
44
66
46A
46C
46
TR3trs
92
67
61
65
63
11
51C
51A
51B
52B
52A
52C
53B
53A
53C
51
TR1rst
62
52
TR1amp
83
82
53
TR1SEL
81
75
74
73
70
71
72
76

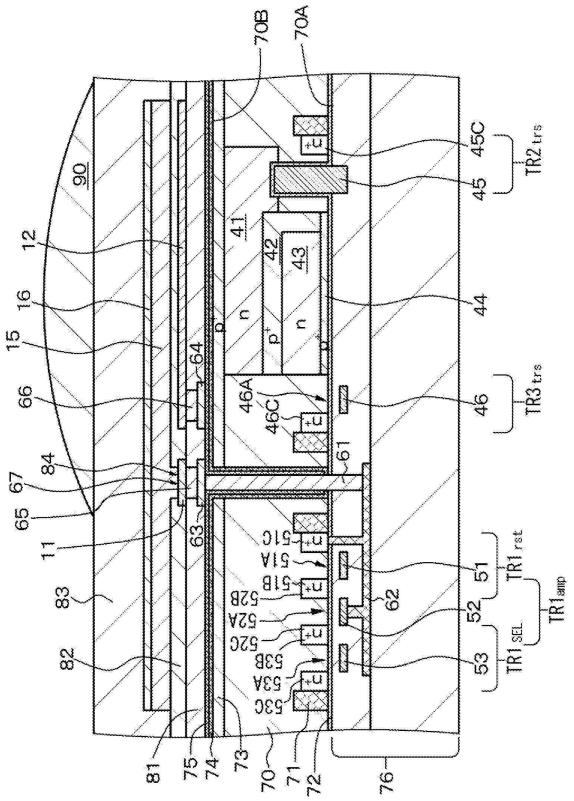
도면53


70B
70A
45C
45
TR2trs
90
12
41
42
43
16
15
64
44
66
46A
46C
46
TR3trs
92
67
61
65
63
11
51C
51A
51B
51
TR1rst
83
52B
52A
52C
62
52
TR1amp
82
53B
53A
53C
53
TR1SEL
81
75
74
73
70
71
72
76

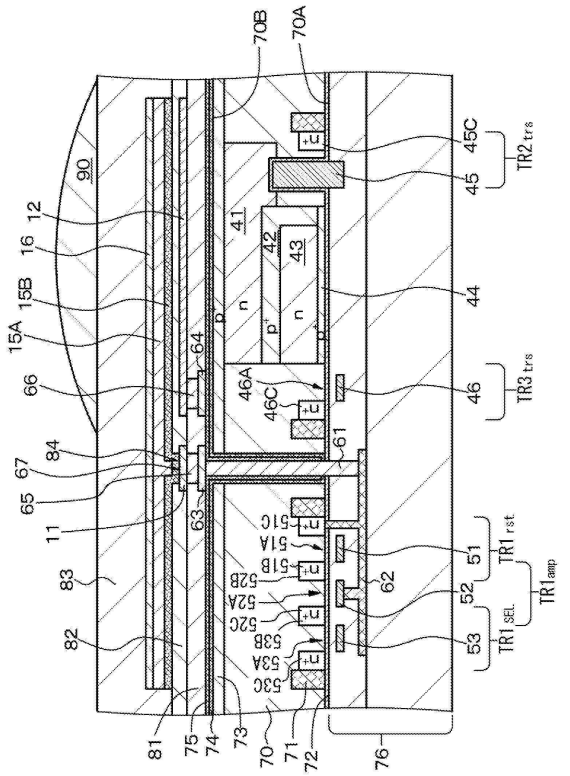
도면54


70B
70A
45C
45
TR2trs
90
12
41
42
43
16
15
64
44
66
46A
46C
46
TR3trs
92
67
61
65
63
11
51C
51A
51B
51
TR1rst
83
52B
52A
52C
62
52
TR1amp
82
53B
53A
53C
53
TR1SEL
81
75
74
73
70
71
72
76

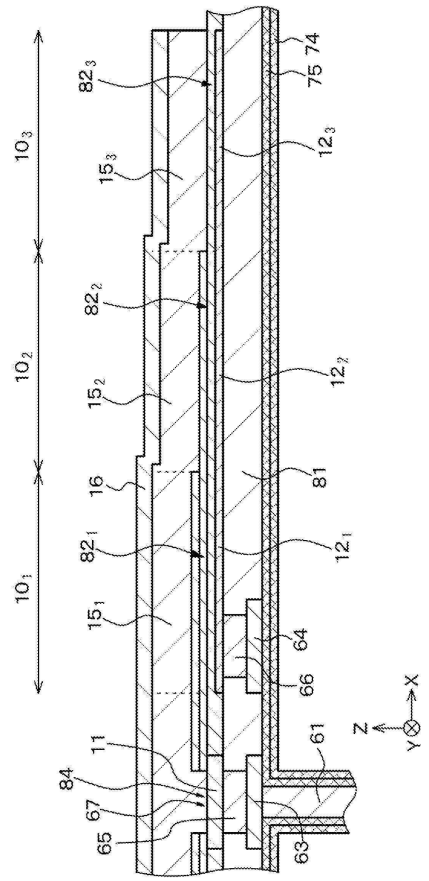
도면55


70B
70A
90
12
16
15
66
67
84
65
11
83
82
81
75
74
73
70
71
72
76
45C
45
TR2 trs
41
42
43
44
46A
46C
46
TR3 trs
64
61
63
51C
51A
51B
52B
52A
52C
53B
53A
53C
62
51
TR1 rst
52
TR1 amp
53
TR1 SEL

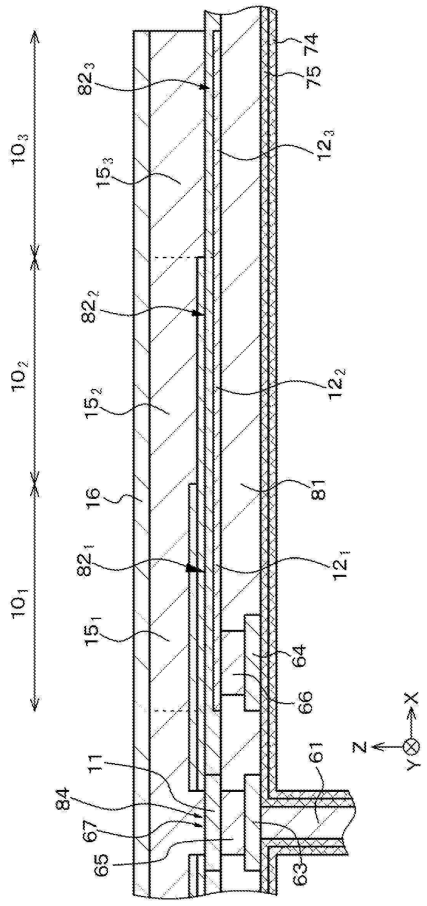
도면56


70B
70A
90
12
16
15B
15A
66
67
84
65
11
83
82
81
75
74
73
70
71
72
76
45C
45
TR2 trs
41
42
43
44
46A
46C
46
TR3 trs
64
61
63
51C
51A
51B
52B
52A
52C
53B
53A
53C
62
51
TR1 rst
52
TR1 amp
53
TR1 SEL

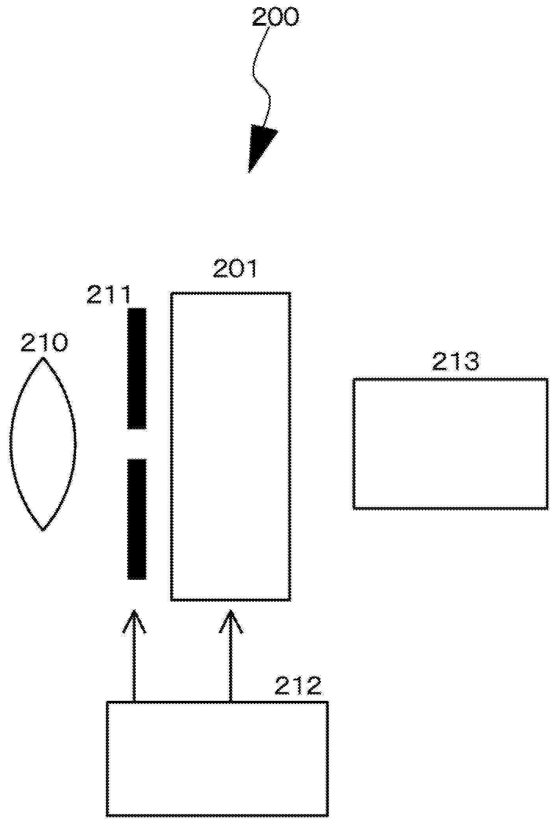
도면57


10_3
10_2
10_1
82_3
15_3
82_2
15_2
16
82_1
15_1
11
84
67
65
74
75
12_3
12_2
81
12_1
64
66
61
63
Z
X
Y

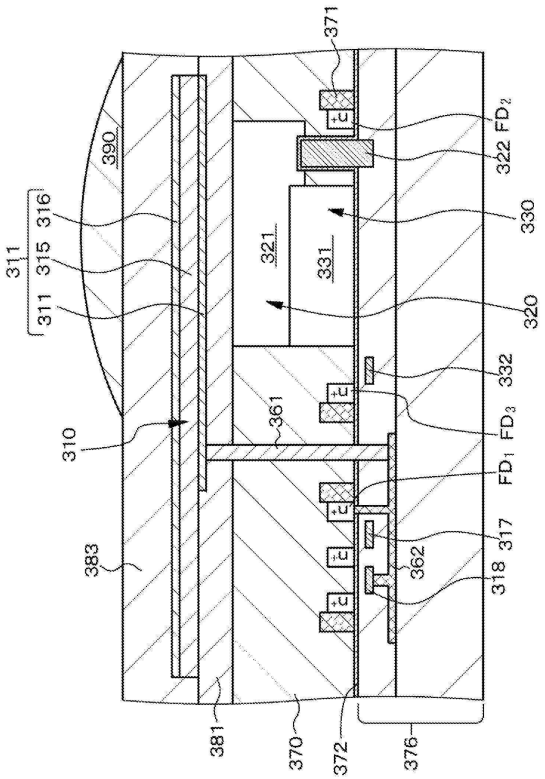
도면58


10_3
10_2
10_1
82_3
15_3
82_2
15_2
16
82_1
15_1
11
84
67
65
74
75
12_3
12_2
81
12_1
64
66
61
63
Z
X
Y

도면59


200
201
211
210
213
212

도면60


371
390
322
FD2
316
315
311
311
321
331
330
320
332
361
FD3
FD1
310
317
362
318
383
381
370
372
376