

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-143247

(P2017-143247A)

(43) 公開日 平成29年8月17日(2017.8.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8239 (2006.01)	HO 1 L 27/105 4 4 7	4 M 1 1 9
HO 1 L 27/105 (2006.01)	HO 1 L 29/82 Z	5 F 0 3 3
HO 1 L 29/82 (2006.01)	HO 1 L 43/08 Z	5 F 0 9 2
HO 1 L 43/08 (2006.01)	HO 1 L 21/90 A	
HO 1 L 21/768 (2006.01)		

審査請求 未請求 請求項の数 14 O L 外国語出願 (全 28 頁)

(21) 出願番号 特願2016-246877 (P2016-246877)
 (22) 出願日 平成28年12月20日 (2016.12.20)
 (31) 優先権主張番号 15201487.4
 (32) 優先日 平成27年12月21日 (2015.12.21)
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 514156563
 アイメック・ヴェーゼットウェー
 I MEC V Z W
 ベルギー、ペー-3001ルーヴァン、カ
 ペルドリーフ75番
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100112911
 弁理士 中野 晴夫
 (72) 発明者 ゴウリ・サンカール・カー
 ベルギー3001ルーヴァン、カペルドリ
 ーフ75番 アイメック・ヴェーゼットウ
 ェー内

最終頁に続く

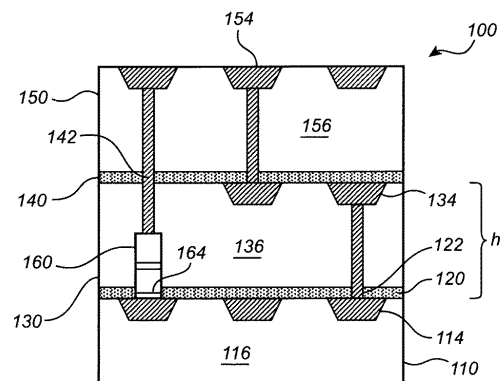
(54) 【発明の名称】 組み込まれた磁気トンネル接合を有する半導体デバイス

(57) 【要約】 (修正有)

【課題】 組み込まれた磁気トンネル接合を有する半導体デバイス及びその製造方法を提供する。

【解決手段】 半導体デバイス100は、第1金属層110と、第1誘電体層120と、第2金属層130と、第2誘電体層140と、第3金属層150とのスタックを含む。更に、磁気トンネル接合(MTJ)デバイス160は、第1誘電体層および第2金属層の中に配置され、第1金属層および第3金属層に電氣的に接続されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 金属層と、
 該第 1 金属層の上に配置された第 1 誘電体層と、
 該第 1 誘電体層の上に配置された第 2 金属層と、
 該第 2 金属層の上に配置された第 2 誘電体層と、
 該第 2 誘電体層の上に配置された第 3 金属層と、
 を含む半導体デバイスであって、
 前記第 1 金属層は、前記第 1 誘電体層に配置されたビアによって前記第 2 金属層に電氣的に接続され、

10

前記第 2 金属層は、前記第 2 誘電体層に配置されたビアによって前記第 3 金属層に電氣的に接続され、

更に、該半導体デバイスは、前記第 1 誘電体層および前記第 2 金属層の中に配置され、前記第 1 金属層および前記第 3 金属層に電氣的に接続され、高さが前記第 1 誘電体層の中のビアの長さを超えている磁気トンネル接合 (MTJ) デバイスを含む半導体デバイス。

【請求項 2】

前記 MTJ デバイスは、前記第 1 金属層の金属配線の上に配置されている請求項 1 に記載の半導体デバイス。

【請求項 3】

前記第 1 誘電体層および前記第 2 金属層の厚さの合計は、50 nm 未満である請求項 1 または請求項 2 のいずれかに記載の半導体デバイス。

20

【請求項 4】

前記第 2 金属層は、複数の金属配線および誘電体材料を含み、該誘電体材料は、そこで複数の金属配線が形成されるトレンチを含む請求項 1 ~ 3 のいずれかに記載の半導体デバイス。

【請求項 5】

前記第 2 金属層の前記誘電体材料は、low - k 材料である請求項 4 に記載の半導体デバイス。

【請求項 6】

前記第 3 金属層は、複数の金属配線および誘電体材料を含み、該誘電体材料は、そこで複数の金属配線が形成されるトレンチを含む請求項 1 ~ 5 のいずれかに記載の半導体デバイス。

30

【請求項 7】

前記 MTJ デバイスは、前記第 2 誘電体層の中のビアによって前記第 3 金属層金属配線に接続されている請求項 6 に記載の半導体デバイス。

【請求項 8】

前記 MTJ デバイスは、バックエンドオブライン (BEOL) において配置される請求項 1 ~ 7 のいずれかに記載の半導体デバイス。

【請求項 9】

前記 MTJ デバイスは、垂直 MTJ デバイスである請求項 1 ~ 8 のいずれかに記載の半導体デバイス。

40

【請求項 10】

半導体デバイスを製造する方法であって、
 第 1 金属層の上に第 1 誘電体層を形成するステップと、
 前記第 1 誘電体層の上に、前記第 1 誘電体層の中に配置されたビアによって前記第 1 金属層に電氣的に接続された第 2 金属層を形成するステップと、
 前記第 1 誘電体層および前記第 1 金属層の中に配置された MTJ デバイスを形成するステップと、

前記第 2 金属層の上に第 2 誘電体層を形成するステップと、
 前記第 2 誘電体層の上に、前記第 2 誘電体層の中に配置されたビアによって前記第 2 金

50

属層に電氣的に接続された第3金属層を形成するステップと、
を含む製造方法。

【請求項11】

下層の前記第1金属層の金属配線を露出させるように前記第1誘電体層にビアトレンチを形成するステップと、

前記ビアトレンチの中に、前記MTJデバイスを形成するスタックであって、前記第1誘電体層の厚さを超える高さを有する前記スタックを提供するステップと、

MTJデバイスのスタックを少なくとも部分的に囲むように配置された誘電体材料の層を提供するステップと、

前記誘電体材料の中に、第2金属層を形成するステップと、

を含む請求項10に記載の方法。

10

【請求項12】

前記第1誘電体層および前記第2金属層の厚さの合計は、50nm未満である請求項10または請求項11に記載の方法。

【請求項13】

前記MTJデバイスは、垂直MTJデバイスである請求項10～12のいずれかに記載の方法。

【請求項14】

前記MTJデバイスは、バックエンドオブライン(BEOL)において配置される請求項10～13のいずれかに記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的に磁気トンネル接合(MTJ)を有する半導体デバイスの分野に関し、特に半導体デバイスの誘電体層および金属層へのMTJの組み込みに関する。

【背景技術】

【0002】

埋込型スタティックランダムアクセスメモリ(SRAM)の代替品として、磁気抵抗ランダムアクセスメモリ(MRAM)デバイスへの関心が高まっている。MRAMデバイスは、磁気トンネル接合(MTJ)デバイスにおけるデータの揮発性記憶のために使用することができる。MTJデバイスは、バックエンドオブライン(BEOL)処理で誘電体層内に形成され、金属層によって相互接続されて所望の電気回路を形成する。BEOL処理は、誘電体層によって分離され、誘電体材料によって隔離された相互接続ワイヤまたは配線を有する金属層を形成することを含む。更に、ビア接続部は、金属層を互いに接続するように形成される。

30

【0003】

より高いメモリ密度のより小型で高速な半導体デバイスに対する要求が常に増しているので、より高度な電気配線を有する改良された半導体デバイスに対する要求がある。

【発明の概要】

【0004】

本発明の具体例の少なくともいくつかの目的は、MTJデバイスがBEOLにおいて、特により高度なテクノロジノードに関連して、より効率的に組み込まれることができる改良された半導体デバイスを提供することである。

40

【0005】

本発明のこの目的および他の目的の少なくとも1つは、独立請求項に規定された特徴を有する半導体デバイスおよび方法を用いて達成される。発明の好適な具体例は、従属請求項によって特徴付けられる。

【0006】

本発明の第1態様によると、半導体デバイスが提供される。半導体デバイスは、第1金属層と、第1金属層の上に配置された第1誘電体層と、第1誘電体層の上に配置された第

50

2金属層と、第2金属層の上に配置された第2誘電体層と、第2誘電体層の上に配置された第3金属層とを含む。第1金属層は、第1誘電体層に配置されたビアによって第2金属層に電氣的に接続され、第2金属層は、第2誘電体層に配置されたビアによって第3金属層に電氣的に接続されている。更に、磁気トンネル接合(MTJ)を含む半導体デバイスは、第1誘電体層および第2金属層に配置され、第1金属層および第3金属層に電氣的に接続されている。

【0007】

本発明の第2態様によると、第1態様にかかる半導体デバイスを製造する方法が提供される。この方法は、第1金属層の上に第1誘電体層を形成するステップと、第1誘電体層の上に第2金属層を形成するステップとを含む。第2金属層は、第1誘電体層の中に配置されたビアによって第1金属層に電氣的に接続されている。この方法は更に、第1誘電体層および第1金属層の中に配置されたMTJデバイスを形成するステップと、第2金属層の上に第2誘電体層を形成するステップと、第2誘電体層の上に、第2誘電体層の中に配置されたビアによって第2金属層に電氣的に接続された第3金属層を形成するステップとを含む。

10

【0008】

MTJデバイスが第1誘電体層の中に形成される従来技術のデバイスでは、誘電体層の厚さは、MTJデバイスの最小の高さによって制限される。MTJデバイスの可能な最小の高さは、MTJデバイスを形成するために必要な層のスタックの構成によって決定されるため、MTJデバイスの性能を損なうことなく、MTJデバイスの高さを特定の値未満に低減することは困難である。本発明は、第1誘電体層にだけでなく第2金属層にも延びるようなMTJデバイスを形成することによって、MTJスタックの性能を低下させるリスクなしに、誘電体層の厚さをMTJデバイスの高さよりも低く減らすことができるという理解に基づくものである。したがって、本発明は、MTJデバイスが第1誘電体層および第2金属層に組み込まれて、例えば28nm以下などのより高度な技術ノードを可能にする半導体デバイスを提供する。言い換えれば、MTJデバイスは、第1誘電体層のビア接続部の延長部に配置されてもよい。

20

【0009】

MTJデバイスは、バックエンドオブライン(BEOL)において、第1金属層の金属配線などの上に提供され、第1誘電体層を通して第2金属層内に延びるように配置されてもよい。言い換えれば、MTJは、メモリ領域の第1金属層上に、同時に半導体デバイスのロジック領域の第2金属層内に組み込まれてもよく、ここで第2金属層は、例えば第2誘電体層の中のビアによって第3金属層に電氣的に接続されてもよい。

30

【0010】

MTJデバイスは、磁気参照層またはピン層と、バリア層によって分離された磁気自由層とのスタックから形成されてもよい。磁気参照層および磁気自由層は、例えばCoFeBを含んでもよく、バリア層は、MgOを含んでもよい。参照層は、固定した磁化方向を有するように構成され、自由層は、様々な磁化方向を有するように構成されてもよい。中間バリア層は、参照層と自由層との間の電子のトンネリングを可能にするように構成されてもよい。

40

【0011】

参照層と自由層との相対的な磁化方向は、MTJデバイスの電気抵抗を決定する。MTJデバイスは、参照層と自由層の磁化が平行に整列されている場合は、比較的低い抵抗を、参照層と自由層の磁化がそれぞれ逆平行である場合は、比較的低い抵抗を有する。電気抵抗の差は、MTJデバイス内に情報を記憶するために使用されてもよい。

【0012】

スタックは、磁気参照層が、第1金属層に形成されまたは電氣的に接続されるように、および磁気自由層が、第3金属層に電氣的に接続されるように、配置されてもよい。このような構成は、ボトムピン構成と呼ばれる。代わりに、スタックは、磁気自由層が、第1金属層上に形成されまたは電氣的に接続され、参照層が、第3金属層に電氣的に接続して

50

いる反対の構成で配置されてもよい。このような構成は、トップピン構成と呼ばれる。

【0013】

MTJスタックは、第1金属層の上に配置された底部電極の上に提供されてもよい。底部電極は、所望の表面粗さを提供するように、特に、第1金属層の裸の表面と比較してより平滑な表面を提供するように構成されてもよい。比較的平滑な表面は、MTJスタックが形成される場合、後続の処理ステップにおいて有利であり得る。いくつかの例では、底部電極はBEOLの一部を形成してもよいが、他の例では、MTJデバイスを形成するスタックの一部を形成してもよい。

【0014】

MTJデバイスは、自由層の磁区に直接トルクをかけるためにスピン整列された電子を利用するスピン移行トルク(STT)MTJデバイスであってもよい。STT・MTJデバイスは、有利に書込電流の低減を可能にする。

10

【0015】

磁気参照層および磁気自由層は、垂直磁気異方性を有していてもよく、これはMTJデバイスのサイズが低減されることを可能にし、したがって半導体デバイスの層の厚さが減少し、およびメモリ密度が増加した半導体デバイスを可能にする。

【0016】

半導体デバイスは、例えば、データの不揮発性記憶のためにMTJデバイスを使用する磁気抵抗メモリ(MRAM)であり、またはその一部を形成するものであってもよい。

【0017】

例えば「金属層」および「誘電体層」のように記載される「層(layer)」の用語は、半導体デバイスを形成する多層スタック内の特定のレベルまたは位置を指す場合がある。したがって、金属層は、金属構造および誘電体領域などの導電性の構造または領域の両方を含んでもよい。金属構造は、例えば金属が充填されたトレンチとして誘電体材料に提供されてもよい。したがって、「金属層」の用語は、金属構造を有する誘電体材料を含む層を指す場合がある。好適には、金属層は、電気的に絶縁された、または誘電体材料によって互いに分離された金属相互接続ワイヤから形成されてもよい。「誘電体層」の用語は、2つの金属層の間に構造的に配置された電気絶縁層を指す場合がある。

20

【0018】

ある具体例によると、MTJデバイスは、第1金属層の軸上に、すなわち金属配線の上に配置されてもよい。これにより、MTJデバイスは、第1金属層の金属配線への追加の配線またはルーティングなしで、第1金属層に直接接続されてもよい。

30

【0019】

ある具体例によると、前記第1誘電体層および前記第2金属層の厚さの合計は、50nm未満である。比較的薄い層を使用することによって、より多くの数のMTJデバイスなどが相互接続されることを可能にするように、層の数を増やすことができる。したがって、記憶密度の増加した半導体デバイスが提供されてもよい。

【0020】

ある具体例では、半導体デバイスの1つまたは複数の金属層は、複数の金属配線、または相互接続ワイヤ、および誘電体材料で形成されてもよい。金属層は、例えば、金属のブランケット膜が、まず堆積され、パターニングされ、次に相互接続ワイヤを規定するようにエッチングされるサブトラクティブ法によって形成されてもよい。次に、誘電体材料は、ワイヤの上に堆積されてもよい。代わりに、または追加的に、金属層は、誘電体層が銅などの金属で充填された開口トレンチでパターニングされるダマシンプロセスとも呼ばれる追加の方法によって形成されてもよい。銅は、金属層の電気抵抗を減少させるから、例えばアルミニウムよりも有利であり得る。トレンチは、誘電体層上に銅などの金属のコーティングを堆積することによって充填され、誘電体層の上に広がる金属(オーバーバーデンとも呼ばれる)は、化学機械平坦化(CMP)によって除去されてもよい。CMPは、トレンチ内に金属を沈めたまま残し、絶縁材料に埋め込まれた相互接続ワイヤを有する金属層が提供されてもよい。層の平坦化は、後続の処理ステップの前に表面の平坦度を向上

40

50

させる。向上した平坦性は、その後のリソグラフィ工程などを容易にする。

【0021】

ある具体例によると、第1および第2金属層の少なくとも1つの誘電体材料は、二酸化シリコンに比べて比較的小さな誘電率を有するlow-k材料であってもよい。low-k誘電体は、半導体デバイス内の寄生容量およびクロストークを低減させ得る。low-k材料の例は、フッ素または炭素でドーパされた二酸化ケイ素、多孔質二酸化ケイ素および有機高分子誘電体などを含む。代わりに、または追加的に、low-k材料は、第1誘電体層および/または第2誘電体層に提供されてもよい。

【0022】

ある具体例によると、MTJデバイスは、第2誘電体層に配置されたビアによって第3金属層の金属配線に接続されてもよい。MTJデバイスは、第3金属層の軸上に、すなわち金属配線の下に配置され、第3金属層は、ビアおよびMTJデバイスによって第1金属層に接続される。

【0023】

上述のもの以外の他の具体例も可能であることが理解される。また、本発明の第1態様にかかる半導体デバイスについて記載された態様のいずれかの特徴は、第2態様にかかる製造方法と組み合わせられてもよいと理解される。本発明の更なる目的、特徴および利点は、以下の詳細な開示、図面および添付の特許請求の範囲を検討するとき明らかになる。当業者であれば、本発明の異なる特徴を組み合わせ、以下に説明する具体例以外の具体例を作製できることを理解するであろう。

【図面の簡単な説明】

【0024】

本発明の上記のおよび更なる目的、特徴および利点は、添付の図面を参照して、本発明の好適な具体例の以下の例示的および非限定的な詳細な説明によって、よりよく理解される。

【0025】

【図1】第1誘電体層および第2金属層に組み込まれたMTJデバイスを含む本発明の具体例にかかる半導体の一部の断面側面図を概略的に示す。

【図2】本発明の具体例にかかる半導体デバイスのMTJデバイスの断面側面図を概略的に示す。

【図3a】本発明の具体例にかかる半導体デバイスの断面側面図であって、製造プロセスの異なる段階における半導体デバイスを示す側面図を概略的に示す。

【図3b】本発明の具体例にかかる半導体デバイスの断面側面図であって、製造プロセスの異なる段階における半導体デバイスを示す側面図を概略的に示す。

【図3c】本発明の具体例にかかる半導体デバイスの断面側面図であって、製造プロセスの異なる段階における半導体デバイスを示す側面図を概略的に示す。

【図3d】本発明の具体例にかかる半導体デバイスの断面側面図であって、製造プロセスの異なる段階における半導体デバイスを示す側面図を概略的に示す。

【図3e】本発明の具体例にかかる半導体デバイスの断面側面図であって、製造プロセスの異なる段階における半導体デバイスを示す側面図を概略的に示す。

【図4】本発明の具体例にかかる半導体デバイスの製造方法を示すブロック図である。

【0026】

すべての図面は、概略的であり、必ずしも縮尺通りではなく、一般的に、本発明の具体例を説明するために必要な部分のみを示すものであり、他の部分は省略されているか、または単に示唆されているに過ぎない。

【発明を実施するための形態】

【0027】

以下、本発明の例示的な具体例を示す添付の図面を参照して、本発明をより詳細に説明する。しかしながら、本発明は、多くの異なる形態で具体化されてもよく、本明細書に記載の具体例に限定されると解釈されるべきではない。むしろ、これらの具体例は、この開

10

20

30

40

50

示が当業者に本発明の範囲を伝えるように例として提供される。更に、同一の番号は、全体を通して同一または類似の要素または構成要素を指す。

【0028】

図1を参照すると、本発明の具体例にかかる半導体デバイス100の側面断面図が示されている。半導体デバイス100は、第1金属層110、第1誘電体層120、第2金属層130、第2誘電体層140および第3金属層150の順序で配列された積層構造を含んでもよい。更に、MTJデバイス160は、第1誘電体層120および第2金属層130の中に形成されまたは組み込まれ、第1金属層110および第3金属層150に電氣的に接続されてもよい。MTJデバイス160は、例えば第1金属層110との境界面に配置された底部電極164を含む。

10

【0029】

第1金属層110は、誘電体材料116内に配置された金属配線114または導線を含んでもよい。誘電体材料116は、二酸化シリコンまたはlow-k材料の層などであってもよい。ある例では、金属配線114は、ダマシンプロセスによって形成され、そこでは誘電体材料116内のトレンチは、例えば銅などの金属で充填される。

【0030】

第1誘電体層120は、第1金属層110と第2金属層130とを分離するように、例えば第1金属層110上に堆積されたSiCNの層を含んでもよい。図1に示されているように、第1誘電体層120は、第1金属層110の金属配線114の上に配置され、更に第2金属層130の中へ延びるMTJデバイス160を含んでもよい。

20

【0031】

第1金属層110と同様に、第2金属層130は、low-k材料または超low-k材料などの誘電体材料136の層、および誘電体材料136のトレンチ内に形成された金属配線134を含んでもよい。第2金属層130の1つまたは複数の金属配線134は、第1誘電体層120に配置されたビア122によって、対応する第1金属層110の金属配線114に電氣的に接続されてもよい。

【0032】

第2誘電体層140は、第1誘電体層120と同様に構成されてもよく、したがって、第2金属層130上に堆積されたSiCNなどの層として形成されてもよい。続いて、第3金属層150は、low-k材料などの誘電体材料156の堆積によって、第2誘電体層140上に形成されてもよい。第3金属層150は、更に、第3金属層150の誘電体材料のトレンチ内に配置される金属配線154を含んでもよい。金属配線154のいくつかは、第2誘電体材料140内に配置されたビア接続部142によって、MTJデバイス160または第2金属層130の金属配線134に接続されてもよい。

30

【0033】

このようにして、第1誘電体層120の最小の厚さが、MTJデバイス160（底部電極164を含む）の最大の高さに制限されない半導体デバイス100が提供される。図1に示されているように、前記第1誘電体層120および前記第2金属層130の厚さの合計hがMTJデバイスの高さを超える限り、MTJデバイス160は、第1誘電体層の厚さを超える高さを有してもよい。

40

【0034】

図2は、本発明の具体例にかかるMTJデバイスの側面断面図を概略的に示している。MTJデバイスは、図1を参照して説明されたデバイスと同様に構成された半導体デバイスに組み込まれてもよい。MTJデバイス160は、磁気参照層またはピン層161、バリア層162および磁気自由層163などを有する複数の層のスタックを含んでもよい。磁気参照層161と自由層163の順序は、磁気参照層161がスタック内の磁気自由層163の上に配置されるように逆にされてもよいことに留意しなければならない。磁気参照層161および磁気自由層163は、例えば、磁気自由層163内の互いに反対の2つの方向の間で変更可能な方向を有する垂直磁気異方性を有してもよい。

【0035】

50

参照層 161 および自由層 163 は、CoFeB から形成され、または少なくとも CoFeB を含んでもよい。CoFeB は、例えば、参照層 161 および / または自由層 163 の 1 つまたは複数の層に配置されてもよい。バリア層 162 は、MgO から形成され、または少なくとも MgO を含み、電子が参照層 161 と自由層 163 の間をトンネルすることを可能にするように構成されてもよい。

【0036】

図 3a ~ 3e は、ある具体例にかかる製造プロセスの異なる段階における半導体デバイスの断面側面図を示している。得られる半導体デバイスは、図 1 および図 2 を参照して説明されたデバイスと同様に構成されてもよい。

【0037】

図 3a は、例えば low - k 材料などの誘電体材料 116 を含む第 1 金属層 110 を示し、ここでトレンチは、エッチングされ、例えば銅 114 で充填されている。次に、オーバーバーデンは、CMP によって除去され、誘電体材料 116 に埋め込まれた露出した導電性の金属配線 114 を有する第 1 金属層 110 の平坦な表面が提供される。続いて、例えば 25 nm SiCN などの誘電体材料の層が堆積され、第 1 誘電体層 120 を形成する。

【0038】

図 3b では、MTJ デバイス 160 は、第 1 金属層 110 の金属配線 114 の上に形成されている。MTJ デバイス 160 は、例えば、(MTJ デバイス 160 のための意図された位置にトレンチが設けられていて、下にある金属配線 114 を露出させる) 第 1 誘電体層 120 の上に MTJ デバイス 160 を形成する層のスタックを堆積させることによって形成されてもよい。底部電極 164 は、スタックの堆積の前に金属配線 114 の上に提供される。次に、堆積されたスタックは、ハードマスクによってエッチングされて、例えば第 1 誘電体層 120 の表面から突き出たピラーの形態の MTJ デバイス 160 を規定する。次に、図 3b に示されているように、第 2 金属層 130 の誘電体材料 136 が提供されて、MTJ デバイス 160 の少なくとも一部が誘電体材料 136 の中に突き出る。

【0039】

図 3c では、第 2 金属層 130 の誘電体材料 136 には、第 1 金属層 110 に関して説明したものと同様の方法でトレンチ内に配置された金属線 134 が提供されている。金属配線 134 は、例えば CMP プロセスによって規定されてもよく、MTJ デバイス 160 が露出される前に、すなわち MTJ デバイス 160 の上に誘電体材料 136 の少なくとも一部を残して、停止されてもよい。更に、電氣的相互接続 122 またはビア接続が提供されて、第 2 金属層 130 と第 1 金属層 110 との間の接続を提供している。

【0040】

次に、例えば SiCN などの誘電体材料が堆積され、図 3d に示されているように第 2 誘電体層 140 を形成してもよく、その上に例えば low - k 材料 156 の更なる層が堆積されて第 3 金属層 150 を形成してもよい。金属配線 154 は、第 1 金属層 110 および第 2 金属層 130 に関して説明されたものと同様の方法で、第 3 金属層 150 のトレンチ内に形成されてもよい。更に、ビア接続部 142 が形成されて、第 3 金属層 150 の金属配線 154 と MTJ デバイス 160 との間の、および第 3 金属層 150 の金属配線 154 と第 2 金属層 130 の金属配線 134 との間の電氣的な接続が提供されてもよい。

【0041】

図 4 は、本発明の具体例にかかる半導体デバイスの製造方法を概略的に示している。半導体デバイスは、図 1 ~ 図 3 を参照して説明された半導体デバイスと同様に構成されてもよい。

【0042】

この方法は、第 1 金属層の上に第 1 誘電体層を形成するステップ 410 と、下層の第 1 金属層の金属配線を露出させるように第 1 誘電体層にビアトレンチを形成するステップ 412 とを含んでもよい。この方法は、更に、誘電体材料の層を堆積させるステップ 422 によって、第 1 誘電体層の上に第 2 金属層を形成するステップ 420 を含んでもよく、こ

10

20

30

40

50

ここではMTJデバイスおよびメタルワイヤが形成されてもよい(430、432)。更に、第2誘電体層が形成され(440)、その上に第3金属層が提供されてもよい(450)。

【0043】

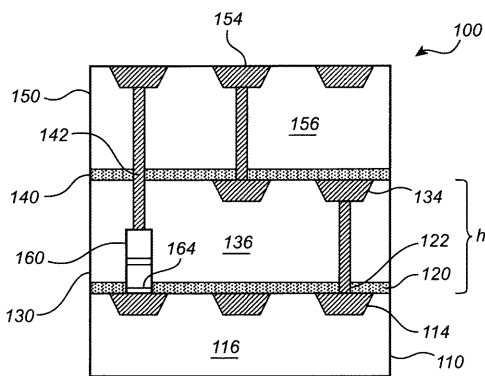
結論として、半導体デバイスおよびそのようなデバイスの製造方法が開示される。半導体デバイスは、MTJデバイスを含み、これは第1金属層および第3金属層に電氣的に接続され、半導体デバイスの第1誘電体材料および第2金属層の中に組み込まれる。

【0044】

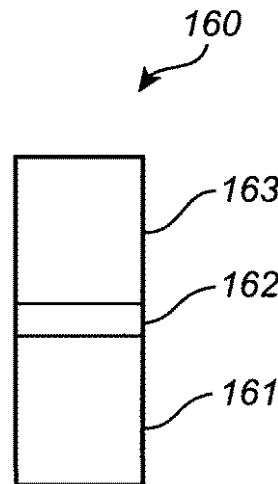
本発明は、添付の図面および前述の説明において詳細に図示され、説明されてきたが、そのような図示および説明は、説明的または例示的なものであり、制限的なものではないと考えられるべきである。本発明は、開示された具体例に限定されない。開示された具体例に対する他の変更は、図面、開示、および添付の特許請求の範囲の検討から、請求された発明を実施する当業者によって理解され、達成されることができる。特定の手段が相互に異なる従属請求項に列挙されているという単なる事実は、これらの手段の組み合わせが有利に使用できないことを示すものではない。特許請求の範囲内のいかなる参照符号も、その範囲を限定するものとして解釈されるべきではない。

10

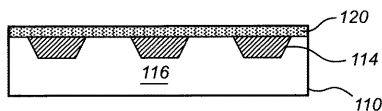
【図1】



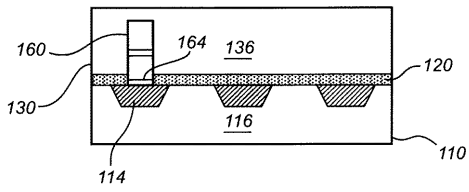
【図2】



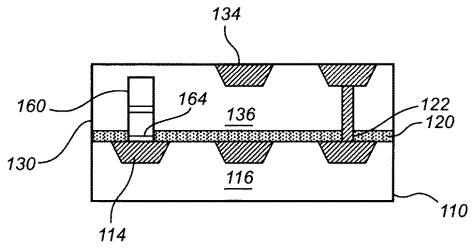
【図3a】



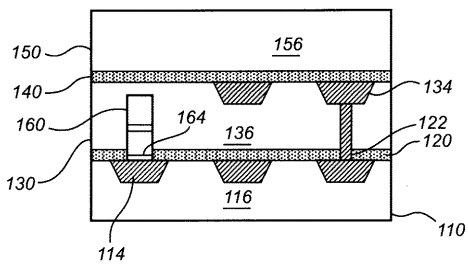
【 図 3 b 】



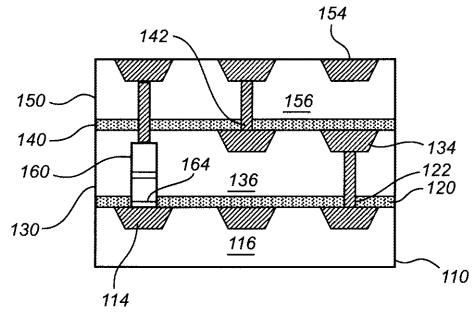
【 図 3 c 】



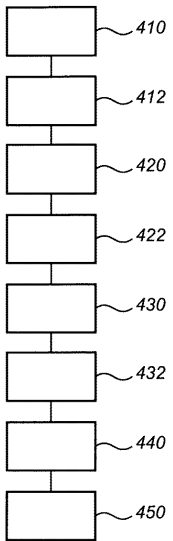
【 図 3 d 】



【 図 3 e 】



【 図 4 】



フロントページの続き

(72)発明者 ユルゲン・ベンメルス

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック・ヴェーゼットウェー内

(72)発明者 ダヴィデ・クロッチェ

ベルギー 3 0 0 1 ルーヴァン、カペルドリーフ 7 5 番 アイメック・ヴェーゼットウェー内

Fターム(参考) 4M119 AA11 BB01 CC05 CC10 DD17

5F033 HH11 JJ11 KK11 MM01 QQ48 RR02 RR04 VV16 WW02 XX01

XX08

5F092 AA12 AB06 AC12 AD03 AD23 AD25 BB23 BB36 BB43 BB81

BC03 BC04

SEMICONDUCTOR DEVICE WITH INTEGRATED MAGNETIC TUNNEL
JUNCTION

Technical field

The present invention generally relates to the field of semiconductor devices having a magnetic tunnel junction (MTJ), and in particular to
5 integration of the MTJ in dielectric and metal layers of the semiconductor device.

Background art

There is a growing interest in magnetoresistive random-access
10 memory (MRAM) devices as replacements for embedded static random-access memories (SRAMs). An MRAM device can be used for non-volatile storage of data in magnetic tunnel junction (MTJ) devices. The MTJ devices are formed in a dielectric layer in the back-end-of-line (BEOL) processing, where they are interconnected by means of metal layers so as to form the
15 desired electrical circuits. The BEOL processing involves forming metal layers, separated by dielectric layers, having interconnecting wires or lines that are isolated by dielectric material. Further, via connections are formed so as to connect the metal layers to each other.

As there is an ever-increasing demand for smaller and faster
20 semiconductor devices with higher memory density, there is a need for improved semiconductor devices having a more advanced electrical routing.

Summary

An object of at least some of the embodiments of the present invention
25 is to provide an improved semiconductor device wherein the MTJ device can be more efficiently integrated in the BEOL, and in particular in connection with more advanced technology nodes.

At least one of this and other objects of the present invention is achieved by mean of a semiconductor device and a method having the
30 features defined in the independent claims. Preferable embodiments of the invention are characterised by the dependent claims.

According to a first aspect of the present invention, a semiconductor device is provided. The semiconductor device comprises a first metal layer, a first dielectric layer arranged on the first metal layer, a second metal layer arranged on the first dielectric layer, a second dielectric layer arranged on the second metal layer, and a third metal layer arranged on the second dielectric layer. The first metal layer is electrically connected to the second metal layer by means of a via arranged in the first dielectric layer, and the second metal layer is electrically connected to the third metal layer by means of a via arranged in the second dielectric layer. Further, the semiconductor device comprises a magnetic tunnel junction, MTJ, device that is arranged in the first dielectric layer and the second device layer and is electrically connected to the first metal layer and the third metal layer.

According to a second aspect of the present invention, a method of manufacturing a semiconductor device according to the first aspect is provided. The method comprises forming a first dielectric layer on a first metal layer, and forming a second metal layer on the first dielectric layer. The second metal layer is electrically connected to the first metal layer by means of a via arranged in the first dielectric layer. The method further comprises forming a MTJ device arranged in the first dielectric layer and the first metal layer, forming a second dielectric layer on the second metal layer, and forming a third metal layer on the second dielectric layer, wherein the third metal layer is electrically connected to the second metal layer by means of a via arranged in the second dielectric layer.

In prior art devices, wherein the MTJ device may be formed in the first dielectric layer, the thickness of the dielectric layer is limited by a minimum height of the MTJ device. As the minimum possible height of the MTJ device in turn may be determined by the configuration of the stack of layers required for forming the MTJ device, it may be difficult to reduce the height of the MTJ device below a certain value without compromising the performance of the MTJ device. The present invention is based on the realisation that by forming the MTJ device such that it extends not only in the first dielectric layer but also in the second metal layer, the thickness of the dielectric layer can be reduced below the height of the MTJ device without risking to reduce the

performance of the MTJ stack. The present invention hence provides a semiconductor device wherein the MTJ device may be integrated in the first dielectric layer and the second metal layer so as to allow for more advanced technology nodes, such as e.g. 28 nm and below. The MTJ device may in
5 other words be arranged in the extension of a via connection in the first dielectric layer.

The MTJ device may be provided in the back-end-of-line (BEOL) on e.g. a metal line of the first metal layer and arranged to extend through the first dielectric layer into the second metal layer, wherein it may be electrically
10 connected to the third metal layer by means of e.g. a via in the second dielectric layer. The MTJ may in other words be integrated on the first metal layer at the memory area and at the same time in the second metal layer at the logic area of the semiconductor device.

The MTJ device may be formed of a stack of a magnetic reference
15 layer, or pinned layer, and a magnetic free layer separated by a barrier layer. The magnetic reference layer and the magnetic free layer may e.g. comprise CoFeB, whereas the barrier layer may comprises MgO. The reference layer may be adapted to have a fixed magnetisation direction, and the free layer may be adapted to have a variable magnetisation direction. The intermediate
20 barrier layer may be adapted to allow tunnelling of electrons between the reference layer and the free layer.

The relative magnetic orientation of the reference layer and the free layer may determine an electric resistance of the MTJ device. The MTJ device may have a relatively low resistance when the magnetisation of the
25 reference layer and the free layer are aligned in parallel and a relatively high resistance when the magnetisation of the reference layer and the free layer, respectively, are anti-parallel. The difference in electric resistance may be used for storing information in the MTJ device.

The stack may be arranged such that the magnetic reference layer is
30 formed, or electrically connected to, the first metal layer and such that the magnetic free layer is electrically connected to the third metal layer. Such configuration may be referred to as a bottom-pinned configuration. Alternatively, the stack may be arranged in an opposite configuration, with the

free layer formed on or electrically connected to the first metal layer and the reference layer electrically connected to the third metal layer. Such configuration may be referred to as a top-pinned configuration.

The MTJ stack may be provided on a bottom electrode arranged on the first metal layer. The bottom electrode may be adapted to provide a desired surface roughness, and in particular to provide a smoother surface as compared to the bare surface of the first metal layer. A relatively smooth surface may be advantageous in subsequent processing steps, when the MTJ stack is formed. The bottom electrode may in some examples form part of the BEOL, whereas it in other examples may form part of the stack forming the MTJ device.

The MTJ device may be a spin-transfer torque (STT) MTJ device utilising spin-aligned electrons to directly torque the magnetic domains of the free layer. The STT MTJ device advantageously allows for a reduction of write currents.

The magnetic reference layer and the magnetic free layer may have a perpendicular magnetic anisotropy allowing for the size of the MTJ device to be reduced, which hence allows for a reduced thickness of the layers of the semiconductor device and a semiconductor device having an increased memory density.

The semiconductor device may e.g. be, or form part of, a magnetoresistive random-access memory (MRAM) using the MTJ device for non-volatile storage of data.

It will be appreciated that the term "layer", e.g. specified as "metal layer" and "dielectric layer", may refer to specific levels or positions in the multilayer stack forming the semiconductor device. A metal layer may therefore comprise both electrically conducting structures or regions, such as metal structures, and dielectric regions. The metal structures may e.g. be provided as metal filled trenches in a dielectric material. Thus, the term "metal layer" may refer to a layer comprising a dielectric material having metal structures. Preferably, the metal layer may be formed of metal interconnecting wires that are electrically isolated or separated from each other by dielectric

material. The term "dielectric layer" may refer to an electrically insulating layer structurally arranged between two metal layers.

According to an embodiment, the MTJ device may be arranged on-axis, i.e., on a metal line of the first metal layer. The MTJ device may thereby
5 be directly connected to the first metal layer without any additional wiring or routing to the metal lines of the first metal layer.

According to an embodiment, a total thickness of the first dielectric layer and the second metal layer is less than 50 nm. By using relatively thin layers, the number of layers may be increased so as to allow for a larger
10 number of e.g. MTJ devices to be interconnected. Thus, a semiconductor device may be provided, having an increased memory density.

According to an embodiment, one or several of the metal layers of the semiconductor device may be formed of a plurality of metal lines, or interconnecting wires, and a dielectric material. The metal layer may e.g. be
15 formed by a subtractive method wherein a blanket film of metal is deposited first, patterned and then etched so as to define the interconnecting wires. The dielectric material may then be deposited over the wires. Alternatively, or additionally, the metal layer may be formed by an additive method, also referred to as a Damascene process, wherein a dielectric layer is patterned
20 with open trenches which are filled with a metal such as e.g. copper. Copper may be advantageous over e.g. aluminium, as copper may reduce the electrical resistance in the metal layer. The trenches may be filled by depositing a coating of the metal, such as e.g. copper, on the dielectric layer, wherein metal extending above the top of the dielectric layer (also referred to as overburden) may be removed by chemical-mechanical planarization (CMP). The CMP may leave the metal sunken within the trenches, such that a
25 metal layer with interconnecting wires embedded in an isolating material may be provided. The planarization of the layer may improve the flatness of the surface prior to subsequent processing steps. An improved flatness may e.g.
30 facilitate subsequent lithography steps.

According to an embodiment, the dielectric material of at least one of the first and second metal layer may be a low-k material having a relatively small dielectric constant relative to e.g. silicon dioxide. The low- k dielectric

may reduce parasitic capacitance and crosstalk in the semiconductor device. Examples of low-k materials may include e.g. silicon dioxide doped with fluorine or carbon, porous silicon dioxide and organic polymeric dielectrics. Alternatively, or additionally, the low-k material may be provided in the first dielectric layer and/or the second dielectric layer.

According to an embodiment, the MTJ device may be connected to a metal line of the third metal layer by means of a via arranged in the second dielectric layer. The MTJ device may be arranged on-axis, i.e., beneath a metal line of the third metal layer, such that the third metal layer is connected to the first metal layer by means of the via and the MTJ device.

It will be appreciated that other embodiments than those described above are also possible. It will also be appreciated that any of the features in the embodiments described for the semiconductor device according to the first aspect of the present invention may be combined with the manufacturing method according to the second aspect. Further objectives, or features of, and advantages with the present invention will become apparent when studying the following detailed disclosure, the drawings and the appended claims. Those skilled in the art will realise that different features of the present invention can be combined to create embodiments other than those described in the following.

Brief description of the drawings

The above, as well as additional objects, features and advantages of the present invention, will be better understood through the following illustrative and non-limiting detailed description of preferred embodiments of the present invention, with reference to the appended drawings, in which:

figure 1 schematically depicts a cross-sectional side view of a portion of a semiconductor according to an embodiment of the present invention, comprising an MTJ device that is integrated in the first dielectric layer and the second metal layer;

figure 2 schematically depicts a cross-sectional side view of an MTJ device of a semiconductor device according to an embodiment of the present invention;

figures 3a to e schematically depicts cross-sectional side views of a semiconductor device according to an embodiment of the present invention, the side views illustrating the semiconductor device at different stages of the manufacturing process; and

5 figure 4 is a block diagram illustrating a method for manufacturing a semiconductor device according to an embodiment of the present invention.

All the figures are schematic, not necessarily to scale, and generally only show parts which are necessary to elucidate the embodiments of the present invention, wherein other parts may be omitted or merely suggested.

10

Detailed description

The present invention will now be described more fully hereinafter with reference to the accompanying drawings, in which exemplifying embodiments of the present invention are shown. The present invention may, however, be embodied in many different forms and should not be construed as limited to

15 embodied in many different forms and should not be construed as limited to the embodiments set forth herein; rather, these embodiments are provided by way of example so that this disclosure will convey the scope of the invention to those skilled in the art. Furthermore, like numbers refer to the same or similar elements or components throughout.

20

With reference to figure 1, there is shown cross-sectional side view of a semiconductor device 100 according to an embodiment of the present invention. The semiconductor device 100 may comprise a stacked structure of layers that may be arranged in the following order: a first metal layer 110, a first dielectric layer 120, a second metal layer 130, a second dielectric layer

25 140 and a third metal layer 150. Further, an MTJ device 160 may be formed or integrated in the first dielectric layer 120 and the second metal layer 130, and be electrically connected to the first metal layer 110 and the third metal layer 150. The MTJ device 160 e.g. comprise a bottom electrode 164 arranged at the interface with the first metal layer 110.

30

The first metal layer 110 may comprise metal lines 114 or conductor wires that are arranged in a dielectric material 116. The dielectric material 116 may e.g. be a layer of silicon dioxide or a low-k material. In one example, the

metal lines 114 are formed by a Damascene process, wherein trenches in the dielectric material 116 are filled with a metal such as e.g. copper.

The first dielectric layer 120 may e.g. comprise a layer of SiCN deposited on the first metal layer 110 so as to separate the first metal layer 110 and the second metal layer 130. As shown in figure 1, the first dielectric layer 120 may comprise an MTJ device 160 arranged on a metal line 116 of the first metal layer 110 and further extending into the second metal layer 130.

Similarly to the first metal layer 110, the second metal layer 130 may comprise a layer of a dielectric material 136, such as a low- κ material or an ultra low- κ material, and metal lines 134 that are formed in trenches of the dielectric material 136. One or several of the metal lines 134 of the second metal layer 130 may be electrically connected to a corresponding metal line 114 of the first metal layer 110 by means of vias 122 arranged in the first dielectric layer 120.

The second dielectric layer 140 may be similarly configured as the first dielectric layer 120, and may hence be formed as a layer of e.g. SiCN deposited on the second metal layer 130. Subsequently, the third metal layer 150 may be formed on the second dielectric layer 140 by e.g. deposition of a dielectric material 156, such as e.g. a low- κ material. The third metal layer 150 may further comprise metal lines 154 that may be arranged in trenches of the dielectric material of the third metal layer 150. Some of the metal lines 154 may be connected to the MTJ device 160 or a metal line 134 of the second metal layer 130 by means of a via connections 142 arranged in the second dielectric material 140.

Thus, a semiconductor device 100 is provided wherein a minimum thickness of the first dielectric layer 120 is not limited to a maximum height of the MTJ device 160 (including any bottom electrodes 164). As indicated in figure 1, the MTJ device 160 may have a height exceeding the thickness of the first dielectric layer 120 as long as the total thickness h of the first dielectric layer 120 and the second metal layer 130 exceeds the height of the MTJ device.

Figure 2 schematically depicts a cross-sectional side view of an MTJ device according to an embodiment of the present invention. The MTJ device may be integrated in a semiconductor device similarly configured as the device discussed with reference to figure 1. The MTJ device 160 may
5 comprise of a stack of multiple layers, having e.g. a magnetic reference or pinned layer 161, a barrier layer 162 and a magnetic free layer 163. It should be noted that the order of the magnetic reference layer 161 and the free layer 163 may be reversed such that the magnetic reference layer 161 is arranged above the magnetic free layer 163 in the stack. The magnetic reference layer
10 161 and the magnetic free layer 163 may e.g. have a perpendicular magnetic anisotropy with a direction that can be altered between e.g. two mutually opposing directions in the magnetic free layer 163.

The reference layer 161 and the free layer 163 may be formed of, or at least comprise, CoFeB. The CoFeB may e.g. be arranged in one or several
15 layers in the reference layer 161 and/or the free layer 163. The barrier layer 162 may be formed of, or at least comprise, MgO configured to allow electrons to tunnel between the reference layer 161 and the free layer 163.

Figures 3a to e illustrate cross-sectional side views of a semiconductor device at different stages of a manufacturing process according to an
20 embodiment. The resulting semiconductor device may be similarly configured as the devices discussed with reference to figures 1 and 2.

Figure 3a shows a first metal layer 110 comprising a dielectric material 116, such as e.g. a low- κ material, in which trenches has been etched and filled with e.g. copper 114. The overburden has then been removed by CMP
25 such that a planar surface of the first metal layer 110 is provided, having exposed conductive metal lines 114 embedded in the dielectric material 116. Subsequently, a layer of dielectric material, such as e.g. 25 nm SiCN, has been deposited so as to form the first dielectric layer 120.

In figure 3b, an MTJ device 160 has been formed on a metal line 114
30 of the first metal layer 110. The MTJ device 160 may e.g. formed by depositing a stack of layers, forming the MTJ device 160, on the first dielectric layer 120 (which may have been provided with a trench at the intended position for the MTJ device 160, exposing the underlying metal line 114). A

10

bottom electrode 164 may be provided on the metal line 114 prior to deposition of the stack. The deposited stack may then be etched through a hardmask so as to define the MTJ device 160, e.g. in the form of a pillar protruding from the surface of the first dielectric layer 120. As shown in figure 5 3b, the dielectric material 136 of the second metal layer 130 may then be provided such that at least a portion of the MTJ device 160 protrudes into the dielectric material 136.

In figure 3c, the dielectric material 136 of the second metal layer 130 has been provided with metal lines 134 arranged in trenches in a similar 10 manner as described with references to the first metal layer 110. The metal lines 134 may be defined by e.g. a CMP process that may be stopped prior to the MTJ device 160 is exposed, i.e., leaving at least some of the dielectric material 136 on top of the MTJ device 160. Further, an electric interconnect 122, or via connection, has been formed so as to provide a connection 15 between the second metal layer 130 and the first metal layer 110.

A dielectric material, such as e.g. SiCN, may then be deposited so as to form the second dielectric layer 140 as shown in figure 3d, onto which a further layer of e.g. the low-k material 156 may be deposited to form the third metal layer 150. Metal lines 154 may be formed in trenches in the third metal 20 layer 150 in a similar manner as described with reference to the first metal layer 110 and the second metal layer 130. Further, via connections 142 may be formed in order to provide an electrical connection between a metal line 154 of the third metal layer 150 and the MTJ device 160, and a metal line 154 of the third metal layer 150 and a metal line 134 of the second metal layer 25 130.

Figure 4 schematically illustrates a method for manufacturing a semiconductor device according to an embodiment of the present invention. The semiconductor device may be similarly configured as the semiconductor devices described with reference to figures 1 to 3.

30 The method may comprise the steps of forming 410 a first dielectric layer on a first metal layer, and forming 412 a via trench in the first dielectric layer so as to expose a metal line of the underlying first metal layer. The method may further comprise a step of forming 420 a second metal layer on

the first dielectric layer by depositing 422 a layer of a dielectric material in which an MTJ device and metal wires may be formed 430, 432. Further, a second dielectric layer may be formed 440, onto which a third metal layer may be provided 450.

5 In conclusion, a semiconductor device and a method for manufacturing such as device is disclosed. The semiconductor device comprises an MTJ device that is electrically connected to a first metal layer and a third metal layer, and integrated into a first dielectric material and a second metal layer of the semiconductor device.

10 While the present invention has been illustrated and described in detail in the appended drawings and the foregoing description, such illustration and description are to be considered illustrative or exemplifying and not restrictive; the present invention is not limited to the disclosed embodiments. Other variations to the disclosed embodiments can be understood and effected by
15 those skilled in the art in practicing the claimed invention, from a study of the drawings, the disclosure, and the appended claims. The mere fact that certain measures are recited in mutually different dependent claims does not indicate that a combination of these measures cannot be used to advantage. Any reference signs in the claims should not be construed as limiting the scope.

20

CLAIMS

1. A semiconductor device (100), comprising:
 - a first metal layer (110);
 - 5 a first dielectric layer (120) arranged on the first metal layer;
 - a second metal layer (130) arranged on the first dielectric layer;
 - a second dielectric layer (140) arranged on the second metal layer;
 - and
 - a third metal layer (150) arranged on the second dielectric layer;
 - 10 wherein the first metal layer is electrically connected to the second metal layer by means of a via (122) arranged in the first dielectric layer; and
 - the second metal layer is electrically connected to the third metal layer by means of a via (142) arranged in the second dielectric layer;
 - the semiconductor device further comprising a magnetic tunnel
 - 15 junction, MTJ, device (160) arranged in the first dielectric layer and the second metal layer and being electrically connected to the first metal layer and the third metal layer and a height of the MTJ device exceeds a length of the via in the first dielectric layer.
- 20 2. The semiconductor device according to claim 1, wherein the MTJ device is arranged on a metal line (114) of the first metal layer.
3. The semiconductor device according to any one of the preceding claims, wherein a total thickness (h) of the first dielectric layer and the second
- 25 metal layer is less than 50 nm.
4. The semiconductor device according to any one of the preceding claims, wherein the second metal layer comprises a plurality of metal lines (134) and a dielectric material (136), the dielectric material comprises
- 30 trenches in which the plurality of metal lines are formed.
5. The semiconductor device according to claim 4, wherein the dielectric material of the second metal layer is a low- κ material.

6. The semiconductor device according to any one of the preceding claims, wherein the third metal layer comprises a plurality of metal lines (154) and a dielectric material (156), the dielectric material comprises trenches in
5 which the plurality of metal lines are formed.

7. The semiconductor device according to claim 6, wherein the MTJ device is connected to a metal line of the third metal layer by means of a via in the second dielectric layer.
10

8. The semiconductor device according to any one of the preceding claims, wherein the MTJ device is arranged in a Back End of Line, BEOL.

9. The semiconductor device according to any one of the preceding
15 claims, wherein the MTJ device is a perpendicular MTJ device.

10. A method of manufacturing a semiconductor device, comprising:
forming (410) a first dielectric layer on a first metal layer;
forming (420) a second metal layer on the first dielectric layer, the
20 second metal layer being electrically connected to the first metal layer by means of a via arranged in the first dielectric layer;
forming (430) an MTJ device arranged in the first dielectric layer and the first metal layer;
forming (440) a second dielectric layer on the second metal layer;
25 forming (450) a third metal layer on the second dielectric layer, the third metal layer being electrically connected to the second metal layer by means of a via arranged in the second dielectric layer.

11. The method according to claim 10, further comprising:
30 forming (412) a via trench in the first dielectric layer so as to expose a metal line of the underlying first metal layer;
providing , in the via trench, a stack forming the MTJ device, the stack having a height exceeding a thickness of the first dielectric layer;

14

providing (422) a layer of a dielectric material arranged to at least partly enclose the stack of the MTJ device;
forming (432), in the dielectric material, a second metal layer.

5 12. The method according to claims 10 or 11, wherein a total thickness of the first dielectric layer and the metal layer is less than 50 nm.

13. The method according to any one of claims 10 to 12, wherein the MTJ device is a perpendicular MTJ device.

10

14. The method according to any one of claims 10 to 13, wherein the MTJ device is arranged in a Back End of Line, BEOL.

ABSTRACT

A semiconductor device (100) is disclosed, comprising stack of a first
5 metal layer (110), a first dielectric layer (120), a second metal layer (130), a
second dielectric layer (140), and a third metal layer (150). Further, a
magnetic tunnel junction, MTJ, device (160) is arranged in the first dielectric
layer and the second metal layer and electrically connected to the first metal
layer and the third metal layer. A method for manufacturing such as
10 semiconductor device is also disclosed.

(Figure 1)

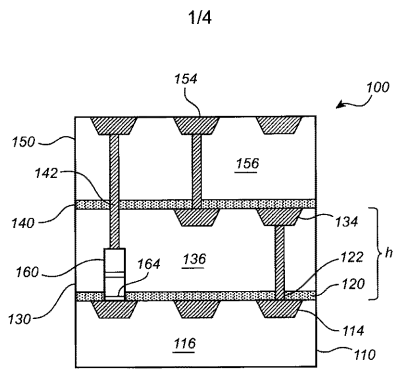


Fig. 1

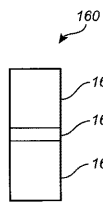


Fig. 2

2/4

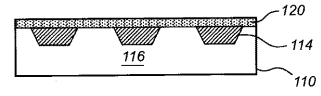


Fig. 3a

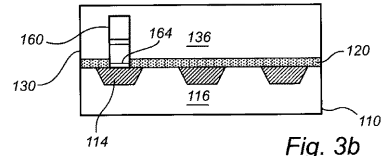


Fig. 3b

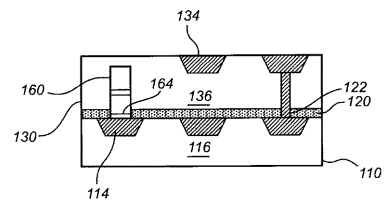


Fig. 3c

3/4

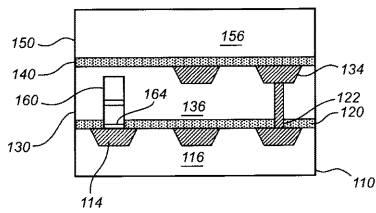


Fig. 3d

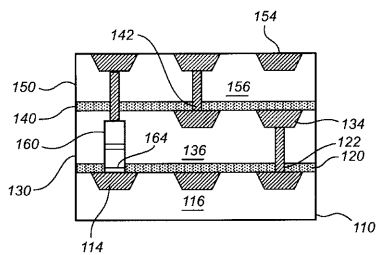


Fig. 3e

4/4

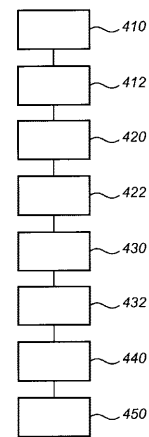


Fig. 4

