

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. PCT 2005 年 1 月 24 日 PCT/JP2005/000875 （主張優先權）

本案優先權之主張應不予受理

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性記憶體以及其製造方法，更詳而言之，係關於具有 ONO (Oxide Nitride Oxide, 氧化物氮化物氧化物) 膜之非揮發性記憶體以及其製造方法。

【先前技術】

本發明係 2005 年 1 月 24 日提交之國際申請案 PCT/JP2005/000875 的延續，該申請案依據 PCT 第 21 (2) 條並未以英文方式公開。

近年來，資料可再寫 (rewritable) 之非揮發性記憶體的發展已很廣泛。在此種非揮發性記憶體的技術領域中，已努力發展以小型化 (downsize) (本文中亦有稱為“縮小尺寸”) 記憶體單元 (memory cells) 以及增加記憶體容量。

浮閘快閃記憶體 (floating-gate flash memory) 係廣泛地使用，其為儲存電荷於浮閘中之非揮發性記憶體。然而，由於當小型化浮閘快閃記憶體之記憶體單元時，穿隧氧化物膜 (tunnel oxide film) 必須更薄，因此當小型化記憶體單元以用於高儲存密度時，設計浮閘快閃記憶體則變的更為困難。這是因為較薄的穿隧氧化物膜增加流過該穿隧氧化物膜的漏電流。此外，儲存於該浮閘的電荷因為引進至該穿隧氧化物膜的缺陷 (defect) 而放電，造成可靠性的問題。

鑒於上述問題，因此有具有例如 MONOS (金屬氧化物

氮化物氧化物矽)型或 SONOS(矽氧化物氮化物氧化物矽)型膜之 ONO(氧化物/氮化物/氧化物)膜的快閃記憶體。此等快閃記憶體係將電荷儲存於氮化矽膜(稱作陷阱層(trap layer))中,該氮化矽膜係夾於氧化矽膜之層之間。在此種快閃記憶體中,電荷係儲存於作為絕緣膜之氮化矽膜中。因此,即使在該穿隧氧化物膜中有缺陷,該陷阱層仍不會放電,此不同於浮閘快閃記憶體。而且,可在一個記憶體單元之陷阱層中儲存多層位元(multi-level bits),有利於增加該非揮發性記憶體之儲存容量。

第 1A 圖至第 1D 圖描述具有習知 ONO 膜之快閃記憶體以及其製造方法(以下,稱為習知製造技術)。第 1A 圖至第 1D 圖為習知快閃記憶體之截面圖,該快閃記憶體係包含記憶體單元區域以及週邊電路(peripheral circuit)區域。記憶體單元區域係顯示於圖式左側,而週邊電路區域顯示於圖式右側。

在第 1A 圖中,提供 p 型矽半導體基板 100。在該矽基板 100 上,提供第一氧化矽層 110 作為穿隧氧化物膜、氮化矽層 112 作為陷阱層、以及另外的氧化矽層 114 作為用於植入(implantation)的保護膜。接著塗上光阻 120,以及藉由使用一般的光微影技術(photolithographic techniques),在該記憶體單元區域中之用於形成位元線以及形成源極/汲極區域的區域中產生開口 140。元件符號 L11 表示該開口 140 之寬度。

接著,參考第 1B 圖,植入例如砷(As)離子至該位元

線以及該源極/汲極區域，以及進行熱處理以形成該位元線以及該源極/汲極區域之 N 型低電阻層 150。此處，元件符號 L12 表示該低電阻層 150 之寬度。通道區域 156 係對應於一對源極/汲極區域 150 之間的區域。

然後，參考第 1C 圖，移除作為保護膜之氧化矽膜 114 以及形成第二氧化矽層 116。

接著，參考第 1D 圖，移除設置於週邊電路區域之該第二氧化矽層 116、該氮化矽層 112、以及該第一氧化矽層 110。然後，在形成該週邊電路的區域中形成另一氧化矽層 170 以作為閘極氧化物膜。此外，在該週邊電路中設置閘極金屬 182，在該記憶單元中設置控制閘極，以及在該記憶體單元區域中設置多晶矽層以作為字元線 (word line) 180。之後，根據一般的製造方法製造該記憶體單元以及該週邊電路，因此，完成具有 ONO 膜之快閃記憶體。

而且，為了降低該位元線之電阻值，日本專利申請公開案第 2002-170891 號（以下，稱為專利文件 1）揭露一種具有 ONO 膜之快閃記憶體，其中於部份的位元線中係包含有矽化的金屬層 (silicided metal layer)。

在習知製造技術中，小型化該低電阻層 150（具有尺寸 L12 之位元線以及源極/汲極區域）為困難的。尺寸 L12 比開口 140 之尺寸 L11 大，而大的量為因離子植入而造成的側面擴散的量。該開口 140 的尺寸 L11 係受限於光微影機台之約一半波長。例如，若採用一般的 KrF 光微影機台，難以使 L11 之尺寸達成等於或窄於 100nm 之尺寸。因此，

亦難以使 L12 之尺寸達成等於或窄於 100nm 之尺寸。當小型化位元線以及源極/汲極區域之該低電阻層 150 之尺寸 L12 時，則增加該位元線之電阻，而造成劣化該程式化（program）以及抹除（erase）特性的問題。

鑒於上述問題，如專利文件 1 所述，有形成第一低電阻層以及第二低電阻層之習知技術。該第一低電阻層係藉由植入離子至該位元線而形成，而低電阻矽化的金屬膜之該第二低電阻層係在之後部份地形成於該第一低電阻層上。然而，利用揭露於專利文件 1 之技術，該第二低電阻層無法接連地在電流流動的方向中形成，因此無法充分地降低位元線之電阻。此外，該矽化的金屬膜係設置在該側壁控制閘極之間。因此，除非增加位元線的寬度，否則該側壁金屬膜無法在該低電阻層上形成。故此習知技術無法滿足對小型化的需求。再者，除非設置有兩層多晶矽層，否則該記憶體單元無法完成。一般而言，由於在該週邊電路區域中之閘極係以單一層多晶矽膜而形成，因此在該記憶體單元中具有兩層多晶矽膜之結構將造成該週邊電路之製造程序變得相當複雜。

另一方面，在習知製造技術中，由於該光阻係用以作為遮罩（mask），因而難以在該位元線區域 150 上進一步沉積低電阻層。一般而言，形成該低電阻層至少需要 200°C，而此溫度超過該光阻之玻璃轉換溫度（glass-transition temperature）。

【發明內容】

鑒於上述情況而提出本發明以及提供半導體裝置及其製造方法，其可在小型化該記憶體單元時避免該位元線電阻的增加，此外，簡化該週邊電路之製造程序。

根據本發明之實施態樣，較佳地，提供半導體裝置，其包含：半導體基板；ONO（氧化物/氮化物/氧化物）膜，設置於該半導體基板上；控制閘極，設置在該ONO膜上；以及位元線，該位元線具有第一低電阻層以及第二低電阻層，該第一低電阻層係形成於該半導體基板中，而該第二低電阻層係與該第一低電阻層接觸以及在電流通過該位元線的方向延伸，該第二低電阻層具有比該第一低電阻層低的片電阻（sheet resistance）。

根據本發明，藉由接連地在該位元線中提供具有低的片電阻之第二低電阻層而降低該位元線電阻係為可能的。此降低該位元線的尺寸以及小型化該半導體裝置。

上述半導體裝置之該第一低電阻層係雜質（impurity）擴散層。根據本發明，用於該第一低電阻層之雜質擴散層可簡化該製造程序。

上述半導體裝置之該第二低電阻層係包含矽化的金屬層。根據本發明，以低電阻矽化的金屬層用於位元線而提供具有低電阻位元線之半導體裝置為可能的。

根據本發明之另一實施態樣，提供其中有包含磊晶成長（epitaxially grown）矽層之該第二低電阻層之上述半導體裝置為可能的，上述半導體裝置具有低電阻位元線，且該低電阻位元線係將該磊晶成長矽層用於該位元線。

上述半導體裝置復包含連接至該控制閘極之字元線，其中該控制閘極以及該字元線係由單一多晶矽層而一體地形成。因此，根據本發明，該記憶體單元可以單一多晶矽膜而形成。因此，提出之根據本發明之半導體裝置以該多晶矽膜用於該週邊電路中之閘極金屬而簡化該週邊電路之製造程序係為可能的。

根據本發明之再一實施態樣，該位元線以及該控制閘極只以該 ONO 膜之上氧化物膜所隔離。因此，該控制閘極以及該位元線係以品質優良的氧化矽層所隔離。因此，以簡單的架構，提供具有優良隔離的半導體裝置為可能的。

根據本發明之另一實施態樣，較佳地，提供製造半導體裝置的方法，包括：在半導體基板上形成 ONO 膜；在該 ONO 膜上形成絕緣遮罩層，該絕緣遮罩層具有對應位元線形成區域的開口；利用該絕緣遮罩層而選擇地在該半導體基板中植入雜質離子以便形成第一低電阻層；蝕刻在該位元線形成區域中的該 ONO 膜；以及形成第二低電阻層，該第二低電阻層係在該位元線形成區域與該第一低電阻層接觸以及在電流流動的方向延伸，該第二低電阻層具有低於該第一低電阻層的片電阻。

根據本發明，在該位元線上具有低片電阻之該第二低電阻層減少該位元線電阻。因此使得降低該位元線電阻之尺寸以及提供用於小型化之半導體製造方法成為可能。

同時根據本發明，在上述半導體裝置上形成該絕緣遮罩層之步驟係包括形成間隔物於該開口之側壁上以減小該

開口。因此，使得提供用於其中之位元線被進一步小型化之半導體之製造程序成為可能。

此外，在上述半導體裝置上之該絕緣遮罩層為氮化矽層，因而保持與該 ONO 膜之上氧化物層的蝕刻選擇性，使得提供簡化根據本發明之半導體裝置之製造方法成為可能。

上述半導體裝置之製造復包含在形成該第二低電阻層之前移除該 ONO 膜之上氧化物層、以及形成氧化矽層於該 ONO 膜之暴露的氮化物層上和經由該開口而暴露的該第二低電阻層上。

根據本發明，上述半導體裝置之該控制閘極以及該位元線係藉由具有極佳品質的氧化矽層所隔離。因此使得以簡單的架構提供具有極佳隔離的半導體裝置之製造方法成為可能。

根據本發明，形成上述半導體裝置之該第一低電阻層之步驟可包括在植入雜質離子之前選擇性地移除在該位元線形成區域中之該 ONO 膜之上氧化物層以及其位於下方的氮化物層。

再者，根據本發明，藉由通過該第一氧化矽膜之離子植入，執行用於形成該第一低電阻層之程序。因此使得降低該植入的離子之側面擴散以及提供進一步小型化的半導體裝置之製造方法成為可能。

關於上述半導體裝置，形成該第二低電阻層之步驟可包括形成矽化的金屬層。因此根據本發明，用於位元線之

該低電阻矽化的金屬使得提供具有低電阻之半導體裝置之製造方法成為可能。

上述半導體裝置之形成可復包含選擇性地提供樹脂於該矽化的金屬層上，之後，移除該絕緣遮罩層。因此，根據本發明，提供避免在移除該絕緣遮罩層時移除該 ONO 膜之氮化物膜之半導體裝置之製造方法為可能的。

此外，形成該第二低電阻層之步驟可包括磊晶地 (epitaxially) 成長低電阻矽層。因此，根據本發明，藉由提供具有低電阻之磊晶成長的矽層作為該位元線，使得提供具有低電阻位元線的半導體裝置之製造方法成為可能。

因此，根據本發明，提供可避免位元線電阻增加以及可小型化記憶體單元、同時具有用於形成週邊電路之簡單的製造程序之半導體裝置及其製造方法為可能的。

【實施方式】

參考所附圖式，敘述本發明之實施例。

第一實施例

參考第 2A 圖至第 2D 圖、第 3A 圖至第 3D 圖、以及第 4A 圖至第 4C 圖而敘述第一實施例。本發明之第一實施例例舉用於第二低電阻層之矽化的金屬層或金屬矽化物層。根據本發明之第一實施例，上述圖式為在圖式左側顯示記憶體單元區域之截面圖，及在圖式右側顯示週邊電路區域之截面圖。

參考第 2A 圖，提供 P 型矽半導體基板 200。在該 P 型

矽半導體基板 200 上，藉由一般的製造方法接連地形成作為穿隧氧化物層的第一氧化矽層 210 以及作為陷阱層 (trap layer) 的氮化矽層 212。此處，利用例如熱氧化的方式而沉積該第一氧化矽層 210。利用例如化學氣相沉積 (CVD) 的方式而沉積該氮化矽層 212。此外，形成第三氧化矽層 214 以在製程期間作為保護該陷阱層的保護層。此處，該第三氧化矽層係藉由高溫氧化 (High Temperature Oxide; HTO) 方法或 CVD 方法使用四乙氧基矽

(tetraethylorthosilicate, TEOS, 亦稱為正矽酸乙酯) 而沉積至少 10nm 厚。

接著，參考第 2B 圖，形成絕緣遮罩層 230 以作為形成位元線以及源極/汲極區域之遮罩。此處，該絕緣遮罩層 230 較佳地為藉由 CVD 方法而形成的氮化矽膜，而其厚度為足以阻擋植入的離子，如稍後敘述。利用氮化矽膜，易於在稍後程序中移除該絕緣遮罩層 230，而當移除該絕緣遮罩層 230 時，同時保持相對於該第三氧化矽層 214 的選擇性。

接著，塗佈光阻 220 至該絕緣遮罩層 230，根據一般使用的曝光程序而在位元線以及源極/汲極區域形成開口 240，該開口 240 具有開口尺寸 L21。在該光阻 220 下形成有抗反射膜 (未顯示)，使能夠有較窄的開口。

之後，參考第 2C 圖，利用作為遮罩的該光阻 220 而選擇性地蝕刻該絕緣遮罩層 230，在該絕緣遮罩層 230 中產生開口 242。該開口 242 具有開口尺寸 L22，而該開口尺寸

L22 約等於開口尺寸 L21。然後，在灰化 (ashing) 程序中移除該光阻 220。

然後，參考第 2D 圖，形成間隔絕緣膜（未顯示）以覆蓋該絕緣遮罩層 230 之上表面、該絕緣遮罩層中之該開口 242 的側面、以及該開口 242 下之該第三氧化矽層的表面。較佳地，該間隔絕緣膜具有與該絕緣遮罩層 230 相同的成分。例如，可使用藉由 CVD 方法而形成的氮化矽膜。該厚度視在該絕緣遮罩層中之開口 242 的尺寸減小程度而定。藉由利用氮化矽膜，易於在稍後程序中移除間隔物 234，而當移除時，亦有可能保持對於該第三氧化矽層 214 的選擇性。

接著，蝕刻該間隔絕緣膜而留下在該開口 242 上之側面上的該間隔物 234，並產生具有開口尺寸 L23 之開口 244。在本發明中可能不一定要使用該間隔物 234，然而利用該間隔物 234，可使該開口 244 比該光阻之開口 240 的尺寸 L21 更窄，而進一步小型化或縮小該位元線的尺寸。

接著，參考第 3A 圖，以該開口 244 作為遮罩而選擇性地蝕刻該第三氧化矽層 214 以及該氮化矽層 212。例如，植入砷 (As) 離子以及進行熱處理以便在 N 型位元線區域和源極/汲極區域中提供第一低電阻層 250。在這點上，該第一低電阻層 250 具有尺寸 L24。通道區域 256 係介於作為源極/汲極區域的該第一低電阻層 250 之間。

藉由蝕刻該第三氧化矽層 214 及該氮化矽層 212，植入的離子可只通過該第一氧化矽層 210。此使得降低離子

植入的能量以及制止該離子的側面擴散成為可能，從而能夠提供較薄的位元線。在上述植入程序中可使用一般所知的環型植入 (pocket implantation)。

接下來參考第 3B 圖，蝕刻在該開口 244 中的該第一氧化矽層 210。然後，在該開口 244 中形成矽化的金屬層 252 作為位於位元線區域以及源極/汲極區域上的第二低電阻層。矽化的金屬，例如，鈷 (Co) 係藉由濺鍍 (sputtering) 而沉積在該開口 244 中之矽基板上以及藉由快速熱退火 (Rapid Thermal Anneal, RTA) 而熱處理以提供鈷矽化物。以絕緣膜之絕緣遮罩層 230 以及間隔物 234 作為遮罩而形成該開口 244。因此，該矽化的金屬膜之形成程序可在高溫中進行。

接著，參考第 3C 圖，塗佈樹脂 260 以覆蓋該絕緣遮罩層 230 之上表面、該開口 244 之側面、以及該開口 244 下之該矽化的金屬層 252 的表面。例如，應用氫-倍半矽氧烷 (Hydrogen-silsesquioxane; HSQ) 於該樹脂。

接著，參考第 3D 圖，例如藉由灰化程序而移除樹脂 260，以在該開口 244 中留下樹脂的埋藏區域 262。根據本發明，較佳地，留下該埋藏區域 262 高於該第三矽層 214 之頂部。

接著，參考第 4A 圖，藉由熱磷酸而移除該絕緣遮罩層 230 以及該間隔物 234。該樹脂保持部份 262 在移除該絕緣遮罩層 230 期間保護面對該開口 244 之氮化矽層 212 之側面。因此，可在不移除該氮化矽層 212 的情況下移除該絕

緣遮罩層 230 以及該間隔物 234 。

參考第 4B 圖，例如在灰化程序中移除樹脂之該埋藏區域 262，並藉由例如緩衝的氫氟酸而移除該第三氧化矽層 214。然後，利用例如 CVD 的方法而在該氮化矽層 212 的表面上以及該矽化的金屬層 252 的表面上形成第二氧化矽層 216 作為頂部氧化層。形成溫度至高為 800°C 以避免該矽化的金屬層氧化為較佳。因此以該第二氧化矽層隔離該矽化的金屬層 252（位元線）以及控制閘極 280 成為可能，從而在不暴露於離子的情況下提供極佳的膜品質。此提供極佳的隔離。

最後，參考第 4C 圖，在該週邊電路區域中選擇性地移除該第二氧化矽層 216、該氮化矽層 212、以及該第一氧化矽層 210。在該週邊電路區域中形成第四氧化矽層 270 作為閘極氧化物膜。在該週邊電路區域中之該第四氧化矽層 270 之表面上以及在該記憶體單元區域中之該第二氧化矽層之表面上沉積多晶矽層。該多晶矽層在該記憶體單元區域中作為控制閘極以及字元線 280，而在該週邊電路區域中作為閘極電極 282。接著，在一般製造程序後，根據本發明之第一實施例而製造該記憶體單元和週邊電路以及生產該快閃記憶體。

根據本發明之第一實施例，在該位元線區域中之該第一低電阻層 250 之尺寸 L24 係大於在該間隔物中之該開口 244 之尺寸 L23，而大的量為該植入的離子之側面擴散量。然而，在該間隔物中之該開口 244 之尺寸 L23 可窄於在該

光阻中之該開口之尺寸 L_{21} ，而窄的量約為該間隔物的尺寸。因此，即使使用一般使用的 KrF 光微影機台，該開口的尺寸仍可等於或窄於 100nm。以作為遮罩的絕緣膜形成該開口 244。因此，可能在超過玻璃轉換溫度之高溫製程中形成該矽化的金屬層 252。此避免該位元線電阻的增加，允許輕易地小型化該位元線。該記憶體單元包含單一多晶矽層，該單一多晶矽層亦可用於在該週邊電路中之閘極電極，使得簡化該週邊電路的製程成為可能。

第二實施例

參考第 5A 圖至第 5D 圖，將敘述本發明之第二實施例。本發明之第二實施例係例示用於該第二低電阻層之磊晶 (epitaxially) 成長的低電阻矽層。第 5A 圖至第 5D 圖係本發明之第二實施例之截面圖。記憶體單元區域顯示於圖式左側，而週邊電路區域顯示於圖式右側。

第 5A 圖對應於根據本發明之第一實施例之第 3A 圖。製造程序與第 2A 圖至第 2D 圖以及第 3A 圖所示相同。在此點上，元件符號 300 表示該矽基板，元件符號 310 表示該第一氧化矽穿隧氧化物層，元件符號 312 表示該氮化矽陷阱層，元件符號 314 表示保護膜之該第三氧化矽層，元件符號 330 表示該絕緣遮罩層，元件符號 334 表示該間隔物，元件符號 344 表示用於形成位元線以及源極/汲極區域之該開口，元件符號 350 表示用於藉由離子植入而形成 N 型位元線及源極/汲極區域之該第一低電阻層，元件符號 356 表示介於該源極/汲極區域 350 之間之該通道區域。

接著，參考第 5B 圖，在該開口 344 下之該第一低電阻層上磊晶成長第二低電阻層 352，該第二低電阻層 352 摻雜砷（As）或磷（P）。使用選擇性磊晶成長，該第二低電阻層不會沉積於絕緣膜之該絕緣遮罩層 330 上或該間隔物 334 上。在此點上，形成該第二低電阻層 352 高於該第三氧化矽層 314 之頂部。接著藉由熱磷酸移除該絕緣遮罩層 330 以及該間隔物 334，而以該第二低電阻層 352 覆蓋該開口 344 之側面。因此，當移除該絕緣遮罩層 330 及該間隔物 334 時，不會移除該氮化矽層 312。因此，即使在本發明之第二實施例中不提供根據第一實施例之該埋藏區域 262，仍可輕易地移除該絕緣遮罩層 330 以及該間隔物 334。

然後參考第 5C 圖，藉由例如緩衝的氫氟酸而移除該第三氧化矽保護層 314，以及蝕刻該第二低電阻層 352 之頂部至約等於該第一氧化矽層 310 的厚度。然後，沉積該第二氧化矽層 316 以作為該頂部氧化物膜。

最後，參考第 5D 圖，藉由執行與根據本發明之第一實施例而於第 4C 圖所示相同之製造程序，完成根據本發明之第二實施例之快閃記憶體。此處，元件符號 370 表示在週邊電路區域中之閘極氧化物膜之第四氧化矽層，元件符號 380 表示在記憶體單元區域中之控制閘極和字元線，元件符號 382 表示在週邊電路區域中之閘極電極。

以根據第二實施例之該第二低電阻層 352，使得降低位元線之電阻、以小型化位元線、以及易於製造週邊電路成為可能，如第一實施例。在第二實施例中，不一定要使

用第一實施例中提供的樹脂 260，然而若使用之則有可容易移除該絕緣遮罩層 330 以及該間隔物 334 之優點。

雖然已顯示和敘述本發明之較佳實施例，熟習此技藝者將理解在這些實施例中可做改變而不脫離本發明之原理及精神，本發明之範疇將定義於申請專利範圍以及其等效物。

【圖式簡單說明】

第 1A 圖至第 1D 圖為根據習知製造技術之具有 ONO 膜的習知快閃記憶體及其製造方法之截面圖；

第 2A 圖至第 2D 圖為根據本發明之第一實施例之具有 ONO 膜的快閃記憶體及其製造方法之截面圖；

第 3A 圖至第 3D 圖為根據本發明之第一實施例之具有該 ONO 膜的該快閃記憶體及其該製造方法之截面圖；

第 4A 圖至第 4C 圖為根據本發明之第一實施例之具有該 ONO 膜的該快閃記憶體及其該製造方法之截面圖；以及

第 5A 圖至第 5D 圖為根據本發明之第二實施例之具有該 ONO 膜的該快閃記憶體及其製造方法之截面圖。

【主要元件符號說明】

100	基板	110	第一氧化矽層
112	氮化矽層	114	氮化矽層
116	第二氧化矽層	120	光阻
140	開口	150	低電阻層
156	通道	170	氧化矽層
180	多晶矽層	182	閘極金屬

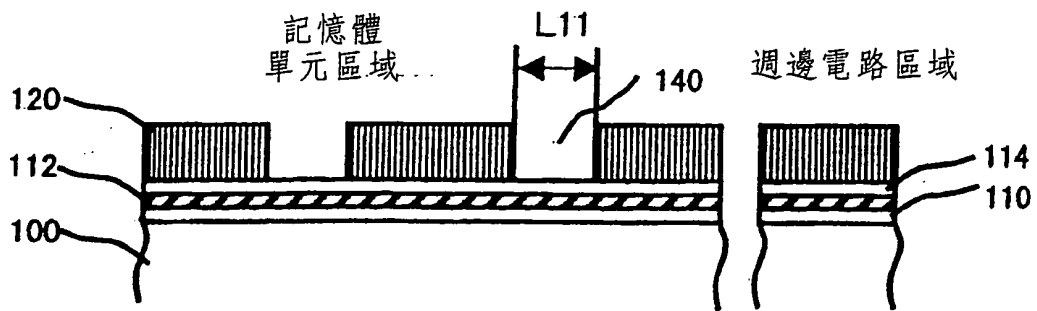
L11	開口 140 之寬度	L12	低電阻層 150 之寬度
200	基板	210	第一氧化矽層
212	氮化矽層	214	第三氧化矽層
216	第二氧化矽層	220	光阻
230	絕緣遮罩層	234	間隔物
242	開口	244	開口
250	第一低電阻層	252	矽化的金屬層
256	通道	260	樹脂
262	埋藏區域	270	第四氧化矽層
280	控制閘極	282	閘極電極
L21	尺寸	L22	尺寸
L23	尺寸	L24	尺寸
300	基板	310	第一氧化矽層
312	氮化矽層	314	第三氧化矽層
316	第二氧化矽層	330	絕緣遮罩層
334	間隔物	344	開口
350	第一低電阻層	352	第二低電阻層
356	通道	370	第四氧化矽層
380	控制閘極和字元線	382	閘極電極

五、中文發明摘要：

一種半導體裝置，包含半導體基板、設置於該半導體基板上之 ONO（氧化物/氮化物/氧化物）膜、設置在該 ONO 膜上之控制閘極、第一低電阻層、以及與該第一低電阻層接觸之第二低電阻層，該第二低電阻層具有低於該第一低電阻層之片電阻(sheet resistance)。以此架構，使得以小型化(downsize)記憶體單元(memory cell)以及提供可以簡單製造程序製造其中之週邊電路之半導體裝置之製造其中之方法成為可能。

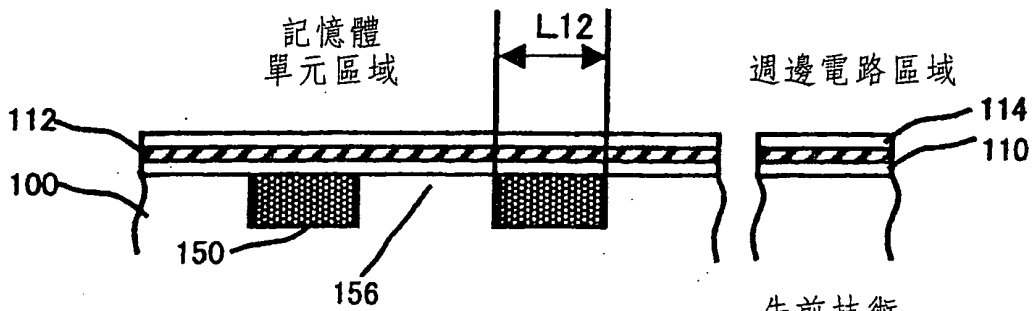
六、英文發明摘要：

A semiconductor device includes a semiconductor substrate, an ONO (oxide/nitride/oxide) film provided on the semiconductor substrate, a control gate provided on the ONO film, a first low-resistance layer, and a second low-resistance layer in contact with the first low-resistance layer, the second low-resistance layer having a sheet resistance lower than the first low-resistance layer. With this configuration, it is possible to downsize the memory cell and provide a fabrication method of the semiconductor device in which the peripheral circuit can be fabricated with simple fabrication processes.



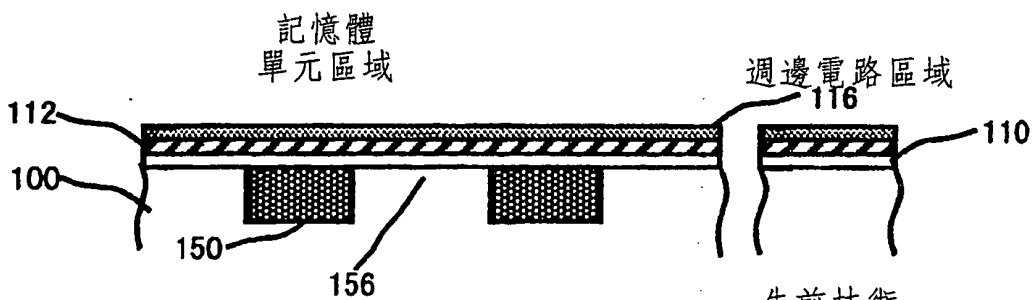
第1A圖

先前技術



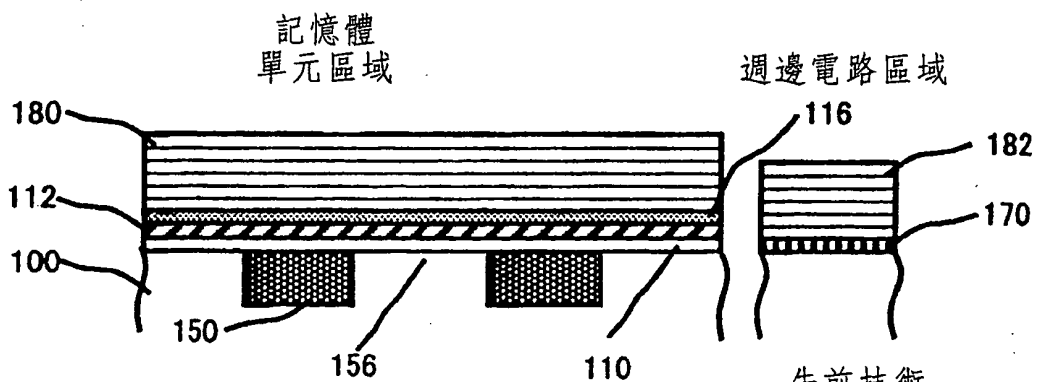
第1B圖

先前技術



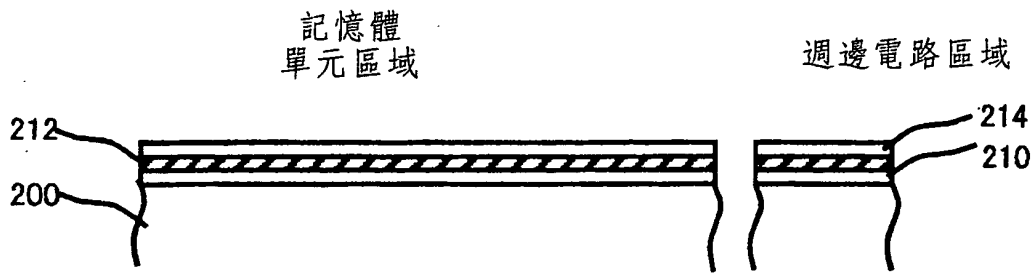
第1C圖

先前技術

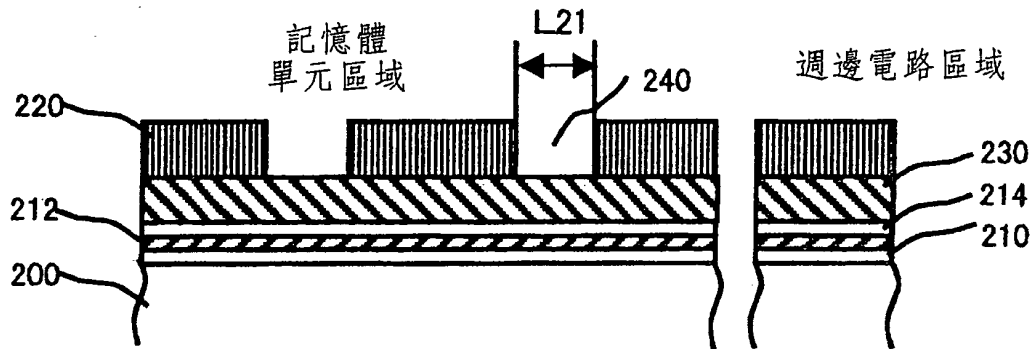


第1D圖

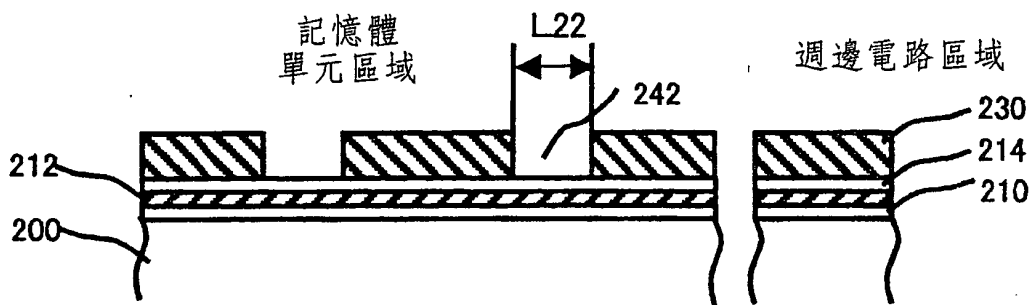
先前技術



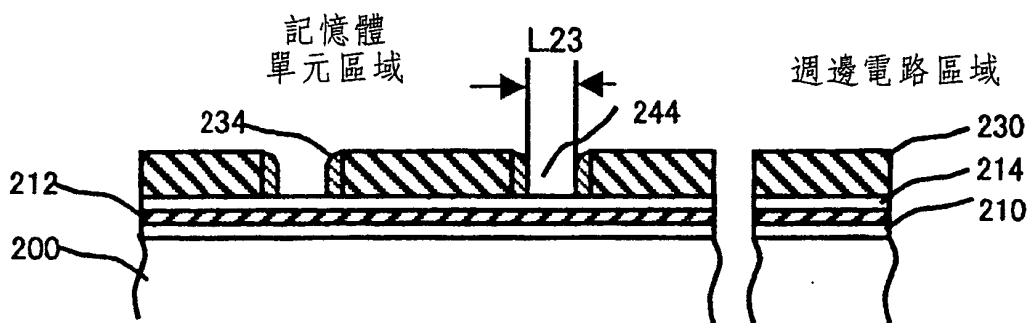
第2A圖



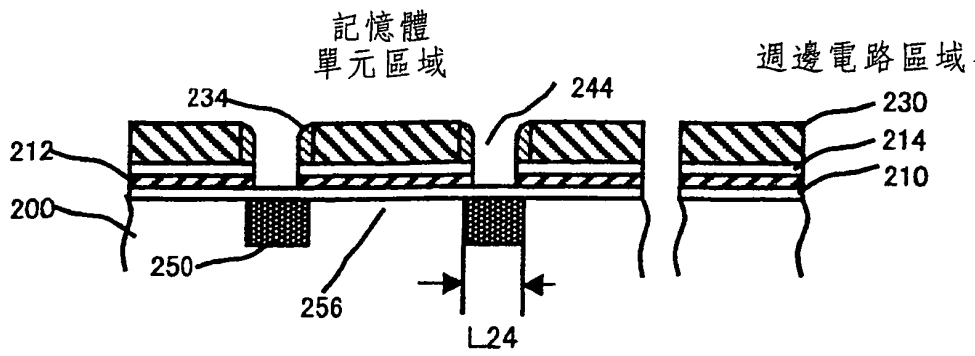
第2B圖



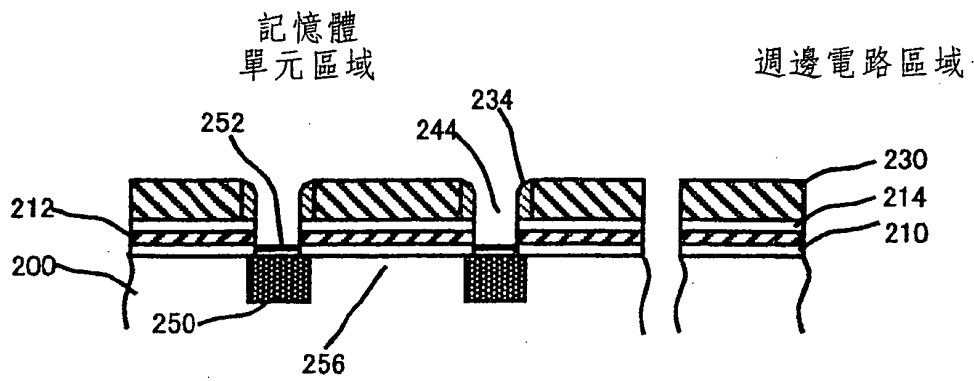
第2C圖



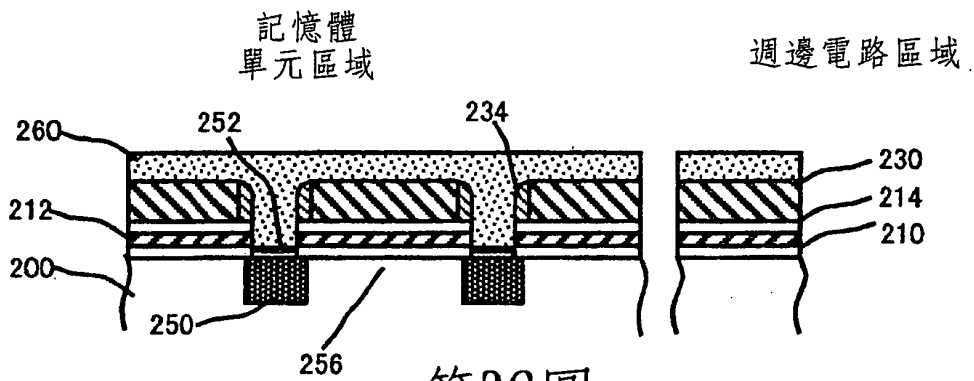
第2D圖



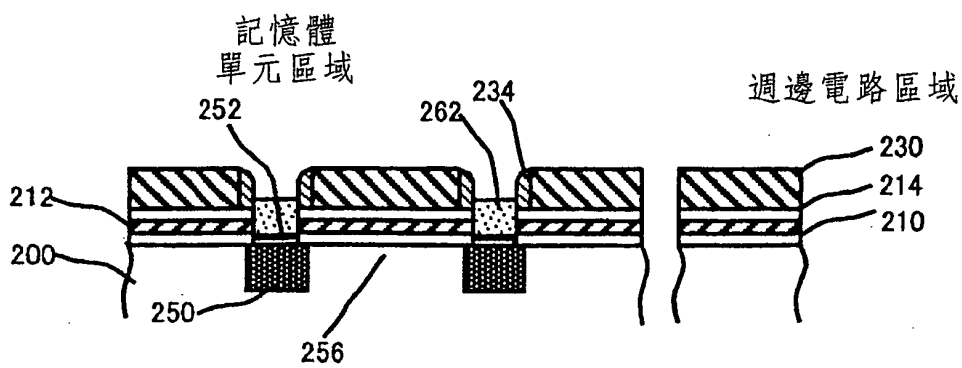
第3A圖



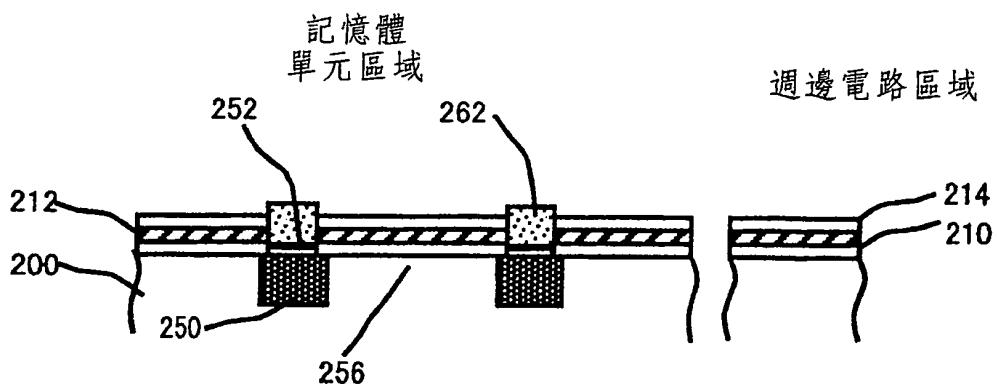
第3B圖



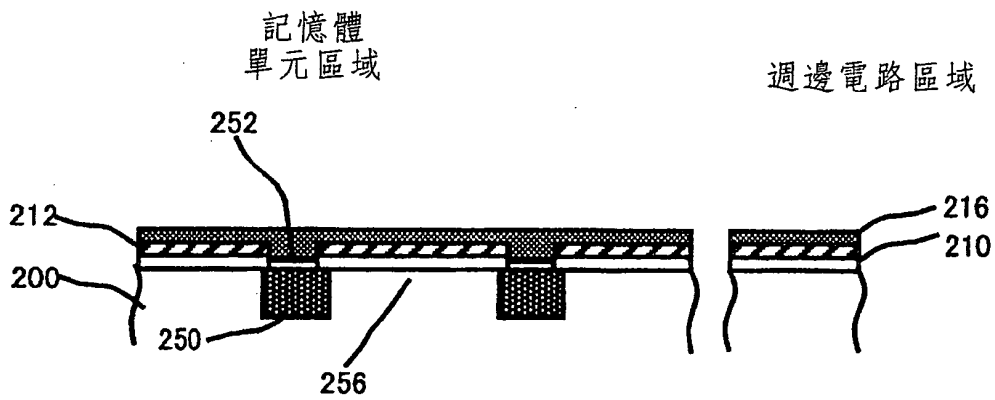
第3C圖



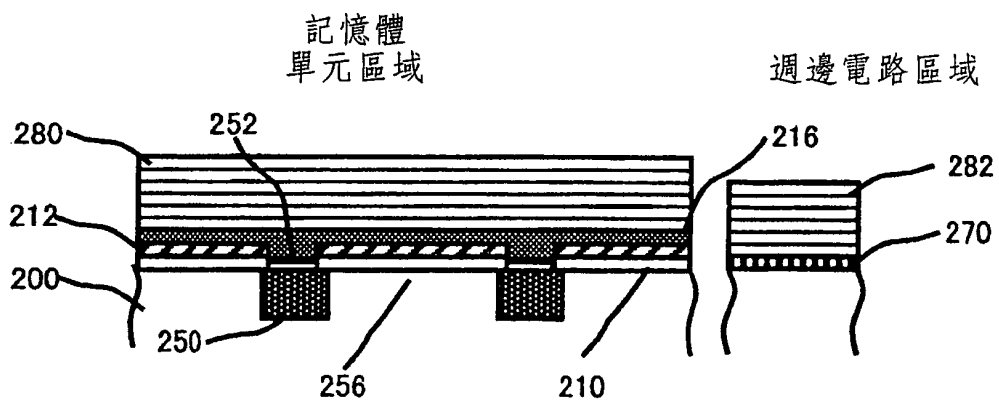
第3D圖



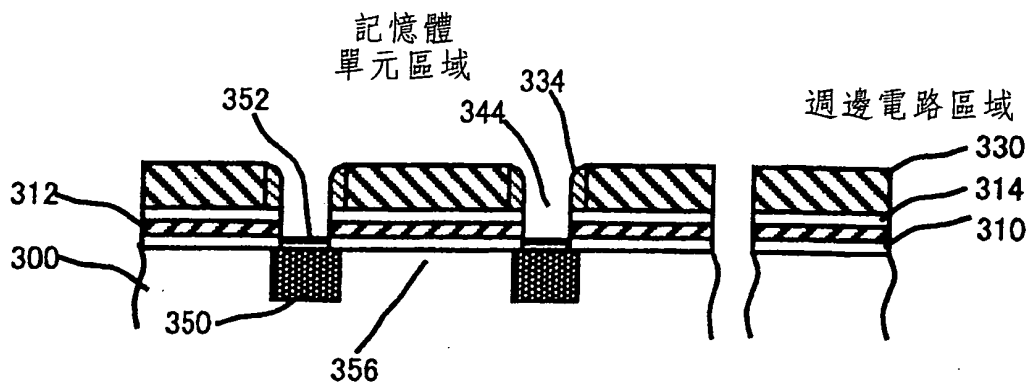
第4A圖



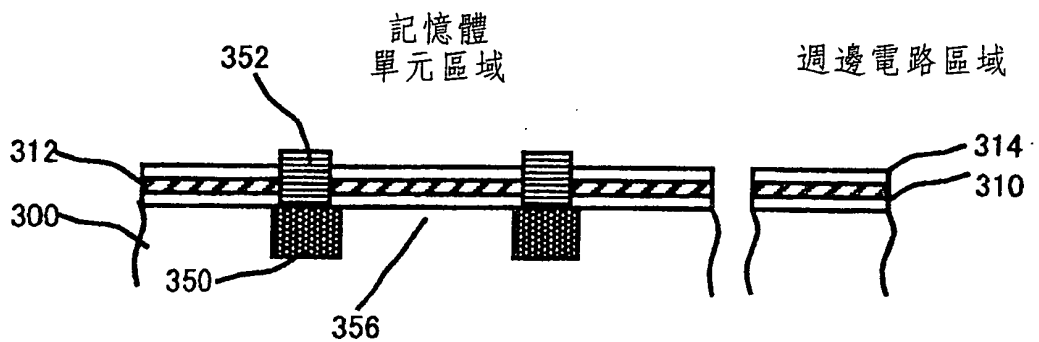
第4B圖



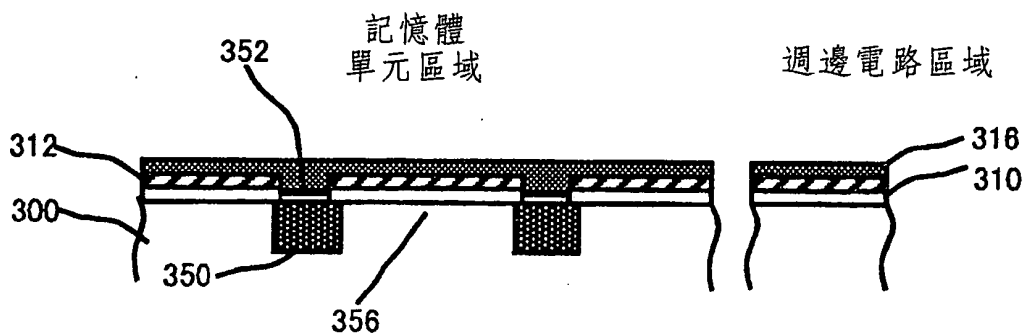
第4C圖



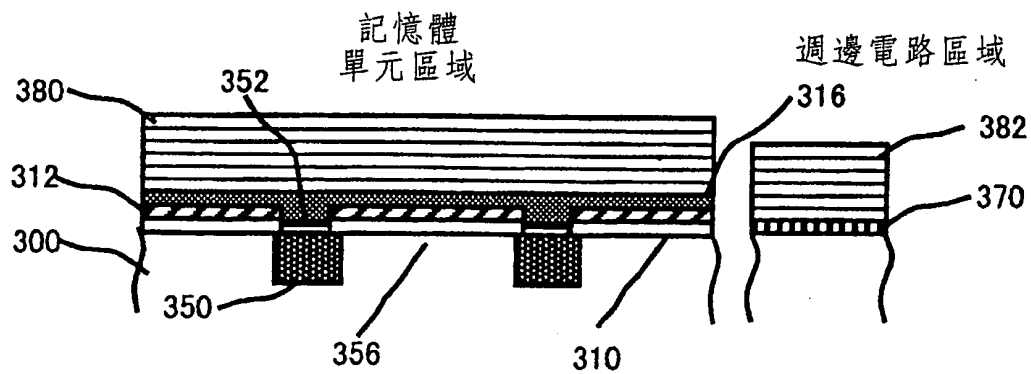
第5A圖



第5B圖



第5C圖



第5D圖

七、指定代表圖：

(一)本案指定代表圖為：第(4C)圖。

(二)本代表圖之元件符號簡單說明：

200	基板	210	第一氧化矽層
212	氮化矽層	216	第二氧化矽層
250	第一低電阻層	252	矽化的金屬層
256	通道	270	第四氧化矽層
280	控制閘極	282	閘極電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95102553

※申請日期：95.1.24

※IPC 分類：H01L 27/115 (2006.01)
H01L 21/8247 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

史班遜有限公司

SPANSION LLC

代表人：(中文/英文) 米連達 羅伯特 C / MELENDRES, ROBERT C.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453 桑尼威市·郵政信箱 3453 號·德吉尼大道 915 號

915 DeGuigne Drive, P.O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.

國籍：(中文/英文) 美國 / U.S.A.

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 纈纈洋章 / KOUKETSU, HIROAKI

2. 保坂真彌(保坂真弥) / HOSAKA, MASAYA

國籍：(中文/英文)

1. 2. 日本國 / JAPAN

十、申請專利範圍：

1. 一種半導體裝置，包括：

半導體基板；

ONO(氧化物/氮化物/氧化物)膜，設置於該半導體基板上；

控制閘極，設置於該 ONO 膜上；以及

位元線，該位元線具有第一低電阻層以及第二低電阻層，該第一低電阻層係形成於該半導體基板中，而該第二低電阻層係與該第一低電阻層接觸以及在電流通過該位元線的方向延伸，其中，該第二低電阻層的寬度較該第一低電阻層的寬度窄並且具有比該第一低電阻層低的片電阻，該位元線及該控制閘極係只藉由該 ONO 膜之第一氧化物膜層所隔離，該控制閘極上覆該位元線，該第一氧化物膜層上覆該 ONO 膜的氮化物層並且與該氮化物層直接接觸，而該第一氧化物膜層是與該半導體基板隔離。

2. 如申請專利範圍第 1 項之半導體裝置，其中，該第一低電阻層係雜質擴散的層。

3. 如申請專利範圍第 1 項之半導體裝置，其中，該第二低電阻層係包含矽化的金屬層。

4. 如申請專利範圍第 1 項之半導體裝置，其中，該第二低電阻層係包含磊晶成長的矽層。

5. 如申請專利範圍第 1 項之半導體裝置，復包括連接至該控制閘極之字元線，其中該控制閘極及該字元線係藉由

單一多晶矽層而一體地形成。

6. 一種製造半導體裝置之方法，包括下列步驟：

於半導體基板上形成 ONO 膜；

於該 ONO 膜上，形成絕緣遮罩層，該絕緣遮罩層具有對應於位元線形成區域之開口；

以該絕緣遮罩層而選擇性地在該半導體基板植入雜質離子以形成第一低電阻層；

蝕刻在該位元線形成區域中的該 ONO 膜；以及

在該位元線形成區域中形成與該第一低電阻層接觸且於電流流動的方向延伸之第二低電阻層，該第二低電阻層具有低於該第一低電阻層之片電阻。

7. 如申請專利範圍第 6 項之方法，其中，形成該絕緣遮罩層之步驟係包括形成間隔物於該開口之側壁上以減小該開口。

8. 如申請專利範圍第 6 項之方法，其中，形成該絕緣遮罩層之步驟係包括形成氮化矽層作為該絕緣遮罩層之步驟。

9. 如申請專利範圍第 6 項之方法，復包括下列步驟：

在形成該第二低電阻層之前移除該 ONO 膜之上氧化物層；以及

在該 ONO 膜之暴露的氮化物層上和經由該開口而暴露的該第二低電阻層上形成氧化矽層。

10. 如申請專利範圍第 6 項之方法，其中，形成該第一低電阻層之步驟係包括在植入該雜質離子之前選擇性地移

除在該位元線形成區域之該 ONO 膜之上氧化物層以及其下面的氮化物層。

11. 如申請專利範圍第 6 項之方法，其中，形成該第二低電阻層之步驟係包括形成矽化的金屬層。

12. 如申請專利範圍第 11 項之方法，復包括下列步驟：

選擇性地提供樹脂於該矽化的金屬層上；以及
移除該絕緣遮罩層。

13. 如申請專利範圍第 6 項之方法，其中，形成該第二低電阻層之步驟係包括磊晶成長低電阻矽層。