

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-166620

(P2010-166620A)

(43) 公開日 平成22年7月29日(2010.7.29)

(51) Int.Cl.	F I	テーマコード (参考)
H03H 9/24 (2006.01)	H03H 9/24 Z	3C081
H03H 3/007 (2006.01)	H03H 3/007 Z	5J079
H03H 9/02 (2006.01)	H03H 9/02 K	5J108
H03B 5/30 (2006.01)	H03B 5/30 Z	
B81B 7/02 (2006.01)	B81B 7/02	

審査請求 未請求 請求項の数 16 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2010-92871 (P2010-92871)
 (22) 出願日 平成22年4月14日 (2010.4.14)
 (62) 分割の表示 特願2008-27304 (P2008-27304) の分割
 原出願日 平成20年2月7日 (2008.2.7)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 稲葉 正吾
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 佐藤 彰
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

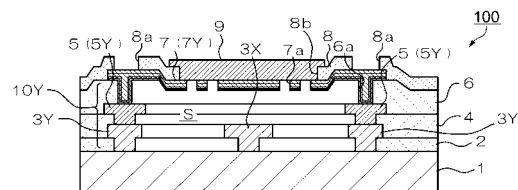
(54) 【発明の名称】 電子装置、共振子、発振器、及び電子装置の製造方法

(57) 【要約】

【課題】 電子装置の製造工程を効率的に実施し、製造コストを低減する。

【解決手段】 本発明の電子装置100は、基板1と、基板1上に形成された機能構造体(MEMS構造体)3Xと、機能構造体3Xが配置された空洞部Sを画成する被覆構造とが備えられる電子装置であって、前記被覆構造が、基板1上に設けられ、且つ空洞部Sを囲む層間絶縁層4、6と、下部包囲壁3Y及び配線層5、7とからなる側壁10Yと、空洞部Sの上方を覆うと共に、空洞部Sに貫通する開口7aを有し耐食性層を含む積層構造からなる第1被覆層7Yと、開口7aを閉鎖する第2被覆層9と、を備えている。耐食性層は、TiN、Ti、W、Au、Ptまたはそれぞれの合金より構成される。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

基板と、該基板上に形成された機能構造体と、該機能構造体が配置された空洞部を画成する被覆構造とが備えられる電子装置であって、

前記被覆構造が、前記基板上に設けられ、且つ前記空洞部を囲む層間絶縁層と配線層とからなる側壁と、前記空洞部の上方を覆うと共に、前記空洞部に貫通する開口を有し耐食性層を含む積層構造からなる第 1 被覆層と、前記開口を閉鎖する第 2 被覆層と、を備えていることを特徴とする電子装置。

【請求項 2】

前記耐食性層は、前記第 1 被覆層の厚み方向の一部で構成されていることを特徴とする請求項 1 に記載の電子装置。

10

【請求項 3】

前記耐食性層が、TiN、Ti、W、Au、Pt またはそれぞれの合金よりなることを特徴とする請求項 1 または請求項 2 に記載の電子装置。

【請求項 4】

前記耐食性層が、前記第 1 被覆層の最上層に設けられた層で構成されることを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の電子装置。

【請求項 5】

前記耐食性層が、前記第 1 被覆層の最下層に設けられた層で構成されることを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の電子装置。

20

【請求項 6】

前記耐食性層が、前記第 1 被覆層の最上層と最下層とに設けられた層で構成されることを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の電子装置。

【請求項 7】

前記第 1 被覆層が、前記空洞部を臨む面からTi層、TiN層、Al-Cu層、TiN層の順に積層された積層構造であることを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の電子装置。

【請求項 8】

前記第 1 被覆層が、前記空洞部を臨む面からTiN層、Al-Cu層、Ti層、TiN層の順に積層された積層構造であることを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の電子装置。

30

【請求項 9】

前記第 1 被覆層が、前記空洞部を臨む面からTi層、TiN層、Al-Cu層、Ti層、TiN層の順に積層された積層構造であることを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の電子装置。

【請求項 10】

前記第 1 被覆層が、前記空洞部を臨む面からTi層、Al-Cu層、TiN層の順に積層された積層構造であることを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の電子装置。

【請求項 11】

前記第 1 被覆層が、前記空洞部を臨む面からTiN層、Al-Cu層、TiN層の順に積層された積層構造であることを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の電子装置。

40

【請求項 12】

基板と、空洞部の内部に配設され機能構造体とCMOS回路部とが前記基板上に併設されてなる電子装置であって、

前記空洞部を画成する被覆構造が、前記空洞部を囲む層間絶縁層と配線層とからなる側壁と、前記空洞部の上方を覆うと共に、前記空洞部に貫通する開口を有し耐食性層を含む積層構造からなる第 1 被覆層と、を備え、

前記層間絶縁層と前記配線層それぞれの少なくとも一つが、前記CMOS回路部の層間

50

絶縁層または配線層の一部であることを特徴とする電子装置。

【請求項 1 3】

基板と、該基板上に形成された機能構造体と、該機能構造体が配置された空洞部を画成する被覆構造とが備えられ、

前記被覆構造が、前記基板上に設けられ、且つ前記空洞部を囲む層間絶縁層と配線層とからなる側壁と、前記空洞部の上方を覆うと共に、前記空洞部に貫通する開口を有し耐食性層を含む積層構造からなる第 1 被覆層と、前記開口を閉鎖する第 2 被覆層と、を備えていることを特徴とする共振子。

【請求項 1 4】

基板と、空洞部の内部に配設される機能構造体と、発振回路を含む CMOS 回路部と、
が前記基板上に併設されてなり、

前記空洞部を画成する被覆構造が、前記空洞部を囲む層間絶縁層と配線層とからなる側壁と、前記空洞部の上方を覆うと共に、前記空洞部に貫通する開口を有し耐食性層を含む積層構造からなる第 1 被覆層と、を備え、

前記層間絶縁層と前記配線層それぞれの少なくとも一つが、前記 CMOS 回路部の層間絶縁層と配線層の一部であることを特徴とする発振器。

【請求項 1 5】

基板と、該基板上に形成された機能構造体と、該機能構造体が配置された空洞部を画成する被覆構造とが備えられる電子装置の製造方法であって、

前記基板上に前記機能構造体を犠牲層とともに形成する機能構造体形成工程と、

前記機能構造体の上部を含む周縁に層間絶縁層を形成する層間絶縁層形成工程と、

前記層間絶縁層上に耐食性層を含む積層構造からなり開口を有する第 1 被覆層を形成する第 1 被覆層形成工程と、

前記開口を通して前記機能構造体上の前記層間絶縁層及び前記犠牲層を除去するリリース工程と、

前記開口を閉鎖する第 2 被覆層を形成する第 2 被覆層形成工程と、を含むことを特徴とする電子装置の製造方法。

【請求項 1 6】

基板と、空洞部の内部に配設され機能構造体と、 CMOS 回路部と、 が前記基板上に併設されてなる電子装置の製造方法であって、

前記基板上に前記機能構造体を犠牲層とともに形成する機能構造体形成工程と、

CMOS トランジスタを形成する工程と、

前記機能構造体の上部及び前記 CMOS トランジスタの上部を含む周縁に層間絶縁層を形成する層間絶縁層形成工程と、

前記層間絶縁層の上部に、前記空洞部を覆い開口を有する第 1 被覆層と、前記機能構造体に接続する配線層と、前記 CMOS トランジスタと接続する配線層と、を形成する配線層形成工程と、

前記第 1 被覆層と、前記機能構造体に接続する配線層と、前記 CMOS トランジスタと接続する配線層とを含む周縁に保護膜を形成する保護膜形成工程と、

前記開口を通して前記機能構造体上の前記層間絶縁層及び前記犠牲層を除去するリリース工程と、

前記開口を閉鎖する第 2 被覆層を形成する第 2 被覆層形成工程と、を含むことを特徴とする電子装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は MEMS (微小電気機械システム) 等の機能構造体を基板上に構成された空洞部内に配置してなる電子装置、共振子、発振器の構造及び電子装置の製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

一般に、MEMS等の機能構造体を基板上に構成された空洞部に配置してなる電子装置が知られている。例えば、マイクロ振動子、マイクロセンサ、マイクロアクチュエータ等のMEMSは、微小な構造体が振動、変形、その他の動作が可能となる状態で配置される必要があるため、空洞内に動作可能な状態で収容される（例えば、以下の特許文献1及び2参照）。

【0003】

ところで、上記の空洞を形成する方法として、特許文献1に開示されているように、一方の基板の表面上に微小機能構造体を形成した後に、真空チャンバ内でリングを介して一方の基板と他方の基板を接合し、その後、リングの外側に密封剤を充填する方法が知られている。

10

【0004】

また、他の方法として、特許文献2に開示されているように、基板上にMEMS構造体を形成し、その上に犠牲層を形成した後に貫通孔を有する第1封止部材を形成し、この第1封止部材の貫通孔を通して犠牲層を除去してMEMS構造体の可動部をリリースさせ、最後に第1封止部材の貫通孔をCVD膜等の第2封止部材で覆うことで閉鎖するという方法も知られている。

【0005】

また、半導体集積回路装置(CMOS)とMEMS構造体とをモノリシックに構成した構造において、空洞部をMOSFETの配線形成技術を用いて同時に形成する上述した特許文献1,2と類似な方法が記載されている（例えば、特許文献3参照）。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2005-297180号公報

【特許文献2】特開2005-123561号公報

【特許文献3】特開2006-263902号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、前述の特許文献1のように2枚の基板を貼り合わせる方法では、封止用の専用基板が必要になるために資材コストが増加し、また、一般の半導体製造技術を用いて微小機械素子を形成しようとしても、基板同士を貼り合わせるといった特殊なプロセスが必要となることから、半導体製造技術を用いる利点が減殺され、製造コストが増大するという問題点がある。

30

【0008】

また、前述の特許文献2において開示された、貫通孔を有する第1封止部材と貫通孔を閉鎖する第2封鎖部材とを用いる方法では、MEMS構造体のリリース工程が第1封止部材の貫通孔を通して行われることからエッチング時間が長時間となるため、第1封止部材をリリース工程のエッチングに充分に耐えうる素材で形成する必要があり、その結果、半導体製造工程と共通の工程で第1封止部材を形成することができず、製造コストが増大するという課題がある。

40

【0009】

また、半導体集積回路装置(CMOS)とMEMS構造体とをモノリシックに構成した構造においても、上述と同様な課題を有している。

【0010】

そこで、本発明は上記問題点を解決するものであり、その目的は、基板上の空洞内に配置される機能構造体と電子回路からなる電子装置の製造工程を効率的に実施し、製造歩留まりを確保するとともに製造コストを低減することが可能な電子装置と共振子と発振器の構造及び電子装置の製造方法を実現することにある。

【課題を解決するための手段】

50

【0011】

斯かる実情に鑑み、本発明の電子装置は、基板と、該基板上に形成された機能構造体と、該機能構造体が配置された空洞部を画成する被覆構造とが備えられる電子装置であって、前記被覆構造が、前記基板上に設けられ、且つ前記空洞部を囲む層間絶縁層と配線層とからなる側壁と、前記空洞部の上方を覆うと共に、前記空洞部に貫通する開口を有し耐食性層を含む積層構造からなる第1被覆層と、前記開口を閉鎖する第2被覆層と、を備えていることを特徴とする。

【0012】

このような構成によれば、機能構造体を収容する空洞部を画成する被覆構造に、層間絶縁層と配線層の積層構造が含まれることで半導体製造プロセスを適用してMEMS構造体を容易に構成できる。また、第1被覆層の開口を通して機能構造体の周囲を除去して可動部をリリースさせることができるとともに、その後、外側から開口を閉鎖する第2被覆層を形成することで、空洞部を密閉することが可能になる。さらに、このとき、空洞部を上方から被覆する第1被覆層が耐食性層を含むことで、長時間にわたるリリース工程を実施しても耐食性層が高いエッチング耐性を有することにより支障なく残存するので、第2被覆層による閉鎖処理を確実に実施できる。

10

【0013】

また、前記耐食性層は、前記第1被覆層の厚み方向の一部で構成されていることが好ましい。

【0014】

耐食性層が第1被覆層の一部で構成されていることにより、機能構造体を収容する空洞部を画成する被覆構造と電子回路とを構造的に高度に一体化できるとともに、機能構造体の製造プロセスと電子回路の製造プロセスとを容易に共通化することができるため、電子装置の小型化を図ることができるとともに製造コストを低減できる。

20

【0015】

また、前記耐食性層が、TiN、Ti、W、Au、Ptまたはそれぞれの合金よりなることが好ましい。

【0016】

このような構成によれば、耐食性層が上記の導電性材料で構成されることで、機能構造体と外部との間の電磁的相互作用を低減できるとともに、配線層の一部で耐食性層を形成することも可能になる。また、上記の耐食性層は配線層の表面層やバリア層としても用いられる素材で構成されるので、配線層の機能向上とリリース工程時の問題解消とを同時に実現できる。

30

【0017】

また、前記耐食性層が、前記第1被覆層の最上層に設けられた層で構成されることが好ましい。

【0018】

耐食性層が第1被覆層の最上層に設けられることで、第1被覆層の下層がさらにエッチングされにくくなるため、第1被覆層の剛性も確保しやすくなることから、開口を第2被覆層で閉鎖する工程も支障なく行うことが可能になる。

40

【0019】

また、前記耐食性層が、前記第1被覆層の最下層に設けられた層で構成されることが好ましい。

【0020】

このようにすれば、耐食性層が第1被覆層の最下層に設けられることでリリース工程においてエッチングが進むことで生ずる下方の空間内にエッチング液が溜まっても、当該エッチング液で第1被覆層のその他の部分がエッチングされにくくなるため、第1被覆層の剛性も確保しやすくなることから、開口を第2被覆層で閉鎖する工程も支障なく行うことが可能になる。

【0021】

50

また、前記耐食性層が、前記第1被覆層の最上層と最下層とに設けられた層で構成されることがより好ましい。

【0022】

このような構成によれば、特に、第1被覆層の最上層と最下層の双方に耐食性層が形成されることで、第1被覆層の消失や剛性の低下をさらに防止しやすくなる。

【0023】

また、前記第1被覆層が、前記空洞部を臨む面からTi層、TiN層、Al-Cu層、TiN層の順に積層された積層構造であることが望ましい。

【0024】

また、前記第1被覆層が、前記空洞部を臨む面からTiN層、Al-Cu層、Ti層、TiN層の順に積層された積層構造であることが望ましい。

10

【0025】

さらに、前記第1被覆層が、前記空洞部を臨む面からTi層、TiN層、Al-Cu層、Ti層、TiN層の順に積層された積層構造であることが望ましい。

【0026】

また、前記第1被覆層が、前記空洞部を臨む面からTi層、Al-Cu層、TiN層の順に積層された積層構造であることが望ましい。

【0027】

また、前記第1被覆層が、前記空洞部を臨む面からTiN層、Al-Cu層、TiN層の順に積層された積層構造であることが望ましい。

20

【0028】

犠牲層及び層間絶縁層をリリース除去するためにフッ化水素酸系の溶液を用いる場合、特にTi、TiNは溶けにくい材料である。従って、第1被覆層の最上層及び最下層に、Ti層、TiN層を単独で、あるいは複層とすることで第1被覆層の消失や剛性の低下を防止することができる。

なお、耐食性層としては他に、W、Au、Ptまたはそれぞれの合金を採用することができる。

【0029】

また、本発明の電子装置は、基板と、空洞部の内部に配設され機能構造体とCMOS回路部とが前記基板上に併設されてなる電子装置であって、前記空洞部を画成する被覆構造が、前記空洞部を囲む層間絶縁層と配線層とからなる側壁と、前記空洞部の上方を覆うと共に、前記空洞部に貫通する開口を有し耐食性層を含む積層構造からなる第1被覆層と、を備え、前記層間絶縁層と前記配線層それぞれの少なくとも一つが、前記CMOS回路部の層間絶縁層または配線層の一部であることを特徴とする。

30

【0030】

このような構成によれば、機能構造体及びCMOS回路部それぞれの層間絶縁層及び配線層の一部と共通とすることができることから、薄型化や小型化が可能で、また半導体製造プロセスを用いて効率的に製造することができ、製造コストの低減が図れる。

【0031】

また、本発明の共振子は、基板と、該基板上に形成された機能構造体と、該機能構造体が配置された空洞部を画成する被覆構造とが備えられ、前記被覆構造が、前記基板上に設けられ、且つ前記空洞部を囲む層間絶縁層と配線層とからなる側壁と、前記空洞部の上方を覆うと共に、前記空洞部に貫通する開口を有し耐食性層を含む積層構造からなる第1被覆層と、前記開口を閉鎖する第2被覆層と、を備えていることを特徴とする。

40

ここで、機能構造体としては、例えば特定の周波数帯で共振するMEMS構造体である。

【0032】

このような構成によれば、空洞部を上方から被覆する第1被覆層が耐食性層を含むことで、長時間にわたるリリース工程を実施しても耐食性層が高いエッチング耐性を有することにより支障なく残存するので、第2被覆層による閉鎖処理を確実に実施でき、信頼性の

50

高い共振子を実現することができる。

【0033】

また、本発明の発振器は、基板と、空洞部の内部に配設される機能構造体と、発振回路を含むCMOS回路部と、が前記基板上に併設されてなり、前記空洞部を画成する被覆構造が、前記空洞部を囲む層間絶縁層と配線層とからなる側壁と、前記空洞部の上方を覆うと共に、前記空洞部に貫通する開口を有し耐食性層を含む積層構造からなる第1被覆層と、を備え、前記層間絶縁層と前記配線層それぞれの少なくとも一つが、前記CMOS回路部の層間絶縁層と配線層の一部であることを特徴とする。

ここで、機能構造体としては、例えば特定の周波数帯で共振するMEMS構造体である。

10

【0034】

このような構成によれば、基板上に、機能構造体領域とCMOS回路部領域とが併設されることから発振器の小型化を実現できる。また、空洞部を上方から被覆する第1被覆層が耐食性層を含むことで、長時間にわたるリリース工程を実施しても耐食性層が高いエッチング耐性を有することにより支障なく残存するので、第2被覆層による閉鎖処理を確実に実施でき、信頼性の高い発振器を提供することができる。

【0035】

また、本発明の電子装置の製造方法は、基板と、該基板上に形成された機能構造体と、該機能構造体が配置された空洞部を画成する被覆構造とが備えられる電子装置の製造方法であって、前記基板上に前記機能構造体を犠牲層とともに形成する機能構造体形成工程と、前記機能構造体の上部を含む周縁に層間絶縁層を形成する層間絶縁層形成工程と、前記層間絶縁層上に耐食性層を含む積層構造からなり開口を有する第1被覆層を形成する第1被覆層形成工程と、前記開口を通して前記機能構造体上の前記層間絶縁層及び前記犠牲層を除去するリリース工程と、前記開口を閉鎖する第2被覆層を形成する第2被覆層形成工程と、を含むことを特徴とする。

20

【0036】

このような製造方法によれば、機能構造体が配設される空洞部を上方から被覆する耐食性層を含む第1被覆層形成工程の後に、リリース工程を行うことにより、長時間にわたるリリース工程を実施しても耐食性層が高いエッチング耐性を有することにより支障なく残存するので、第2被覆層による閉鎖処理を確実に実施でき、信頼性の高い電子装置を実現することができる。

30

【0037】

さらに、本発明の電子装置の製造方法は、基板と、空洞部の内部に配設され機能構造体と、CMOS回路部と、が前記基板上に併設されてなる電子装置の製造方法であって、前記基板上に前記機能構造体を犠牲層とともに形成する機能構造体形成工程と、CMOSトランジスタを形成する工程と、前記機能構造体の上部及び前記CMOSトランジスタの上部を含む周縁に層間絶縁層を形成する層間絶縁層形成工程と、前記層間絶縁層の上部に、前記空洞部を覆い開口を有する第1被覆層と、前記機能構造体に接続する配線層と、前記CMOSトランジスタと接続する配線層と、を形成する配線層形成工程と、前記第1被覆層と、前記機能構造体に接続する配線層と、前記CMOSトランジスタと接続する配線層とを含む周縁に保護膜を形成する保護膜形成工程と、前記開口を通して前記機能構造体上の前記層間絶縁層及び前記犠牲層を除去するリリース工程と、前記開口を閉鎖する第2被覆層を形成する第2被覆層形成工程と、を含むことを特徴とする。

40

【0038】

このような製造方法によれば、半導体製造プロセスを用いて、機能構造体とCMOS回路部それぞれの層間絶縁層と配線層のいくつかを共通の工程で形成することができ、製造工程の簡素化と短縮化を実現できる。

【図面の簡単な説明】

【0039】

【図1】実施形態1に係る製造工程を示す概略工程断面図。

50

- 【図 2】実施形態 1 に係る製造工程を示す概略工程断面図。
 【図 3】実施形態 1 に係る製造工程を示す概略工程断面図。
 【図 4】実施形態 1 に係る製造工程を示す概略工程断面図。
 【図 5】実施形態 1 に係る製造工程を示す概略工程断面図。
 【図 6】実施形態 1 に係る製造工程を示す概略工程断面図。
 【図 7】実施形態 1 に係る製造工程を示す概略工程断面図。
 【図 8】実施形態 1 に係る電素装置の概略縦断面図。
 【図 9】実施形態 1 に係る第 1 被覆層の断面形状を示す拡大部分断面図。
 【図 10】他の電子装置の構造を示す縦断面図。
 【図 11】異なる電子装置の構造を示す縦断面図。
 【図 12】(a) ~ (d) は、他の製造プロセスを示す概略部分工程説明図。
 【図 13】実施形態 2 に係る電子装置の概略構成を示す平面レイアウト図。
 【図 14】実施形態 2 に係る電子装置の主要部概略構造を示す断面図。
 【図 15】実施形態 2 に係る M E M S 構造体領域の概略構造を示す平面レイアウト図。
 【図 16】実施形態 2 に係る電子装置の製造工程を示す概略工程断面図。
 【図 17】実施形態 2 に係る電子装置の製造工程を示す概略工程断面図。
 【図 18】実施形態 2 に係る電子装置の製造工程を示す概略工程断面図。
 【図 19】実施形態 2 に係る電子装置の製造工程を示す概略工程断面図。
 【発明を実施するための形態】

【0040】

次に、添付図面を参照して本発明の実施形態について詳細に説明する。なお、以下の説明で参照する図は、図示の便宜上、部材ないし部分の縦横及び厚さの縮尺は実際のものとは異なる模式図である。

(実施形態 1)

【0041】

最初に、実施形態 1 に係る電子装置の製造方法について説明する。図 1 ~ 図 8 は本発明に係る電子装置の製造方法を示す概略工程図である。

【0042】

図 1 ~ 図 3 は、基板 1 上に機能構造体 3 X を犠牲層 2 とともに形成する機能構造体形成工程を示す断面図である。まず、図 1 に示す半導体基板等からなる基板 1 を用意する。基板 1 としてはシリコン基板等の半導体基板であることが最も好ましいが、セラミックス基板、ガラス基板、サファイア基板、ダイヤモンド基板、合成樹脂基板などの各種の基板を用いることができる。半導体基板を用いる場合には、基板 1 に予め、或いは、適宜の工程途中において、所定の半導体集積回路（図示せず、例えば、CMOS トランジスタ等）を作りこんでおくことができる。本実施形態の製造方法では、基板 1 の表層部に適宜の不純物領域（図示せず）を備えた半導体基板を用いる。また、この半導体基板上に適宜の配線構造を形成し、全体として CMOS プロセスによって電子装置（半導体集積回路）を形成していくように製造方法が設定される。ただし、本発明では半導体回路に限らず、当該半導体回路以外の各種の電子回路（単なる配線パターンをも含む。）を備えた電子装置にも適用できる。

【0043】

次に、基板 1 の表面上に犠牲層 2 を形成する。この犠牲層 2 は、例えば、酸化シリコン膜、PSG（リンドーパガラス）膜等で構成することができ、CVD 法、スパッタリング法等によって形成される。図示例では、犠牲層 2 の適所に、後述する MEMS 構造体の支持部を形成するための開口 2 a がフォトリソグラフィ法等によって形成されたパターニングマスクを用いてエッチングを行う方法などの適宜のパターニング処理により形成される。

【0044】

次に、図 2 に示すように、犠牲層 2 上に、導電性シリコン膜（ドーピングされた多結晶シリコン）等で構成される機能層 3 を形成する。この機能層 3 は、上記のように形成され

10

20

30

40

50

た開口 2 a を通して基板 1 (例えば、基板 1 に形成された図示しない下部電極など) に接続される。機能層 3 は、スパッタリング法や C V D 法等によって形成される。そして、この機能層 3 を適宜のパターニング方法でパターニングすることによって、図 3 に示すように機能構造体 3 X が形成される。ここで、機能構造体 3 X は M E M S 構造体であり、機能構造体 3 X は単層で構成されるように図示したが、2 層以上の積層構造によって形成してもよい。なお、機能構造体 3 X を M E M S 構造体 3 X と表すことがある。

【 0 0 4 5 】

なお、図示例では犠牲層 2 の開口 2 a に対応する支持部を中央下部に備えた振動板形状の M E M S 構造体 3 X が設けられている。但し、対向電極などは図示を省略してある。また、図示例は M E M S 構造体 3 X を模式的に示したものであって実際の構造を正確に表現したものではない。M E M S 構造体 3 X としては、櫛歯状、梁状、円盤状などの種々の平面パターンを備えた可動部を形成することができる。また、振動子として用いられるもの、アクチュエータとして用いられるもの、センサとして用いられるものなど、任意の機能を有する素子として構成されたものを形成することができる。

10

【 0 0 4 6 】

また、機能構造体 3 X は、上記の M E M S 構造体以外の、水晶振動子、S A W (弾性表面波) 素子、加速度センサ、ジャイロ스코ープなどの各種の機能構造体を構成するものであってもよい。すなわち、本発明の電子装置は、空洞部に配置されうる任意の機能構造体を備えたものであればよい。

20

【 0 0 4 7 】

本実施形態では図 3 に示すように、M E M S 構造体 3 X と同時に、M E M S 構造体 3 X を平面的に取り巻くように構成された下部包囲壁 (ガードリング) 3 Y が形成される。下部包囲壁 3 Y は M E M S 構造体 3 X と同層かつ同材質で構成されたものであり、機能層 3 をパターニングすることによって M E M S 構造体 3 X と同時に形成される。下部包囲壁 3 Y の平面形状は、図示例では例えば四角形 (正方形) 状とされるが、M E M S 構造体 3 X を包囲する閉じた形状であれば円形、多角形などの任意の形状で構わない。下部包囲壁 3 Y は、犠牲層 2 や後述する層間絶縁層 4, 6 (図 4、参照) を除去するリリース工程において実質的に除去されない素材であること (換言すれば、リリース工程の除去方法が除去されるべき素材と下部包囲壁 3 Y との間でエッチングに対する選択性を有する方法になること) が好ましく、さらに、導電性材料であることがより望ましい。当該導電性材料としては、例えば、導電性半導体 (高濃度にドーピングされた半導体)、例えばポリシリコン、或いは、後述する耐食性層に用いられる金属材料等が挙げられる。

30

【 0 0 4 8 】

図 4 は、M E M S 構造体 3 X の上部を含む周縁に層間絶縁層を形成する層間絶縁層形成工程を示す断面図である。

図 4 に示すように、M E M S 構造体 3 X 及び下部包囲壁 3 Y 上に、酸化シリコン (例えば、T E O S ; テトラエチルオルトシリケート等を原料ガスとする C V D 膜) 等の絶縁体よりなる層間絶縁層 4、アルミニウム等の導電体よりなる配線層 5、酸化シリコン等の絶縁体よりなる層間絶縁層 6 を順次に形成する。この積層構造は、通常の C M O S プロセスと同様の方法で形成されていく。この積層構造は、最終的に M E M S 構造体 3 X を収容する空洞部を画成するための被覆構造を構成するものである。また、配線層 5 の一部は、上層構造に導電接続するためのスルーホール 6 a によって露出された状態とされている。なお、層間絶縁層 4、配線層 5 及び層間絶縁層 6 といった積層構造の積層数は必要に応じて適宜に構成される。例えば、実際の C M O S プロセスでは、さらに多くの配線層がそれぞれ層間絶縁層を介して積層される場合もある。

40

【 0 0 4 9 】

本実施形態の場合、層間絶縁層 4 に上記下部包囲壁 3 Y を露出する開口部 4 a を形成し、この開口部 4 a 内に配線層 5 の一部を形成することで、M E M S 構造体 3 X を取り囲む平面形状を有する包囲壁 (ガードリング) 5 Y が形成される。図 4 には包囲壁 5 Y 以外の他の配線層 5 は図示されていないが、実際には所定の配線パターンが形成されるように配

50

線層 5 が形成され、その一部が図示の包囲壁 5 Y となる。ただし、この包囲壁 5 Y は他の配線パターンと導電接続されていないことが望ましい。ここで、包囲壁 5 Y は上記下部包囲壁 3 Y と同様に、円形、多角形などの MEMS 構造体 3 X を取り巻く閉じた平面形状を備えたものとされる。この場合、上記開口部 4 a 及びその内部を通じた包囲壁 5 Y の接続部分が MEMS 構造体 3 X を取り巻く閉じた形状とされることで、下部包囲壁 3 Y と包囲壁 5 Y とが一体の側壁として構成される。

【 0 0 5 0 】

なお、図示例では配線層 5 は単層であるが、図示しない他の層間絶縁層を介して複数の配線層 5 を積層してもよく、この場合には、包囲壁 5 Y も複層となる。ここで、複数の包囲壁 5 Y が層間絶縁層の開口部を通して接続されていることが好ましい。特に、当該開口部自体及びその内部を通じた包囲壁の接続部分が MEMS 構造体 3 X を取り巻く閉じた形状に構成されることで、複数の包囲壁 5 Y が一体の側壁として構成される。

10

【 0 0 5 1 】

その後、図 5 に示すように層間絶縁層 6 上に導体層を形成し、この導体層をパターニングすることにより配線層 7 が形成され、配線層 7 の一部として、図 6 に示すように第 1 被覆層 7 Y が形成される。ここで、第 1 被覆層 7 Y は MEMS 構造体 3 X の上方を覆うように配置されている。また、本実施形態の場合、第 1 被覆層 7 Y には複数の開口 7 a が形成される。例えば、開口 7 a は平面上に縦横に配列され、全体として第 1 被覆層 7 Y の一部が網目状に構成される。開口 7 a は導体層をパターニングして配線層 7 を形成する際に同時に形成される。従って、製造プロセスは、第 1 被覆層 7 Y を形成しない場合（すなわち、配線層 7 の配線パターンのみを形成する場合）と何ら変わらない。

20

【 0 0 5 2 】

ここで、第 1 被覆層 7 Y は、スルーホール 6 a を介して上記の配線層 5 と接続される。特に、スルーホール 6 a が MEMS 構造体 3 X を取り巻く閉じた形状とされ、この中を通る第 1 被覆層 7 Y の包囲壁 5 Y に対する接続部分もまた MEMS 構造体 3 X を取り巻く閉じた形状とされることが好ましい。

【 0 0 5 3 】

上記のようにして、下部包囲壁 3 Y、包囲壁 5 Y 及び第 1 被覆層 7 Y によって一体の側壁 1 0 Y（図 8、参照）が形成される場合には、MEMS 構造体 3 X が、基板 1、側壁 1 0 Y 及び第 1 被覆層 7 Y によって下方、上方及び側方から完全に包囲される。

30

【 0 0 5 4 】

なお、下部包囲壁 3 Y、包囲壁 5 Y 及び第 1 被覆層 7 Y、或いは、これらが一体化されてなる側壁 1 0 Y（図 8、参照）には、それぞれ、或いは、一体的に所定の電位（例えば、接地電位）が与えられることが好ましい。これによって、MEMS 構造体 3 X を外部に対して電磁的に或る程度遮蔽することができ、MEMS 構造体 3 X に対する遮蔽率が高められるに従って、MEMS 構造体 3 X と外部との間の電磁的相互作用（つまり、ノイズ）を低減することができる。なお、第 1 被覆層 7 Y の構成については、図 9 を参照して後述する。

【 0 0 5 5 】

次に、図 7 に示すように、複数の散在された開口 7 a を通して MEMS 構造体 3 X の周囲にある層間絶縁層 6、層間絶縁層 4 及び犠牲層 2 を除去することで、MEMS 構造体 3 X を収容する空洞部 S を形成する（リリース工程）。ここで、層間絶縁層 6、層間絶縁層 4 及び犠牲層 2 の除去は、フッ酸（HF）や緩衝フッ酸（BHF）等のフッ化水素酸系の溶液によるウェットエッチング、あるいは、フッ酸系ガス（蒸気）等によるドライエッチング等によって行うことができる。このようなエッチング方法は等方性エッチングであるので、小さな開口 7 a を通しても MEMS 構造体 3 X のリリースを容易に達成できる。なお、このエッチングはレジスト等よりなるエッチングマスク（図 7 に点線で示す。）で第 1 被覆層 7 Y の表面以外を被覆した状態で実施する。

40

【 0 0 5 6 】

上記のエッチング方法は MEMS 構造体 3 X、下部包囲壁 3 Y、包囲壁 5 Y 及び第 1 被

50

覆層 7 Y に対して実質的に除去性能を発揮しないため、MEMS 構造体 3 X の周囲にある層間絶縁層 6、層間絶縁層 4 及び犠牲層 2 を完全に除去しても、空洞部 S が下部包囲壁 3 Y 及び包囲壁 5 Y の外側へ広がることを防止できる。ここで、リリース工程が終了したときには空洞部 S を十分に洗浄する。例えば、空洞部 S を水洗し、その後、置換法等を用いて水分を完全に除去する。なお、下部包囲壁 3 Y、包囲壁 5 Y、並びに第 1 被覆層 7 Y の下部（スルーホール 6 a 内の接続部）は上記の周囲被覆部を構成する。

【0057】

次に、図 8 に示すように、層間絶縁層 6、第 1 被覆層 7 Y 及びこれと同時に形成された配線層 7 の他の部分（図示せず）上に酸化シリコン、窒化シリコン、樹脂材料等で構成される保護膜 8 を形成する。この保護膜 8 としては、窒化シリコン、絶縁レジスト等の表面保護膜（パシベーション膜）を用いることができる。そして、ドライエッチング等により保護膜 8 に開口部 8 a を形成することによって上記第 1 被覆層 7 Y 及び配線層 7 の一部を露出させ、導電接続用のパッド部とする。また、保護膜 8 には上記開口部 8 a と同時に開口部 8 b を形成し、この開口部 8 b によって第 1 被覆層 7 Y における MEMS 構造体 3 X の上方にある部分（開口 7 a が形成されている領域）を露出させる。なお、保護膜 8 の形成及びパターンニングは、保護膜 8 がリリース工程のエッチングに耐えうる材料であれば、或いは、保護膜 8 の表面上にレジスト等のマスクが形成されるのであれば、後述するように上記リリース工程の前に行ってもよい。

【0058】

上記配線層 7（第 1 被覆層 7 Y）は、図 9 に示すように、空洞部 S を臨む面から最下層の Ti よりなる第 1 層 7 b、TiN よりなる第 2 層 7 c、Al-Cu（合金）よりなる第 3 層 7 d、最上層の TiN よりなる第 4 層 7 e までの 4 層の積層構造で構成される。第 1 層 7 b は下層の層間絶縁層 6 に対する被覆性（カバレッジ性）を向上させるためのものであり、例えば、蒸着法やスパッタリング法等によって 10 ~ 100 nm 程度、好ましくは 20 ~ 70 nm 程度の厚みで形成される。第 2 層 7 c は下層の構成素材（Si 原子など）や不純物等が進入することを防止するためのバリア層であり、例えばスパッタリング法、CVD 法、イオンプレーティング法などで形成され、50 ~ 200 nm、好ましくは 80 ~ 150 nm 程度の厚みとされる。第 3 層 7 d は Al に 1 wt % 以下の Cu を添加した合金で構成され、配線層 7 の導電性を担保する主体層であって、例えば蒸着法やスパッタリング法で形成され、500 ~ 1000 nm 程度、好ましくは 700 ~ 900 nm 程度の厚みとされる。第 4 層 7 e はフォトリソ用の反射防止膜として構成され、例えば第 2 層 7 c と同様の方法で形成でき、20 ~ 200 nm 程度、好ましくは 50 ~ 100 nm 程度の厚みとされる。

【0059】

上述した第 1 被覆層 7 Y は、配線層 7 と同一の積層構造を有している。ここで、配線層 7 を構成する各素材は後述するリリース工程時において用いられるエッチングに対する耐性（当該エッチングは基本的に酸化シリコンを主体とする構成部分を除去するために用いられる。）を備えたものであるが、第 3 層（Al-Cu）7 d は酸化シリコンとの間のエッチング選択比が十分に高くないので、長時間の上記エッチングで除去される可能性がある。これに対して、第 1 層（Ti）7 b、第 2 層（TiN）7 c、第 4 層（TiN）7 e は高いエッチング選択比を有し、長時間のエッチングにも十分に耐えうるものとなっている。

【0060】

本実施形態では、フッ化水素酸を主体としたエッチング液に対する耐性を備えた素材よりなる層を耐食性層と言い、第 1 層 7 b、第 2 層 7 c 及び第 4 層 7 e が当該耐食性層に相当する。ここで、耐食性層を構成する素材としては樹脂材料などの種々のものが考えられるが、TiN、Ti、W、Au、Pt などの金属若しくは金属化合物で構成されるものが好ましい。なお、上記の配線層 7 の積層構造は、前述の配線層 5 などの他の配線層にも用いることができる。このようにすると、上記包囲壁 5 Y の構造としてはリリース工程時のエッチング耐性が向上することからより好都合である。

10

20

30

40

50

【 0 0 6 1 】

なお、上記の配線層 7 (第 1 被覆層 7 Y) の積層構造は、半導体プロセスで用いられる配線層として好適に用いることができる構成であるが、当該構成としては図示例の構成以外の構成でも適合させることができる。

【 0 0 6 2 】

例えば、第 1 被覆層 7 Y が、空洞部 S を臨む面から TiN 層、Al - Cu 層、Ti 層、TiN 層の順に積層された積層構造であってもよく、空洞部 S を臨む面から Ti 層、TiN 層、Al - Cu 層、Ti 層、TiN 層の順に積層された積層構造であってもよい。

【 0 0 6 3 】

さらに、第 1 被覆層 7 Y が、空洞部 S を臨む面から Ti 層、Al - Cu 層、TiN 層の順に積層された積層構造であってもよく、空洞部 S を臨む面から TiN 層、Al - Cu 層、TiN 層の順に積層された積層構造でもよい。

10

【 0 0 6 4 】

最後に、図 8 に示すように、第 1 被覆層 7 Y 上に第 2 被覆層 9 を形成することで開口 7 a を閉鎖し、上記空洞部 S を密閉する。こうして電子装置 100 が完成する。この第 2 被覆層 9 は、例えば、CVD 法、スパッタリング法などの気相成長法で形成することが好ましい。このようにすると、そのまま空洞部 S を減圧状態で密閉することができるからである。気相成長法で形成する第 2 被覆層 9 としては、例えば、酸化シリコンや窒化シリコン等の絶縁体 (CVD 法)、或いは、Al、W、Ti 等の金属その他の導電性材料 (スパッタリング法) などが挙げられる。

20

【 0 0 6 5 】

なお、この工程において、第 2 被覆層 9 を金属その他の導電性材料で構成する場合には、開口部 8 a 上に成膜された部分を残すことで配線層 7 に導電接続された接続パッドを形成するようにしてもよい。また、上述の上方被覆部は、本実施形態では第 1 被覆層 7 Y 及び第 2 被覆層 9 により構成される。

【 0 0 6 6 】

さらに、開口 7 a は MEMS 構造体 3 X の直上位置からオフセットされた位置に形成されていることが好ましい。図示例では、MEMS 構造体 3 X に対して平面方向にずれた位置に開口 7 a が存在するように構成されている。このようにすると、第 2 被覆層 9 の形成時等において MEMS 構造体 3 X に第 2 被覆層 9 等の素材が付着するなどの不具合を回避できる。上記の平面方向のずれ量は第 2 被覆層 9 等の形成方法によっても異なるが、上記の気相成長法で形成する場合であれば、最低でも 0.5 μm 程度、現実には 0.5 ~ 5.0 μm 程度であることが好ましい。

30

【 0 0 6 7 】

本実施形態の電子装置では、MEMS 構造体 3 X を收容する空洞部 S を層間絶縁層 4, 6 と配線層 5, 7 の積層構造が取り巻く被覆構造を有し、この被覆構造によって上記空洞部 S が画成される。従って、空洞部 S 上を被覆する第 1 被覆層 7 Y を配線層 7 の一部で構成することにより、上記積層構造を要する電子回路との一体性を高めることができるため、電子装置の小型化を図ることができ、しかも、製造コストを抑制することができる。特に、MEMS 構造体 3 X を上方から覆う第 1 被覆層 7 Y が配線層 7 の一部よりなる導電性材料で構成されることで外部との電磁的相互作用を低減できる。この場合に、第 2 被覆層 9 もまた導電性材料で構成されていればさらに好適であることは言うまでもない。

40

【 0 0 6 8 】

また、上記の被覆構造において、配線層の一部により、MEMS 構造体 3 X を取り巻く閉じた平面形状を有する包囲壁 5 Y が設けられることで、上記と同様に上記積層構造を要する電子回路との一体性を高めることができるため、電子装置の小型化を図ることができるとともに製造コストを抑制することができる。特に、包囲壁 5 Y が存在することでリリース工程時におけるサイドエッチングの範囲を抑制できるため、MEMS 構造体 3 X を收容する空洞部 S の小型化が容易になるとともに、配線層 5 の一部よりなる導電性材料で構成される包囲壁 5 Y の存在により、MEMS 構造体 3 X と外部との電磁的相互作用を低減

50

できる。

【0069】

また、本実施形態では、MEMS構造体3Xの上方にある上記配線層7の一部で構成された第1被覆層7Yに上記第1層7b、第2層7c及び第4層7eの耐食性層を有することから、上記リリース工程においてエッチング時間が長くなっても第1被覆層7Yが消失したり薄くなったりすることを防止できる。通常、開口7aを通したリリース工程は第1被覆層7Yが存在しない場合に比べて大幅に長くなるため、本来的にはフッ化水素酸系のエッチャントではエッチングされにくい素材であっても部分的になくなってしまったり、形状が崩れてしまったりする虞がある。しかしながら、上記のTiN、Ti、W、Au、Ptなどの金属若しくは金属化合物で構成される耐食性層であれば、リリース工程後においても何ら問題なく残存し、その結果、第2被覆層9を支障なく形成することが可能になる。

10

【0070】

特に、上記のTiN、Ti、W、Au、Ptの素材は単にフッ化水素酸系のエッチング液に高い耐性を有するだけでなく、導電性を有するので配線層などの導電性材料に用いることができ、特に半導体製造プロセスに対する親和性が高い。また、これらの素材は単なる導電性材料ではなく、例えば、高度のバリア性(TiNなど)、オーミックコンタクト性(Auなど)、エッチング液以外の他の物質に対する耐食性や耐酸化性(Ti、TiN、W、Ptなど)といった導電性材料に対する付加機能をも有する。それとともにこれらの付加機能は特に導電性材料の表面層として有用であるため、電子装置のMEMS構造体以外の構造(電子回路の配線など)と兼用できる場面がきわめて広いものと考えられる。

20

【0071】

上記第1被覆層7Yにおいては、最上層に耐食性層である第4層7eが存在し、最下層に耐食性層である第1層7bが存在することで、エッチング液に対する第3層7dの侵食を有効に回避できる。このような効果は、耐食性層が最上層か最下層のいずれか一方にあるだけでも十分に得られるが、特に最上層に耐食性層が形成されていることが好ましく、また、上記のように最上層と最下層の双方に耐食性層が形成されていることが最も望ましい。なお、通常の半導体製造プロセスとは異なるプロセスを要することとなる場合が考えられるものの、第1被覆層7Y(配線層7)の全体が耐食性層で構成されていてもよい。例えば、第1被覆層7YがTiNの単層で構成されていても構わない。

30

【0072】

上記構成においては、さらに一体の側壁10YがMEMS構造体3Xを取り巻くように形成されることで、リリース工程における除去範囲を平面的に完全に限定できるため、空洞部Sのさらなる小型化を図ることができる。また、当該側壁10Yが全て導電性材料で構成されていれば、MEMS構造体3Xの導電体による遮蔽度がより高められるため、MEMS構造体3Xと外部との間の電磁的相互作用をより低減することができる。特に、側壁10Yと第1被覆層7Yとが接続されることでMEMS構造体3Xの電磁的遮蔽効果をさらに高めることができる。

【0073】

図10は上記の保護膜8を第2被覆層として用いた例を示す。この場合、第2被覆層は絶縁体で構成されることが好ましい。これによれば、保護膜8が第2被覆層を兼ねることでプロセス数が削減される(上記の第2被覆層9の成膜及びパターニングが不要となる)ため、製造コストをさらに低減できる。

40

【0074】

図11は上記の配線層5の一部により、MEMS構造体3Xの上方を覆うとともに開口5aを備えた第3被覆層5Zを構成した例を示す。ここで、第3被覆層5Zは、第1被覆層7Yの開口7aと平面的に重なり、しかも、開口5aが第1被覆層7Yと平面的に重なるように構成されている。すなわち、開口7aで露出する平面領域は第3被覆層5Zで覆われており、開口5aで露出する平面領域は第1被覆層7Yで覆われているので、例えば、第2被覆層9を気相生長法で成膜した場合でも、第2被覆層9の素材がMEMS構造体

50

3 Xに付着することを防止できる。従って、先の実施形態にて説明したように、MEMS構造体3 Xの平面範囲と、開口7 aの開口範囲とを平面的にオフセットさせて設ける必要もなくなる。この場合、上述の上方被覆部は、第1被覆層7 Y、第2被覆層9及び第3被覆層5 Zにより構成され、上記の第1被覆層は第1被覆層7 Y及び第3被覆層5 Zにより構成される。

【0075】

この場合に、上記のリリース工程では第3被覆層5 Zもエッチング液に長時間さらされることとなるため、上記第1被覆層7 Yと同様の積層構造を第3被覆層5 Zに用いることで、第3被覆層5 Zに含まれる耐食性層により、支障なく第3被覆層5 Zを残存させることができる。ここで、上記第1被覆層7 Yと同様に、第3被覆層5 Zの最上層または最下層が耐食性層で構成されていることが好ましく、特に、第3被覆層5 Zの最上層及び最下層の双方が耐食性層で構成されることが望ましい。

10

【0076】

図12は、上記実施形態とは異なる製造プロセスを示す概略説明図(a)乃至(d)である。ここで、図12には上記配線層7(第1被覆層7 Y)及びその上層構造のみを示し、他の構造については省略している。この製造プロセスでは、図12(a)に示すように、配線層7を形成する配線形成工程において同時に第1被覆層7 Yを形成し、開口7 aを設ける。次に、図12(b)に示すように、配線層7及び第1被覆層7 Y上に保護膜8を形成する。

【0077】

その後、図12(c)に示すように、フォトリソ等により形成されたエッチングマスク9'を用いてドライエッチング等によって第1被覆層7 Y上の保護膜8を除去し、図12(d)に示すように保護膜8に第1被覆層7 Yを露出する開口部8 bを形成する。このとき、開口部8 bによって開口した第1被覆層7 Yの表面には上記第4層7 eの少なくとも一部が残存するように構成する。すなわち、上記保護膜8の部分的除去によって第4層7 eもまた除去されてしまうと、リリース工程において第3層7 dが侵食されてしまう虞が高くなるので、耐食性層である第4層7 eの少なくとも一部が第1被覆層7 Y全面にわたって残存するように、上記ドライエッチング等のエッチングの処理時間、処理条件などを最適化する。なお、当該工程の処理内容については先に説明した実施形態でも同様である。

20

30

【0078】

この製造プロセスでは、上記のように保護膜8を形成するとともにその開口部8 bを形成した後に、第1被覆層7 Yの開口7 aを通してリリース工程を実施する。この方法であれば、保護膜8をリリース工程時のエッチングマスクとして用いることができるので、上記先の実施形態のエッチングマスク9'の形成のためのレジスト形成工程等を省略できる。

【0079】

上記構成によるMEMS構造体3 XをSAWまたは可動子と固定子とからなる振動体とすれば、本実施形態の電子装置100(図8、参照)は共振子を構成することができる。

【0080】

このような構成及び製造方法によれば、空洞部Sを上方から被覆する第1被覆層7 Yが耐食性層を含むことで、長時間にわたるリリース工程を実施しても耐食性層が高いエッチング耐性を有することにより支障なく残存するので、第2被覆層による閉鎖処理を確実に実施でき、信頼性の高い共振子を実現することができる。

40

(実施形態2)

【0081】

続いて、実施形態2に係る電子装置について図面を参照して説明する。本実施形態に係る電子装置は、基板を半導体基板とし、空洞部の内部に配設され機能構造体とCMOS回路部とが前記基板上に併設されて構成されていることを特徴としている。

図13は、実施形態2に係る電子装置の概略構成を示す平面レイアウト図である。図1

50

3において、電子装置200は、基板11上に機能構造体領域150とCMOS回路部領域160とが併設され構成されている。なお、CMOS回路部領域160と機能構造体領域150それぞれの一部分が断面方向に交差する構造としてもよい。なお、以降、機能構造体領域をMEMS構造体領域と表すことがある。

【0082】

次に、電子装置200の断面構造について説明する。

図14は、実施形態2に係る電子装置の主要部概略構造を示す断面図である。図14において、本実施形態では、シリコンや化合物半導体などの半導体基板等よりなる基板11が用いられる。ただし、基板11はガラス、セラミックス、サファイア、ダイヤモンド、合成樹脂等の他の素材で構成される場合も有り得る。

10

【0083】

基板11上には、窒化シリコン等で構成された下地層(素子分離層)12が形成されている。また、基板11上のMEMS構造体領域150には、振動体、フィルタ、アクチュエータ、センサ等のMEMS構造体を構成する下部構造部13A及び上部構造部15Aが形成されている。本実施形態では、下部構造部13Aを固定子、上部構造部15Aを可動子とする共振子を例示している。従って、下部構造部13Aと上部構造部15Aは離間して対向配置される。

【0084】

また、基板11上のCMOS回路部領域160には、下部電極13Bと上部電極15Bが絶縁膜14Bを介して対向配置されたコンデンサが構成されている。さらに、基板11の表層部には能動層11A、不純物領域11B、11C、ゲート絶縁膜14C、及び、ゲート電極15CよりなるCMOSトランジスタが形成されている。

20

【0085】

下部構造部13A及び上部構造部15Aの材料は導電体であれば特に限定されないが、それぞれCMOSトランジスタを構成するゲート電極15Cと同工程若しくは同種工程で実施することができる点で、例えば、導電性シリコン膜(ドーピングされた多結晶シリコン)で構成されることが望ましい。導電性シリコン膜は半導体製造プロセスにおいて形成される機能層を構成する素材であり、上記CMOSトランジスタに限らず、半導体回路中の機能層と同時に形成することで製造工程を共通化できるという利点がある。

【0086】

基板11上には、絶縁層である酸化シリコン(SiO_2)、より詳細にはPSG(リンドープガラス)やTEOS(テトラエチルオルトシリケートなどを原料ガスとして形成されるCVD膜)等よりなる層間絶縁層16、18、アルミニウム等の導体層よりなる配線層17A、17B、17C、17D並びに第1被覆層19A、配線層19B、19C、19D、19Eが形成されている。これら配線層19B、19C、19D、19Eは、基板11上に所定の回路を形成するための導電パターンとされる。上記の各層の上には酸化シリコン(SiO_2)や窒化シリコン(Si_3N_4)などからなる保護膜21が積層されている。この保護膜21は層間絶縁層16、18や後述する犠牲層とはパターニング(エッチング)選択性を有する素材で構成される。さらに第1被覆層19Aの上には第2被覆層22が形成されている。

30

40

【0087】

層間絶縁層16、18には開口部が設けられ、この開口部によって上述したMEMS構造体が内部に配置された空洞部Cが構成される。空洞部Cは第1被覆層19Aと第2被覆層22とから構成される被覆部により上方から被覆されることで密閉されている。第1被覆層19Aには空洞部Cに連通する複数の開口19aが形成され、これらの開口19aは、第2被覆層22が上方から覆われることで閉鎖されている。

【0088】

第1被覆層19Aは、配線層19B、19C、19D、19Eと同時に形成される。例えば、金属層を成膜し、その後、パターニングすることで、第1被覆層19Aや各配線層の外形と同時に開口19aを備えた第1被覆層19Aが形成される。ここで、第1被覆層

50

19Aは、他の配線層と同様に複数層の積層構造で構成される場合がある。例えば、第1層（最下層）が厚み1 - 1000nm、好ましくは50nm程度のTiまたはTiN、第2層（中間層）が厚み10 - 10000nm、好ましくは800nm程度のAl - Cu合金層、第3層（最上層）が厚み1 - 1000nm、好ましくは50nm程度のTiNで構成される。この場合、空洞部Cの直上に配置されるべき第1層を除去しておくことで、リリース工程を容易に行うことが可能になる。

【0089】

また、第1被覆層19Aの構成としては、前述した実施形態1（図9、参照）に記載したように、空洞部Cを臨む面からTi層、TiN層、Al - Cu層、TiN層の順に積層された積層構造、空洞部Cを臨む面からTiN層、Al - Cu層、Ti層、TiN層の順に積層された積層構造、空洞部Cを臨む面からTi層、TiN層、Al - Cu層、Ti層、TiN層の順に積層された積層構造や、空洞部Cを臨む面からTi層、Al - Cu層、TiN層の順に積層された積層構造、及び空洞部Cを臨む面からTiN層、Al - Cu層、TiN層の順に積層された積層構造が適合できる。

10

【0090】

また、第1被覆層19Aに設けられる開口19aにおいても、前述した実施形態1に記載の配設構成が適用できるので説明を省略する。

【0091】

なお、実際には層間絶縁層16, 18を形成した後に第1被覆層19Aを形成し、第1被覆層19Aの開口19aを通してウエットエッチングやドライエッチング等で層間絶縁層16, 18をエッチング除去し、その後、洗浄するといった処理を行うリリース工程で空洞部Cが形成されている。

20

【0092】

また、第2被覆層22は、第1被覆層19A上に真空蒸着、スパッタリング、CVD法等の気相成長法により減圧下で成膜され、これによって、上記空洞部Cが開口19aを通して減圧された状態で開口19aが閉鎖されている。第2被覆層22は、酸化シリコン、窒化シリコン等の絶縁体やAl、Ti、W等の金属により形成される。

【0093】

次に、MEMS構造体領域150の構造について図面を参照して説明する。なお、図14も参照する。

30

図15は、本実施形態に係るMEMS構造体領域の概略構造を示す平面レイアウト図である。図15において、MEMS構造体領域150の略中央部には、下部構造部13Aと上部構造部15Aとが形成されている。下部構造部13Aと上部構造部15Aそれぞれの一部が、断面的に交差し、且つ離間して配設される（図14、参照）。

【0094】

そして、下部構造部13Aの端部は、スルーホール17e, 19f、配線層17Eを介して配線層19Fに接続されている。一方、上部構造部15Aの端部は、スルーホール17a, 19b、配線層17Aを介して配線層19Bに接続されている。配線層17A, 19Bそれぞれは、図示しないCMOS回路部の配線層の一つに接続される。

【0095】

40

下部構造部13Aと上部構造部15Aからなる共振子の上方には、第1被覆層19Aが空洞部Cを覆うように形成されている。そして、第1被覆層19Aの延在された一端は、スルーホール17fを介して層間配線層17Fに接続され、図示しないCMOS回路部のGND電極に接続される。また、空洞部Cの周囲には、下部構造部13Aと同工程で形成される下部包囲壁13a, 13bが配設される。

【0096】

本実施形態では、CMOS回路部の内部には少なくとも発振回路が形成されており、その出力部の一方が上部構造部15A、他方が下部構造部13Aに接続され、発振回路から上部構造部15Aと下部構造部13Aとに発振信号が出力される。また、MEMS構造体は、下部構造部13Aと上部構造部15Aとからなる共振子であって、上部構造部15A

50

と下部構造部 13 A とに同極の電位を入力すると互いに反発しあい、異極の電位を入力すると引き合っ、上部構造部 15 A が断面方向に振動する。従って、本実施形態による電子装置 200 は、共振子と発振回路とが半導体基板上に併設された発振器が例示されている。

【0097】

続いて、実施形態 2 に係る電子装置の製造方法について説明する。以下に説明する製造方法は、MEMS 構造体と CMOS 回路部とが一体化された電子装置を製造する場合の例を示すものであるが、本実施形態はこのような態様に限らず、機能構造体が空洞部内に配置されてなる各種の機能デバイスを包含するものである。

【0098】

図 16 ~ 図 19 は、本実施形態に係る電子装置の製造工程を示す概略工程断面図である。図 16 に示すように、基板 11 の表層部にまず能動層 11 A を形成する。また、基板 11 上にはスパッタリング法や CVD 法などの成膜技術及び微細パターニング技術により下地層 12 を形成し、この下地層 12 上にはスパッタリング法や CVD 法などの成膜技術及び微細パターニング技術により下部構造部 13 A 及び下部電極 13 B を同時に同材料で形成する。

【0099】

続いて、スパッタリング法や CVD 法により犠牲層 14 A、絶縁膜 14 B、ゲート絶縁膜 14 C を同時に同材料で形成する。その後、スパッタリング法や CVD 法などにより上部構造部 15 A、上部電極 15 B、ゲート電極 15 C を同時に同材料で形成する。なお、ゲート電極 15 C の形成後、ゲート電極 15 C をマスクとしてセルフアライメントで不純物領域 11 B、11 C をイオン注入法などにより形成する。

以上が、機能構造体 (MEMS 構造体) を犠牲層 14 A とともに形成する機能構造体形成工程と、CMOS トランジスタを形成する工程である。

【0100】

次に、上記構造上にはスパッタリング法や CVD 法などで層間絶縁層 16 を形成し、パターニングによりスルーホール 17 a、17 e を含むスルーホール群を形成する。その後、層間絶縁層 16 上に蒸着法、スパッタリング法、CVD 法などにより適宜の配線パターンが形成され、スルーホール 17 e を介して下部構造部 13 A と導電接続された配線層 17 E、スルーホール 17 a を介して上部構造部 15 A と接続された配線層 17 A を形成する。

【0101】

さらに、上部電極 15 B とスルーホールを介して導電接続された配線層 17 B、不純物領域 11 B、11 C とスルーホールを介して導電接続された配線層 17 C、17 D などを形成する。また、図示しない他の配線層を含め、これらの配線層によって MEMS 構造体、コンデンサ、CMOS トランジスタからの引き出し配線構造が形成される。

【0102】

次に、図 17 に示すように、MEMS 構造体の上部及び CMOS トランジスタの上部を含む周縁にスパッタリング法や CVD 法などで層間絶縁層 18 を形成する (層間絶縁層形成工程)。この際、パターニングによりスルーホール 31 ~ 36 を形成する。

【0103】

次に、図 18 に示すように、層間絶縁層 18 上に蒸着法、スパッタリング法、CVD 法などにより、第 1 被覆層 19 A、配線層 19 B、19 C、19 D、19 E、19 F を形成する。そして、MEMS 構造体のうち、下部構造部 13 A に接続する配線層 19 F と、上部構造部 15 A に接続する配線層 19 B それぞれと、前述の CMOS 回路部 (CMOS トランジスタ) とを接続する配線層を形成する (配線層形成工程)。第 1 被覆層 19 A には、その外形パターンや配線パターンとともに微細パターニング技術により開口 19 a を形成する。

【0104】

その後、図 19 に示すように、層間絶縁層 18 及び配線層 19 B、19 C、19 D、1

10

20

30

40

50

9 E , 1 9 F 表面上にスパッタリング法やC V D法などにより窒化シリコン等よりなる保護膜 2 1 を形成し、第 1 被覆層 1 9 A の周縁部を含む領域を被覆する（保護膜形成工程）。

【 0 1 0 5 】

続いて、フッ酸水溶液、緩衝フッ酸水溶液、フッ酸ガス等により上記開口 1 9 a を通してその下の層間絶縁層 1 8 , 1 6 、犠牲層 1 4 A を除去する（リリース工程）。これによって空洞部 C が形成される。その後、空洞部 C の内面を水洗等により洗浄する。

【 0 1 0 6 】

次に、図 1 4 に示すように、減圧された空間（反応チャンバ）内において蒸着法、スパッタリング法、C V D法などにより第 2 被覆層 2 2 を成膜し、これによって空洞部 C 内を減圧した状態として開口 1 9 a を閉鎖することにより封止する（第 2 被覆層形成工程）。

【 0 1 0 7 】

従って、上述した実施形態 2 による電子装置 2 0 0 は、機能構造体（機能構造体領域 1 5 0 ）と C M O S 回路部（C M O S 回路部領域 1 6 0 ）とを基板 1 1 上に併設して構成することから小型化を可能にする。つまり発振器の小型化を実現できる。また、空洞部 C を上方から被覆する第 1 被覆層 1 9 A が耐食性層を含むことで、長時間にわたるリリース工程を実施しても耐食性層が高いエッチング耐性を有することにより支障なく残存するので、第 2 被覆層 2 2 による閉鎖処理を確実に実施でき、信頼性の高い発振器を提供することができる。

【 0 1 0 8 】

さらに、機能構造体と C M O S 回路部それぞれの層間絶縁層及び配線層の一部を共通にすることができることから、また半導体製造プロセスを用いて効率的に製造することができる。従って、製造歩留まりを確保するとともに製造コストを低減することができる。

【 0 1 0 9 】

なお、本発明の電子装置及びその製造方法は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【 0 1 1 0 】

例えば、上記実施形態では半導体基板上に C M O S プロセスと同様の半導体製造工程を実施しつつ、共振子あるいは発振器を構成しているが、アクチュエータ、高周波フィルタ等の機能構造体としての M E M S 素子（M E M S 構造体 3 X ）にも適合できる他、水晶振動子、加速度センサ、ジャイロセンサなどの M E M S 構造体以外の各種の機能構造体を備えたものに適用することができる。

【 0 1 1 1 】

また、上記実施形態では機能構造体を半導体集積回路と一体化してなる半導体装置を構成しているが、半導体基板以外の基板を用いてもよく、或いは、半導体回路以外の他の電子回路を機能構造体と接続したものであっても構わない。

【 符号の説明 】

【 0 1 1 2 】

1 ... 基板、 3 X ... M E M S 構造体（機能構造体）、 3 Y ... 下部包囲壁、 4 , 6 ... 層間絶縁層、 5 ... 配線層、 5 Y ... 包囲壁、 7 Y ... 第 1 被覆層、 7 a ... 開口、 9 ... 第 2 被覆層、 1 0 Y ... 側壁、 1 0 0 ... 電子装置。

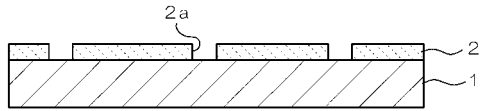
10

20

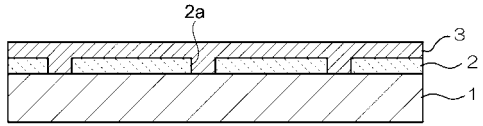
30

40

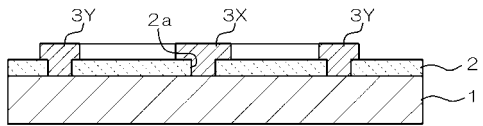
【 図 1 】



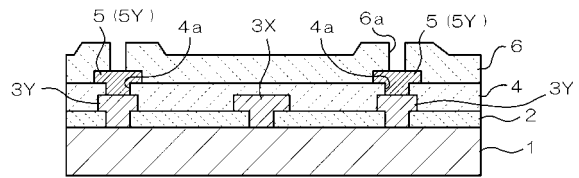
【 図 2 】



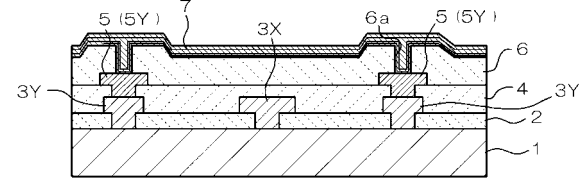
【 図 3 】



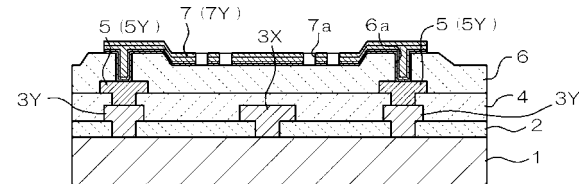
【 図 4 】



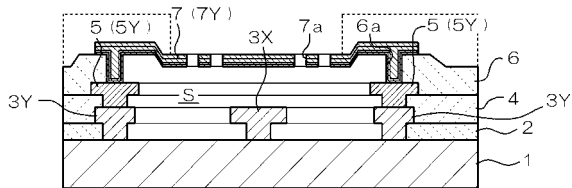
【 図 5 】



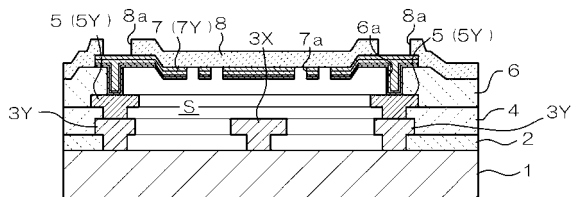
【 図 6 】



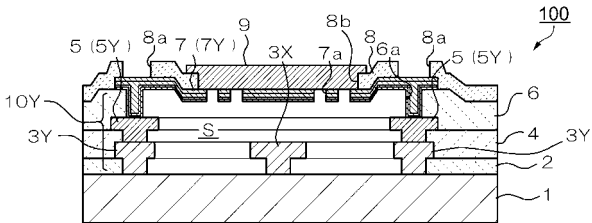
【 図 7 】



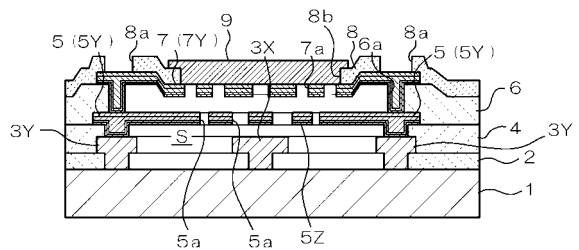
【 図 10 】



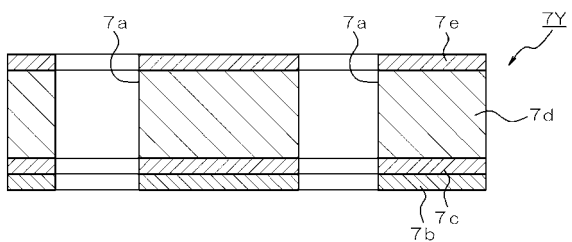
【 図 8 】



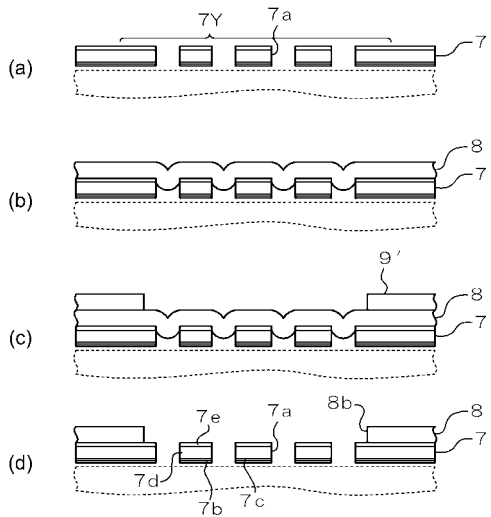
【 図 11 】



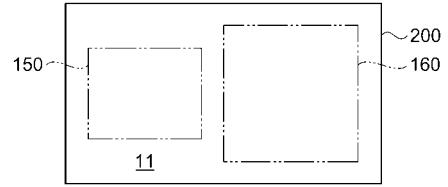
【 図 9 】



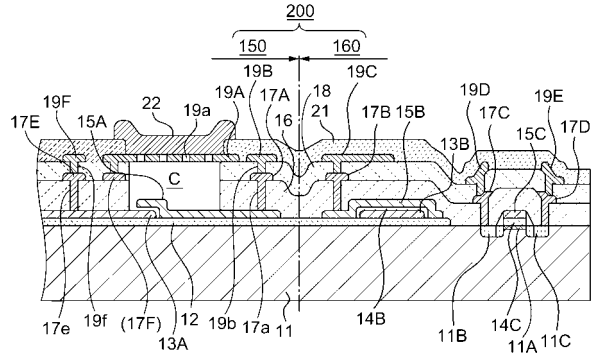
【 図 1 2 】



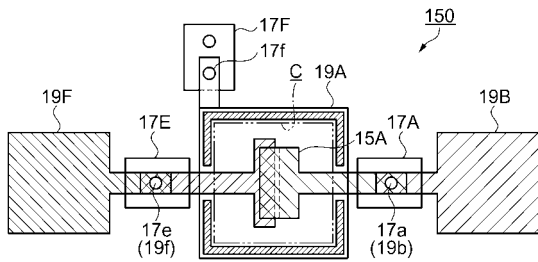
【 図 1 3 】



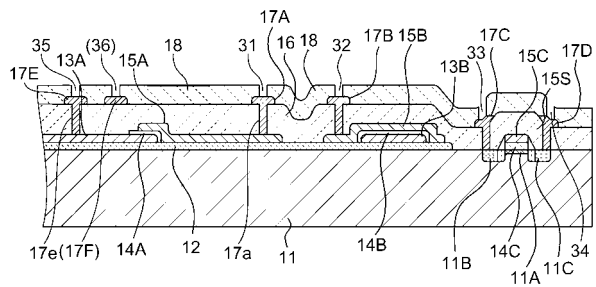
【 図 1 4 】



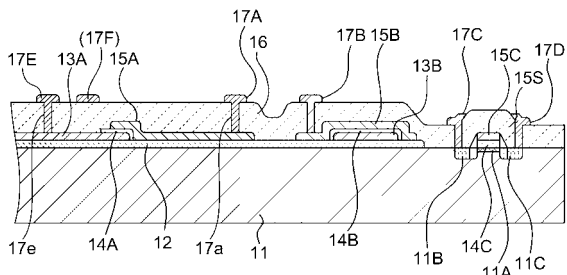
【 図 1 5 】



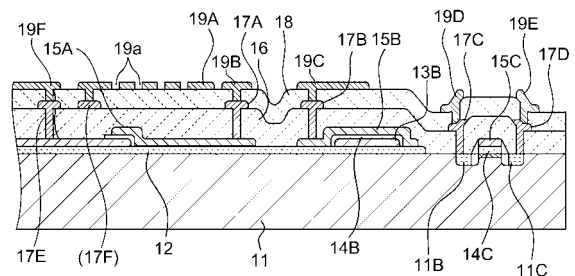
【 図 1 7 】



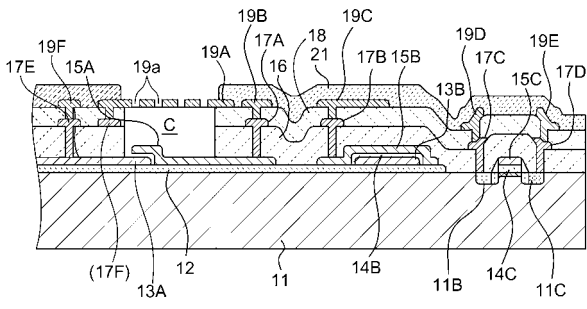
【 図 1 6 】



【 図 1 8 】



【 図 19 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
B 8 1 C 1/00 (2006.01) B 8 1 C 1/00

Fターム(参考) 3C081 AA18 BA11 BA22 BA30 BA32 BA43 BA48 BA53 CA03 CA14
CA15 DA22 EA22
5J079 AA01 HA08 HA22
5J108 AA01 JJ04 KK04 MM02 MM11