

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年12月20日 (2018.12.20)

【公表番号】特表2017-535960(P2017-535960A)

【公表日】平成29年11月30日 (2017.11.30)

【年通号数】公開・登録公報2017-046

【出願番号】特願2017-525537(P2017-525537)

【国際特許分類】

H 0 1 L 23/06 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 23/06 Z

H 0 1 L 25/04 C

【手続補正書】

【提出日】平成30年11月6日 (2018.11.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電子システムであって、

単結晶半導体の第 1 のチップであって、一方の側上の第 1 のソース端子と第 1 のゲート端子と、他方の側上の第 1 のドレイン端子とを含む、前記第 1 のチップと、

単結晶半導体の第 2 のチップであって、一方の側上の第 2 のソース端子と、他方の側上の第 2 のドレイン端子と第 2 のゲート端子とを含む、前記第 2 のチップと、

保持壁により境界づけられるスラブを有するコンテナと、

を含み、

前記第 1 のチップが第 2 のチップに取り付けられ、前記第 1 のドレイン端子が前記第 2 のソース端子に取り付けられ、前記第 2 のドレイン端子と前記第 2 のゲート端子とが前記コンテナに取り付けられる、電子システム。

【請求項 2】

請求項 1 に記載のシステムであって、

前記第 1 のドレイン端子が前記第 2 のソース端子に直接に取り付けられる、システム。

【請求項 3】

請求項 1 に記載のシステムであって、

前記第 2 のドレイン端子と前記第 2 のゲート端子とが前記コンテナに直接に取り付けられる、システム。

【請求項 4】

請求項 1 に記載のシステムであって、

前記コンテナがシリコンである、システム。

【請求項 5】

請求項 1 に記載のシステムであって、

前記保持壁が複数のリッジである、システム。

【請求項 6】

請求項 1 に記載のシステムであって、

前記単結晶半導体がシリコンであり、前記第 1 及び第 2 のチップが M O S 電界効果トランジスタであり、前記電子システムがパワーブロックである、システム。

【請求項 7】

請求項 1 に記載のシステムであって、
前記電子システムがレギュレータである、システム。

【請求項 8】

電子システムであって、
単結晶半導体の第 1 のチップであって、一方の側上の第 1 のソース端子と第 1 のゲート端子と、他方の側上の第 1 のドレイン端子とを含む、前記第 1 のチップと、
単結晶半導体の第 2 のチップであって、保持壁により境界づけられるスラブを有し、一方の側上の第 2 のソース端子と、他方の側上の第 2 のドレイン端子と第 2 のゲート端子とを含む、前記第 2 のチップと、
保持壁により境界づけられるスラブを有するコンテナと、
を含み、
前記第 1 のチップが前記第 2 のチップに取り付けられ、前記第 1 のドレイン端子が前記第 2 のソース端子に取り付けられ、前記第 2 のドレイン端子と前記第 2 のゲート端子とが前記コンテナに取り付けられる、電子システム。

【請求項 9】

請求項 8 に記載のシステムであって、
前記第 1 のチップが第 1 の電子デバイスを含み、前記第 2 のチップが第 2 の電子デバイスを含む、システム。

【請求項 10】

請求項 9 に記載のシステムであって、
前記コンテナのスラブに直接に取り付けられる第 3 のチップを更に含み、前記第 3 のチップが第 3 の電子デバイスを含む、システム。

【請求項 11】

請求項 10 に記載のシステムであって、
前記単結晶半導体がシリコンであり、前記第 1 及び第 2 の電子デバイスが M O S 電界効果トランジスタであり、前記第 3 の電子デバイスが集積回路であり、前記電子システムがパワーコンバータである、システム。

【請求項 12】

パッケージングされた電子システムであって、
第 1 の厚みと第 1 の面における表面とを有するシリコンのスラブであって、前記スラブが、前記第 1 の面から第 1 の深さだけ離間される第 2 の面において窪んだ中央エリアを含む窪みをフレーミングする前記第 1 の面におけるリッジとして構成され、前記リッジと前記中央エリアとがパッドにパターニングされる金属層により覆われ、前記中央エリアの前記パッドが内側セットと周辺セットとにグループ化される、前記スラブと、
第 1 及び反対の第 2 の側と前記第 1 の厚みより小さな第 2 の厚みとを有する第 1 の半導体チップであって、前記第 1 の半導体チップが前記第 1 及び第 2 の側上に端子を有するトランジスタを含み、前記第 1 の側の端子が前記スラブの前記中央エリアの前記内側セットのそれぞれのパッドに取り付けられてサブアセンブリをつくり、前記第 2 の側の端子が前記第 1 の面に向かって面する、前記第 1 の半導体チップと、
第 3 及び反対の第 4 の側と前記第 1 の厚みより小さいが前記第 2 の厚みより大きい第 3 の厚みとを有する第 2 の半導体チップであって、前記第 4 の側が、前記第 3 の面から前記第 1 の深さより小さい第 2 の深さだけ窪んでおり、かつ、前記第 1 の半導体チップを収容するのに適している平行の第 4 の面において、平坦な中央エリアを含む窪みをフレーミングする第 3 の面におけるリッジとして構成され、前記第 4 の側がメタライズされ、前記第 2 の半導体チップが前記第 3 及び第 4 の側上に端子を有するトランジスタを含む、前記第 2 の半導体チップと、
を含み、

前記第 4 の側の前記窪みが、前記第 1 の半導体チップの前記第 2 の側上の前記端子に取り付けられ、前記第 2 の半導体チップの前記リッジが前記周辺セットに取り付けられる、パッケージングされた電子システム。

【請求項 13】

請求項 12 に記載のシステムであって、

前記第 1 及び第 2 の半導体チップの前記トランジスタが MOS 電界効果トランジスタであり、前記パッケージされた電子システムがパワーブロックである、システム。

【請求項 14】

請求項 12 に記載のシステムであって、

前記第 1 及び第 2 の半導体チップの前記トランジスタがバイポーラトランジスタであり、前記パッケージされた電子システムがレギュレータである、システム。

【請求項 15】

パッケージングされた電子システムを製造するための方法であって、

複数のスラブサイトを含む低グレードシリコン (1 g Si) のウエハを提供することであって、前記ウエハが第 1 の厚みと第 1 の表面における第 1 の面とを有し、各サイトが、前記第 1 の面から第 1 の深さだけ離間される第 2 の面において窪んだ中央エリアを含む窪みをフレーミングする前記第 1 の面におけるリッジとして構成され、前記リッジと前記中央エリアとが、トランジスタ端子に接触するためのパッドにパターンニングされる金属層により覆われ、前記中央エリアの前記パッドが内側セットと周辺セットとにグループ化される、前記ウエハを提供することと、

平坦な第 1 及び反対の平坦な第 2 の側と前記第 1 の厚みより小さな第 2 の厚みとを有する複数の第 1 の半導体チップを提供することであって、前記第 1 の半導体チップが前記第 1 及び第 2 の側上に端子を有するトランジスタを含む、前記複数の第 1 の半導体チップを提供することと、

前記第 1 の側の前記端子を各 1 g Si スラブの前記中央エリアの前記内側セットのそれぞれのパッドに取り付けることであって、サブアッセンブリをつくり、前記第 2 の側の前記端子が前記第 1 の面に向かって面する、前記第 1 の側の前記端子を取り付けることと、

平坦な第 3 及び反対の輪郭形成された第 4 の側と前記第 1 の厚みより小さいが前記第 2 の厚みより大きい第 3 の厚みとを有する複数の第 2 の半導体チップを提供することであって、前記第 4 の側が、前記第 3 の面から前記第 1 の深さより小さい第 2 の深さだけ窪んでおり、かつ、前記第 1 の半導体チップを収容するのに適している、平行の第 4 の面において平坦な中央エリアを含む窪みをフレーミングする第 3 の面におけるリッジとして構成され、前記第 4 の側が均一にメタライズされ、前記第 2 の半導体チップが前記第 3 及び第 4 の側上に端子を有するトランジスタを含む、前記複数の第 2 の半導体チップを提供することと、

各サブアッセンブリに対して、第 2 の半導体チップの前記第 4 の側の前記メタライズされた窪んだ中央エリアを前記それぞれの第 1 の半導体チップの前記第 2 の側上の前記端子に取り付け、前記第 2 の半導体チップの前記メタライズされたリッジを前記中央 1 g Si エリアの前記それぞれの周辺セットの前記パッドに取り付けることであって、そのため、前記第 2 の半導体チップの前記第 3 の側上の前記トランジスタ端子が、前記それぞれの 1 g Si スラブの前記リッジ上の前記金属層と共面である、前記取り付けることと、

を含む、方法。

【請求項 16】

請求項 15 に記載の方法であって、

前記取り付けることが導電性接着材を用いる、方法。

【請求項 17】

請求項 15 に記載の方法であって、

パッケージとして 1 g Si スラブに埋め込まれるトランジスタチップを有する個別

の多出力デバイスをシンギュレートするために前記 $1 \times g \times Si$ ウエハをダイシングすることを更に含む、方法。

【請求項 18】

請求項 17 に記載の方法であって、

前記第 1 及び第 2 の半導体チップの前記トランジスタが MOS 電界効果トランジスタであり、前記電子システムがパワーブロックである、方法。

【請求項 19】

請求項 17 に記載の方法であって、

前記第 1 及び第 2 の半導体チップの前記トランジスタがバイポーラトランジスタであり、前記電子システムがレギュレータである、方法。

【請求項 20】

請求項 15 に記載の方法であって、

前記低グレードシリコン ($1 \times g \times Si$) のウエハを提供することが、複数のスラブサイトを含む $1 \times g \times Si$ のウエハを提供することであって、前記ウエハが第 1 の厚みと第 1 の面における第 1 の表面とを有する、前記 $1 \times g \times Si$ のウエハを提供することと、

前記第 1 の表面上に第 1 の絶縁層を形成することであって、前記第 1 の絶縁層が全てのスラブサイトを覆う、前記第 1 の絶縁層を形成することと、

前記下にある $1 \times g \times Si$ を露出させるために各スラブサイトの前記中央エリアから前記絶縁層を取り除き、各中央エリアをフレーミングするリッジを形成するために前記周辺セット部分の上の前記絶縁層を取り除かれないうまま残すことと、

前記第 1 の面から第 1 の深さだけ窪んだ第 2 の面における中央フラット部を有する第 2 の $1 \times g \times Si$ 表面と、前記第 1 及び第 2 の面間のスロープとを備える窪みをつくるように、各デバイスサイトの前記中央エリアの前記露出された $1 \times g \times Si$ をエッチングすることと、

前記第 2 の $1 \times g \times Si$ 表面上に各デバイスサイトの前記中央エリアを覆う第 2 の絶縁層を形成することと、

前記ウエハ全体の上に金属の少なくとも 1 つの層を堆積することと、

前記リッジ上のデバイス端子と前記中央のエリアにおけるトランジスタ端子に合致する複数のパッドとを形成するために、各デバイスサイトにおいて前記金属層をパターニングすることであって、前記パッドが内側セットと周辺セットとにグループ化される、前記金属層をパターニングすることと、

全てのデバイスサイトを覆って前記ウエハ表面上にパッシベーション層を堆積することと、

各デバイスサイトにおいて、前記下にある金属を露出させるために前記フレーム上の前記端子からと前記中央のエリアにおける前記パッドから前記パッシベーション層を取り除く一方で、前記スロープ上と前記パッド間との前記パッシベーション材料を取り除かれないうまま残すことと、

を含む、方法。

【請求項 21】

請求項 20 に記載の方法であって、

前記エッチングすることが、前記第 1 及び第 2 の面間に $1 \times g \times Si$ の段を形成する前記窪みをつくり、前記段が 90 度未満の角度で傾斜する、方法。

【請求項 22】

請求項 20 に記載の方法であって、

前記ウエハの前記低グレードシリコン ($1 \times g \times Si$) が、これらに限定されないが、再生 (recycled) シリコンと未加工 (unrefined) シリコンとドーブされていないシリコンと多結晶シリコンと真性多結晶シリコンと低くドーブされた n 型多結晶シリコンと低くドーブされた p 型多結晶シリコンとを含むグループから選択される、方法。

【請求項 2 3】

請求項 2 0 に記載の方法であって、
金属の前記層が、チタンとチタン窒化物とアルミニウムとの各々の層を含む、方法。

【請求項 2 4】

請求項 2 0 に記載の方法であって、
ニッケルの層を堆積することを更に含み、その後、前記アルミニウム層上の金の最外層が続く、方法。

【請求項 2 5】

請求項 1 5 に記載の方法であって、
前記複数の第 2 のチップを提供することが、
低抵抗率バルク半導体と真性半導体のエピタキシャル層とを含む半導体ウエハを提供することであって、前記ウエハが、第 3 の厚みを有し、複数のデバイスサイトを含む、前記半導体ウエハを提供することと、

各サイトにおいてトランジスタを形成することであって、前記トランジスタが前記エピタキシャルと前記バルク半導体との表面上の端子を有する、前記トランジスタを形成することと、

バルク半導体のリッジによりフレーミングされる、第 1 の半導体チップを収容するのに適するサイズと深さとを有する平坦な中央エリアを備えるキャビティを形成するために各サイトの前記バルク半導体をエッチングするが、第 3 の厚みの前記バルク半導体フレームをエッチングされないまま残すことと、

金属の少なくとも 1 つの層を前記エピタキシャルと前記ウエハ全体の前記エッチされたバルク半導体の前記表面との上に堆積すること、

各サイトの前記エピタキシャル半導体の前記表面上の前記金属層をパターニングするが、前記中央エリアと各サイトの前記キャビティの前記リッジとの上の前記金属層をパターニングされないまま残すことにより、メタライズされたトランジスタ端子を形成することと、

メタライズされたリッジを有する第 3 の厚みの個別の第 2 のチップをシングュレートするために、前記ウエハをダイシングすることと、

を含む、方法。