

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年12月20日(2018.12.20)

【公表番号】特表2017-535960(P2017-535960A)

【公表日】平成29年11月30日(2017.11.30)

【年通号数】公開・登録公報2017-046

【出願番号】特願2017-525537(P2017-525537)

【国際特許分類】

H 01 L 23/06 (2006.01)

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

【F I】

H 01 L 23/06 Z

H 01 L 25/04 C

【手続補正書】

【提出日】平成30年11月6日(2018.11.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電子システムであって、

単結晶半導体の第1のチップであって、一方の側上の第1のソース端子と第1のゲート端子と、他方の側上の第1のドレイン端子とを含む、前記第1のチップと、

単結晶半導体の第2のチップであって、一方の側上の第2のソース端子と、他方の側上の第2のドレイン端子と第2のゲート端子とを含む、前記第2のチップと、

保持壁により境界づけられるスラブを有するコンテナと、

を含み、

前記第1のチップが第2のチップに取り付けられ、前記第1のドレイン端子が前記第2のソース端子に取り付けられ、前記第2のドレイン端子と前記第2のゲート端子とが前記コンテナに取り付けられる、電子システム。

【請求項2】

請求項1に記載のシステムであって、

前記第1のドレイン端子が前記第2のソース端子に直接に取り付けられる、システム。

【請求項3】

請求項1に記載のシステムであって、

前記第2のドレイン端子と前記第2のゲート端子とが前記コンテナに直接に取り付けられる、システム。

【請求項4】

請求項1に記載のシステムであって、

前記コンテナがシリコンである、システム。

【請求項5】

請求項1に記載のシステムであって、

前記保持壁が複数のリッジである、システム。

【請求項6】

請求項1に記載のシステムであって、

前記単結晶半導体がシリコンであり、前記第1及び第2のチップがMOS電界効果トランジスタであり、前記電子システムがパワーブロックである、システム。

【請求項7】

請求項1に記載のシステムであって、
前記電子システムがレギュレータである、システム。

【請求項8】

電子システムであって、
単結晶半導体の第1のチップであって、一方の側上の第1のソース端子と第1のゲート端子と、他方の側上の第1のドレイン端子とを含む、前記第1のチップと、
単結晶半導体の第2のチップであって、保持壁により境界づけられるスラブを有し、一方の側上の第2のソース端子と、他方の側上の第2のドレイン端子と第2のゲート端子とを含む、前記第2のチップと、
保持壁により境界づけられるスラブを有するコンテナと、
を含み、
前記第1のチップが前記第2のチップに取り付けられ、前記第1のドレイン端子が前記第2のソース端子に取り付けられ、前記第2のドレイン端子と前記第2のゲート端子とが前記コンテナに取り付けられる、電子システム。

【請求項9】

請求項8に記載のシステムであって、
前記第1のチップが第1の電子デバイスを含み、前記第2のチップが第2の電子デバイスを含む、システム。

【請求項10】

請求項9に記載のシステムであって、
前記コンテナのスラブに直接に取り付けられる第3のチップを更に含み、前記第3のチップが第3の電子デバイスを含む、システム。

【請求項11】

請求項10に記載のシステムであって、
前記単結晶半導体がシリコンであり、前記第1及び第2の電子デバイスがMOS電界効果トランジスタであり、前記第3の電子デバイスが集積回路であり、前記電子システムがパワーコンバータである、システム。

【請求項12】

パッケージングされた電子システムであって、
第1の厚みと第1の面における表面とを有するシリコンのスラブであって、前記スラブが、前記第1の面から第1の深さだけ離間される第2の面において窪んだ中央エリアを含む窪みをフレーミングする前記第1の面におけるリッジとして構成され、前記リッジと前記中央エリアとがパッドにパターニングされる金属層により覆われ、前記中央エリアの前記パッドが内側セットと周辺セットとにグループ化される、前記スラブと、

第1及び反対の第2の側と前記第1の厚みより小さな第2の厚みとを有する第1の半導体チップであって、前記第1の半導体チップが前記第1及び第2の側上に端子を有するトランジスタを含み、前記第1の側の端子が前記スラブの前記中央エリアの前記内側セットのそれぞれのパッドに取り付けられてサブアッセンブリをつくり、前記第2の側の端子が前記第1の面に向かって面する、前記第1の半導体チップと、

第3及び反対の第4の側と前記第1の厚みより小さいが前記第2の厚みより大きい第3の厚みとを有する第2の半導体チップであって、前記第4の側が、前記第3の面から前記第1の深さより小さい第2の深さだけ窪んでおり、かつ、前記第1の半導体チップを収容するのに適している平行の第4の面において、平坦な中央エリアを含む窪みをフレーミングする第3の面におけるリッジとして構成され、前記第4の側がメタライズされ、前記第2の半導体チップが前記第3及び第4の側上に端子を有するトランジスタを含む、前記第2の半導体チップと、

を含み、

前記第4の側の前記窪みが、前記第1の半導体チップの前記第2の側上の前記端子に取り付けられ、前記第2の半導体チップの前記リッジが前記周辺セットに取り付けられる、パッケージングされた電子システム。

【請求項13】

請求項12に記載のシステムであって、

前記第1及び第2の半導体チップの前記トランジスタがMOS電界効果トランジスタであり、前記パッケージされた電子システムがパワーブロックである、システム。

【請求項14】

請求項12に記載のシステムであって、

前記第1及び第2の半導体チップの前記トランジスタがバイポーラトランジスタであり、前記パッケージされた電子システムがレギュレータである、システム。

【請求項15】

パッケージングされた電子システムを製造するための方法であって、

複数のスラブサイトを含む低グレードシリコン(1gSi)のウエハを提供することであって、前記ウエハが第1の厚みと第1の表面における第1の面とを有し、各サイトが、前記第1の面から第1の深さだけ離間される第2の面において窪んだ中央エリアを含む窪みをフレーミングする前記第1の面におけるリッジとして構成され、前記リッジと前記中央エリアとが、トランジスタ端子に接触するためのパッドにパターニングされる金属層により覆われ、前記中央エリアの前記パッドが内側セットと周辺セットとにグループ化される、前記ウエハを提供することと、

平坦な第1及び反対の平坦な第2の側と前記第1の厚みより小さな第2の厚みとを有する複数の第1の半導体チップを提供することであって、前記第1の半導体チップが前記第1及び第2の側上に端子を有するトランジスタを含む、前記複数の第1の半導体チップを提供することと、

前記第1の側の前記端子を各1gSiスラブの前記中央エリアの前記内側セットのそれぞれのパッドに取り付けることであって、サブアッセンブリをつくり、前記第2の側の前記端子が前記第1の面に向かって面する、前記第1の側の前記端子を取り付けることと、

平坦な第3及び反対の輪郭形成された第4の側と前記第1の厚みより小さいが前記第2の厚みより大きい第3の厚みとを有する複数の第2の半導体チップを提供することであって、前記第4の側が、前記第3の面から前記第1の深さより小さい第2の深さだけ窪んでおり、かつ、前記第1の半導体チップを収容するのに適している、平行の第4の面において平坦な中央エリアを含む窪みをフレーミングする第3の面におけるリッジとして構成され、前記第4の側が均一にメタライズされ、前記第2の半導体チップが前記第3及び第4の側上に端子を有するトランジスタを含む、前記複数の第2の半導体チップを提供することと、

各サブアッセンブリに対して、第2の半導体チップの前記第4の側の前記メタライズされた窪んだ中央エリアを前記それぞれの第1の半導体チップの前記第2の側上の前記端子に取り付け、前記第2の半導体チップの前記メタライズされたリッジを前記中央1gSiエリアの前記それぞれの周辺セットの前記パッドに取り付けることであって、そのため、前記第2の半導体チップの前記第3の側上の前記トランジスタ端子が、前記それぞれの1gSiスラブの前記リッジ上の前記金属層と共に面である、前記取り付けることと、

を含む、方法。

【請求項16】

請求項15に記載の方法であって、

前記取り付けることが導電性接着材を用いる、方法。

【請求項17】

請求項15に記載の方法であって、

パッケージとして1gSiスラブに埋め込まれるトランジスタチップを有する個別

の多出力デバイスをシンギュレートするために前記1 g Siウエハをダイシングすることを更に含む、方法。

【請求項18】

請求項17に記載の方法であって、

前記第1及び第2の半導体チップの前記トランジスタがMOS電界効果トランジスタであり、前記電子システムがパワーブロックである、方法。

【請求項19】

請求項17に記載の方法であって、

前記第1及び第2の半導体チップの前記トランジスタがバイポーラトランジスタであり、前記電子システムがレギュレータである、方法。

【請求項20】

請求項15に記載の方法であって、

前記低グレードシリコン(1 g Si)のウエハを提供することが、

複数のスラブサイトを含む1 g Siのウエハを提供することであって、前記ウエハが第1の厚みと第1の面における第1の表面とを有する、前記1 g Siのウエハを提供することと、

前記第1の表面上に第1の絶縁層を形成することであって、前記第1の絶縁層が全てのスラブサイトを覆う、前記第1の絶縁層を形成することと、

前記下にある1 g Siを露出させるために各スラブサイトの前記中央エリアから前記絶縁層を取り除き、各中央エリアをフレーミングするリッジを形成するために前記周辺セット部分の上の前記絶縁層を取り除かれないまま残すことと、

前記第1の面から第1の深さだけ窪んだ第2の面における中央フラット部を有する第2の1 g Si表面と、前記第1及び第2の面間のスロープとを備える窪みをつくるように、各デバイスサイトの前記中央エリアの前記露出された1 g Siをエッチングすることと、

前記第2の1 g Si表面上に各デバイスサイトの前記中央エリアを覆う第2の絶縁層を形成することと、

前記ウエハ全体の上に金属の少なくとも1つの層を堆積することと、

前記リッジ上のデバイス端子と前記中央のエリアにおけるトランジスタ端子に合致する複数のパッドとを形成するために、各デバイスサイトにおいて前記金属層をパターニングすることであって、前記パッドが内側セットと周辺セットとにグループ化される、前記金属層をパターニングすることと、

全てのデバイスサイトを覆って前記ウエハ表面上にパッシベーション層を堆積することと、

各デバイスサイトにおいて、前記下にある金属を露出させるために前記フレーム上の前記端子からと前記中央のエリアにおける前記パッドから前記パッシベーション層を取り除く一方で、前記スロープ上と前記パッド間との前記パッシベーション材料を取り除かれないまま残すことと、

を含む、方法。

【請求項21】

請求項20に記載の方法であって、

前記エッチングすることが、前記第1及び第2の面間に1 g Siの段を形成する前記窪みをつくり、前記段が90度未満の角度で傾斜する、方法。

【請求項22】

請求項20に記載の方法であって、

前記ウエハの前記低グレードシリコン(1 g Si)が、これらに限定されないが、再生(recycled)シリコンと未加工(unrefined)シリコンとドープされていないシリコンと多結晶シリコンと真性多結晶シリコンと低くドープされたn型多結晶シリコンと低くドープされたp型多結晶シリコンとを含むグループから選択される、方法。

【請求項 2 3】

請求項2 0に記載の方法であって、

金属の前記層が、チタンとチタン窒化物とアルミニウムとの各々の層を含む、方法。

【請求項 2 4】

請求項2 0に記載の方法であって、

ニッケルの層を堆積することを更に含み、その後、前記アルミニウム層上の金の最外層が続く、方法。

【請求項 2 5】

請求項1 5に記載の方法であって、

前記複数の第2のチップを提供することが、

低抵抗率バルク半導体と真性半導体のエピタキシャル層とを含む半導体ウエハを提供することであって、前記ウエハが、第3の厚みを有し、複数のデバイスサイトを含む、前記半導体ウエハを提供することと、

各サイトにおいてトランジスタを形成することであって、前記トランジスタが前記エピタキシャルと前記バルク半導体との表面上の端子を有する、前記トランジスタを形成することと、

バルク半導体のリッジによりフレーミングされる、第1の半導体チップを収容するのに適するサイズと深さとを有する平坦な中央エリアを備えるキャビティを形成するために各サイトの前記バルク半導体をエッチングするが、第3の厚みの前記バルク半導体フレームをエッチングされないまま残すことと、

金属の少なくとも1つの層を前記エピタキシャルと前記ウエハ全体の前記エッチされたバルク半導体の前記表面との上に堆積すること、

各サイトの前記エピタキシャル半導体の前記表面上の前記金属層をパターニングするが、前記中央エリアと各サイトの前記キャビティの前記リッジとの上の前記金属層をパターニングされないまま残すことにより、メタライズされたトランジスタ端子を形成することと、

メタライズされたリッジを有する第3の厚みの個別の第2のチップをシンギュレートするため、前記ウエハをダイシングすることと、

を含む、方法。