



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월16일
(11) 등록번호 10-2090221
(24) 등록일자 2020년03월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/8247 (2006.01) H01L 21/205 (2006.01)
H01L 21/28 (2006.01)
(21) 출원번호 10-2014-0050286
(22) 출원일자 2014년04월25일
심사청구일자 2019년04월24일
(65) 공개번호 10-2014-0128877
(43) 공개일자 2014년11월06일
(30) 우선권주장
61/817,211 2013년04월29일 미국(US)
(56) 선행기술조사문헌
JP2009081251 A*
(뒷면에 계속)

(73) 특허권자
에이에스엠 아이피 홀딩 비.브이.
네덜란드 에이피 알메르 1322 베르스테르케르스트
라아트 8
(72) 발명자
시에 치
네덜란드 1322에이피 알메르 페르스테르케르스트
라트 8
마흐카아우찬 플라디미르
네덜란드 1322에이피 알메르 페르스테르케르스트
라트 8
(뒷면에 계속)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 6 항

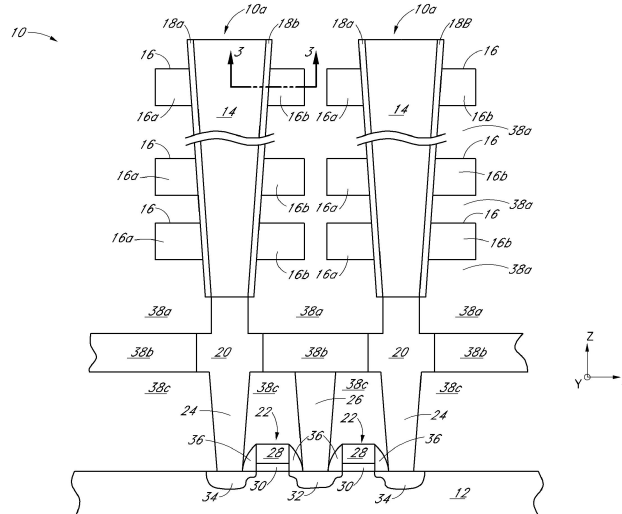
심사관 : 김진우

(54) 발명의 명칭 금속 도핑된 저항성 스위칭 층을 갖는 저항성 랜덤 액세스 메모리 소자를 만드는 방법

(57) 요약

저항성 랜덤 액세스 메모리(RRAM) 소자를 형성하는 방법이 개시된다. 본 방법은 제1 전극을 형성하는 단계, 열 원자층 퇴적(ALD)에 의해 금속 산화물을 포함하는 저항성 스위칭 산화물 층을 형성하는 단계, 금속 산화물을 형성하는 금속과 다른 금속 도펀트로 저항성 스위칭 산화물을 도핑하는 단계 및 열 원자층 퇴적(ALD)에 의해 제2 전극을 형성하는 단계를 포함하고, 이 때 저항성 스위칭 층은 제1 전극 및 제2 전극 사이에 개재된다. 일부 실시예들에서, 저항성 스위칭 산화물을 형성하는 단계는 금속 산화물을 퇴적한 후에 스위칭 산화물 층의 표면을 표면-변형 플라즈마 처리에 노출시키지 않고서 수행될 수 있다.

대표도



(72) 발명자

마스 얀 빌럼

네덜란드 1322에이퍼 알메러 페르스테르케르스트라
트 8

기븐스 마이클

미국 애리조나 85034-7200 피닉스 이스트 유니버시
티 드라이브 3440

라이사넨 페트리

미국 애리조나 85034-7200 피닉스 이스트 유니버시
티 드라이브 3440

(56) 선행기술조사문헌

JP2009224778 A*

JP2012256884 A*

US20120149166 A1*

W02013032809 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 표면에 수직한 수직 방향으로 다른 수직 레벨들에 복수의 제1 전극들을 형성하는 단계;

275℃ 내지 325℃의 온도에서 열 원자층 퇴적(thermal ALD)에 의해 금속 산화물을 포함하는 저항성 스위칭 산화물 층을 형성하는 단계;

상기 금속 산화물을 형성하는 상기 금속과 다른 금속 도펀트로, 상기 저항성 스위칭 산화물 층 내의 총 금속 원자들의 1 내지 10 원자 퍼센트의 농도까지 상기 저항성 스위칭 산화물 층을 도핑하는 단계;

상기 저항성 스위칭 산화물 층 내에 산소 빈자리들(oxygen vacancies)을 형성하도록 구성되는 산소 빈자리-형성 층을 형성하는 단계; 및

열 원자층 퇴적에 의해 수직의 전도성 막대를 포함하는 제2 전극을 형성하는 단계를 포함하고,

상기 저항성 스위칭 산화물 층은 상기 제1 전극들 중 하나 및 상기 제2 전극 사이에 개재되고,

상기 제1 전극들을 형성하는 단계는 상기 기관 표면 위에, 상기 기관 표면에 평행한 표면들을 가지는 제1 전극 층들을 퇴적하는 단계를 포함하고,

상기 저항성 스위칭 산화물 층을 형성하는 단계는 상기 제1 전극 층들을 통과하여 형성되고 상기 수직 방향으로 연장되는 구멍의 측벽 표면들을 라이닝(lining)하는 단계를 포함하고,

상기 제2 전극을 형성하는 단계는 400 ℃ 아래 온도에서 상기 저항성 스위칭 산화물 층 상에 TiN 층을 퇴적하는 단계를 포함하는 것을 특징으로 하는 3차원 저항성 랜덤 액세스 메모리(3D RRAM) 소자를 형성하는 방법.

청구항 2

제1항에 있어서,

상기 제1 전극 층들을 퇴적하는 단계는 전도성 금속 질화물을 퇴적하는 단계를 포함하는 것을 특징으로 하는 3차원 저항성 랜덤 액세스 메모리(3D RRAM) 소자를 형성하는 방법.

청구항 3

제1항에 있어서,

상기 제1 전극 층들을 퇴적하는 단계는 희생 층들을 퇴적하는 단계를 포함하고,

상기 제1 전극들을 형성하는 단계는 전도성 금속 질화물로 상기 희생 층들을 대체하는 단계를 더 포함하는 것을 특징으로 하는 3차원 저항성 랜덤 액세스 메모리(3D RRAM) 소자를 형성하는 방법.

청구항 4

제1항에 있어서,

상기 RRAM 소자들을 형성하기 전에 트랜지스터들을 형성하는 단계를 더 포함하고,

상기 RRAM 소자들은 상기 트랜지스터들 위에 형성되는 것을 특징으로 하는 3차원 저항성 랜덤 액세스 메모리(3D RRAM) 소자를 형성하는 방법.

청구항 5

제1항에 있어서,

상기 구멍은 20 nm 내지 100 nm 범위의 직경을 가지고, 0.5 μm 내지 5 μm 범위의 깊이를 가지는 것을 특징으로 하는 3차원 저항성 랜덤 액세스 메모리(3D RRAM) 소자를 형성하는 방법.

청구항 6

기판 표면에 수직한 수직 방향으로 다른 수직 레벨들에 복수의 제1 전극들을 형성하는 단계;

275℃ 내지 325℃의 온도에서 열 원자층 퇴적(thermal ALD)에 의해 금속 산화물을 포함하는 저항성 스위칭 산화물 층을 형성하는 단계;

상기 금속 산화물을 형성하는 상기 금속과 다른 금속 도펀트로, 상기 저항성 스위칭 산화물 층 내의 총 금속 원자들의 1 내지 10 원자 퍼센트의 농도까지 상기 저항성 스위칭 산화물 층을 도핑하는 단계;

상기 저항성 스위칭 산화물 층 내에 산소 빈자리들(oxygen vacancies)을 형성하도록 구성되는 산소 빈자리-형성 층을 형성하는 단계; 및

열 원자층 퇴적에 의해 수직의 전도성 막대를 포함하는 제2 전극을 형성하는 단계를 포함하고,

상기 저항성 스위칭 산화물 층은 상기 제1 전극들 중 하나 및 상기 제2 전극 사이에 개재되고,

상기 제1 전극들을 형성하는 단계는 상기 기판 표면 위에, 상기 기판 표면에 평행한 표면들을 가지는 희생 층들을 퇴적하는 단계를 포함하고,

상기 제2 전극을 형성하는 단계는 상기 희생 층들을 통과하여 형성되는 구멍의 측벽 표면들 상에 상기 제2 전극을 퇴적하는 단계를 포함하고,

상기 저항성 스위칭 산화물 층을 형성하는 단계는 상기 희생 층들을 제거함에 의해 형성되는 캐비티들을 라이닝(lining)하는 단계를 포함하고,

상기 제1 전극들을 형성하는 단계는 상기 저항성 스위칭 산화물 층 상에 상기 제1 전극들 중 하나를 퇴적하는 단계를 더 포함하는 것을 특징으로 하는 3차원 저항성 랜덤 액세스 메모리(3D RRAM) 소자를 형성하는 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 공정 분야에 관한 것이고, 보다 자세하게는 저항성 랜덤 액세스 메모리(resistive random access memory)의 제조에 관한 것이다.

배경 기술

[0002] 비휘발성(nonvolatile) 메모리 소자들은, 몇몇의 예를 들자면, 휴대 전화기들, 스마트폰들, 디지털 카메라들, 디지털 뮤직 플레이어들, 태블릿 컴퓨터들 및 랩탑 컴퓨터들과 같은 다양한 전자 장치들에 사용된다. 비휘발성 메모리 소자들은 보다 높은 소자 밀도에 대한 증가하는 요구를 충족시키기 위하여 크기를 줄이는 것을 계속함에 따라, 메모리 소자들의 3차원 어레이들뿐만 아니라 저항 변화에 기초하여 정보를 저장하는 신규한 메모리 소자들에 대한 상응하여 증가하는 요구가 존재한다.

발명의 내용

해결하려는 과제

[0003] 이러한 요구들을 다루는 하나의 개념은 3차원 저항성 랜덤 액세스 메모리(three dimensional resistive random access memory arrays; 3D RRAM) 어레이들이다. 제조 목표들을 충족시키고 그러한 메모리 어레이들의 성능을 개선시키기 위하여, 3D RRAM을 형성하는 공정들의 개발이 계속 진행 중이다.

과제의 해결 수단

[0004] 일부 실시예들에 따라 저항성 랜덤 액세스 메모리(resistive random access memory; RRAM)소자를 형성하는 방법은 제1 전극을 형성하는 단계, 열(thermal) 원자층 퇴적(atomic layer deposition; ALD)에 의해 금속 산화물을 포함하는 저항성 스위칭 산화물 층을 형성하는 단계, 금속 산화물을 형성하는 금속과 다른 금속 도펀트(dopant)로 저항성 스위칭 산화물 층을 도핑하는 단계 및 열 원자층 퇴적(ALD)에 의해 제2 전극을 형성하는 단계를 포함하고, 이때 저항성 스위칭 층은 제1 전극 및 제2 전극 사이에서 개재(interpose)된다. 일부 실시예들에 따라, 저항성 스위칭 산화물을 형성하는 단계는, 금속 산화물 퇴적 후 표면-변형(surface-modifying) 및/또는 막-변형(film-modifying) 플라즈마 처리에 스위칭 산화물 층의 표면을 노출시키지 않고 수행된다.

[0005] 다른 실시예에 따라 RRAM 소자를 형성하는 방법은 금속 질화물(nitride)을 포함하는 제1 전극을 형성하는 단계, 원자층 퇴적(ALD)에 의해 금속 산화물을 포함하는 저항성 스위칭 산화물 층을 형성하는 단계, 금속 산화물을 형성하는 금속과 다른 금속 도펀트로 저항성 스위칭 산화물 층을 도핑하는 단계 및 원자층 퇴적(ALD)에 의해 금속 질화물을 포함하는 제2 전극을 형성하는 단계를 포함하고, 이때 저항성 스위칭 층은 제1 전극과 접촉하는 제1 표면 및 제2 전극과 접촉하면서 제1 표면과 대향하는(opposing) 제2 표면을 가진다. 저항성 스위칭 산화물을 형성하는 단계는 금속 산화물을 퇴적 후 표면-변형 및/또는 막-변형 플라즈마 처리에 스위칭 산화물 층의 표면을 노출시키지 않고 수행될 수 있다.

도면의 간단한 설명

[0006] 도 1은 일부 실시예들에 따른 3D RRAM 어레이의 개략적인 단면도이다.
 도 2는 일부 다른 실시예들에 따른 3D RRAM 어레이의 개략적인 단면도이다.
 도 3은 일부 실시예들에 따른 RRAM 셀 스택(stack)의 개략적인 단면도이다.
 도 4는 일부 실시예들에 따른 RRAM 셀의 스위칭 동작들의 전류-전압 관계들에 대한 개략도이다.
 도 5는 일부 실시예들에 따른 저항성 스위칭 산화물 층들의 측정된 농도 깊이 프로파일들에 대한 도해이다.
 도 6은 일부 실시예들에 따른 저항성 스위칭 산화물 층들의 측정된 산화물 파괴(break down) 전압들에 대한 도해이다.

도 7은 일부 실시예들에 따른 저항성 스위칭 산화물 층들의 측정된 유전 상수들에 대한 도해이다.

도 8은 일부 실시예들에 따른 RRAM 셀의 측정된 전류-전압 관계에 대한 도해이다.

도 9는 일부 실시예들에 따른 RRAM 셀의 측정된 전류-전압 관계에 대한 도해이다.

도 10은 일부 다른 실시예들에 따른 RRAM 셀의 측정된 전류-전압 관계에 대한 도해이다.

발명을 실시하기 위한 구체적인 내용

- [0007] 스마트폰들, 컴퓨터들 및 디지털 카메라들과 같은 전자 장치들은, 하드 디스크들이나 솔리드 스테이트 드라이브(solid state drive)들과 같은 비휘발성 저장 장치들에 많은 양의 데이터를 저장한다. 스마트폰 및 휴대용 컴퓨터들과 같은 많은 휴대용 어플리케이션들에서, 솔리드 스테이트 드라이브들은 그 작은 크기뿐만 아니라 흔들림으로부터 발생하는 신뢰성 이슈들에 대한 상대적인 면역력 때문에, 종종 하드 디스크들보다 더 선호된다. 그 중에서도 솔리드 스테이트 드라이브들은 플로팅 게이트들에 전하를 저장하는 플래시 트랜지스터들로 불리는 수십억의 이중-게이트 트랜지스터들을 포함한다. 플래시 트랜지스터들은 어레이 구조들의 다양한 형태들로 배열될 수 있다. NAND 어레이 구조로 알려진 하나의 특정 어레이 구조는, 그 채널들이 플래시 트랜지스터들의 컨트롤 게이트들을 형성하는 워드 라인들에 의해 제어되는 16, 32, 64 또는 128 플래시 트랜지스터들의 스트링(string)들로 배열된 플래시 트랜지스터들을 채용한다. NAND 블록은 1024, 2048 등과 같은 복수의 그러한 스트링들을 포함할 수 있고, 이때 각 스트링은 선택 트랜지스터를 통해서 비트 라인에 연결된다. NAND 어레이 구성들은 단위 면적당 가장 높은 수의 플래시 트랜지스터들 중 하나를 제공하고, 그 플래시 트랜지스터들을 높은 밀도의 디지털 미디어를 저장하기에 특히 적합하게 만든다.
- [0008] 플래시 트랜지스터들의 점점 더 높은 밀도(그리고 점점 더 낮은 비용)에 대한 수요는 플래시 트랜지스터들의 크기에서 지속적인 감소를 초래했다. 플래시 트랜지스터들이 약 20 nm 노드 아래로 크기가 변경됨에 따라, 플래시 트랜지스터들의 신뢰도는, 다른 것들 중에서도 인접하는 플로팅 게이트들 사이의 기생 용량성 커플링 및 플로팅 게이트당 저장된 전자들의 수에서의 감소에 기인하여 저하된다. 2개의 확장성(scalability) 개념들은 저장 소자들의 밀도가 크기를 감소시키고 밀도를 증가시키는 추세를 따르는 것을 계속하도록 하는데 적용될 수 있다.
- [0009] 제1 확장성 개념은, 플래시 트랜지스터의 문턱 전압을 변경하는 것과 반대로, 소자-수준에서 확장성을 다루고 메모리 셀의 저항 변화에 기초한 저장 소자들을 채용한다. 저항 변화에 기초한 다양한 저장 소자들은 계속된 스케일링에 대한 플래시 트랜지스터들의 대안들로서 제안되었고, 저항성-스위칭 랜덤 액세스 메모리(RRAM)을 포함한다. RRAM은 단순함 및 확장성 때문에 열성적인 연구의 초점이었다. RRAM 소자는 2개의 전극들 사이에 저항성 스위칭 층을 포함할 수 있다. 스위칭 층의 저항은 전기적 신호의 인가에 의해 고저항 상태(HRS) 및 저저항 상태(LRS) 사이에서 전환될 수 있다.
- [0010] 제2 확장성 개념은 어레이-수준에서 확장성을 다루고 3차원(3D) 어레이들을 채용한다. 예를 들면, 일부 3D NAND 어레이 구조들에서, 16, 32, 64, 128 등의 플래시 트랜지스터들의 스트링들은 실리콘 기판의 표면에 직각인 방향으로 수직으로 연장되고, 플래시 트랜지스터들의 채널들은 실리콘 기판에 평행하게 연장되는 컨트롤 게이트들을 형성하는 워드 라인들에 의해 제어될 수 있다.
- [0011] 제1 및 제2 확장성 개념들은 3D RRAM 어레이들의 개념으로 결합될 수 있고, 이때 16, 32, 64, 128 등의 RRAM 소자들의 "스트링(string)"은 실리콘 기판의 표면에 직각인 방향으로 수직으로 연장될 수 있다. 3D RRAM 어레이의 한 예시에서, 상호연결들의 제1 세트, 예컨대 워드 라인들은 실리콘 기판의 표면에 직각인 방향으로 수직으로 연장되고, 상호연결들의 제2 세트, 예컨대 비트 라인들은 기판의 표면에 평행한 방향으로 수평으로 연장되며 워드 라인들과 교차 접속점들을 형성하도록 구성된다. 전기적 신호가 교차 접속점들에 인가될 때 RRAM 셀들이 LRS 및 HRS 사이에서 가역적으로 전환될 수 있도록 하는 RRAM을 형성하기 위하여, 저항성 스위칭 산화물 층은 교차 접속점들에서 워드 라인들 및 비트 라인들 사이에 배치된다.
- [0012] 그러한 3D RRAM 어레이들은 기판 상에 전체 점유(footprint)를 감소시키기 위하여 드라이버들 및 차지 펌프들과 같은 지원 회로 위에 종종 제조된다. 그 결과, 3D RRAM 어레이들을 제조하는데 사용되는 공정들의 온도 제약들이 있을 수 있다. 플라즈마-증진 원자층 퇴적(plasma-enhanced atomic layer deposition; PE-ALD)와 같은 플라즈마-증진 공정들은 일부 퇴적 공정들의 퇴적 온도를 보다 낮출 수 있다. 그러나, 그러한 3D RRAM 어레이들의 다양한 공정 집적 시도들은 전극 막들 및 매우 높은 총휘발성을 가지는 비아(via)들과 캐비티(cavity)들의 표면들 상에 저항성 스위칭 물질들과 같은 다른 막들의 컨포멀(conformal)한 퇴적을 요한다. 일부 경우들에서 외피(sheath)에 대한 요구에 기인하여, 플라즈마 공정들은 이러한 유형들의 지형들 내부에 퇴적하는데 효과적이지

않을 수 있다. 그 결과, 3D RRAM 어레이들의 다양한 막들을 형성하기 위해 열 원자층 퇴적과 같은 저온 및 컴포지트 퇴적 기술들에 대한 요구가 존재한다.

[0013] 일부 실시예들에 따른 3차원 저항성 랜덤 액세스 메모리(3D RRAM) 어레이는 x-방향으로 다른 것에 인접하게 배치된 복수의 서브-어레이들을 포함한다. 각 서브-어레이는 z-방향으로 수직으로 적층되고 y-방향으로 수평으로 연장되는 복수의 제1 전극 라인들을 포함할 수 있다. 각 서브어레이는 z-방향으로 수직으로 연장되는 복수의 제2 전극 라인들을 더 포함할 수 있다. 제2 전극 라인들의 각각은 적어도 하나의 제1 전극 라인을 가로지를 수 있고 제1 전극 라인들 중 하나와 적어도 하나의 교차점 접속점을 형성할 수 있다. 교차-접속점들의 각각에서, 제1 및 제2 전극 라인들은 RRAM 셀을 형성하기 위하여 저항성 스위칭 산화물 층에 의해 개재될 수 있다.

[0014] 일부 실시예들에 따라서, RRAM 셀을 제조하는 방법은 제1 전극을 형성하는 단계, 열 원자층 퇴적(AKD)에 의해 금속 산화물을 포함하는 저항성 스위칭 산화물 층을 형성하는 단계 및 열 원자층 퇴적(ALD)에 의해 제2 전극을 형성하는 단계를 포함하고, 이때 저항성 스위칭 층은 제1 전극 및 제2 전극 사이에 개재된다. 저항성 스위칭 층은 그 층의 금속 산화물을 형성하는 금속과 다른 금속 도펀트로 도핑될 수 있다. 유리하게도, 그 금속으로 도핑하는 것은, 원하는 저항 스위칭 특성들을 유지하면서, 저항성 스위칭 및/또는 후속하는 전극 층들이 형성되는 온도들의 범위를 확장시킬 수 있다. 일부 실시예들에서, 저항성 스위칭 층은 약 150-400 °C, 약 175-350 °C, 약 200-325 °C 또는 275-325 °C의 온도에서 퇴적될 수 있다. 도핑 이후 저항성 스위칭 층에서 금속 도펀트의 농도는 약 0.5-20 원자 퍼센트, 약 1-10 원자 퍼센트, 또는 3-7 원자 퍼센트일 수 있다. 예컨대 저항성 스위칭 층 및 제2 전극을 형성하기 위한, 열 ALD 공정은 플라즈마의 사용 없이 수행된 퇴적인 점이 인정될 것이다. 따라서, 일부 실시예들에서, 저항성 스위칭 산화물 층을 형성하는 단계는, 표면-변형 플라즈마 처리에 스위칭 산화물 층의 표면을 노출시키지 않고 수행된다. 일부 실시예들에서, 열 원자층 퇴적에 의해 제2 전극을 형성하는 단계는 약 325 °C 이하, 예컨대 약 200-300 °C 또는 약 200-250 °C의 온도에서 수행된다.

[0015] 도면들이 이제 참조될 것이고, 도면들에서 내내 같은 번호들은 같은 요부들을 가리킨다.

[0016] 도 1은 일부 실시예들에 따른 3D-RRAM 어레이의 단면도를 도해한다. 3D-RRAM 어레이(10)는 반도체 기판(12) 상에 형성된 복수의 서브-어레이들(10a)을 포함한다. 3D-RRAM 어레이(10) 내 서브-어레이들의 수는 채용된 특정 어레이 구조에 따라 임의의 적합한 수가 될 수 있다. 그러나, 도해의 간명함을 위하여, 2개의 그러한 서브-어레이들(10a)이 도 1에서 도해된다. 각 서브-어레이(10a)는 x-방향으로 적어도 하나의 다른 인접한 서브-어레이를 가진다. 도 1에서 도해된 실시예에서, 2개의 서브-어레이들(10a)은 x-방향으로 서로 인접하고 마주본다.

[0017] 서브-어레이들(10a)의 각각은 z-방향으로 적층되고 y-방향으로 그 쪽의 안팎으로 연장되는 복수의 제1 전극 라인들(16)을 포함한다. 도해의 간명함을 위하여, 특정한 서브-어레이(10a)에 대하여 단 3개의 제1 전극 라인들(16)의 단면들이 도 1에서 도해된다. 그러나, 특정한 서브-어레이에서 적층된 제1 전극 라인들(16)의 수는 특정 어레이 구조에 따라 임의의 적합한 수(N)가 될 수 있다. 게다가, 인접하게 적층된 제1 전극 라인들(16)은 개재된 층간 유전체(inter-layer dielectric)(38a)에 의해 분리될 수 있다. 이에 따라, 도 1에서, 특정한 서브-어레이에 대해서 제1 전극들의 스택은 N개의 적층된 제1 전극 라인들(16) 및 (N-1)개의 개재된 층간 유전체들(38a)을 포함한다. 다양한 구현들에 따라, 적층된 제1 전극 라인들(16)의 수인 N은, 예컨대 특정 어레이 구조에 의존하여 8, 16, 32, 64, 128, 256 등이 될 수 있다. 제1 전극 라인들(16)은 로컬 비트 라인들, 비트 라인들 또는 컬럼들로서 간혹 지칭될 수 있다.

[0018] 서브-어레이들(10a)의 각각은 z-방향으로 수직으로 연장되는 복수의 제2 전극 라인들(14)을 더 포함한다. 일부 실시예들에서, 제2 전극 라인들(14)은 수직 기둥(pillar)들을 형성한다. 도해의 간명함을 위하여, 서브-어레이(10a) 당 단지 하나의 제2 전극 라인(14)의 단면이 도 1에서 도해된다. 그러나, 특정한 서브-어레이에서 제2 전극 라인들(14)의 수는 채용된 특정 어레이 구조에 따라 임의의 적합한 수(M)가 될 수 있다. 도 1의 구성에서, 그 단면이 도 1에서 도해된 전극 라인의 전후에서 추가적인 전극 라인들(14)(미도시)이 문서의 안팎으로 y-방향으로 있을 수 있다. 구현들에 따라, 서브-어레이들(10a)의 각각은, 예컨대 N개의 제2 전극 라인들을 포함할 수 있고, 이때 N은 특정 어레이 구조에 의존하여 256, 512, 1024, 2048, 4096 등과 같을 수 있다. 제2 전극 라인들(14)은 워드 라인들, 로컬 워드 라인들 또는 로우(row)들로서 간혹 지칭될 수 있다.

[0019] 이하에서 "포장된(wrapped) 워드 라인 구조"로 지칭되는 하나의 구성에서, 제2 전극 라인(14)은 제1 전극 라인들(16)의 스택 및 층간 유전체들(38a)을 통과하여 연장되는 수직 비아를 통해서 연장된다. 본 실시예에서, 제1 전극 라인들(16)은 y방향으로 연장되고 y 방향으로 M개의 제2 전극 라인들(14)의 적어도 서브세트를 가로지르는 길쭉한 슬랩(slab)들을 형성한다. 본 구성에서, 수직 비아들의 측벽들은 저항성 스위칭 산화물 층(18)으로 라이닝(lining)된다. 게다가, 제2 전극 라인들(14)은, 원통형일 수 있고, 제1 전극 라인들(16)의 전체 스택을 통과

하여 연장되는 비아를 통해서 연장되고 층간 유전체들(38a)을 개재하는 막대들을 형성하기 위해 저항성 스위칭 산화물 층(18)으로 라이닝된 수직 비아들을 채운다. 하나의 RRAM이 제1 전극 라인 및 제2 전극 라인 사이 각 교차 지점에서 형성되고, 이때 제2 전극 라인(14)를 둘러싸는 저항성 스위칭 산화물 층(18)은 각 교차 지점에서 제1 및 제2 전극 라인들(16, 14)에 의해 개재된다. 셀이 선택된 제1 전극 라인(16) 및 제2 전극 라인(14) 사이에 적절한 전압을 인가함으로써 선택될 때, 전도성 경로가 제2 전극 라인(14)를 둘러싸는 저항성 스위칭 산화물 층(18)을 가로질러 어디든지 형성될 수 있다. 이에 따라, 포장된 워드 라인 구조에서, RRAM 셀은 z-방향으로 연장되는 제2 전극 라인(14), 제2 전극 라인(14)을 연속적으로 둘러싸는 저항성 스위칭 산화물 층(18), 및 제2 전극 라인(14)을 둘러싸는 저항성 스위칭 산화물 층(18)을 둘러싸는 제1 전극 라인(16)을 포함한다. 일부 실시예들에서, 제2 전극 라인(14)은 원통형 막대의 형태를 취할 수 있다.

[0020] 역시 도 1을 참조하면, 이하에서 "교차하는 워드 라인 구조"로서 지칭되는 다른 구성에서, 제2 전극 라인(14)은 전술된 포장된 워드 라인 구조에서와 같이 z-방향으로 연장되는 수직 비아를 통해서 연장된다. 포장된 워드 라인 구조와 유사하게, 교차하는 워드 라인 구조의 제2 전극 라인(14)은 제1 전극 라인들(16a/16b), 및 2개의 인접하게 적층된 제1 전극 라인들(16a/16b) 사이 개재된 층간 유전체들(38a)을 통과하여 연장된다. 또한 포장된 워드 라인 구조와 유사하게, 원통형일 수 있는 수직 비아들의 측벽들은 저항성 스위칭 산화물 층(18)으로 라이닝된다. 게다가, 제2 전극 라인들(14)은, 원통형일 수 있고 비아들을 통해 연장되는 막대들을 형성하기 위하여 저항성 스위칭 산화물 층들(18)로 라이닝된 수직 비아들을 채운다.

[0021] 그러나 포장된 워드 라인 구조와 다르게, 제1 전극 라인들은 원통형 제2 전극 라인들(14)이 통과하여 연장되는 구멍들을 가지는 슬랩들을 형성하지 않는다. 대신, 제1 전극 라인들(16a, 16b) 쌍은 y 방향으로 연장되고 제2 전극 라인들(14)의 제1 및 제2 측들 중 부분들과 교차한다. 제1 및 제2 저항성 스위칭 산화물 층들(18a, 18b)은 바로 제1 전극 라인들(16a, 16b) 사이 각 교차지점에 각각 배치된다. 즉, 제1 전극들(16a, 16b) 쌍의 각각은 y 방향으로 연장되는 길쭉한 라인들을 형성하고 하나의 제2 전극 라인(14)을 "공유"한다. 그러므로 포장된 워드 라인 구조와 다르게, 하나의 전도성 경로가 제2 전극 라인(14) 및 선택된 제1 전극 라인들(16a 또는 16b) 중 하나 사이에서 제1 및 제2 저항성 스위칭 산화물 층들(18a 또는 18b)의 각각을 가로질러 형성된다. 그 결과, 포장된 워드 라인 구조와 다르게, 동일한 RRAM 셀 점유에 대한 2개의 전도성 경로가 형성될 수 있다. 이에 따라, 본 구성에서 RRAM 셀은 z-방향으로 연장되는 원통형의 막대를 형성하는 제2 전극 라인(14), y 방향으로 연장되고 제2 전극 라인(14)과 교차지점들의 쌍을 형성하는 제1 전극 라인들(16a, 16b) 쌍, 및 교차지점들 쌍에서 제1 전극 라인들(16a, 16b)과 제2 전극 라인(14) 사이 개재된 제1 및 제2 저항성 스위칭 산화물 층들(18a, 18b)을 포함한다.

[0022] 도 1에서 도해된 실시예의 3D RRAM 어레이는 제2 전극 라인들(14)에 연결된 하나 이상의 트랜지스터들(22)을 더 포함할 수 있다. 트랜지스터들(22)의 각각은 반도체 기판(12)에 형성되고, 게이트(28), 소스(32), 드레인(34)를 포함하며, 수직 커넥터(20)를 통해서 제2 전극 라인(14)에 연결된다. 층간 유전체들(38b, 38c)은 다양한 전도성 구조들을 절연시킨다. 하나의 실시예에서, 트랜지스터(22)는 제2 전극 라인(14)를 위한 선택 기능을 제공할 수 있고, 게이트 콘택(contact)(미도시)를 통해서 게이트(28) 그리고 소스 콘택(26)을 통해서 소스의 적합한 바이어싱(biasing)을 통해 필요한 전류를 공급할 수 있다. 일부 실시예들에서, 트랜지스터들(22)은 적어도 하나의 RRAM 셀을 프로그램하고 소거(erase)하기에 충분한 구동 전류를 공급하도록 구성된다.

[0023] 도 1의 도해된 실시예에서 z-방향으로 볼 때 서브-어레이들(10a)이 트랜지스터들(22) 위에 그리고 중첩되어 배치되는 한편, 다른 실시예들이 가능하다. 일부 실시예들에서, z-방향으로 볼 때 서브-어레이들(10a)은 트랜지스터들(22) 위에 그러나 중첩되지 않고 배치된다. 다른 실시예들에서, 트랜지스터들(22)은 z-방향으로 볼 때 서브-어레이들(10a) 위에 그리고 중첩되어 배치된다. 또 다른 실시예들에서, 트랜지스터들(22) 및 서브-어레이들(10a)은 x-방향으로 서로 인접하게 배치된다.

[0024] 전체 제조 공정 플로우에서의 다른 시점들에서 트랜지스터들(22)을 형성하는 것은 다른 공정 고려사항들을 초래할 수 있다. 예를 들면, 도 1의 도해된 예시에서, 트랜지스터들(22), 및 서브-어레이들(10a)를 제조하기 전에 제조되는 수직 커넥터들(20)과 같은 관련된 전기적 연결들로부터 발생하는 하나의 고려사항은 온도 제한일 수 있다. 일부 실시예들에서, 트랜지스터들(22)의 제조에 후속하는 고온 공정들은 소자 파라미터들, 그 중에서도 문턱 전압, 문턱 전압 이하 기울기(sub-threshold swing), 펀치-스루(punch-thru) 전압과 같은 것에서의 바람직하지 않은 사후-제조 시프트들을 야기할 수 있다. 게다가, 수직 커넥터들이 Cu 또는 Al과 같은 저온 용융 금속들을 포함하는 경우 공정들에서, 후속하는 공정 온도들은 그러한 효과들이 현저한 우려를 제기하지 않는 온도로 제한된다. 이에 따라, 다양한 공정들의 온도는 전형적인 백-엔드(back-end) 공정 온도들로 제한하는 것이 바람직할 수 있다. 일부 실시예들에서, 서브-어레이들(10a)에 대한 제조 온도는 약 400 °C 미만일 수 있다. 다

른 실시예들에서, 서브-어레이들(10a)에 대한 제조 온도는 350 °C 미만일 수 있다. 또 다른 실시예들에서, 서브-어레이들(10a)에 대한 제조 온도는 300 °C 미만일 수 있다.

[0025] 게다가, 전술한 바와 같이, 그러한 3D RRAM 어레이들의 다양한 공정 집적 시도들은 저항성 스위칭 산화물 층, 및 높은 종횡비를 가지는 비아들과 캐비티들의 표면들 상에 제1 및 제2 전극 라인들 중 적어도 하나의 컨포멀한 퇴적을 요한다. PE-ALD와 같은 플라즈마-증진 공정들은 일부 노출된 표면들 상에 퇴적을 위해 낮춰진 퇴적 온도들에서 효과적일 수 있는 한편, 그러한 공정들은 높은 종횡비를 가지는 비아들 및 캐비티들 내부에 퇴적하는데 효과적이지 않을 수 있다. 유리하게도, 본 명세서에 개시된 실시예들에 따른 열 원자층 퇴적들은 3D RRAM 어레이들의 다양한 막들을 형성하기 위해, 높은 종횡비 요구들로 효과적으로 퇴적될 수 있다.

[0026] 추가적으로, 트랜지스터들(22) 및 관련된 전기적 연결들이 서브-어레이들(10a)을 제조하기 전에 제조되는 실시예들에서, 플라즈마 공정들의 사용은 추가적인 우려들을 제기할 수 있다. 플라즈마 공정 동안, 부분적으로 제조된 집적 회로 소자들의 특정 전도성 구조들은 플라즈마로부터 전하를 축적할 수 있다. 축적된 전하는 공정 동안 방전 사고를 야기할 수 있고, 다양한 전류 경로들을 통과하여, 예컨대 다이오드들, 트랜지스터들의 게이트 유전체들 및 RRAM 소자들을 통과하여 흐르는 높은 수준의 전류를 야기할 수 있다. 그러한 방전 사고들은 RRAM 소자들을 포함하는 집적 회로 소자들의 성능 및 신뢰도 저하를 야기할 수 있다. 예를 들면, 방전 사고는 저항성 스위칭 산화물 층들의 저하를 야기할 수 있다. 이에 따라, 이러한 이유로, 플라즈마 공정들의 공간에서 열적으로 활성화된 공정들을 사용하고, 전술된 백엔드 공정 온도 체제를 초과하지 않는 것이 바람직할 수 있다.

[0027] 도 1의 3D RRAM 어레이(10)는 임의의 수의 방식들로 제조될 수 있다. 도 1에서, 반도체 기판(12)로부터 시작할 때, 수직 커넥터(20)까지 그리고 그를 포함하는 구조들이 당업자에 잘 알려진 실리콘 제조 공정들을 사용하여 제조될 수 있다. 서브-어레이들(10a)을 형성하기 전에, 수직 커넥터들(20) 및 층간 유전체 층(38b)을 노출시키는 평면 표면이, 감법(subtractive) 금속 플로우나 이중-다마신(dual-damascene) 플로우와 같은 당업자에 잘 알려진 제조 공정들을 사용하여 제공된다. 이하에서, 서브-어레이들(10a)을 위한 제조 공정들이 상세하게 언급될 것이다.

[0028] 일부 실시예들에서, 이하에서 "비트라인-첫째 플로우"와 관련된 것으로 지칭되는 수직 커넥터들(20)의 형성에 후속하여, 층간 유전체(38a)의 N개 층들 및 N개 제1 전극 층들을 포함하는 스택이 교번적으로 퇴적된다.

[0029] 제1 전극 층은, n-도핑된 폴리 실리콘과 p-도핑된 폴리 실리콘을 포함하는 임의의 적합한 전도성 및 반전도성(semiconductive) 물질들, C, Al, Cu, Ni, Cr, Co, Ru, Rh, Pd, Ag, Pt, Au, Ir, Ta, W를 포함하는 금속들, 전도성 금속 질화물(nitride)들, 탄탈륨(tantalum) 규화물(silicide)들, 텅스텐 규화물들, 니켈 규화물들, 코발트 규화물들, 티타늄 규화물들을 포함하는 전도성 금속 규화물들, 및 RuO₂를 포함하는 전도성 금속 산화물들을 포함한다. 일부 실시예들에서, 제2 전극 물질은 전이 금속(transition metal)을 포함하고, 예컨대 TiN, TaN, WN 또는 TaCN과 같은 전이 금속 질화물일 수 있다. 비트라인-첫째 플로우에서, 제1 전극 층은, 다른 것들 중에서 화학 기상 증착(chemical vapor deposition; CVD), 플라즈마-증진 화학 기상 증착(PE-CVD), 플라즈마-증진 원자층 퇴적(PE-ALD) 및 물리적 기상 증착(physical vapor deposition; PVD)을 포함하는 평면 막을 퇴적하기 위한 다양한 공정들을 사용하여 퇴적될 수 있다. 일부 실시예들에서, 제1 전극 층은 열 원자층 퇴적(ALD)에 의해 형성된다.

[0030] 층간 유전체(38a)는, 예컨대 다른 것들 중에서 SiO₂ 또는 Si₃N₄를 포함하는, 전기적으로 절연시키는 유전 물질을 포함한다. 층간 유전체(38a)는, 다른 것들 중에서 화학 기상 증착(CVD), 플라즈마-증진 화학 기상 증착(PE-CVD), 고밀도 화학 기상 증착(high density chemical vapor deposition; HDP-CVD), 열 원자층 퇴적(ALD), 플라즈마-증진 원자층 퇴적(PE-ALD), 스핀-온 유전체 공정들(spin-on dielectric process; SOD) 및 물리적 기상 증착(PVD)을 포함하는 평면 막을 퇴적하기 위한 공정을 사용하여 형성될 수 있다.

[0031] 후속해서, 비트라인-첫째 플로우의 일 측면에 따라, 높은 종횡비의 비아들을 형성하는데 적합한 패터닝(patterning) 기술들, 예컨대 리소그래피(lithography) 및 식각 기술들을 사용하여 층간 유전체들(38a) 및 제1 전극 층들을 교번시키는 N개 층들을 포함하는 스택을 통과하여 형성된다. 일부 실시예들에서, 비아들은 약 20 nm 및 약 500 nm 사이, 또는 약 20nm 내지 약 100 nm 사이의 범위에서 직경을 가진다. 게다가, 일부 실시예들에서, 비아들은 약 0.5 μm 및 약 20 μm 사이, 또는 약 0.5 μm 및 약 5 μm 사이의 범위에서 깊이를 가진다.

[0032] 수직 비아들의 측벽들은 저항성 스위칭 산화물 층(18)로 후속하여 라이닝될 수 있다. 저항성 스위칭 산화물 층들의 예시들은, 금속 산화물 물질들, 예컨대 NiO, HfO₂, ZrO₂, CuO₂, TaO₂, Ta₂O₅, TiO₂, SiO₂, Al₂O₃ 및/또는 2개 이상의 금속들을 포함하는 합금들, 예컨대 알칼리 토금속(alkaline earth metal)들 및/또는 희토류 금속(rare

earth metal)들을 포함하는 박막들을 포함한다. 일반적으로, 저항성 스위칭 산화물 층(18)은 3D RRAM 메모리 셀들을 형성하는데 특히 유리할 수 있는 열 원자층 퇴적(ALD)에 의해 형성될 수 있다. 예를 들면, 상대적으로 높은 중형비 및/또는 상대적으로 작은 직경을 가지는 비아들을 위하여, ALD-유형 공정들이 유난히 컴포지션한 층들의 퇴적을 가능하게 할 수 있다. 더욱이, 플라즈마는 일부 환경들에서 높은 중형비 비아들의 보다 깊은 부분들에 도달하지 않을 수 있다. 이러한 환경들에서, 비아들의 다른 부분들은 플라즈마의 다른 양들에 노출될 수 있고, (간혹 커스핑(cusping)으로 불리는) 더 깊은 부분들과 비교하여 비아의 개구 부근에서 퇴적되는 더 두꺼운 막들과 같은 불균등한 퇴적의 바람직하지 않은 구조적 효과들을 야기한다. 이러한 이유로, 열 ALD는 퇴적될 표면의 부분들에 도달하기 위하여 플라즈마의 능력에 의존하지 않기 때문에, 열 ALD는 보다 유리하다.

[0033] 후속해서, "비트라인-첫째 플로우"의 다른 측면에 따라, 수직 비아들의 바닥에 형성된 저항성 스위칭 산화물 층(18)은 트랜지스터들(22) 및 제2 전극 라인들(14) 사이 전기적 콘택들을 만들기 위하여 적합한 식각 기술에 의해 제거될 수 있다. 후속해서, 저항성 스위칭 산화물 층들(18)로 라이닝된 수직 비아들은 제2 전극 라인들(14)을 위하여 적합한 제2 전극 물질로 채워진다. 가능한 제2 전극 물질들은 n-도핑된 폴리 실리콘 및 p-도핑된 폴리 실리콘을 포함하는 적합한 전도성 및 반전도성 물질들, C, Al, Cu, Ni, Cr, Co, Ru, Rh, Pd, Ag, Pt, Au, Ir, Ta, W를 포함하는 금속들, 전도성 금속 질화물들, 탄탈륨 규화물들, 텅스텐 규화물들, 니켈 규화물들, 코발트 규화물들, 티타늄 규화물들을 포함하는 전도성 금속 규화물들, 및 RuO₂를 포함하는 전도성 금속 산화물들을 포함한다. 일부 실시예들에서, 제2 전극 물질은 전이 금속을 포함하고, 예컨대 TiN, TaN, WN 또는 TaCN과 같은 전이 금속 질화물일 수 있다. 제2 전극 물질은 열 원자층 퇴적(ALD)을 사용하여 퇴적될 수 있다. 저항성 스위칭 산화물 층(18)의 퇴적과 연관되어 전술한 바와 같이, 상대적으로 높은 중형비 및/또는 상대적으로 작은 직경들을 가지는 비아들을 위하여, ALD-유형 공정들은 유난히 컴포지션한 층들을 가능하게 할 수 있다. 게다가, 저항성 스위칭 산화물 층들의 퇴적에 대하여 전술한 바와 같이, 비아의 다른 부분들이 플라즈마의 다른 양들에 노출될 수 있는 환경 하에서, 더 깊은 부분들과 비교하여 비아의 개구 부근에서 퇴적되는 제2 전극 물질의 더 높은 양들과 같은, 제2 전극 라인들(14) 내에서 의도하지 않은 보이드(void)들을 야기할 수 있는, 불균등한 플라즈마 노출로부터 발생하는 바람직하지 않은 구조적 효과들을 방지하도록, 열 ALD는 PE-ALD와 비교하여 이점들을 제공할 수 있다.

[0034] 후속해서, "비트라인-첫째 플로우"의 다른 측면에 따라, 서브-어레이들(10a)은 과잉 제2 전극 물질을 제거하기 위해 평탄화될 수 있다. 서브-어레이들(10a)은 그 다음에 분리되고, 그렇게 함으로써 절연체들 및 전도체들을 교번하는 다중 스택들을 통과하는 식각을 위하여 적합한 리소그래피 및 식각 기술들을 사용하여 각 서브-어레이(10a)에 대하여 제1 전극 층을 제1 전극 라인들(16)로 분리한다. 서브-어레이들(10a) 사이에 형성된 서브-어레이간 간극들은 중간 유전체(38a)로 실질적으로 채워지고 전술한 것과 유사한 물질들 및 기술들을 사용하여 평탄화된다. 후속해서, 추가적 공정들이 제1 전극들(16) 및 제2 전극들(14)을 보다 높은 레벨 금속 라인들에 더 연결하기 위하여 뒤따를 수 있다.

[0035] 일부 다른 실시예들에서, 이하에서 "비트라인-마지막 플로우"로서 지칭되는, 서브-어레이들(10a)을 형성하기 전 공정들 단계들은 비트라인-첫째 플로우와 실질적으로 동일하다. 후속해서, 비트라인-첫째 플로우와 반대로, 층간 유전체(38a)의 N개 층들 및 N개 제1 전극 층들의 퇴적된 스택은 희생되는 제1 전극 층들을 퇴적하는 것을 포함한다. 희생 제1 전극 층들은, 층간 유전체(38a)나 저항 스위칭 산화물 층(18)을 제거하지 않고서, 습식 식각이나 건식 식각 중 하나에 의해서 공정에서 선택적으로 추후에 제거될 수 있는 임의의 적합한 층을 포함할 수 있다. 예를 들면, 층간 유전체(28a)가 SiO₂인 실시예들에서, 희생 제1 전극 층들은 Si₃N₄ 층들 또는 다결정질(polycrystalline) Si 층들일 수 있다. 비트라인-마지막 플로우에서 후속해서, 서브-어레이들을 분리하는 단계에 이르고 그것을 포함하는 공정 단계들은, 수직 비아들을 형성하는데 예칭되는 물질들이, 예컨대 영구적인 제1 전극 물질 대신 희생 제1 전극 물질을 포함하는 점을 제외하고, 비트라인-첫째 플로우와 실질적으로 유사하다.

[0036] 비트라인-마지막 플로우의 한 측면에 따라, 적합한 리소그래피 및 식각 기술들을 사용하여 서브-어레이들(10a)의 분리시, 희생 제1 전극 층들은 제1 전극 라인들(16)을 형성하기 위해 영구적인 제1 전극 물질들로 대체된다. 희생 제1 전극 층의 제거는, 층간 유전체(38a)나 저항성 스위칭 산화물 층(18)을 제거하지 않고서 희생 제1 전극 물질을 우선적으로 제거하는데 적합한 습식 또는 건식 식각 기술들을 사용하여 수행될 수 있다. 예를 들면, 층간 유전체(38a)가 SiO₂인 실시예에서, 희생 제1 전극 층들은 Si₃N₄ 층들이고, 저항성 스위칭 산화물 층(18)은 HfO_x이며, 적합한 식각 공정은 SiO₂ 및 HfO_x를 온전하게 남기면서 Si₃N₄를 선택적으로 제거하는 습식-식각일 수 있다.

[0037] 비트라인-마지막 플로우의 다른 측면에서, 희생 제1 전극 층들의 제거로 인한 수평의 리세스된(recessed) 캐비

티들은, 비트라인-첫째 플로우와 연관하여 전술된 적합한 제2 전극 물질들과 실질적으로 동일한 물질들을 포함하는 적합한 제1 전극 물질로 채워진다. 제1 전극 층들이 실질적 평면 표면 상에 제1 전극 층을 퇴적하기 위해 다양한 공정 기술들을 사용하여 퇴적될 수 있는 비트라인-첫째 플로우와 다르게, 일부 공정 기술들은 비트라인-마지막 플로우에서 영구적 제1 전극 물질을 퇴적하는데 적합하지 않을 수 있다. 이는 영구적 제1 전극 물질이 수평의 리세스된 캐비티들의 표면 상에 퇴적되기 때문이다. 그 결과, 비트라인-마지막 플로우에서 영구적 제1 전극 물질을 퇴적하는데 적합한 공정들은 제2 전극 물질을 높은 종횡비의 비아들에 퇴적하는데 사용된 그러한 것들과 유사한 공정들을 포함할 수 있다. 일부 실시예들에서, 제1 전극 물질은 열 ALD에 의해 퇴적된다. 화학 기상 증착(CVD), 플라즈마-증진 화학 기상 증착(PE-CVD), 플라즈마-증진 원자층 퇴적(PE-ALD)이, 컨포멀리티(conformality)에 대한 요구사항들이 보다 완화된 상황을 포함하는 일부 환경들에서 제1 전극 물질을 퇴적하는데 적용될 수도 있는 점이 고려된다. 비트라인-첫째 플로우에 대해서 상대적으로 높은 종횡비 및/또는 작은 직경을 가지는 비아들의 내부 표면들 상에 저항성 스위칭 산화물 층(18) 및 제2 전극 물질의 퇴적과 연관되어 전술된 바와 같이, 제2 전극 물질은 열 ALD 공정에 의해 수평의 캐비티들의 내부 표면들 상에 퇴적될 수 있다. 게다가, 비트라인-첫째 플로우에 대해 전술한 바와 같이, 수평의 캐비티들의 다른 부분들은 플라즈마의 다른 양들에 노출될 수 있기 때문에, 서브-어레이간 간극에서 더 깊게 위치한 수평의 캐비티들과 비교하여 서브-어레이간 간극의 개구 부근에 위치한 수평의 캐비티들에 퇴적되는 제2 전극 물질의 더 높은 양들과 같은 불균등한 플라즈마 노출로부터 발생하는 바람직하지 않은 구조적 효과들을 방지하도록, 열 ALD는 PE-ALD와 비교하여 이점들을 제공할 수 있다.

[0038] 비트라인-마지막 플로우의 다른 측면에서 후속해서, 분리된 제1 전극 라인들(16)은 제1 전극 라인들(16) 사이 층간 유전체(38a)의 측벽 표면들로부터 제1 전극 물질들을 제거함으로써 형성된다. 서브-어레이들(10a) 사이 서브-어레이간 간극들을 층간 유전체(38a)로 채우고 평탄화하기 위한 후속하는 공정들은 비트라인-첫째 플로우에 대해 전술한 바와 실질적으로 유사하다. 또한 비트라인-첫째 플로우와 유사하게, 추가적인 공정들이 제1 전극들(16) 및 제2 전극들(14)을 보다 높은 레벨 금속 라인들에 더 연결하기 위해 뒤따를 수 있다.

[0039] 도 2는 일부 다른 실시예들에 따라 3D-RRAM 어레이(40)의 단면도를 도해한다. 3D-RRAM 어레이(40)의 전체 어레이 구조는 도 1의 3D-RRAM 어레이(10)의 그것과 유사하고, 3D-RRAM 어레이(40) 역시 복수의 서브-어레이들(10a)을 포함한다.

[0040] 도 2에 도해된 전체 서브-어레이 구조는, 여기서 설명되는 특정 요부들을 제외하고, 도 1과 연관되어 전술된 교차하는 워드 라인 구조의 예시와 또한 유사하다. 예를 들면, 도 1과 유사하게, 제2 전극 라인들(14)은 제1 전극 라인들(16a, 16b) 쌍들의 스택을 통과하여 z-방향으로 연장되고 층간 유전체들(38a)을 개재하는 수직 비아를 통해 연장된다. 그러나 도 1의 실시예와 다르게, 도 2에서 교차하는 워드 라인 구조의 제1 및 제2 저항성 스위칭 산화물 층들(18a, 18b)은 수직 비아들을 라이닝하지 않는다. 대신, 제1 및 제2 저항성 산화물 층들(18a, 18b)은 비트라인-마지막 플로우와 연관되어 전술된 바와 같은 유사한 방식으로, 희생 제1 전극 물질들의 제거시 형성된 수평의 캐비티를 라이닝한다. 따라서, 제2 전극 라인들(14)은 어떠한 밑에 있는 저항성 스위칭 산화물 층들도 없기 때문에 원통형의 막대들을 형성하기 위해 수직 비아들의 전체 용적들을 채운다.

[0041] 그 결과, 결과적인 어레이 구조는 일부 측면들에서 도 1의 교차하는 워드 라인 구조와 유사하다. 예를 들면, 전극들(16a, 16b) 쌍의 각각은 y 방향으로 연장되는 길쭉한 라인들을 형성하고, 2개의 전도성 경로들이 제1 전극들(16a, 16b) 중 하나와 제2 전극(14) 사이 교차 지점들 각각에서 형성된 각 RRAM 셀을 위해 형성되도록 하나의 제2 전극(14)을 공유한다. 이에 따라, 본 실시예에서, RRAM 셀은 z-방향으로 연장되는 제2 전극 라인(14) 막대, y 방향으로 연장되고 제2 전극 라인(14)과 교차 지점들 쌍을 형성하는 제1 전극 라인들(16a, 16b) 쌍, 및 교차 지점들 쌍에서 제1 전극 라인들(16a, 16b) 및 제2 전극 라인(14) 사이에 개재되는 저항성 스위칭 산화물 층들(18a, 18b)을 포함한다.

[0042] 3D-RRAM 어레이(40)를 제조하는 공정 플로우는, 저항성 스위칭 산화물 층들(18a, 18b)이 제2 전극들(14)을 형성하기 위해 제2 전극 물질들로 비아들을 채우기 전에 퇴적되는 점을 제외하고, 일부 측면들에서 도 1과 연관되어 전술된 "비트라인 마지막" 공정 플로우와 역시 유사하다. 대신, 저항성 스위칭 층들(18a, 18b)은 희생 제1 전극 층들의 제거로 인해 형성된 수평의 리세스된 캐비티들에 컨포멀하게 퇴적된다. 저항성 스위칭 층들(18a, 18b)을 퇴적하는데 채용된 물질들 및 공정들은 도 1에서 전술된 비트라인-마지막 공정에서와 유사하다. 또한 도 1에서 전술된 제1 비트라인-마지막 공정과 유사하게, 희생 제1 전극 층들의 제거에 의해 형성된 수평의 캐비티들은, 전술된 적합한 제2 전극 물질들과 실질적으로 동일한 물질들을 포함하는 적합한 영구적 제1 전극 물질로 그 다음에 채워진다. 게다가, 제1 전극 물질은, 도 1에서 제2 전극 물질 퇴적을 위해 사용된 공정들과 유사하게, 실질적으로 컨포멀한 막을 수평의 캐비티들에 퇴적하기 위해 적합한 공정을 사용하여 퇴적될 수 있다. 이에 따라,

도 1의 비트라인-첫째 플로우와 연관되어 전술된 바와 같이, 서브-어레이간 간극에서 더 깊게 위치한 수평의 캐비티들과 비교하여 서브-어레이간 간극의 개구 부근에 위치한 수평의 캐비티들에 퇴적되는 제2 전극 물질의 더 높은 양들과 같은 불균등한 플라즈마 노출로부터 발생하는 바람직하지 않은 구조적 효과들을 방지하도록, 열 ALD 공정들은 저항성 스위칭 층들(18a, 18b) 뿐만 아니라 영구적 제1 전극 물질의 퇴적을 위해서 PE-ALD와 비교하여 선호될 수 있다.

[0043] 도 2의 비트라인-마지막 공정 플로우를 사용하여 제조된 교차하는 워드 라인 구조를 가지는 3D-RRAM 어레이(40)는 일부 측면들에서 도 1의 비트라인-첫째 공정보다 유리할 수 있다. 예를 들면, 저항성 스위칭 산화물 층(18a, 18b)은 제2 전극 물질로 캡핑(capping)되기 전에 식각 그리고 세척 화학 현상들에 노출되지 않고, 이에 따라 오염 및 저항성 스위칭 산화물 층들에서 핀홀(pinhole)들의 형성과 같은 다른 공정 이슈들을 최소화한다.

[0044] 전술한 바와 같이, 제1 전극 라인(16) 및 제2 전극 라인(14)에 의해 형성된 교차 지점에 배치된 RRAM 셀들 중 임의의 하나의 전도성 경로는 RESET 상태로서 알려지기도 한 상대적으로 높은 저항 상태에 있도록 프로그램될 수 있다. 유사하게, RRAM 셀들 중 임의의 하나의 전도성 경로는 SET 상태로서 알려지기도 한 상대적으로 낮은 저항 상태에 있도록 프로그램 될 수 있다. 하나의 실시예에서, 높고 낮은 저항 상태들은 단일 셀당 비트 메모리 시스템에서 "1" 상태 및 "0" 상태에 대응할 수 있다.

[0045] 도 3을 참조하여, 도 1 및 2의 RRAM 셀들을 포함하는 물질 스택들의 세부사항들이 여기서 개시된다. RRAM 셀 스택(50)은 도 1 및 2에서 절개 3을 따라 취한 RRAM 셀의 단면을 나타낸다. 셀 스택은, 열 원자층 퇴적(ALD)에 의해 형성된 제1 전극(16), 제2 전극(14), 및 열 원자층 퇴적(ALD)에 의해 형성된 금속 산화물을 포함하는 저항성 스위칭 산화물 층(18)을 포함하고, 이때 저항성 스위칭 산화물 층(18)은 제1 및 제2 전극들(16, 14) 사이에 게재된다. 본 명세서에서 언급된 바와 같이, 저항성 산화물 층(18)은 금속도펀트를 함유할 수 있다.

[0046] 일반적으로, ALD에 의한 막 성장은 흡수된 전구체들의 원자층들 사이 반응을 통해서 일어난다. 열 ALD 성장 공정에서, 막 성장은 기판의 온도로부터 전해진 열 에너지에 의해 구동된 표면 반응을 통해서 일어난다. 반대로, 플라즈마-중진 원자층 퇴적(PE-ALD) 성장 공정에서, 막 성장은 플라즈마 공정에 의해 적어도 부분적으로 구동된 표면 반응을 통해서 일어난다.

[0047] 일부 실시예들에서, 저항성 스위칭 산화물 층(18)은 MO_x 에 의해 표현될 수 있는 반화학량적(sub-stoichiometric) 금속 산화물을 포함할 수 있고, 이때 M은 금속이고 0는 산소이며 x는 화학량적 포화 값 이하인 값을 나타낸다. 예를 들면, 저항성 스위칭 산화물 층(18)이 하프늄(hafnium) 산화물을 포함하는 실시예들에서, 반화학량적 산화물은 HfO_x 일 수 있고, 이때 x는 포화 화학량적 값인 2보다 작은 값이다.

[0048] 반화학량적 조성을 가지는 저항성 스위칭 산화물 층(18)이 RRAM 소자의 스위칭 작용을 제어하는데 사용될 수 있는 점인 인정될 것이다. 예를 들면, 산화물의 반화학량적 조성은 산화물 내 산소 빈자리(vacancy)들을 일으킬 수 있고, 산소 빈자리들은 RRAM 소자의 스위칭 조건들 하에서 이동성을 가질 수 있다. 일부 실시예들에서, 조성은 스위칭 전압, 스위칭 전류 및 데이터 보유(retention)와 같은 RRAM 소자의 특정 스위칭 및 다른 파라미터들을 얻기 위해 조정될 수 있다.

[0049] 일부 실시예들에서, 반화학량적 조성은 저항성 스위칭 층(18)과 제1 및 제2 전극들 중 하나 또는 양자 사이의 원소(elemental) 전이 금속 층과 같은 반응성 금속 층을 퇴적함으로써 달성된다. 이러한 실시예들에서, 반응성 금속 층은 후속하는 공정들 동안 또는 반화학량적 조성을 형성하는 소자 동작 동안 저항성 스위칭 층(18)과 섞일 수 있다. 일부 구현들에서, 반응성 금속 층을 형성하는 금속들은, 다른 것들 중에서 Ni, Hf, Zr, Cu, Ta, Ta, Ti, Si, Al을 포함하는, 저항성 스위칭 산화물 층을 형성하는 금속들이나 다른 금속들을 포함한다. 이러한 실시예들에서, 저항성 스위칭 층(18)은 저항성 스위칭 층(18)과 제1 및 제2 전극들 중 하나 또는 양자를 개재하는 반응성 금속 층과 접촉한다.

[0050] 일부 다른 실시예들에서, 반화학량적 조성은 저항성 스위칭 층(18) 자체의 조성을 제어함으로써, 다른 것들 중에서 퇴적 온도와 ALD 사이클 시간들과 같은 퇴적 파라미터들을 제어함으로써 달성된다. 이러한 실시예들에서, 저항성 스위칭 층은 제1 및 제2 전극들 중 하나 또는 양자와 접촉한다. 일부 구현들에서, x는 약 1.0 및 약 2.0 사이 값(즉, 화학량적 값의 50% 내지 100%)일 수 있다. 일부 다른 구현들에서, x는 약 1.5 및 약 2.0 사이 값(즉, 화학량적 값의 75% 내지 100%)일 수 있다. 반화학량적 값들의 유사한 수준들이 상기 나열된 다른 금속 산화물 시스템들에서 주어질 수 있다.

[0051] 일부 실시예들에서, 저항성 스위칭 산화물 층은 저항성 산화물 층의 기반 금속 산화물을 형성하는 금속과 다른

금속으로 도핑된다. 본 명세서에서 사용된 바와 같이, 용어 "도핑(doping)"은 기반 금속 산화물에 원자들을 부가하는 것을 지칭하고, 기반 금속 산화물 층의 적어도 일부 금속 원자들을 기반 금속 산화물 층을 형성하는 금속과 다른 금속 원자들로 대체하는 것을 포함한다. 예를 들면, MO_x 로서 표현된 저항성 스위칭 산화물 층의 기반 금속 산화물에 대하여, 도핑된 금속 산화물은 $M_zN_yO_x$ 로 표현될 수 있고, 이때 M은 저항성 스위칭 산화물 층의 기반 금속 산화물을 형성하는 제1 금속이고, N은 제1 금속과 다른 제2 금속이며, O는 산소이다. 일부 실시예들에서, 제2 금속(N)은 다른 금속들 중에서, Ni, Hf, Zr, Cu, Ta, Ta, Ti, Si, Al 중 임의의 하나 이상일 수 있다. 게다가, z 및 y는 제1 및 제2 금속들의 상대적인 양들을 각각 나타내고, x는 포화 화학량적 값 미만인 값을 나타낸다. 일부 다른 실시예들에서, MO_x 로 표현된 금속 산화물은 하나의 금속 이상으로 도핑될 수 있다. 그러나, 단지 도해의 목적으로, 설명은 하나의 제2 금속을 가지는 환경들로 본 명세서에서 한정된다.

[0052] 일부 실시예들에서, 도핑은 ALD 동안 저항성 스위칭 층의 표면을, 제1 금속을 포함하는 제1 전구체들 뿐만 아니라 제2 금속을 포함하는 제2 전구체들에 동시에 노출시킴으로써 저항성 스위칭 산화물 층의 열 ALD 동안 인-시츄(in-situ) 수행될 수 있다. 게다가, 동시에 그 표면을 노출시키는 것은, 표면 상에 흡수되는 제1 및 제2 금속들의 상대적인 양들을 제어하기 위해 제1 및 제2 전구체들의 다른 양들을 노출시키는 것을 포함할 수 있다. 도해로서, 하나의 실시예에서, 제1 금속(M)은 저항성 스위칭 층의 기반 산화물로서 HfO_x 의 Hf이고, 제2 금속(N)은 Al이다. 본 실시예에서, 도핑된 금속 산화물은 $Hf_zAl_yO_x$ 로 표현될 수 있다. 예컨대, 제1 전구체들은 $HfCl_4$ 를 포함하고, 제2 전구체들은 트리메틸알루미늄(trimethylaluminum; TMA)를 포함한다. 본 실시예에서, 열 ALD 사이클은 제1 펄스를 포함하고, 이때 $HfCl_4$ 및 TMA는 제어된 양들로서 열 ALD 반응기로 동시에 인도되며, 제2 펄스가 뒤따르고, 이때 산소 소스, 예컨대 H_2O 가 인도된다.

[0053] 다른 실시예들에서, 제1 금속을 포함하는 제1 전구체들, 그 뒤에 제2 금속을 포함하는 제2 전구체들 또는 그 반대로 ALD 동안 저항성 스위칭 층의 표면을 순차적으로 노출시킴으로써 저항성 스위칭 산화물 층의 열 ALD 동안 인-시츄 수행될 수 있다. 도해로서, 제1 전구체들의 $HfCl_4$ 가 Hf의 소스일 때 제1 금속(M)이 HfO_x 의 Hf이고, 제2 전구체들의 TMA가 Al의 소스일 때 제2 금속이 Al인 실시예들에서, 열 ALD 사이클은 $HfCl_4$ 의 제1 펄스를 포함하고, 그 뒤에 H_2O 의 제2 펄스, 그 뒤에 TMA의 제3 펄스, 그 뒤에 H_2O 의 제4 펄스가 뒤따른다. 다른 실시예들에서, $HfCl_4$ 및 TMA의 사이클들의 수는 Al의 농도를 조정하기 위해 다를 수 있다.

[0054] 일부 실시예들에서, 도핑은 저항성 스위칭 산화물 층의 기반 산화물의 열 ALD 퇴적의 완료 후에, 제2 금속을 혼입(incorporate)함으로써 저항성 스위칭 산화물 층의 열 ALD 이후에 수행될 수 있다. 이러한 후-퇴적 도핑은 다수의 다른 방식으로 수행될 수 있다. 도해로서, 일부 실시예들에서, 제2 금속은, 저항성 스위칭 층을 퇴적하기 전후에 퇴적될 수 있고, 후속하는 열 어닐링(annealing)에 의해 드라이브-인(drive in)(즉, 확산)될 수 있다. 예시로서, 제1 금속(M)이 기반 산화물로서 HfO_x 의 Hf이고 제2 금속이 Al인 도 1의 실시예들에 따른 비트라인-제1 플로우에서, 제2 금속 Al은 열 ALD에 의해 HfO_x 를 성장시키기 전에 비아에서 제1 전극의 표면 상에 퇴적될 수 있다. 다르게는, 제2 전극 물질을 비아에 퇴적시키기 전에, 제2 금속 Al이 HfO_x 의 퇴적 후 HfO_x 의 표면 상에 퇴적될 수 있다. Al은 열 ALD같은 접합하게 컴포지션 기술을 사용하여 퇴적될 수 있다. 후속해서, Al은 금속 열 어닐링 또는 로(furnace) 어닐링과 같은 적절한 열 어닐링을 사용하여 HfO_x 로 후속하여 드라이브될 수 있다.

[0055] 일부 다른 실시예들에서, 도핑은 저항성 스위칭 산화물 층의 열 ALD 이후 플라즈마 공정에 의해 수행될 수 있다. 제2 금속은 금속 도펀트를 함유하는 플라즈마에의 노출을 이용하는 플라즈마 기술들을 사용하여 혼입에 의해 저항성 스위칭 산화물 층의 기반 산화물로 혼입될 수 있다. 예시로서, 제1 금속이 기반 산화물로서 HfO_x 의 Hf이고 제2 금속이 Al인 도 1의 실시예들에 따른 비트라인-제1 플로우에서, HfO_x 의 표면은 Al을 함유하는 플라즈마에 노출될 수 있다. 후속해서, Al은 금속 열 어닐링 또는 로 어닐링과 같은 적절한 열 어닐링을 사용하여 HfO_x 로 드라이브될 수 있다.

[0056] 전술한 바와 같이, 일부 실시예들에서 저항성 스위칭 산화물 층(18)은 $M_zN_yO_x$ 에 의해 표현된 반화학량적 금속 산화물들의 합금을 포함할 수 있다. 예를 들면, 반화학량적 산화물은 $Hf_zAl_yO_x$ 일 수 있고, 이때 z 및 y는 Hf 및 Al의 상대적인 양들을 나타내고, x는 화학량적 포화 값 미만인 값을 나타낸다. 전술한 바와 같이, 산소의 반화학량적 조성은 산소 내에 산소 빈자리들을 일으킬 수 있고, 산소 빈자리들은 RRAM 소자의 스위칭 조건들 하에서 이동성을 가질 수 있다. 하나의 구현에서, x는 화학량적 값의 약 75% 및 100% 사이 값일 수 있다. 다른 구현에

서, x 는 화학량적 값의 약 50% 및 75% 사이 값일 수 있다.

- [0057] 일부 실시예들에서, 금속 도펀트 농도는 약 0.5 원자 퍼센트에서 약 20 원자 퍼센트 범위에 있다(즉, $z=0.95$ 및 $y=0.05$). 일부 실시예들에서, 금속 도펀트 농도는 약 1 원자 퍼센트에서 약 10 원자 퍼센트 범위(즉, $z=0.90$ 및 $y=0.10$), 또는 약 3 원자 퍼센트 내지 약 7 원자 퍼센트 범위에 있고, 예컨대 약 5%이다.
- [0058] 상기 제시된 바와 같이, 알루미늄과 다른 금속 도펀트들이 가능하다. 일부 실시예들에서, 저항성 스위칭 산화물 층(18)은 티타늄으로(예컨대 TiO_2 의 형태로) 도핑되고, 티타늄은 스위칭 산화물 층(18)이 HfO_x 일 때 $Hf_zTi_yO_x$ 를 형성할 수 있다. 일부 다른 실시예들에서, 저항성 스위칭 산화물 층(18)의 HfO_x 는 $Hf_zNi_yO_x$ 를 형성하기 위하여 니켈으로(예컨대 NiO_2 의 형태로) 도핑된다.
- [0059] 일부 실시예들에서, 예컨대 HfO_x 를 포함하는 저항성 스위칭 산화물 층(18)은 $HfCl_4$ 및 H_2O 를 전구체들로서 사용하여 열 ALD에 의해 퇴적된다. 다른 실시예들에서, HfO_x 를 포함하는 저항성 스위칭 산화물 층(18)은, 오존 및/또는 H_2O 와 함께 Hf의 전구체들로서 TEMAHf 또는 그것의 파생물(derivative)들을 사용함으로써 퇴적된다.
- [0060] 여기서 언급되고 아래 제시된 다양한 그래프들에서 도해진 바와 같이, 저항성 스위칭 산화물 층(18)의 퇴적 온도가 RRAM 소자의 스위칭 조건 및 다른 소자 파라미터들에 대한 일부 제어를 제공할 수 있는 점은 인정될 것이다. 예를 들면, 퇴적 온도는 조성, 예컨대 반화학량적 수준, 및 수소 및/또는 탄소 함유량과 연관될 수 있다. 유리하게도, 원하는 소자 특성들을 유지하면서 금속 도펀트가 보다 높은 온도들에서 저항성 스위칭 층의 공정(예컨대, 퇴적)을 가능하게 하는 점이 밝혀짐에 따라, 도펀트 농도는 제어의 다른 수준을 제공할 수 있다. 일부 실시예들에서, 저항성 스위칭 산화물 층(18)은 약 150 °C에서 약 400 °C의 범위인 온도들에서 퇴적된다. 다른 실시예에서, 저항성 스위칭 산화물 층(18)은 175 °C에서 350 °C의 범위인 온도들에서 퇴적된다. 또 다른 실시예에서, 저항성 스위칭 산화물 층(18)은 200 °C에서 325 °C의 범위인 온도들, 예컨대 약 225 °C에서 퇴적된다.
- [0061] 하나의 실시예에서, HfO_x 를 포함하는 저항성 스위칭 산화물 층(18)의 두께는 약 40 nm 및 약 1 nm 사이 범위, 예컨대 약 20 nm를 가진다. 다른 실시예에서, HfO_x 를 포함하는 저항성 스위칭 산화물 층의 두께는 약 20 nm 및 약 1 nm 사이 범위, 예컨대 약 10 nm를 가진다. 또 다른 실시예에서, HfO_x 를 포함하는 저항성 스위칭 산화물 층(18)의 두께는 약 10 nm 및 약 1nm 사이 범위, 예컨대 5 nm를 가진다.
- [0062] 일부 실시예들에서, 셀 스택(50)은 저항성 스위칭 산화물 층(18)에서 산소 빈자리들의 형성을 촉진시키는 산소 빈자리-형성 층(60)을 더 포함할 수 있다. 일부 실시예들에서, 산소 빈자리-형성 층(60)은 저항성 스위칭 산화물 층(18)의 원소 금속(들)(즉, M 또는 M과 N)을 포함한다. 예를 들면, 저항성 스위칭 산화물 층(18)이 HfO_x 일 때, 산소 빈자리-형성 층(60)은 원소 Hf를 포함할 수 있다.
- [0063] 일부 다른 실시예들에서, 산소 빈자리-형성 층(60)은 동일한 금속 원소(즉, MO_x 또는 $M_zN_yO_x$) 및 저항성 스위칭 층보다 산소 함유량에서 실질적으로 낮은 화학량을 포함하는 반화학량적 금속 산화물을 포함한다. 일부 구현들에서, x 는 화학량적 값의 약 25% 및 약 50% 사이 값일 수 있다. 일부 다른 구현들에서, x 는 화학량적 값의 약 1% 및 약 25% 사이 값일 수 있다. 예를 들면, 저항성 스위칭 층(18)은 $HfO_{1.5}$ 의 화학량을 가질 수 있고, 산소 빈자리-형성 층(60)은 $HfO_{0.5}$ 의 화학량을 가질 수 있다.
- [0064] 일부 실시예들에서, 제1 및 제2 전극들(14, 16) 중 하나 또는 양자는 열 원자층 퇴적(ALD)에 의해 형성될 수 있고, 금속 질화물을 포함할 수 있다. 일부 실시예들에서, 열 ALD에 의해 형성된 제2 전극(14)은 $TiCl_4$ 및 NH_3 를 포함하는 전구체들을 사용하여 TiN 층을 포함할 수 있다.
- [0065] 일부 실시예들에서, 열 ALD에 의해 형성된 제1 및 제2 전극들(14, 16) 중 하나 또는 양자는 약 400 °C 아래 온도에서 형성된 TiN 층을 포함한다. 다른 실시예에서, 열 ALD에 의해 형성된 제2 전극(14)은 약 350 °C 및 약 400 °C 사이 온도에서 형성된 TiN 층을 포함한다. 또 다른 실시예에서, 열 ALD에 의해 형성된 제2 전극(14)은 약 300 °C 및 약 350 °C 사이 온도에서 형성된 TiN 층을 포함한다.
- [0066] 일부 실시예들에서, 열 ALD에 의해 형성된 제1 및 제2 전극들(14, 16) 중 하나 또는 양자는 약 1 nm 내지 약 100 nm의 두께를 가지는 TiN 층을 포함한다. 다른 실시예에서, 열 ALD에 의해 형성된 제2 전극(14)은 약 5 nm 내지 약 50 nm의 두께를 가지는 TiN 층을 포함한다. 또 다른 실시예에서, 열 ALD에 의해 형성된 제2 전극(14)은 약 5 nm 내지 약 30 nm, 예컨대 10 nm의 두께를 가지는 TiN 층을 포함한다.

- [0067] 도 4는 RRAM 셀의 상태를 변화시킬 수 있는 3개의 액세스 동작들을 나타내는 개략적인 전류-전압(I-V) 곡선(80)을 나타낸다. 형성 동작은 제조된 채로의 RRAM 셀에 인가된 최초 전기적 펄스를 가리킨다. 여기서 지칭되는 것으로서, 전기적 펄스는 적합한 전압이나 전류 펄스를 포함할 수 있다. 게다가, 전기적 펄스는 인가되는 동안 전압 및/또는 전류의 변화하는 수준들, 예컨대 DC 전압 스위프(sweep)를 가질 수 있다. 도 4에서, x-축은 도 3에서의 RRAM 셀 스택(50)과 같은 RRAM 셀 스택을 가로질러 인가된 전압을 나타낸다. y-축은 특정한 전압에서 RRAM 셀 스택을 통과하여 흐르는 전류를 나타낸다.
- [0068] 도 4에서, 형성 동작을 나타내는 I-V 곡선은 초기 전압(V_{INIT})부터 형성 시작 전압($V_{FORM\ START}$)까지 전압 축에서의 범위인 형성-이전 고저항 상태(HRS) I-V 부분(82)을 포함하고, 전압에서 특정한 변화에 대해 전류에서의 상대적으로 느린 상승으로 특징된다. 형성 동작을 나타내는 I-V 곡선은 $V_{FORM\ START}$ 부터 $V_{FORM\ END}$ 까지 전압 축에서의 범위인 HRS-to-LRS 천이 형성 I-V 부분(84)을 포함하고, 전압에서의 특정한 변화에 대해 전류에서의 상대적으로 가파른 상승으로 특징되며, HRS-to-LRS 천이 형성 I-V 부분(84) 동안 RRAM 셀은 형성-이전 HRS 부터 형성-이후 저저항 상태(LRS)로 그 상태를 변화시킨다. $V_{FORM\ END}$ 부터 V_{INIT} 인 귀환 경로를 나타내는 I-V 곡선은 제1 LRS 귀환 경로 I-V 부분(86)에 의해 표현된다.
- [0069] 일부 실시예들에서, 형성 전압들($V_{FORM\ START}$ 및 $V_{FORM\ END}$)은 전계에 비례할 수 있는 산화물 파괴 전압(breakdown voltage; BV)와 관련된다. 이에 따라, 형성 전압들은, 다른 특징들 중에서 저항성 스위칭 산화물 층의 두께, 밀도, 조성 및 전체 품질과 같은 요인들에 좌우될 수 있다. 그렇기 때문에, 이러한 전압들은 퇴적 온도 및 ALD 사이클 시간들과 같은 열 ALD의 상기 언급된 퇴적 파라미터들을 조절함으로써 제어될 수 있다.
- [0070] RESET 동작을 나타내는 I-V 곡선은 초기 전압(V_{INIT})부터 RESET 시작 전압($V_{RESET\ START}$)까지 전압 축에서의 범위인 LRS I-V 부분(88)을 포함하고, 전압에서 특정한 변화에 대해 전류에서 상대적으로 느린 감소로 특징된다. RESET 동작을 나타내는 I-V 곡선은 $V_{RESET\ START}$ 부터 $V_{RESET\ END}$ 까지 전압 축에서의 범위인 RESET LRS-to-HRS 천이 I-V 부분(90)을 더 포함하고, 전압에서 특정한 변화에 대해 전류에서 상대적으로 가파른 감소로 특징되고, RESET LRS-to-HRS 천이 I-V 부분(90) 동안 RRAM 셀은 LRS에서 HRS로 그 상태를 변화시킨다. $V_{RESET\ END}$ 부터 V_{INIT} 까지 귀환 경로를 나타내는 I-V 곡선은 HRS 귀환 경로 I-V 부분(92)에 의해 표현된다.
- [0071] SET 동작을 나타내는 I-V 곡선은 초기 전압(V_{INIT})부터 SET 시작 전압($V_{SET\ START}$)까지 전압 축에서의 범위인 HRS I-V 부분(94)을 포함하고, 전압에서 특정한 변화에 대해 전류에서 상대적으로 느린 상승에 의해 특징된다. 본 I-V 부분은 형성 I-V 곡선의 유사한 I-V 부분보다 잘 누설된다. SET 동작을 나타내는 I-V 곡선은 $V_{SET\ START}$ 부터 $V_{SET\ END}$ 까지 전압 축에서의 범위인 SET HRS-to-LRS 천이 I-V 부분(96)을 더 포함하고, 전압에서 특정한 변화에 대해 전류에서 상대적으로 가파른 상승으로 특징되고, SET HRS-to-LRS 천이 I-V 부분(96) 동안 RRAM 셀은 HRS에서 LRS로 그 상태를 변화시킨다. $V_{SET\ END}$ 부터 V_{INIT} 까지 귀환 경로를 나타내는 I-V 곡선은 제2 LRS 귀환 경로 I-V 부분(98)에 의해 표현된다.
- [0072] 도 5 내지 10에서, 본 발명의 일부 실시예들에 따라, 저항성 스위칭 산화물 층 물질들 및 그것을 포함하는 RRAM 소자들의 물리적 그리고 전기적 특징이 언급된다. 도 5 내지 7에서 저항성 스위칭 산화물 층들의 실시예들은 325 °C 이하에서 수행된 열 ALD에 의해 형성된다. 유리하게도, 저항성 스위칭 산화물 층들을 포함하는 RRAM 셀 스택들은 도 3과 연관되어 기술된 실시예들에 따라, 반응성 금속 층들을 포함하지 않는다. 따라서, 도 8 내지 10의 실시예들에서, RRAM 소자들은 제1 및 제2 전극들과 연결된 저항성 스위칭 산화물 층들을 포함한다.
- [0073] 도 5는 본 발명의 실시예들에 따른 저항성 스위칭 산화물 층들의 조성 깊이 프로파일들(100)을 도해한다. 특히, 도 5의 좌측 축은 표면에 대한 저항성 스위칭 산화물 층의 표면으로부터 깊이의 함수로서 Hf 금속에 대응하는 전자 에너지에서 측정된 40 nm HfO₂ 막들의 정량적 X-선 광전자 밀도를 원자 % 단위로 나타낸다. 연결된 속이 찬 정사각형들 및 다이아몬드들에 의해 표현되는 제1 및 제2 Hf 원자 퍼센트 깊이 프로파일들(102, 104)은 300 °C 및 225 °C인 2개의 다른 온도들에서 각각 퇴적된 화학량적 HfO₂ 막들에서 Hf의 깊이 프로파일들을 각각 나타낸다. 중첩된 프로파일들(102, 104)은 225 °C의 퇴적 온도가 보다 높은 300 °C의 퇴적 온도와 비교하여 상대적으로 더 높은 피크 Hf 원자 퍼센트를 야기하는 것을 보여준다. 게다가, 깊이 프로파일들은 예시적인 HfO₂ 막들이 막의 중간 깊이에서(약 25 nm 깊이에서) 가장 높은 Hf 함유량을 가지는 것을 실증한다.
- [0074] 도 5의 우측 축은 표면에 대하여 저항성 스위칭 산화물 층의 표면으로부터 깊이의 함수로서 각 전자 에너지들에

서 측정된 산소의 X-선 광전자 밀도들에 대한 Hf 금속의 X-선 광전자 밀도들의 비율을 나타낸다. 연결된 속이 빈 정사각형들 및 연결된 x 부호들에 의해 각각 표현된 제1 및 제2 Hf 원자 비율 값이 프로파일들(106, 108)은 300 °C 및 225 °C인 2개의 다른 온도들에서 각각 퇴적된 화학량적 HfO₂ 막들에서 Hf의 값이 프로파일들을 각각 나타낸다. 중첩된 원자 비율 프로파일들(106, 108)은 HfO_x의 저항성 스위칭 층이 약 1.5 및 2 사이인 x의 값을 가진다. 추가적으로, 중첩된 원자 프로파일들은 225 °C의 퇴적 온도가 300 °C의 보다 높은 퇴적 온도와 비교하여 약 5%까지 산소의 상대적으로 더 낮은 원자 퍼센트(즉, 더 높은 Hf 원자 퍼센트)를 초래한다.

[0075] 도 6은 본 발명의 실시예들에 따라 저항성 스위칭 산화물 층들의 산화물 파괴 전압(BV) 곡선들(110)을 도해한다. y 축은 저항성 스위칭 산화물 층들이 강(hard)(비가역적) 파괴(breakdown)를 겪는 전압을 나타내고, 도 4와 연관되어 기술한 바와 같이, 일부 실시예들에서 RRAM 소자들을 형성하는 것과 유사할 수 있다. x-축은 저항성 스위칭 산화물의 두께를 나타낸다. 제1 및 제2 BV 곡선들(112, 114)은 225 °C 및 300 °C에서 각각 퇴적된 HfO₂에 각각 대응한다. 중첩된 BV 곡선들(112, 114)은, 예상된 바와 같이 225 °C 및 300 °C에서 퇴적된 양 HfO₂ 막들이 보다 높은 두께에서 보다 높은 BV를 드러내는 한편 두께에서 특정한 증가에 대해서 BV에서의 증가는 300 °C에서 퇴적된 HfO₂ 막과 비교하여 225 °C에서 퇴적된 HfO₂ 막에 대하여 더 높다. 그 결과, 10 nm 막들의 경우, 225 °C에서 퇴적된 막은 300 °C에서 퇴적된 막과 비교하여 현저하게 더 높은 BV를 가진다. SET 전압(V_{SET}) 보다 실질적으로 더 높은 형성 전압(V_{FORM})은, 더 많은 양의 전류를 공급하기 위한 더 큰 트랜지스터들을 포함하는 많은 이유들로 인해 바람직하지 않을 수 있다. 이에 따라, 퇴적 온도는 V_{FORM}을 조정하는데 핵심적인 역할을 할 수 있다.

[0076] 도 7은 200 °C, 225 °C, 250 °C 및 300 °C에서 퇴적된 제1 내지 제4 10 nm HfO₂ 저항성 스위칭 산화물 층들에 각각 대응하는 유전 상수(k-값) 막대 도표들(122, 124, 126, 128)을 도시하는 유전 상수(k-값) 비교 도표를 도해한다. K-값 비교 도표(120)는 10 nm HfO₂ 막들의 k-값들이 약 15 및 20 사이 사이에 있고 퇴적 온도에 따라 현저하게 변하지 않는 점을 도해한다.

[0077] 도 8 및 9는 TiN을 포함하는 제1 및 제2 전극들 사이에 배치된 HfO_x 저항성 스위칭 산화물 층들을 포함하는 RRAM 셀들의 I-V 곡선들을 도해한다. 도 8의 I-V 곡선(130)은 225 °C에서 성장된 10 nm HfO_x를 가지는 RRAM 셀에 대응하고, 도 9의 I-V 곡선(140)은 225 °C에서 성장된 5 nm HfO_x를 가지는 RRAM 셀에 대응한다.

[0078] 도 8의 I-V 곡선(130)의 SET 부분은 약 영의 V_{INIT}부터 약 0.7V의 V_{SET START}까지 전압 축에서의 범위인 SET HRS I-V 부분(132), 약 0.7V의 V_{SET START}부터 약 0.8V의 V_{SET END}까지 전압 축에서의 범위인 SET HRS-to-LRS 천이 I-V 부분(134), 및 약 0.8V의 V_{SET END}부터 약 영의 V_{INIT}까지 SET 귀환 I-V 부분(136)을 포함한다.

[0079] 도 8의 I-V 곡선(130)의 RESET 부분은 약 영의 V_{INIT}부터 약 -1.2V의 V_{RESET START}까지 전압 축에서의 범위인 RESET LRS I-V 부분(138), 약 -1.2V의 V_{RESET START}부터 약 -1.5V의 V_{RESET END}까지 전압 축에서의 범위인 RESET LRS-to-HRS 천이 I-V 부분(140), 및 약 -1.5V의 V_{RESET END}부터 약 영의 V_{INIT}까지 RESET 귀환 I-V 부분(142)을 포함한다.

[0080] 도 9의 I-V 곡선(140)의 SET 부분은 약 영의 V_{INIT}부터 약 0.9V의 V_{SET START}까지 전압 축에서의 범위인 SET HRS I-V 부분(142), 약 0.9V의 V_{SET START}부터 약 1.0V의 V_{SET END}까지 전압 축에서의 범위인 SET HRS-to-LRS 천이 I-V 부분(144), 및 약 1.5V의 V_{SET END}부터 약 영의 V_{INIT}까지 SET 귀환 I-V 부분(146)을 포함한다.

[0081] 도 9의 I-V 곡선(140)의 RESET 부분은 약 영의 V_{INIT}부터 약 -0.7V의 V_{RESET START}까지 전압 축에서의 범위인 RESET LRS I-V 부분(148), 약 -0.7V의 V_{RESET START}부터 약 -1.2V의 V_{RESET END}까지 전압 축에서의 범위인 RESET LRS-to-HRS 천이 I-V 부분(150), 및 약 -1.2V의 V_{RESET END}부터 약 영의 V_{INIT}까지 RESET 귀환 I-V 부분(152)을 포함한다.

[0082] 225 °C에서 성장된 10 nm HfO_x 및 225 °C에서 성장된 5 nm HfO_x를 가지는 RRAM 셀들에 각각 대응하는 도 8 및 9의 I-V 곡선들(130, 140)은 0.3V에서 V_{READ}에 의해 측정된 것으로서 25 및 30의 ON/OFF 비율들을 각각 실증한다.

[0083] 도 10은 TiN을 포함하는 제1 및 제2 전극들 사이에 배치된 Hf₂Al_{1-y}O_x 저항성 스위칭 산화물 층을 포함하는 RRAM 셀의 I-V 곡선을 도해한다. 도 9의 I-V 곡선(150)은 300 °C에서 성장되고 약 5 원자 퍼센트 Al(즉, z=0.95 및

y=0.05)로 도핑된 5 nm $\text{Hf}_z\text{Al}_y\text{O}_x$ 를 가지는 RRAM 셀에 대응한다. $\text{Hf}_z\text{Al}_y\text{O}_x$ 저항성 스위칭 산화물 층은 3.8V인 막의 BV를 가졌다.

[0084] 도 10의 I-V 곡선(150)의 SET 부분은 약 영의 V_{INIT} 부터 약 0.7V의 $V_{\text{SET START}}$ 까지 전압 축에서의 범위인 SET HRS I-V 부분(152), 약 0.7V의 $V_{\text{SET START}}$ 부터 약 0.8V의 $V_{\text{SET END}}$ 까지 전압 축에서의 범위인 SET HRS-to-LRS 천이 I-V 부분(154), 및 약 1.5V의 $V_{\text{SET END}}$ 부터 약 영인 V_{INIT} 까지 SET 귀환 I-V 부분(156)을 포함한다.

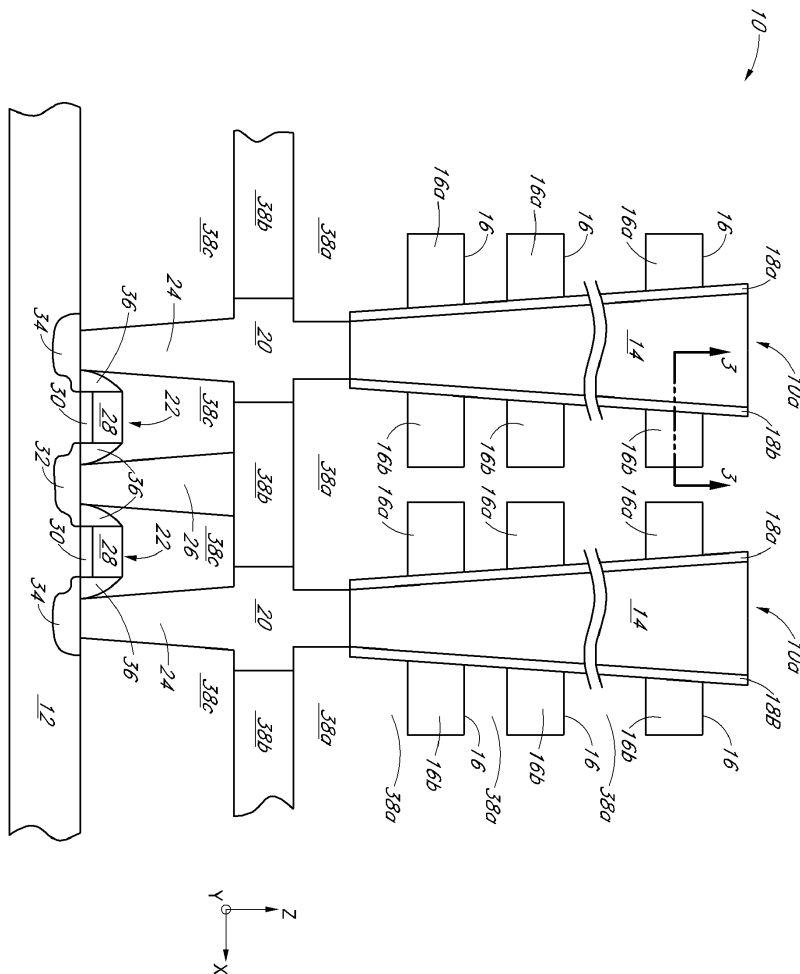
[0085] 도 10의 I-V 곡선(160)의 RESET 부분은 약 영의 V_{INIT} 부터 약 -1.3V의 $V_{\text{RESET START}}$ 까지 전압 축에서의 범위인 RESET LRS I-V 부분(158), 약 -1.3V의 $V_{\text{RESET START}}$ 부터 약 -1.5V의 $V_{\text{RESET END}}$ 까지 전압 축에서의 범위인 RESET LRS-to-HRS 천이 I-V 부분(160), 및 약 -1.5V의 $V_{\text{RESET END}}$ 부터 약 영의 V_{INIT} 까지 RESET 귀환 I-V 부분(162)을 포함한다.

[0086] 5 nm $\text{Hf}_z\text{Al}_y\text{O}_x$ 를 가지는 RRAM 셀들에 대응하는 도 10의 I-V 곡선(150)은 0.3V에서 V_{READ} 에 의해 측정된 것으로서 약 40의 ON/OFF 비율들을 실증한다.

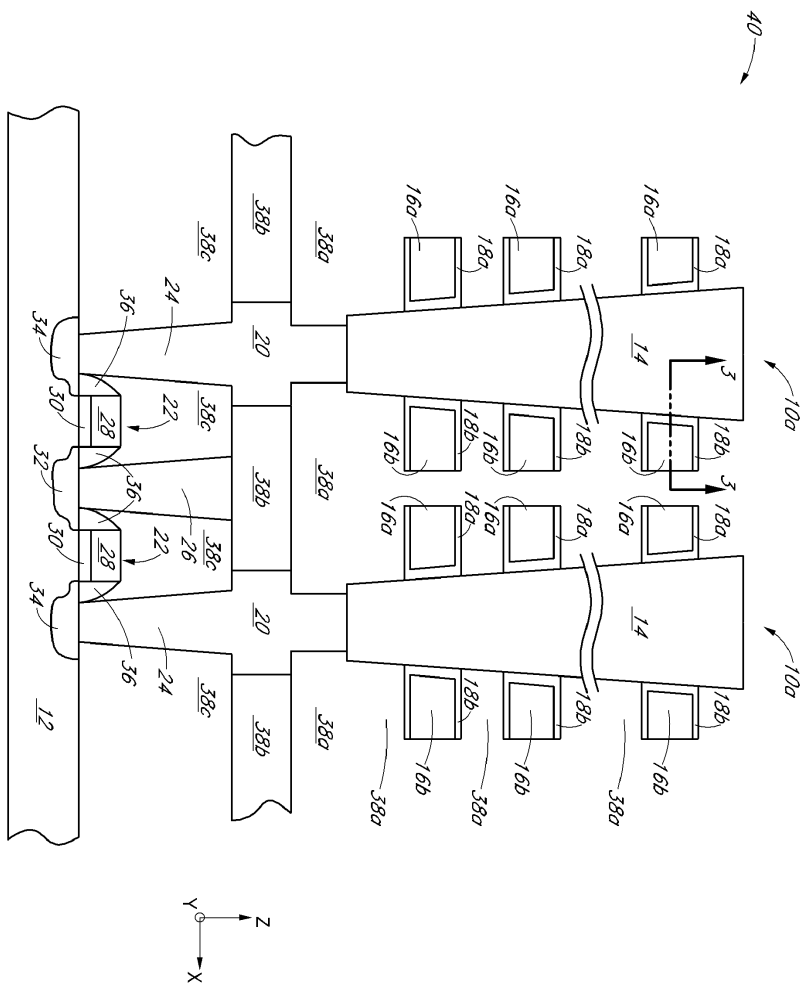
[0087] 다양한 생략들, 부가들 및 변형들이 본 발명의 범위로부터 벗어나지 않고 전술된 공정들에 만들어질 수 있고, 모든 그러한 변형들 및 변경들은 첨부된 청구항들에 의해 정의된 바와 같은 발명의 범위 내에 속하는 것으로 의도되는 점은 당업자에 의해 인정될 것이다.

도면

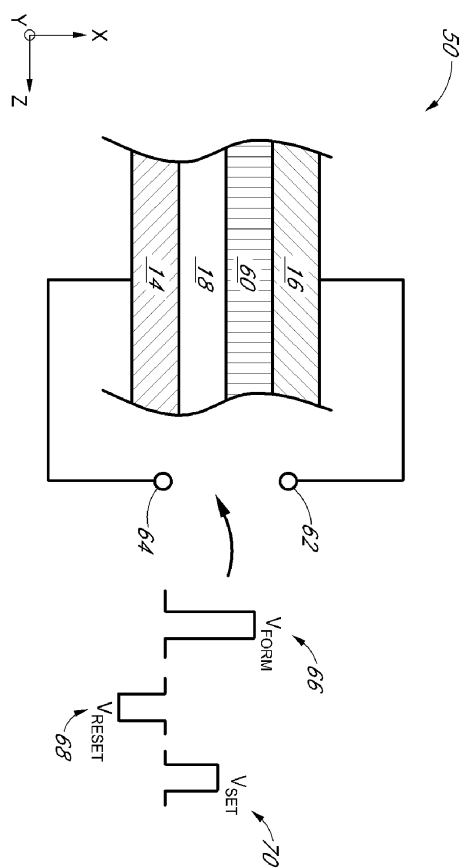
도면1



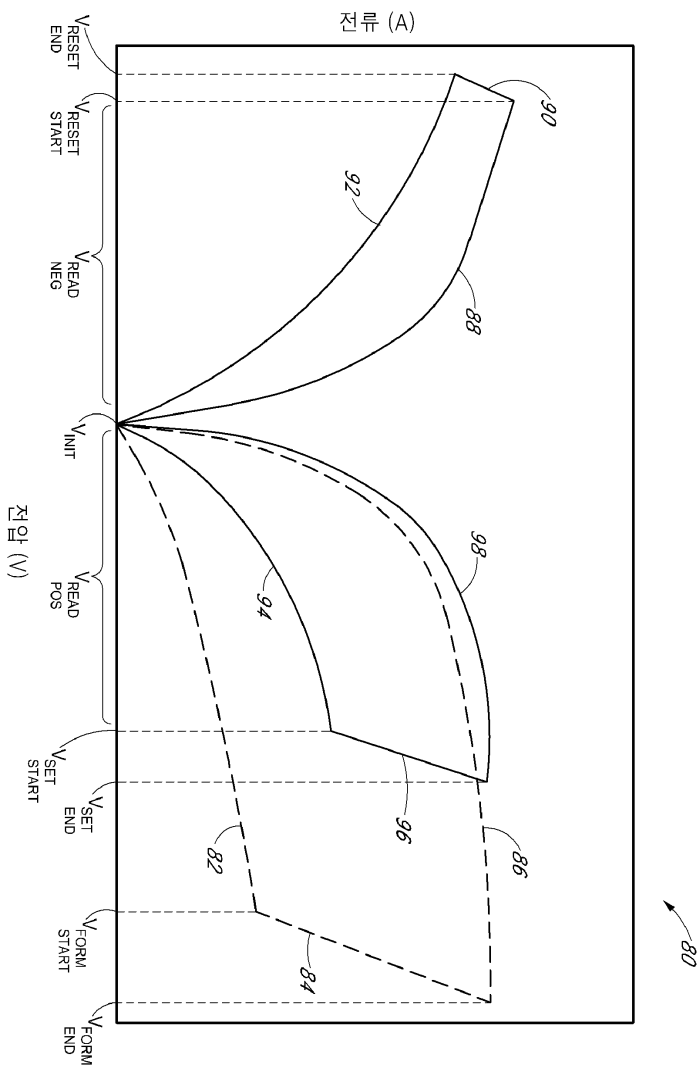
도면2



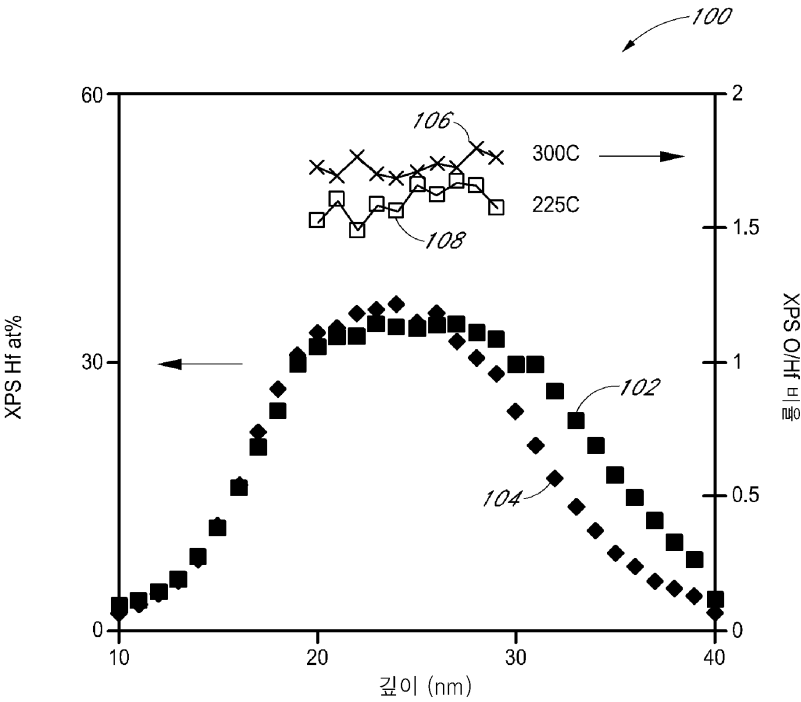
도면3



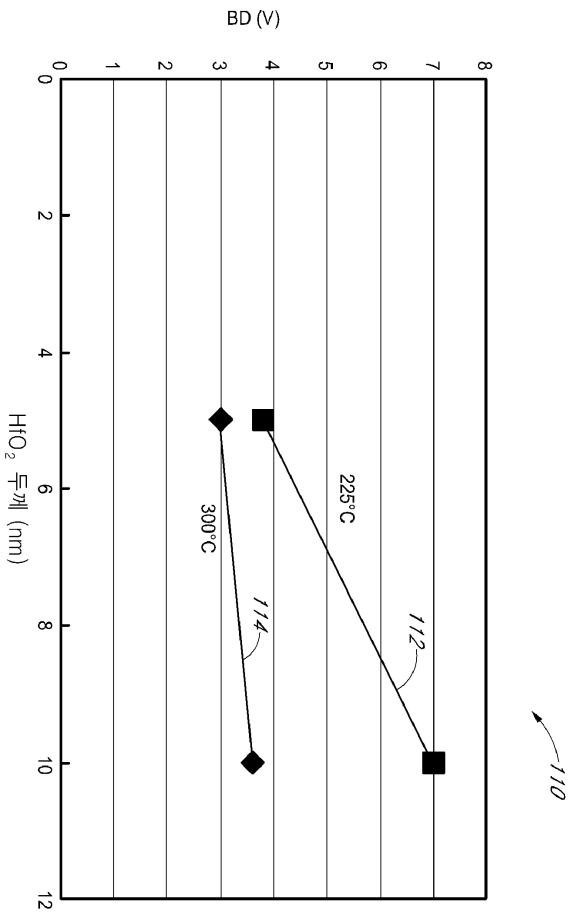
도면4



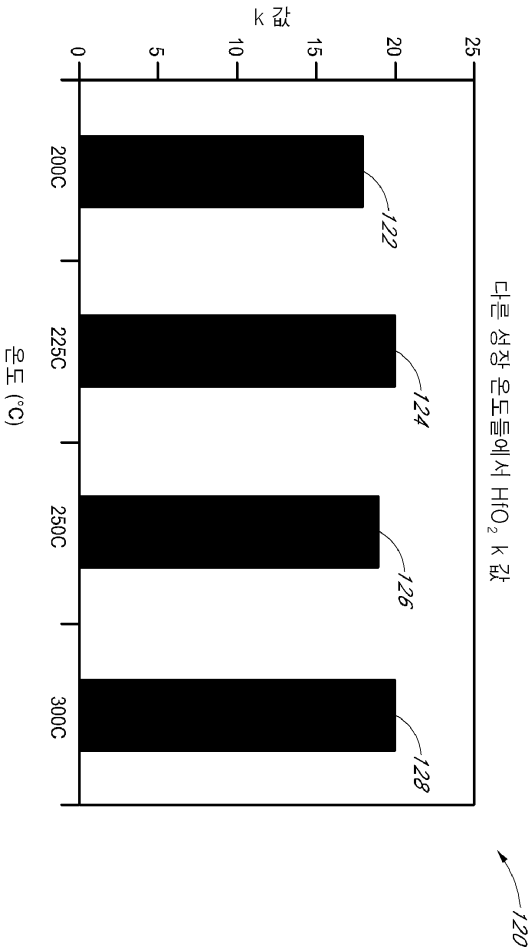
도면5



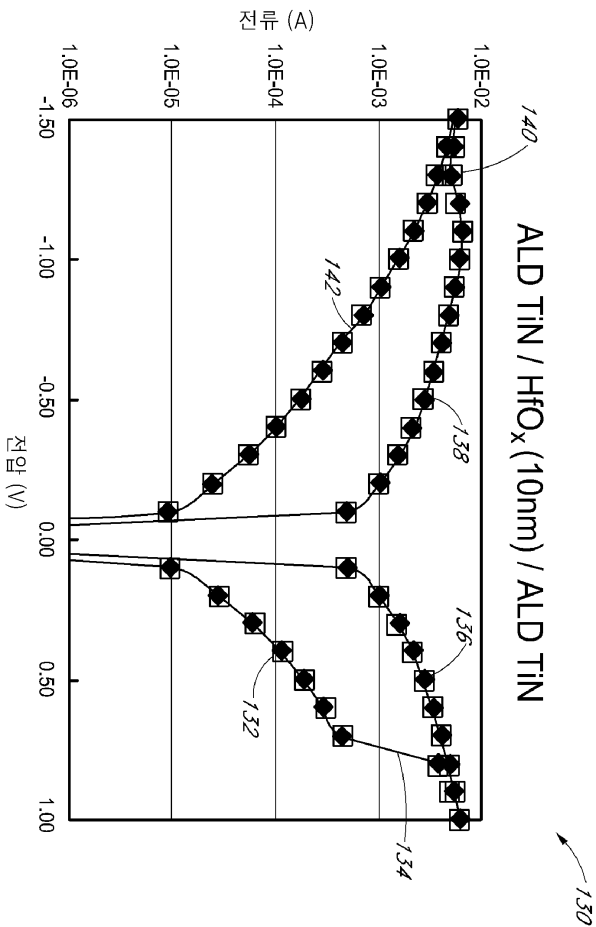
도면6



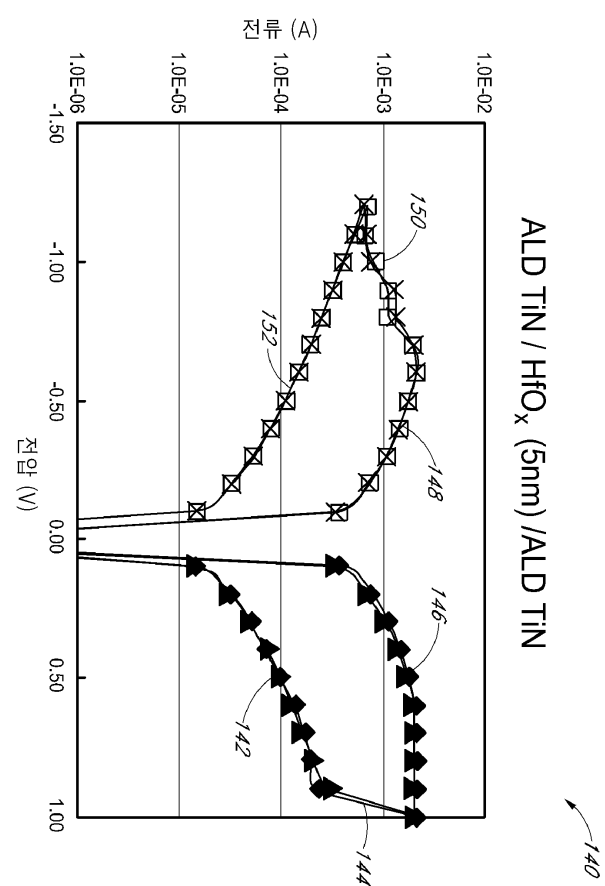
도면7



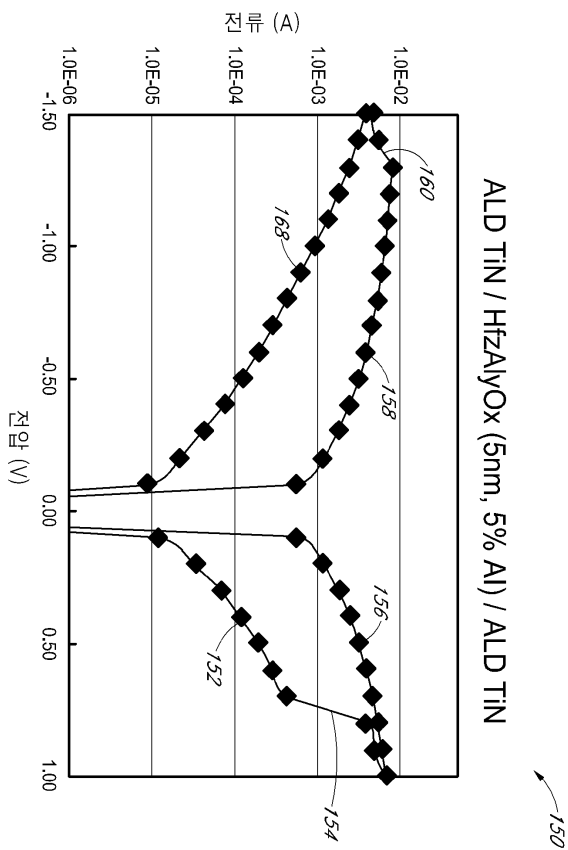
도면8



도면9



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1의 17번째 줄

【변경전】

상기 수직 방향으로

【변경후】

상기 수직 방향으로