



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월31일
(11) 등록번호 10-1984900
(24) 등록일자 2019년05월27일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01)
(21) 출원번호 10-2012-0080801
(22) 출원일자 2012년07월24일
심사청구일자 2017년06월16일
(65) 공개번호 10-2014-0014547
(43) 공개일자 2014년02월06일
(56) 선행기술조사문헌
KR101162000 B1*
KR1020090000463 A*
KR1020100010746 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
최명훈
경기 수원시 팔달구 월드컵로369번길 23-22, (우만동)
정재용
경기 용인시 기흥구 보정로 88, 102동 101호 (보정동, 죽현마을엘지자이)
박기태
경기 성남시 분당구 수내로 201, 410동 304호 (분당동, 셋별마을삼부아파트)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 8 항

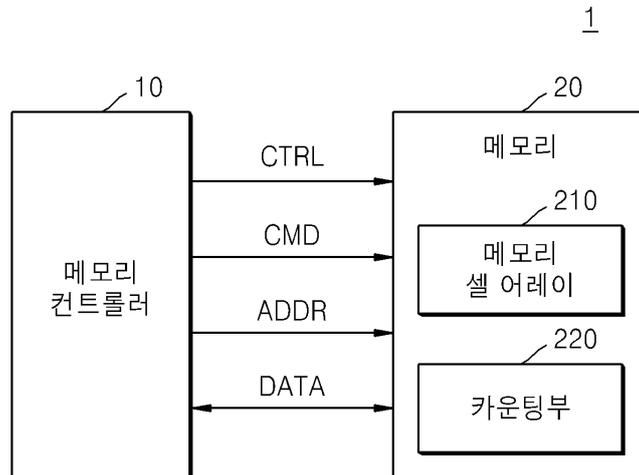
심사관 : 윤석채

(54) 발명의 명칭 메모리 장치 및 상기 메모리 장치의 독출 전압 결정 방법

(57) 요약

본 발명의 기술적 사상에 따른 메모리 장치의 독출 전압 결정 방법은 복수의 워드라인들 중 선택된 워드라인에 초기 독출 전압을 인가함으로써 상기 선택된 워드라인에 연결된 복수의 메모리 셀들에 대한 독출을 수행하는 단계, 상기 복수의 메모리 셀들 중 일부 메모리 셀들에 대해 독출 실패가 발생되면, 상기 일부 메모리 셀들의 문턱 전압에 따른 산포 정보를 추출하는 단계, 및 상기 산포 정보를 기초로 하여 신규 독출 전압을 결정하는 단계를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

메모리 컨트롤러로부터, 복수의 메모리 셀들 중 일부 메모리 셀들을 지시하는 마스킹 패턴(masking pattern)을 수신하는 단계;

상기 복수의 메모리 셀들 각각에 대하여, 서로 다른 전압 레벨들에서 순차적으로 데이터를 독출하는 단계;

상기 복수의 메모리 셀들 각각에 대하여, 독출된 상기 데이터들에 대한 제1 논리 연산을 수행하는 단계;

상기 제1 논리 연산의 결과와 상기 마스킹 패턴에 대해 제2 논리 연산을 수행함으로써, 상기 복수의 메모리 셀들 중 상기 일부 메모리 셀들에 대응하는 상기 제1 논리 연산의 결과를 선택적으로 제공하는 단계;

선택적으로 제공된 상기 제1 논리 연산의 결과를 기초로 하여, 상기 일부 메모리 셀들에 대해, 상기 서로 다른 전압 레벨들에 의해 구분되는 복수의 그룹들 각각에 존재하는 메모리 셀들의 개수를 카운팅하는 단계; 및

카운팅된 상기 메모리 셀들의 개수를 기초로 하여 신규 독출 전압을 결정하는 단계를 포함하는 메모리 장치의 독출 전압 결정 방법.

청구항 2

제1항에 있어서,

상기 복수의 메모리 셀들은 복수의 그룹들로 구분되고,

상기 복수의 그룹들은 상기 메모리 장치에 대한 ECC 처리(Error Correction Code)의 기본 단위에 각각 대응하며,

상기 일부 메모리 셀들은 상기 복수의 그룹들 중 ECC 처리 결과에서 실패가 발생한 메모리 셀들인 것을 특징으로 하는 메모리 장치의 독출 전압 결정 방법.

청구항 3

제1항에 있어서,

상기 제1 논리 연산의 결과를 선택적으로 제공하는 단계는,

상기 일부 메모리 셀들을 지시하는 상기 마스킹 패턴(masking pattern)을 기초로 하여 상기 일부 메모리 셀들의 문턱 전압에 따른 산포 정보를 추출하는 것을 특징으로 하는 메모리 장치의 독출 전압 결정 방법.

청구항 4

제3항에 있어서,

수신된 상기 마스킹 패턴은 상기 메모리 장치 내의 페이지 버퍼에 저장되는 것을 특징으로 하는 메모리 장치의 독출 전압 결정 방법.

청구항 5

제3항에 있어서,

상기 마스킹 패턴은 상기 메모리 컨트롤러로부터 상기 메모리 장치로 입력되는 프로그램 커맨드의 일부 시퀀스에 포함되는 것을 특징으로 하는 메모리 장치의 독출 전압 결정 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서,

상기 메모리 장치는 비트라인의 개수에 대응되는 복수의 페이지 버퍼들을 포함하고, 상기 복수의 페이지 버퍼들 각각은 상기 제2 논리 연산을 수행하며,

상기 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅하는 단계는, 상기 복수의 페이지 버퍼들에서 출력되는 상기 제2 논리 연산의 결과들에 대해 병렬 카운팅을 수행하는 것을 특징으로 하는 메모리 장치의 독출 전압 결정 방법.

청구항 9

제1항에 있어서,

상기 메모리 장치는 비트라인의 개수에 대응되는 복수의 페이지 버퍼들을 포함하고, 상기 복수의 페이지 버퍼들 각각은 상기 제2 논리 연산을 수행하며,

상기 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅하는 단계는, 상기 복수의 페이지 버퍼들에서 출력되는 상기 제2 논리 연산의 결과들에 대해 직렬 카운팅을 수행하는 것을 특징으로 하는 메모리 장치의 독출 전압 결정 방법.

청구항 10

복수의 메모리 셀들을 포함하는 메모리 셀 어레이;

메모리 컨트롤러로부터, 상기 복수의 메모리 셀들 중 일부 메모리 셀들을 지시하는 마스크 패턴을 수신하고, 상기 복수의 메모리 셀들 각각에 대해, 복수의 서로 다른 전압 레벨들에서 순차적으로 독출된 데이터들을 저장하고, 상기 복수의 메모리 셀들 각각에 대해, 저장된 상기 데이터들 중 인접한 전압 레벨에서 독출된 데이터들에 대해 제1 논리 연산을 수행하며, 상기 제1 논리 연산의 결과와 상기 마스크 패턴에 대해 제2 논리 연산을 수행함으로써 상기 복수의 메모리 셀들 중 상기 일부 메모리 셀들에 대응하는 상기 제1 논리 연산의 결과를 선택적으로 제공하는 페이지 버퍼; 및

선택적으로 제공된 상기 제1 논리 연산의 결과를 기초로 하여, 상기 일부 메모리 셀들에 대해, 상기 복수의 서로 다른 전압 레벨들에 의해 구분되는 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅하는 카운터를 포함하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 메모리 장치에 관한 것으로서, 더욱 상세하게는, 메모리 장치, 및 상기 메모리 장치의 독출 전압의 결정 방법에 관한 것이다.

배경 기술

[0002] 메모리 장치는 데이터를 저장하는데 사용되며, 휘발성 메모리 장치와 비휘발성 메모리 장치로 구분된다. 이러한 메모리 장치에 저장된 데이터를 정확하게 독출하여 메모리 장치의 신뢰성을 향상시키기 위해서는 독출 전압의 전압 레벨을 정확하게 결정하는 것이 요구된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하려는 과제는 가변적인 탐색 범위에 대응되는 메모리 셀들에 대하여 독출 전압의 최적 전압 레벨을 결정할 수 있는 메모리 장치를 제공하는 데에 있다.

[0004] 본 발명의 기술적 사상이 해결하려는 과제는 가변적인 탐색 범위에 대응되는 메모리 셀들에 대하여 독출 전압의 최적 전압 레벨을 결정할 수 있는 메모리 장치의 독출 전압 결정 방법을 제공하는 데에 있다.

과제의 해결 수단

[0005] 본 발명의 기술적 사상에 따른 메모리 장치의 독출 전압 결정 방법은 복수의 워드라인들 중 선택된 워드라인에 초기 독출 전압을 인가함으로써 상기 선택된 워드라인에 연결된 복수의 메모리 셀들에 대한 독출을 수행하는 단계; 상기 복수의 메모리 셀들 중 일부 메모리 셀들에 대해 독출 실패가 발생되면, 상기 일부 메모리 셀들의 문턱 전압에 따른 산포 정보를 추출하는 단계; 및 상기 산포 정보를 기초로 하여 신규 독출 전압을 결정하는 단계를 포함한다.

[0006] 일부 실시예들에 있어서, 상기 복수의 메모리 셀들은 복수의 그룹들로 구분되고, 상기 일부 메모리 셀들은 상기 복수의 그룹들 중 ECC(Error Correction Code) 처리 결과에서 실패가 발생한 메모리 셀들일 수 있다.

[0007] 일부 실시예들에 있어서, 상기 복수의 그룹들은 상기 메모리 장치에 대한 ECC 처리의 기본 단위에 각각 대응할 수 있다.

[0008] 일부 실시예들에 있어서, 상기 산포 정보를 추출하는 단계는, 상기 일부 메모리 셀들을 지시하는 마스킹 패턴(masking pattern)을 기초로 하여 상기 일부 메모리 셀들의 문턱 전압에 따른 산포 정보를 추출할 수 있다.

[0009] 일부 실시예들에 있어서, 상기 마스킹 패턴은 상기 메모리 장치의 외부에서 수신되고, 수신된 상기 마스킹 패턴은 상기 메모리 장치 내의 페이지 버퍼에 저장될 수 있다.

[0010] 일부 실시예들에 있어서, 상기 마스킹 패턴은 메모리 컨트롤러로부터 상기 메모리 장치로 입력되는 프로그램 커맨드의 일부 시퀀스에 포함될 수 있다.

[0011] 일부 실시예들에 있어서, 상기 산포 정보를 추출하는 단계는, 상기 복수의 메모리 셀들에 대하여 복수의 서로 다른 전압 레벨들에서 순차적으로 독출 동작을 수행하는 단계; 및 상기 복수의 서로 다른 전압 레벨들 중 인접한 두 전압 레벨들에서 각각 독출된 데이터들에 대한 제1 논리 연산을 수행하는 단계를 포함할 수 있다.

[0012] 일부 실시예들에 있어서, 상기 제1 논리 연산을 수행하는 단계는, 상기 독출된 데이터들에 대한 XOR 연산 또는 XNOR 연산을 수행하고, 상기 XOR 연산 또는 XNOR 연산은 상기 메모리 장치 내에 포함된 페이지 버퍼에서 수행될 수 있다.

[0013] 일부 실시예들에 있어서, 상기 산포 정보를 추출하는 단계는, 상기 일부 메모리 셀들을 지시하는 마스킹 패턴과 상기 제1 논리 연산의 결과에 대해 제2 논리 연산을 수행하는 단계; 및 상기 제2 논리 연산의 결과를 기초로 하여, 상기 복수의 서로 다른 전압 레벨들에 의해 구분되는 복수의 구획들 내에 존재하는 메모리 셀들의 개수를 카운팅하는 단계를 더 포함할 수 있다.

[0014] 일부 실시예들에 있어서, 상기 메모리 장치는 비트라인의 개수에 대응되는 복수의 페이지 버퍼들을 포함하고, 상기 복수의 페이지 버퍼들 각각은 상기 제2 논리 연산을 수행하며, 상기 복수의 구획들 내에 존재하는 메모리 셀들의 개수를 카운팅하는 단계는, 상기 복수의 페이지 버퍼들에서 출력되는 상기 제2 논리 연산의 결과들에 대해 병렬 카운팅을 수행할 수 있다.

[0015] 일부 실시예들에 있어서, 상기 메모리 장치는 비트라인의 개수에 대응되는 복수의 페이지 버퍼들을 포함하고, 상기 복수의 페이지 버퍼들 각각은 상기 제2 논리 연산을 수행하며, 상기 복수의 구획들 내에 존재하는 메모리 셀들의 개수를 카운팅하는 단계는, 상기 복수의 페이지 버퍼들에서 출력되는 상기 제2 논리 연산의 결과들에 대해 직렬 카운팅을 수행할 수 있다.

[0016] 일부 실시예들에 있어서, 상기 신규 독출 전압을 결정하는 단계는, 상기 카운팅된 결과를 기초로 하여, 상기 복수의 구획들 중 메모리 셀들의 개수가 가장 적은 구획에 대응되는 전압 레벨을 상기 신규 독출 전압으로 결정할 수 있다.

[0017] 일부 실시예들에 있어서, 상기 복수의 메모리 셀들에 대한 독출을 수행하는 단계, 상기 산포 정보를 추출하는 단계, 및 상기 신규 독출 전압을 결정하는 단계는, 상기 복수의 메모리 셀들에 대한 독출 실패가 발생되지 않을 때까지 반복 수행될 수 있다.

[0018] 또한, 본 발명의 기술적 사상에 따른 메모리 장치는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 상기 복수의 메모리 셀들 각각에 대해 복수의 서로 다른 전압 레벨들에서 순차적으로 독출된 데이터들을 저장하고, 저

장된 상기 데이터들 중 인접한 전압 레벨에서 독출된 데이터들에 대해 제1 논리 연산을 수행하며, 상기 복수의 메모리 셀들 중 독출 실패가 발생된 일부 메모리 셀들을 지시하는 마스킹 패턴과 상기 제1 논리 연산의 결과에 대해 제2 논리 연산을 수행하는 페이지 버퍼; 및 상기 제2 논리 연산의 결과를 기초로 하여 상기 복수의 서로 다른 전압 레벨들에 의해 구분되는 복수의 구획들 내에 존재하는 메모리 셀들의 개수를 카운팅하는 카운터를 포함한다.

[0019] 본 발명의 기술적 사상에 따른 메모리 장치의 독출 전압 결정 방법은 상기 카운터는 상기 메모리 셀들에 대한 ECC 처리의 기본 단위에 각각 대응하는 복수의 카운터들을 포함할 수 있다.

발명의 효과

[0020] 본 발명의 기술적 사상에 따르면, 메모리 장치는 복수의 페이지들 각각에 포함된 메모리 셀들 중 가변적인 탐색 범위에 대응하는 메모리 셀들에 대하여, 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅함으로써, 가변적인 탐색 범위에 대응되는 메모리 셀들에 대하여 독출 전압의 최적 전압 레벨을 결정할 수 있다.

[0021] 또한, 본 발명의 기술적 사상에 따르면, 메모리 장치는 내부에 카운팅부를 포함함으로써, 메모리 셀 어레이로부터 독출된 데이터들 및 데이터들에 대한 논리 연산의 결과를 메모리 컨트롤러에 전송하지 않아도 되므로 데이터 전송 동작에 소요되는 시간을 줄일 수 있다.

[0022] 나아가, 본 발명의 기술적 사상에 따르면, 메모리 컨트롤러는 메모리 셀 어레이로부터 독출된 데이터들 및 데이터들에 대한 논리 연산의 결과를 저장하기 위한 별도의 저장 공간을 구비하지 않아도 되므로 사이즈를 감소시킬 수 있고, 데이터들 및 데이터들에 대한 논리 연산의 결과의 전송 동작을 수행하는 데에 소비되는 전력도 줄일 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시예에 따른 메모리 시스템을 개략적으로 나타내는 블록도이다.
- 도 2는 도 1의 메모리 시스템에 포함된 메모리 장치를 더욱 상세하게 나타내는 블록도이다.
- 도 3은 도 2의 메모리 장치에 포함된 메모리 셀 어레이의 일 예를 나타낸다.
- 도 4는 도 3의 메모리 셀 어레이에 포함된 메모리 블록의 일 예를 나타내는 회로도이다.
- 도 5는 도 4의 메모리 블록에 포함된 메모리 셀의 일 예를 나타내는 단면도이다.
- 도 6a는 도 5의 메모리 셀이 3 비트 멀티 레벨 셀인 경우, 메모리 장치의 문턱 전압에 따른 산포를 나타내는 그래프이다.
- 도 6b는 도 6a의 그래프에서 메모리 셀의 문턱 전압이 변경된 경우를 나타내는 그래프이다.
- 도 7은 도 6b의 A 영역을 확대한 도면으로서, 구체적으로, 각 섹터 별 문턱 전압에 따른 산포 및 페이지의 문턱 전압에 따른 산포를 나타낸다.
- 도 8은 도 1의 메모리 장치에 포함된 카운팅부의 일 예를 나타내는 블록도이다.
- 도 9는 도 8의 카운팅부를 포함하는 메모리 장치의 일 예를 나타내는 블록도이다.
- 도 10은 도 9의 메모리 장치를 포함하는 메모리 시스템의 동작 시퀀스의 일 예를 나타내는 타이밍도이다.
- 도 11은 도 9의 메모리 장치의 동작을 더욱 상세하게 설명하기 위한 도면이다.
- 도 12는 메모리 장치의 동작에 대한 비교 예를 나타낸다.
- 도 13은 도 9의 메모리 장치의 동작의 일 예를 나타낸다.
- 도 14는 8의 카운팅부를 포함하는 메모리 장치의 다른 예를 나타내는 블록도이다.
- 도 15는 도 1의 메모리 장치에 포함된 카운팅부의 다른 예를 나타내는 블록도이다.
- 도 16은 도 1의 메모리 장치에 포함된 카운팅부의 또 다른 예를 나타내는 블록도이다.
- 도 17은 도 16의 카운팅부를 포함하는 메모리 장치의 일 예를 나타내는 블록도이다.
- 도 18은 도 17의 펄스 신호 생성부에서 생성되는 펄스 신호 및 복수의 래치들에서 래치되는 카운팅 결과를 나타

낸다.

도 19는 본 발명의 일 실시예에 따른 독출 전압 결정 방법을 나타내는 흐름도이다.

도 20은 본 발명의 다른 실시예에 따른 독출 전압 결정 방법을 나타내는 흐름도이다.

도 21은 본 발명의 다른 실시예에 따른 독출 전압 결정 방법을 나타내는 흐름도이다.

도 22는 본 발명의 실시예들에 따른 메모리 시스템을 포함하는 컴퓨팅 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용한다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하거나 축소하여 도시한 것이다.
- [0025] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0026] 또한, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 도 1은 본 발명의 일 실시예에 따른 메모리 시스템(1)을 개략적으로 나타내는 블록도이다.
- [0029] 도 1을 참조하면, 메모리 시스템(1)은 메모리 컨트롤러(10) 및 메모리 장치(20)를 포함할 수 있다. 메모리 장치(20)는 메모리 셀 어레이(210) 및 카운팅부(counting unit)(220)를 포함할 수 있고, 카운팅부(220)는 메모리 셀 어레이(210)와 동일한 칩 상에 집적될 수 있다. 이하에서는, 메모리 컨트롤러(10) 및 메모리 장치(20)에 포함된 구성 요소들에 대하여 상술하기로 한다.
- [0030] 메모리 컨트롤러(10)는 메모리 장치(20)에 대한 제어 동작을 수행할 수 있는데, 구체적으로, 메모리 컨트롤러(10)는 메모리 장치(20)에 어드레스(ADDR), 커맨드(CMD) 및 제어 신호(CTRL)를 제공함으로써, 메모리 장치(20)에 대한 프로그램(또는 기록), 독출 및 소거 동작을 제어할 수 있다. 메모리 컨트롤러(10)는 프로그램 동작 시에 메모리 장치(20)에 데이터(DATA)를 제공하고, 독출 동작 시에 메모리 장치(20)로부터 데이터(DATA)를 수신할 수 있다.
- [0031] 메모리 셀 어레이(210)는 복수의 워드 라인들(미도시)과 복수의 비트 라인들(미도시)이 교차하는 영역들에 배치되는 복수의 메모리 셀들(미도시)을 포함할 수 있다. 이때, 복수의 메모리 셀들은 복수의 워드라인들 중 대응되는 워드라인에 각각 연결되는 복수의 페이지들(pages)로 구분될 수 있다. 또한, 하나의 페이지는 복수의 섹터들(sectors)로 구분될 수 있으며, 각 섹터의 사이즈는 가변적일 수 있다. 다시 말해, 각 섹터에 포함되는 메모리 셀들의 개수는 가변적일 수 있다.
- [0032] 일 실시예에서, 복수의 메모리 셀들은 플래쉬 메모리 셀들일 수 있고, 메모리 셀 어레이(210)는 낸드(NAND) 플

래쉬 메모리 셀 어레이 또는 노아(NOR) 플래쉬 메모리 셀 어레이일 수 있다. 이하에서는, 복수의 메모리 셀들이 플래쉬 메모리 셀들인 경우를 예로 하여 본 발명의 실시예들을 상술하기로 한다. 그러나, 본 발명은 이에 한정되지 아니하고, 다른 실시예에서, 복수의 메모리 셀들은 RRAM(resistive RAM), PRAM(phase change RAM) 또는 MRAM(magnetic RAM)과 같은 저항형 메모리 셀들일 수 있다.

- [0033] 카운팅부(220)는 복수의 페이지들 각각에 포함된 메모리 셀들 중 가변적인 탐색 범위에 대응하는 메모리 셀들에 대하여, 서로 다른 전압 레벨들에 의해 구분되는 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅할 수 있다. 여기서, 가변적인 탐색 범위는 하나의 페이지에 포함된 전체 메모리 셀들에 대응될 수도 있고, 하나의 페이지에 포함된 일부 메모리 셀들에 대응될 수도 있다. 예를 들어, 가변적인 탐색 범위는 하나의 페이지에 포함된 복수의 섹터들 중 적어도 하나의 섹터일 수 있다. 이때, 탐색 범위는 메모리 컨트롤러(10)로부터 수신되는 어드레스(ADDR) 및/또는 데이터(DATA)를 기초로 결정될 수 있다.
- [0034] 이와 같이, 카운팅부(220)는 하나의 페이지에 포함된 모든 메모리 셀들에 대하여 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅하는 동작을 수행할 수도 있고, 하나의 페이지에 포함된 메모리 셀들 중 적어도 일부 메모리 셀들에 대하여, 예를 들어, 적어도 일부 섹터들에 대하여, 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅하는 동작을 수행할 수 있다.
- [0035] 보다 상세하게는, 카운팅부(220)는 각 페이지에 포함된 메모리 셀들에 대해 서로 다른 전압 레벨들에서 독출된 데이터들에 대한 논리 연산을 수행할 수 있다. 예를 들어, 카운팅부(220)는 각 페이지에 포함된 메모리 셀들에 대해 서로 다른 전압 레벨들에서 독출된 데이터들에 대하여 XOR 연산을 수행할 수 있다. 이어서, 카운팅부(220)는 복수의 구획들 각각에 대해 XOR 연산의 결과에서 '1'의 개수를 카운팅함으로써, 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅할 수 있다.
- [0036] 다른 실시예에서, 메모리 컨트롤러(10)는 ECC(error correction circuit) 처리부(미도시)를 포함할 수 있는데, ECC 처리부는 메모리 장치(20)로부터 독출된 데이터에 에러(즉, 독출 에러)가 존재하는지 체크하고 정정할 수 있다. 예를 들어, ECC 처리부는 데이터를 프로그램할 때 생성되어 저장된 패리티(parity)와 데이터를 독출할 때 생성된 패리티를 비교하여, 데이터의 에러 비트를 검출하고 검출된 에러 비트를 XOR함으로써 독출 에러를 정정할 수 있다.
- [0037] 이에 따라, 초기의 독출 전압에서 메모리 셀 어레이(210)에 포함된 메모리 셀로부터 데이터를 독출한 후 ECC 처리부에서 독출 에러가 정정되었음에도 불구하고, 독출 실패가 발생하는 경우에 카운팅부(220)는 카운팅 동작을 수행할 수 있고, 이를 기초로 하여 독출 전압의 최적 전압 레벨을 결정할 수 있다.
- [0038] 도 2는 도 1의 메모리 시스템(1)에 포함된 메모리 장치(20)를 상세하게 나타내는 블록도이다.
- [0039] 도 2를 참조하면, 메모리 장치(20)는 메모리 셀 어레이(210), 카운팅부(220), 제어 로직(control logic)(CL), 전압 발생기(voltage generator)(VG) 및 로우 디코더(row decoder)(RD)를 포함할 수 있다. 이하에서는, 메모리 장치(20)에 포함된 구성 요소들에 대하여 상술하기로 한다.
- [0040] 제어 로직(CL)은 메모리 컨트롤러(10)로부터 수신한 커맨드(CMD), 어드레스(ADDR) 및 제어 신호(CTRL)를 기초로 하여 메모리 셀 어레이(210)에 데이터를 기입하거나 메모리 셀 어레이(210)로부터 데이터를 독출하기 위한 각종 제어 신호를 출력할 수 있다. 이때, 제어 로직(CL)에서 출력된 각종 제어 신호는 전압 발생기(VG), 로우 디코더(RD) 및 카운팅부(220)에 전달될 수 있다.
- [0041] 전압 발생기(VG)는 제어 로직(CL)으로부터 수신한 제어 신호를 기초로 하여 복수의 워드 라인들(WL)을 구동하기 위한 구동 전압(VWL)을 생성할 수 있다. 구체적으로, 구동 전압(VWL)은 기입 전압(또는 프로그램 전압), 독출 전압, 소거(erase) 전압 또는 패스(pass) 전압일 수 있다.
- [0042] 로우 디코더(RD)는 로우 어드레스를 기초로 하여 복수의 워드 라인들(WL) 중 일부 워드 라인을 활성화할 수 있다. 구체적으로, 독출 동작 시에 로우 디코더(RD)는 선택된 워드 라인에 독출 전압을 인가하고, 비 선택된 워드 라인에 패스 전압을 인가할 수 있다. 한편, 기입 동작 시에 로우 디코더(RD)는 선택된 워드 라인에 기입 전압을 인가하고, 비 선택된 워드 라인에 패스 전압을 인가할 수 있다.
- [0043] 카운팅부(220)는 복수의 비트 라인들(BL)을 통해 메모리 셀 어레이(210)에 연결될 수 있다. 카운팅부(220)는 서로 다른 전압 레벨들에 의해 구분되는 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅할 수 있

으며, 카운팅 결과를 메모리 컨트롤러(10)에 제공할 수 있다.

- [0044] 도 3은 도 2의 메모리 장치(20)에 포함된 메모리 셀 어레이(210)의 일 예를 나타낸다.
- [0045] 도 3을 참조하면, 메모리 셀 어레이(210)는 플래시 메모리 셀 어레이일 수 있다. 이때, 메모리 셀 어레이(210)는 a(a는 2 이상의 정수)개의 블록들(BLK0 내지 BLKa-1)을 포함하고, 각 블록들(BLK0 내지 BLKa-1)은 b(b는 2 이상의 정수)개의 페이지들(PAG0 내지 PAGb-1)을 포함하며, 각 페이지들(PAG0 내지 PAGb-1)은 c(c는 2 이상의 정수)개의 섹터들(SEC0 내지 SECc-1)을 포함할 수 있다. 도 3에서는 도시의 편의를 위해, 블록 BLK0에 대하여만 페이지들(PAG0 내지 PAGb-1) 및 섹터들(SEC0 내지 SECc-1)을 도시하였으나, 다른 블록들(BLK1 내지 BLKa-1)도 블록 BLK0와 동일한 구조를 가질 수 있다.
- [0046] 도 4는 도 3의 메모리 셀 어레이(210)에 포함된 메모리 블록(BLK0)의 일 예를 나타내는 회로도이다.
- [0047] 도 4를 참조하면, 메모리 셀 어레이(210)는 낸드 플래시 메모리의 메모리 셀 어레이일 수 있다. 이때, 도 3에 도시된 각 블록들(BLK0 내지 BLKa-1)은 도 4와 같이 구현될 수 있다. 도 4를 참조하면, 각 블록들(BLK0 내지 BLKa-1)은 비트 라인(BL0 내지 BLd-1) 방향으로, 8개의 메모리 셀(MC)들이 직렬로 연결되는 d(d는 2 이상의 정수)개의 스트링(STR)들을 포함할 수 있다. 각 스트링(STR)은 각각 직렬로 연결되는 메모리 셀(MC)들의 양 끝에 연결되는, 드레인(drain) 선택 트랜지스터(Str1) 및 소스(source) 선택 트랜지스터(Str2)를 포함할 수 있다.
- [0048] 도 4와 같은 구조를 갖는 낸드 플래시 메모리 장치는 블록 단위로 소거가 수행되고, 각 워드 라인(WL0 내지 WL7)에 대응되는 페이지(PAG) 단위로 프로그램을 수행한다. 도 4는 하나의 블록에 8개의 워드 라인들(WL0 내지 WL7)에 대한 8개의 페이지(PAG)들이 구비되는 예를 도시한다. 다만, 본 발명의 실시예에 따른 메모리 셀 어레이(210)의 블록들(BLK0 내지 BLKa-1)은 도 4에 도시되는 메모리 셀(MC) 및 페이지(PAG)의 개수와 다른 개수의 메모리 셀 및 페이지를 구비할 수도 있다. 또한, 도 1 및 도 2의 메모리 장치(20)는 이상에서 설명된 메모리 셀 어레이(210)와 동일한 구조로 동일한 동작을 수행하는 복수의 메모리 셀 어레이들을 포함할 수도 있다.
- [0049] 도 5는 도 4의 메모리 블록(BLK0)에 포함된 메모리 셀(MC)의 일 예를 나타내는 단면도이다.
- [0050] 도 5를 참조하면, 기판(SUB) 상에 소스(S) 및 드레인(D)이 형성되고, 소스(S)와 드레인(D)의 사이에는 채널 영역이 형성될 수 있다. 채널 영역의 상부에는 플로팅 게이트(FG)가 형성되는데, 채널 영역과 플로팅 게이트(FG)의 사이에는 터널링(tunneling) 절연층과 같은 절연층이 배치될 수 있다. 플로팅 게이트(FG)의 상부에는 컨트롤 게이트(CG)가 형성되는데, 플로팅 게이트(FG)와 컨트롤 게이트(CG)의 사이에는 블로킹(blocking) 절연층과 같은 절연층이 배치될 수 있다. 기판(SUB), 소스(S), 드레인(D) 및 컨트롤 게이트(CG)에는 메모리 셀(MC)에 대한 프로그램, 소거 및 독출 동작에 필요한 전압들이 인가될 수 있다.
- [0051] 플래시 메모리 장치에서는 메모리 셀(MC)의 문턱 전압(threshold voltage, Vth)의 구별에 의해 메모리 셀(MC)에 저장된 데이터가 독출될 수 있다. 이때, 메모리 셀(MC)의 문턱 전압(Vth)은 플로팅 게이트(FG)에 저장된 전자(electron)의 양에 따라 결정될 수 있다. 구체적으로, 플로팅 게이트(FG)에 저장된 전자가 많을수록 메모리 셀(MC)의 문턱 전압은 높아질 수 있다.
- [0052] 메모리 셀(MC)의 플로팅 게이트(FG)에 저장된 전자는 다양한 원인들에 의해 화살표 방향으로 누설(leakage)될 수 있고, 이에 따라, 메모리 셀(MC)의 문턱 전압이 변경될 수 있다. 예를 들어, 플로팅 게이트(FG)에 저장된 전자는 메모리 셀의 마모에 의해 누설될 수 있다. 구체적으로, 메모리 셀(MC)에 대한 프로그램, 소거 또는 독출과 같은 액세스 동작을 반복하면 채널 영역과 플로팅 게이트(FG) 사이의 절연막은 마모될 수 있고, 이에 따라, 플로팅 게이트(FG)에 저장된 전자가 누설될 수 있다. 또 다른 예로, 플로팅 게이트(FG)에 저장된 전자는 고온 스트레스 또는 프로그램/독출 시의 온도 차이 등에 의해 누설될 수도 있다.
- [0053] 도 6a는 도 5의 메모리 셀(MC)이 3 비트 멀티 레벨 셀인 경우, 메모리 장치(20)의 문턱 전압에 따른 산포를 나타내는 그래프이다.
- [0054] 도 6a를 참조하면, 가로축은 문턱 전압(Vth)을 나타내고, 세로축은 메모리 셀들(MC)의 개수를 나타낸다. 메모리

리 셀(MC)이 3 비트로 프로그램되는 3 비트 멀티 레벨 셀인 경우에, 메모리 셀(MC)은 소거 상태(E), 제1 프로그램 상태(P1), 제2 프로그램 상태(P2), 제3 프로그램 상태(P3), 제4 프로그램 상태(P4), 제5 프로그램 상태(P5), 제6 프로그램 상태(P6) 및 제7 프로그램 상태(P7) 중 하나를 가질 수 있다. 싱글 레벨 셀에 비하여 멀티 레벨 셀의 경우, 문턱 전압(V_{th}) 분포들 사이의 간격이 좁으므로, 멀티 레벨 셀에서는 문턱 전압(V_{th})의 작은 변화에 의해 중대한 문제가 야기될 수 있다.

[0055] 제1 독출 전압(V_{r1})은 소거 상태(E)를 가지는 메모리 셀(MC)의 산포와 제1 프로그램 상태(P1)를 가지는 메모리 셀(MC)의 산포 사이의 전압 레벨을 가진다. 제2 독출 전압(V_{r2})은 제1 프로그램 상태(P1)를 가지는 메모리 셀(MC)의 산포와 제2 프로그램 상태(P2)를 가지는 메모리 셀(MC)의 산포 사이의 전압 레벨을 가진다. 제3 독출 전압(V_{r3})은 제2 프로그램 상태(P2)를 가지는 메모리 셀(MC)의 산포와 제3 프로그램 상태(P3)를 가지는 메모리 셀(MC)의 산포 사이의 전압 레벨을 가진다. 제4 독출 전압(V_{r4})은 제3 프로그램 상태(P3)를 가지는 메모리 셀(MC)의 산포와 제4 프로그램 상태(P4)를 가지는 메모리 셀(MC)의 산포 사이의 전압 레벨을 가진다. 제5 독출 전압(V_{r5})은 제4 프로그램 상태(P4)를 가지는 메모리 셀(MC)의 산포와 제5 프로그램 상태(P5)를 가지는 메모리 셀(MC)의 산포 사이의 전압 레벨을 가진다. 제6 독출 전압(V_{r6})은 제5 프로그램 상태(P5)를 가지는 메모리 셀(MC)의 산포와 제6 프로그램 상태(P6)를 가지는 메모리 셀(MC)의 산포 사이의 전압 레벨을 가진다. 제7 독출 전압(V_{r7})은 제6 프로그램 상태(P6)를 가지는 메모리 셀(MC)의 산포와 제7 프로그램 상태(P7)를 가지는 메모리 셀(MC)의 산포 사이의 전압 레벨을 가진다.

[0056] 예를 들어, 제1 독출 전압(V_{r1})이 메모리 셀(MC)의 컨트롤 게이트(CG)에 인가되면, 소거 상태(E)의 메모리 셀(MC)은 턴온되는 반면, 제1 프로그램 상태(P1)의 메모리 셀(MC)은 턴오프된다. 메모리 셀(MC)이 턴온되면 메모리 셀(MC)을 통해 전류가 흐르고, 메모리 셀(MC)이 턴오프되면 메모리 셀(MC)을 통해 전류가 흐르지 않는다. 따라서, 메모리 셀(MC)의 턴온 여부에 따라 메모리 셀(MC)에 저장된 데이터가 구별될 수 있다.

[0057] 일 실시예에서, 제1 독출 전압(V_{r1})을 인가하여 메모리 셀(MC)이 턴온되면 데이터가 '1'이 저장되고, 메모리 셀(MC)이 턴오프되면 데이터가 '0'이 저장된 것으로 구별될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 다른 실시예에서, 제1 독출 전압(V_{r1})을 인가하여 메모리 셀(MC)이 턴온되면 데이터가 '0'이 저장되고, 메모리 셀(MC)이 턴오프되면 데이터가 '1'이 저장된 것으로 구별할 수도 있다. 이와 같이, 데이터의 논리 레벨의 할당은 실시예에 따라 변경될 수 있다.

[0058] 도 6b는 도 6a의 그래프에서 메모리 셀(MC)의 문턱 전압이 변경된 경우를 나타내는 그래프이다.

[0059] 도 6b를 참조하면, 소거 상태(E), 제1 내지 제7 프로그램 상태(P1 내지 P7)로 각각 프로그램된 메모리 셀들(MC)은 외부 자극 및/또는 마모 등에 의해 도 6b에 도시된 바와 같이 변경된 분포를 가질 수 있다. 도 6b에서, 빗금 친 부분에 속하는 메모리 셀들(MC)은 독출 오류가 발생할 수 있고, 이에 따라, 메모리 장치(20)의 신뢰성이 저하될 수 있다.

[0060] 예를 들어, 제1 독출 전압(V_{r1})을 이용하여 메모리 장치(20)에 대한 독출 동작을 수행할 경우, 빗금 친 부분에 속하는 메모리 셀들(MC)은 제1 프로그램 상태(P1)로 프로그램 되었음에도 불구하고, 문턱 전압(V_{th})의 감소에 의해 소거 상태(E)로 판단될 수 있다. 이에 따라, 독출 동작에 오류가 발생되어 메모리 장치(20)의 신뢰성이 저하될 수 있다.

[0061] 메모리 장치(20)로부터 데이터를 독출하는 경우 RBER(raw bit error rate)은 독출 전압의 전압 레벨에 따라 달라지는데, 독출 전압의 최적 전압 레벨은 메모리 셀들(MC)의 산포 모양에 따라 결정될 수 있다. 따라서, 메모리 셀들(MC)의 산포가 변화함에 따라 메모리 장치(20)로부터 데이터를 독출하는데 필요한 독출 전압의 최적 전압 레벨도 변경될 수 있다. 그러므로, 산포의 변화를 기초로 하여 독출 전압의 전압 레벨을 변경함으로써 독출 전압의 최적 전압 레벨을 결정하는 것이 요구된다. 이 경우, 효율적으로 독출 전압의 최적 전압 레벨을 결정하기 위해서는, 연산을 단순화시켜 연산 시간 및 소비 전력을 감소시키는 것이 요구된다.

[0062] 이상에서는 도 6a 및 도 6b를 참조하여, 메모리 셀(MC)이 3 비트 멀티 레벨 셀인 경우를 설명하였다. 그러나, 본 발명은 이에 한정되는 것은 아니고, 도 5의 메모리 셀(MC)은 싱글 레벨 셀, 2 비트 멀티 레벨 셀 또는 4 비트 이상으로 프로그램되는 멀티 레벨 셀일 수 있다. 또한, 도 1 및 도 2의 메모리 장치(20)는 서로 다른 개수의 비트로 프로그램 되는 메모리 셀(MC)들을 포함할 수도 있다.

- [0063] 도 7은 도 6b의 A 영역을 확대한 도면으로서, 구체적으로, 각 섹터 별 문턱 전압에 따른 산포 및 페이지의 문턱 전압에 따른 산포를 나타낸다.
- [0064] 도 7을 참조하면, 페이지는 복수의 섹터들로 구분될 수 있으므로, 페이지의 산포는 복수의 섹터들의 산포들의 합에 대응될 수 있다. 일 실시예에서 페이지(PAG)는 네 개의 섹터들(SEC0, SEC1, SEC2, SEC3)로 구분될 수 있으며, 페이지(PAG)의 산포는 네 개의 섹터들(SEC0, SEC1, SEC2, SEC3)의 산포들의 합에 대응될 수 있다. 예를 들어, 페이지(PAG)의 사이즈는 2048 바이트(byte)일 수 있고, 각 섹터(SEC0, SEC1, SEC2, SEC3)의 사이즈는 512 바이트일 수 있다.
- [0065] 도 7에 도시된 바와 같이, 네 개의 섹터들(SEC0, SEC1, SEC2, SEC3)의 산포들은 서로 다를 수 있으며, 이에 따라, 제5 프로그램 상태(P5)와 제6 프로그램 상태(P6) 사이의 제6 독출 전압(Vr6)의 최적 전압 레벨은 네 개의 섹터들(SEC0, SEC1, SEC2, SEC3) 별로 서로 다를 수 있다. 구체적으로, 제1 섹터(SEC0)에 대한 제6 독출 전압(Vr6)의 최적 전압 레벨은 Vr6_SEC0이고, 제2 섹터(S1)에 대한 제6 독출 전압(Vr6)의 최적 전압 레벨은 Vr6_SEC1이며, 제3 섹터(S2)에 대한 제6 독출 전압(Vr6)의 최적 전압 레벨은 Vr6_SEC2이고, 제4 섹터(S4)에 대한 제6 독출 전압(Vr6)의 최적 전압 레벨은 Vr6_SEC3일 수 있다.
- [0066] 또한, 페이지(PAG)의 산포는 네 개의 섹터들(SEC0, SEC1, SEC2, SEC3)의 산포들의 합에 대응되므로, 페이지(PAG)에 대한 제6 독출 전압(Vr6)의 최적 전압 레벨은 네 개의 섹터들(SEC0, SEC1, SEC2, SEC3) 각각에 대한 제6 독출 전압(Vr6)의 최적 전압 레벨과 다를 수 있다. 구체적으로, 페이지(PAG)에 대한 제6 독출 전압(Vr6)의 최적 전압 레벨은 Vr6_PAG일 수 있다.
- [0067] 도 1을 참조하여 상술한 바와 같이, 메모리 컨트롤러(10)는 메모리 셀 어레이(210)로부터 독출된 데이터들에 대해 섹터 별로 ECC 동작을 수행하여 오류를 정정할 수 있다. 그러나, ECC 동작의 수행에도 불구하고 오류가 정정되지 않은 경우에는, 오류가 정정되지 않은 섹터에 대해서 독출 전압의 최적 전압 레벨을 다시 결정할 필요가 있다. 또한, 도 7을 참조하여 상술한 바와 같이, 복수의 섹터들 각각에 대한 독출 전압의 최적 전압 레벨은 서로 다를 수 있으므로, 각 섹터에 대한 독출 전압의 최적 전압 레벨과 해당 섹터를 포함하는 페이지에 대한 독출 전압의 최적 전압 레벨은 서로 다를 수 있다.
- [0068] 따라서, 페이지 전체에 대한 독출 전압의 최적 전압 레벨을 다시 결정하는 대신에, 오류가 정정되지 않은 섹터에 대한 독출 전압의 최적 전압 레벨만을 다시 결정할 필요가 있다. 이와 같이, 섹터 별로 독출 전압의 최적 전압 레벨을 결정하는 경우, 페이지 전체에 대한 독출 전압의 최적 전압 레벨을 결정하는 경우에 비해 독출 오류의 정정률을 크게 향상시킬 수 있다.
- [0069] 도 8은 도 1의 메모리 장치(20)에 포함된 카운팅부(220a)의 일 예를 나타내는 블록도이다.
- [0070] 도 1 및 도 8을 참조하면, 카운팅부(220a)는 페이지 버퍼부(221a) 및 카운터(222a)를 포함할 수 있다. 이하에서는, 카운팅부(220a)의 구성 요소들에 대해 상술하기로 한다.
- [0071] 페이지 버퍼부(221a)는 외부에서 수신된 마스킹 패턴(masking pattern)(MP)을 기초로 하여, 복수의 섹터들 중 적어도 하나의 섹터에 포함된 메모리 셀들에 대해 서로 다른 전압 레벨들에서 독출된 데이터들에 대한 논리 연산의 결과를 제공할 수 있다. 본 실시예에서, 페이지 버퍼부(221a)는 복수의 비트 라인들의 개수에 대응하는 복수의 페이지 버퍼들(미도시)을 포함할 수 있다.
- [0072] 카운터(222a)는 적어도 하나의 섹터에 대하여, 페이지 버퍼부(221a)에서 출력되는 논리 연산의 결과를 기초로 하여 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅할 수 있다. 구체적으로, 카운터(222a)는 적어도 하나의 섹터에 대하여, 페이지 버퍼부(221a)에서 출력되는 XOR 연산의 결과에서 복수의 구획들 각각에 존재하는 '1'의 개수를 카운팅함으로써 메모리 셀들의 개수를 카운팅할 수 있다. 본 실시예에서, 카운터(222a)는, 페이지 버퍼부(221a)에서 출력되는 논리 연산의 결과에 대해 병렬적인 카운팅 동작을 수행할 수 있다.
- [0073] 도 9는 도 8의 카운팅부(220a)를 포함하는 메모리 장치(20a)의 일 예를 나타내는 블록도이다.
- [0074] 도 9를 참조하면, 메모리 장치(20a)는 메모리 셀 어레이(210), 페이지 버퍼부(221a) 및 카운터(222a)를 포함할 수 있다.

- [0075] 메모리 셀 어레이(210)는 페이지(PAG)를 포함할 수 있고, 페이지(PAG)는 d개의 메모리 셀들(MC0, MC1, MC2, MC3, ..., MCd-1)을 포함할 수 있다. 도 9에서는 편의상 메모리 셀 어레이(210)에 포함된 하나의 페이지(PAG)만을 도시하였으나, 메모리 셀 어레이(210)는 복수의 페이지들을 포함할 수 있다.
- [0076] 페이지 버퍼부(221a)는 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)을 포함할 수 있고, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)은 대응되는 비트라인들(BL0, BL1, BL2, BL3, ..., BLd-1)을 통해 메모리 셀들(MC0, MC1, MC2, MC3, ..., MCd-1)과 각각 연결될 수 있다. 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)은 메모리 셀 어레이(210)에 기록될 데이터 또는 메모리 셀 어레이(210)로부터 독출된 데이터를 임시적으로 저장할 수 있다.
- [0077] 구체적으로, 메모리 장치(20a)에 대한 독출 동작이 수행되는 경우, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 메모리 셀들(MC0, MC1, MC2, MC3, ..., MCd-1) 각각에 대해 서로 다른 전압 레벨들에서 순차적으로 독출된 데이터들을 저장한다. 이어서, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 저장된 데이터들에 대한 논리 연산을 수행할 수 있다. 본 실시예에서, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 서로 다른 전압 레벨들 중 인접한 두 전압 레벨들에서 각각 독출된 두 데이터들에 대해 XOR 연산을 수행할 수 있다. 이어서, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 외부에서 수신한 마스크 패턴(MP)을 기초로 하여 논리 연산의 결과를 선택적으로 출력할 수 있다.
- [0078] 도시되지는 않았지만, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 스위칭 소자(예를 들어, 엔모스 트랜지스터)를 포함할 수 있다. 스위칭 소자는 해당 페이지 버퍼의 출력 값이 인가되는 제어 단자(예를 들어, 게이트) 및 카운터(222a)에 연결되는 출력 단자(예를 들어, 소스)를 가질 수 있다. 그러므로, 해당 페이지 버퍼의 출력 값이 '1'인 경우 스위칭 소자는 턴온되어 카운터(222a)에 소정의 전류를 공급할 수 있고, 해당 페이지 버퍼의 출력 값이 '0'인 경우 스위칭 소자는 턴오프되어 카운터(222a)에 소정의 전류를 공급하지 않을 수 있다.
- [0079] 카운터(222a)는 적어도 하나의 섹터에 대하여, 페이지 버퍼부(221a)에서 출력되는 논리 연산의 결과를 기초로 하여 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅하여 카운팅 결과(CV)를 출력할 수 있다. 구체적으로, 카운터(222a)는 적어도 하나의 섹터에 대하여, 페이지 버퍼부(221a)에서 출력되는 XOR 연산의 결과에서 복수의 구획들 각각에 존재하는 '1'의 개수를 카운팅함으로써 메모리 셀들의 개수를 카운팅할 수 있다. 본 실시예에서, 카운터(222a)는, 페이지 버퍼부(221a)에서 출력되는 논리 연산의 결과에 대해 병렬적인 카운팅 동작을 수행할 수 있다.
- [0080] 본 실시예에서, 카운터(222a)는 아날로그 카운터일 수 있다. 보다 상세하게는, 카운터(222a)는 인가되는 전류의 양을 검출하여, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에 포함된 스위칭 소자들 중 턴온된 스위칭 소자들의 개수를 카운팅할 수 있다. 이와 같이, 카운터(222a)는 턴온된 스위칭 소자들의 개수를 카운팅함으로써, XOR 연산의 결과에서 복수의 구획들 각각에 존재하는 '1'의 개수를 카운팅할 수 있고, 이에 따라, 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅할 수 있다.
- [0081] 도 10은 도 9의 메모리 장치(20a)를 포함하는 메모리 시스템(1)의 동작 시퀀스의 일 예를 나타내는 타이밍도이다.
- [0082] 도 1 및 도 10을 참조하면, 메모리 컨트롤러(10)는 마스크 패턴(MP)을 메모리 장치(20a)에 제공할 수 있다. 구체적으로, 마스크 패턴(MP)은 페이지(PAG)에 포함되는 복수의 메모리 셀들(MC) 중 독출 전압의 최적 전압 레벨의 재 결정 동작이 수행되는 탐색 범위가 시작되는 칼럼의 위치를 나타내는 칼럼 어드레스를 포함할 수 있다. 또한, 마스크 패턴(MP)은 비트라인 각각에 대해 탐색 수행 여부를 나타내는 데이터를 더 포함할 수 있다. 예를 들어, 탐색 수행 여부를 나타내는 데이터는 '00001111...'로 표시될 수 있는데, 여기서 '0'은 탐색이 수행되지 않는 경우, 즉, 마스크 되는 경우를 나타내고, '1'은 탐색이 수행되는 경우를 나타낼 수 있다.
- [0083] 이와 같이, 메모리 컨트롤러(10)는 탐색 수행 여부를 나타내는 데이터를 메모리 장치(20a)에 제공해야 하므로, 메모리 컨트롤러(10)는 프로그램 커맨드의 형식으로 메모리 장치(20a)에 데이터를 제공할 수 있다. 본 실시예에서, 메모리 컨트롤러(10)는 프로그램 커맨드의 일부 시퀀스(sequence)를 이용하여 메모리 장치(20a)에 마스크 패턴(MP)을 제공할 수 있다.
- [0084] 이어서, 메모리 장치(20a)는 메모리 컨트롤러(10)로부터 독출 커맨드(Read CMD)를 수신한 후 제1 독출 동작

(RD1)을 수행한다. 구체적으로, 제1 전압 레벨(V1)에서 메모리 셀들(MC0, MC1, MC2, MC3, ..., MCd-1)로부터 제1 데이터를 독출하고, 독출된 제1 데이터들은 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에 각각 임시적으로 저장될 수 있다.

[0085] 이어서, 메모리 장치(20a)는 메모리 컨트롤러(10)로부터 독출 커맨드(Read CMD)를 수신한 후 제2 독출 동작(RD2), XOR 동작(XOR) 및 카운팅 동작(CNT)을 수행한다. 구체적으로, 제2 전압 레벨(V2)에서 메모리 셀들(MC0, MC1, MC2, MC3, ..., MCd-1)로부터 제2 데이터들은 독출하고, 독출된 제2 데이터들은 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에 각각 임시적으로 저장될 수 있다.

[0086] 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)은 제1 및 제2 데이터들에 대해 XOR 연산을 각각 수행하고, 마스킹 패턴(MP)을 기초로 하여 XOR 연산의 결과를 선택적으로 출력할 수 있다. 구체적으로, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 해당 XOR 연산의 결과와 마스킹 패턴(MP)에 포함된 데이터(예를 들어, '00001111...') 중 대응되는 데이터에 대해 AND 연산을 수행할 수 있다. 이에 따라, 해당 페이지 버퍼에 대응되는 마스킹 패턴(MP)의 데이터가 '0'인 경우, 해당 페이지 버퍼의 XOR 연산의 결과를 출력되지 않을 수 있고, 해당 페이지 버퍼에 대응되는 마스킹 패턴(MP)의 데이터가 '1'인 경우, 해당 페이지 버퍼의 XOR 연산의 결과를 출력될 수 있다.

[0087] 카운터(222a)는 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에서 선택적으로 출력되는 XOR 연산의 결과에서 제1 전압 레벨(V1)과 제2 전압 레벨(V2) 사이의 구획에 존재하는 '1'의 개수를 카운팅할 수 있다. 이에 따라, 카운터(222a)는 제1 전압 레벨(V1)과 제2 전압 레벨(V2) 사이의 구획에 존재하는 메모리 셀(MC)의 개수를 카운팅하여 제1 카운팅 결과(CV1)를 생성할 수 있다.

[0088] 이어서, 메모리 장치(20a)는 메모리 컨트롤러(10)로부터 독출 커맨드(Read CMD)를 수신한 후 제3 독출 동작(RD3), XOR 동작(XOR) 및 카운팅 동작(CNT)을 수행한다. 카운터(222a)에서 생성되는 제1 카운팅 결과(CV1)는 제3 독출 동작(RD3)이 수행된 후에 메모리 컨트롤러(10)로 제공될 수 있다. 제3 독출 동작(RD3), XOR 동작(XOR) 및 카운팅 동작(CNT)은 상술한 제2 독출 동작(RD2), XOR 동작(XOR) 및 카운팅 동작(CNT)과 실질적으로 유사하므로 이에 대한 상세한 설명은 생략하기로 한다.

[0089] 도 11은 도 9의 메모리 장치(20a)의 동작을 더욱 상세하게 설명하기 위한 도면이다.

[0090] 도 1 및 도 11을 참조하면, 메모리 컨트롤러(10)는 메모리 장치(20a)에 포함된 메모리 셀들(MC)에 대하여, 인접한 두 상태들 사이의 독출 전압의 최적 전압 레벨을 결정하기 위하여 독출 전압 결정 동작을 수행할 수 있다. 구체적으로, 메모리 컨트롤러(10)는 메모리 셀들(MC)의 인접한 두 상태들, 예를 들어, 제1 프로그램 상태(P1)와 제2 프로그램 상태(P2) 사이의 서로 다른 복수의 전압 레벨들(V1 내지 V5)에서 각각 메모리 셀(MC)로부터 데이터를 독출할 수 있다. 메모리 장치(20a)는 복수의 전압 레벨들(V1 내지 V5) 중 인접한 두 전압 레벨들에서 각각 독출된 데이터들에 대한 논리 연산을 수행하고, 논리 연산의 결과를 기초로 복수의 구획들(S1 내지 S4) 각각에 존재하는 메모리 셀들(MC)의 개수를 카운팅할 수 있다. 이와 같은 독출 전압 결정 동작은 MES(minimal error search) 연산이라고 지칭될 수 있다.

[0091] 본 실시예에서, 서로 다른 복수의 전압 레벨들(V1 내지 V5)의 개수를 5개이지만, 본 발명은 이에 한정되지 않으며, 복수의 전압 레벨들의 개수는 다양하게 변경될 수 있다. 예를 들어, 복수의 전압 레벨들에서의 독출 방향은 제1 전압 레벨(V1)에서 제5 전압 레벨(V5)로 전압 레벨이 감소하는 방향일 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 복수의 전압 레벨들에서의 독출 방향은 제5 전압 레벨(V5)에서 제1 전압 레벨(V1)로 전압 레벨이 증가하는 방향일 수도 있다.

[0092] 제1 단계(step 1)에서, 제1 전압 레벨(V1)에서 페이지(PAG)에 포함된 메모리 셀들(MC)로부터 데이터를 각각 독출한다. 이때, 제1 전압 레벨(V1)보다 문턱 전압(Vth)이 낮은 메모리 셀들(MC)은 '1'로 독출되고, 제1 전압 레벨(V1)보다 문턱 전압(Vth)이 높은 메모리 셀들(MC)은 '0'으로 독출된다. 이와 같이, 제1 단계에서 독출된 제1 데이터는 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에 임시적으로 저장될 수 있다.

[0093] 제2 단계(step 2)에서, 제2 전압 레벨(V2)에서 페이지(PAG)에 포함된 메모리 셀(MC)로부터 데이터를 각각 독출한다. 이때, 제2 전압 레벨(V2)보다 문턱 전압(Vth)이 낮은 메모리 셀들(MC)은 '1'로 독출되고, 제2 전압 레벨(V2)보다 문턱 전압(Vth)이 높은 메모리 셀들(MC)은 '0'으로 독출된다. 이와 같이, 제2 단계에서 독출된 제2 데이터는 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에 임시적으로 저장될 수 있다.

- [0094] 제3 단계(step 3)에서, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)의 각각은 제1 전압 레벨(V1)에서 독출된 제1 데이터와 제2 전압 레벨(V2)에서 독출된 제2 데이터에 대해 논리 연산을 수행한다. 일 실시예에서, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)의 각각은 제1 데이터 및 제2 데이터에 대해 XOR 연산을 수행할 수 있다.
- [0095] 문턱 전압(Vth)이 제2 전압 레벨(V2)보다 낮은 메모리 셀(MC)의 경우 제1 및 제2 데이터의 XOR 연산 결과는 '0'이고, 문턱 전압(Vth)이 제2 전압 레벨(V2)과 제1 전압 레벨(V1) 사이인 메모리 셀(MC)의 경우 제1 및 제2 데이터에 대한 XOR 연산 결과는 '1'이며, 문턱 전압(Vth)이 제1 전압 레벨(V1)보다 높은 메모리 셀(MC)의 경우 제1 및 제2 데이터에 대한 XOR 연산 결과는 '0'이다. 따라서, 제1 및 제2 데이터의 XOR 연산 결과를 기초로 하여, 인접한 두 전압 레벨들(V1, V2)에 의해 구분되는 제1 구획(S1)에 메모리 셀이 포함되었는지 여부를 알 수 있다. 구체적으로, XOR 연산 결과가 '1'인 구획에 메모리 셀(MC)이 포함된 것을 알 수 있다.
- [0096] 제4 단계(step 4)에서, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)의 각각은 마스크 패턴(MP)을 기초로 하여, XOR 연산의 결과를 선택적으로 출력할 수 있다. 구체적으로, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)의 각각은 해당 XOR 연산의 결과와 마스크 패턴(MP)에 포함된 데이터(예를 들어, '00001111...') 중 대응되는 데이터에 대해 AND 연산을 수행할 수 있다. 이에 따라, 해당 페이지 버퍼에 대응되는 마스크 패턴(MP)의 데이터가 '0'인 경우, 해당 페이지 버퍼의 XOR 연산의 결과를 출력되지 않을 수 있고, 해당 페이지 버퍼에 대응되는 마스크 패턴(MP)의 데이터가 '1'인 경우, 해당 페이지 버퍼의 XOR 연산의 결과를 출력될 수 있다.
- [0097] 제5 단계(step 5)에서, 카운터(222a)는 제1 구획(S1)에 대해, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에서 수행된 XOR 연산의 결과에서 '1'의 개수를 카운팅할 수 있다. 이로써, 카운터(222a)는 제1 구획(S1)에 존재하는 메모리 셀들(MC)의 개수를 카운팅할 수 있다.
- [0098] 이와 같은 동작을 반복적으로 수행함으로써, 카운터(222a)는 복수의 구획들(S1, S2, S3, S4) 각각에 존재하는 메모리 셀들(MC)의 개수를 카운팅할 수 있다. 이때, 복수의 구획들(S1, S2, S3, S4) 중 메모리 셀들(MC)의 개수가 가장 적은 구획에 대응되는 전압 레벨을 밸리(valley)라고 할 수 있으며, 메모리 컨트롤러(10)는 밸리에 대응되는 전압 레벨을 독출 전압의 최적 전압 레벨로 결정할 수 있다.
- [0099] 도 12는 메모리 장치의 동작에 대한 비교 예를 나타낸다.
- [0100] 도 12를 참조하면, 메모리 셀의 인접한 두 상태들 사이를 N(N은 2 이상의 자연수)개의 구간으로 나누어 MES 연산을 수행하는 경우, MES 연산은 제1 전압 레벨에서 메모리 셀로부터 제1 데이터를 독출하는 동작(RD1), 독출된 제1 데이터를 메모리 컨트롤러에 전송하는 동작(Dout1), 제2 전압 레벨에서 메모리 셀로부터 제2 데이터를 독출하는 동작(RD2), 독출된 제2 데이터를 메모리 컨트롤러에 전송하는 동작(Dout2), 및 메모리 컨트롤러에서 제1 및 제2 데이터에 대한 XOR 연산을 수행하고 XOR 연산의 결과에서 '1'의 개수를 카운팅하는 동작(XOR+C)을 포함한다.
- [0101] 예를 들어, 제1 및 제2 데이터를 독출하는 동작들(RD1, RD2)을 수행하는 데에 소요되는 시간은 각각 약 50 μ s일 수 있다. 데이터 전송 동작(Dout1, Dout2)이 120 MHz로 수행되는 경우 데이터 전송 동작(Dout1, Dout2)을 수행하는 데에 소요되는 시간은 각각 약 150 μ s일 수 있다. XOR 연산 및 카운팅 동작(XOR+C)이 60 MHz로 수행되는 경우 XOR 연산 및 카운팅 동작(XOR+C)을 수행하는 데에 소요되는 시간은 약 205 μ s일 수 있다. N이 10인 경우, 전체 MES 연산에 소요되는 시간은 약 6.25 ms이다.
- [0102] 이와 같이, MES 연산의 수행에 소요되는 시간에서 주된 소모 요인은 데이터 전송 동작(Dout1, Dout2)의 소모 시간과 XOR 연산 및 카운팅 동작(XOR+C)의 소모 시간이다. 또한, 메모리 컨트롤러는 전송받은 제1 및 제2 데이터를 저장하기 위한 별도의 저장 공간(예를 들어, SRAM 버퍼)을 구비해야 한다. 나아가, 데이터 전송 동작(Dout1, Dout2)과 XOR 연산 및 카운팅 동작(XOR+C)을 수행하는 데에 전력이 소모될 수 있다.
- [0103] 도 13은 도 9의 메모리 장치(20a)의 동작의 일 예를 나타낸다.
- [0104] 도 13을 참조하면, 본 실시예에서 메모리 장치(20a)는 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 및 카운터(222a)를 포함하고, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)의 각각은 XOR 연산을 수행하고, 카운터(222a)는 XOR 연산의 결과에서 '1'의 개수를 카운팅할 수 있다. 이로써, 메모리 셀(MC)의 인접

한 두 상태들 사이를 $N(N$ 은 2 이상의 자연수)개의 구간으로 나누어 MES 연산을 수행하는 경우, MES 연산은 제1 전압 레벨에서 메모리 셀(MC)로부터 제1 데이터를 독출하는 동작(RD1), 독출된 제1 데이터를 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에 저장하는(다시 말해, 백업하는) 동작(DB), 제2 전압 레벨에서 메모리 셀(MC)로부터 제2 데이터를 독출하는 동작(RD2), 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에서 저장된 제1 데이터와 독출된 제2 데이터에 대해 XOR 연산 및 마스킹을 수행하는 동작(XOR/MASKING), 및 카운터(222a)에서 XOR 연산 결과 중 '1'의 개수를 카운팅하는 동작(C)을 포함한다.

[0105] 예를 들어, 제1 및 제2 데이터를 독출하는 동작들(RD1, RD2)을 수행하는 데에 소요되는 시간은 각각 약 $50 \mu s$ 일 수 있다. 제1 데이터 저장 동작(DB)을 수행하는 데에 소요되는 시간은 약 $3 \mu s$ 이고, XOR 연산 동작(XOR) 및 카운팅 동작(C)을 수행하는 데에 소요되는 시간은 약 $24 \mu s$ 일 수 있다. N 이 10인 경우, 전체 MES 연산에 소요되는 시간은 약 $0.8 ms$ 이며, 이는 도 12의 비교 예에 비해 소요 시간이 훨씬 감소한 것을 알 수 있다.

[0106] 이와 같이, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 제1 데이터를 백업함으로써, 제1 데이터를 메모리 컨트롤러(10)에 전송하지 않아도 되므로 데이터 전송 동작에 소요되는 시간을 줄일 수 있다. 또한, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 백업된 제1 데이터와 독출된 제2 데이터에 대해 XOR 연산을 수행하므로, XOR 연산은 병렬로 수행될 수 있고, 이에 따라, XOR 연산에 소요되는 시간을 크게 줄일 수 있다.

[0107] 나아가, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1) 각각은 마스킹 패턴(MP)을 기초로 하여 XOR 연산 결과를 선택적으로 제공할 수 있다. 따라서, 카운터(222a)는 페이지에 포함되는 모든 메모리 셀들(MC0, MC1, MC2, MC3, ..., MCd-1)에 대한 XOR 연산 결과가 아니라, 페이지에 포함되는 일부 메모리 셀들, 예를 들어, 적어도 하나의 섹터에 포함되는 메모리 셀들에 대한 XOR 연산 결과를 수신할 수 있다. 이에 따라, 카운터(222a)는 페이지 전체가 아닌 섹터 별로 카운팅 동작을 수행할 수 있고, 메모리 컨트롤러(10)는 섹터 별로 독출 전압의 최적 전압 레벨을 결정함으로써, 독출 에러의 정정율을 크게 향상시킬 수 있다.

[0108] 또한, 카운터(222a)는 고속 동작을 수행 가능한 카운터로서, 복수의 페이지 버퍼들(PB0, PB1, PB2, PB3, ..., PBd-1)에서 출력되는 XOR 연산의 결과에서 '1'의 개수를 카운팅함으로써 카운팅에 소요되는 시간을 크게 줄일 수 있다. 나아가, 메모리 컨트롤러(10)는 독출된 제1 및 제2 데이터들을 저장하기 위한 별도의 저장 공간을 구비하지 않아도 되므로 사이즈를 감소시킬 수 있고, 제1 및 제2 데이터들의 전송 동작을 수행하는 데에 소비되는 전력도 줄일 수 있다.

[0109] 도 14는 도 8의 카운팅부(220)를 포함하는 메모리 장치(20b)의 다른 예를 나타내는 블록도이다.

[0110] 도 14를 참조하면, 메모리 장치(20b)는 메모리 셀 어레이(210), 페이지 버퍼부(221a') 및 카운터(222a')를 포함할 수 있다.

[0111] 메모리 셀 어레이(210)는 페이지(PAG)를 포함할 수 있고, 페이지(PAG)는 복수의 섹터들(SEC0, SEC1, SEC2, SEC3)을 포함할 수 있다. 도 14에서는 편의상 메모리 셀 어레이(210)에 포함된 하나의 페이지(PAG)만을 도시하였으나, 메모리 셀 어레이(210)는 복수의 페이지들을 포함할 수 있다. 또한, 도 14에서는 편의상 페이지(PAG)가 네 개의 섹터들(SEC0, SEC1, SEC2, SEC3)을 포함하는 것으로 도시하였으나, 본 발명은 이에 한정되지 않는다. 페이지(PAG)에 포함되는 섹터들의 개수는 다양하게 변경될 수 있고, 각 섹터의 사이즈도 다양하게 변경될 수 있다.

[0112] 페이지 버퍼부(221a')는 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3)을 포함할 수 있고, 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3)은 대응되는 비트라인들을 통해 섹터들(SEC0, SEC1, SEC2, SEC3)과 각각 연결될 수 있다. 이때, 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3) 각각은 복수의 페이지 버퍼들(미도시)을 포함할 수 있고, 복수의 페이지 버퍼들은 대응되는 비트라인들을 통해 메모리 셀들(MC)과 각각 연결될 수 있다.

[0113] 카운터(222a')는 복수의 카운터들(CNT0, CNT1, CNT2, CNT3)을 포함할 수 있고, 복수의 카운터들(CNT0, CNT1, CNT2, CNT3)은 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3)에 각각 연결된다. 이와 같이, 카운터(222a')는 복수의 섹터들(SEC0, SEC1, SEC2, SEC)의 개수에 대응되는 복수의 카운터들(CNT0, CNT1, CNT2, CNT3)을 포함할 수 있다. 복수의 카운터들(CNT0, CNT1, CNT2, CNT3) 각각은 대응되는 섹터(SEC0, SEC1, SEC2, SEC)에 대한 카운팅 결과(CV0, CV1, CV2, CV3)를 출력할 수 있다.

- [0114] 도 15는 도 1의 메모리 장치(20)에 포함된 카운팅부(220b)의 다른 예를 나타내는 블록도이다.
- [0115] 도 15를 참조하면, 카운팅부(220b)는 페이지 버퍼부(221b) 및 카운터(222b)를 포함할 수 있다. 카운터(222b)는 누산기(accumulator)(2221) 및 저장부(2222)를 포함할 수 있다. 이하에서는, 카운팅부(220b)의 구성 요소들에 대해 상술하기로 한다.
- [0116] 페이지 버퍼부(221b)는 복수의 페이지들 각각에 포함된 메모리 셀들에 대해 서로 다른 전압 레벨들에서 독출된 데이터들을 저장하고, 저장된 데이터들에 대한 논리 연산의 결과를 제공할 수 있다.
- [0117] 카운터(222b)는 페이지 버퍼부(221b)에서 출력되는 논리 연산의 결과를 순차적으로 수신하여, 복수의 섹터들 중 적어도 하나의 섹터에 포함된 메모리 셀들에 대해 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅할 수 있다. 구체적으로, 카운터(222b)는 적어도 하나의 섹터에 대하여, 페이지 버퍼부(221b)에서 순차적으로 출력되는 XOR 연산의 결과에서 복수의 구획들 각각에 존재하는 '1'의 개수를 카운팅함으로써 메모리 셀들의 개수를 카운팅할 수 있다. 본 실시예에서, 카운터(222b)는, 복수의 페이지 버퍼들에서 출력되는 논리 연산의 결과에 대해 직렬적인 카운팅 동작을 수행할 수 있다.
- [0118] 누산기(2221)는 페이지 버퍼부(221b)로부터 복수의 섹터들 각각에 대한 논리 연산의 결과를 순차적으로 수신하여, 복수의 섹터들 각각에 대하여 카운팅 결과를 순차적으로 출력할 수 있으며, 누산기(2221)의 출력은 저장부(2222)에 제공될 수 있다.
- [0119] 저장부(2222)는 복수의 래치들(latches)(미도시)을 포함할 수 있고, 복수의 래치들은 복수의 섹터들 각각에 대응하는 카운팅 결과를 각각 저장할 수 있다. 이와 같이, 저장부(2222)는 예를 들어, 쉬프트 레지스터(shift register)의 형태로 구현될 수 있다. 이에 따라, 사용자는 복수의 래치들 각각에 저장된 카운팅 결과 중에서 원하는 섹터에 대응되는 카운팅 결과를 선택적으로 획득할 수 있다.
- [0120] 도 16은 도 1의 메모리 장치에 포함된 카운팅부(220c)의 또 다른 예를 나타내는 블록도이다.
- [0121] 도 16을 참조하면, 카운팅부(220c)는 페이지 버퍼부(221b), 카운터(222b), 클럭 신호 생성부(223), 선택부(224) 및 펄스 신호 생성부(225)를 포함할 수 있다. 카운터(222b)는 누산기(2221) 및 저장부(2222)를 포함할 수 있다. 본 실시예에 따른 카운팅부(220c)에 포함된 구성 요소들 중 일부는, 도 15의 카운팅부(220b)에 포함된 구성 요소들과 실질적으로 동일하다. 동일한 구성 요소는 동일한 참조 번호로 표시되며, 도 15의 카운팅부(220b)와 동일한 구성 요소들에 대해서는 반복하여 설명하지 않는다.
- [0122] 클럭 신호 생성부(223)는 내부 클럭 신호(CLK)를 생성할 수 있고, 생성된 내부 클럭 신호(CLK)를 선택부(224) 및 펄스 신호 생성부(225)에 제공할 수 있다. 이때, 내부 클럭 신호(CLK)는 페이지 버퍼부(221b)에 임시로 저장된 복수의 데이터들 중 현재 출력될 데이터를 나타낼 수 있다. 내부 클럭 신호(CLK)의 토글링(toggling)에 의해 현재 출력될 데이터는 계속하여 변경될 수 있다.
- [0123] 선택부(224)는 내부 클럭 신호(CLK)를 기초로 하여, 페이지 버퍼부(221b)에 포함된 복수의 페이지 버퍼들 중 하나에서 출력되는 논리 연산의 결과를 선택하여 누산기(2221)에 순차적으로 제공할 수 있다. 다시 말해, 선택부(224)는 페이지 버퍼부(221b)에서 출력되는 논리 연산의 결과에 대하여 데이터 패스(path)로 동작할 수 있다.
- [0124] 펄스 신호 생성부(225)는 내부 클럭 신호(CLK) 및 섹터 사이즈(SS)를 기초로 하여, 복수의 섹터들 각각의 종료 시점을 나타내는 펄스 신호(PS)를 생성할 수 있으며, 생성된 펄스 신호(PS)를 저장부(2222)에 제공할 수 있다. 이때, 섹터 사이즈(SS)는 메모리 컨트롤러(10)로부터 제공될 수 있다. 예를 들어, 섹터 사이즈(SS)는 512 바이트일 수 있다. 펄스 신호 생성부(225)는 내부 클럭 신호(CLK)에서 512 바이트에 해당하는 클럭의 개수를 카운팅하여 한 섹터의 종료 시점에서 논리 레벨 '1'로 활성화되는 펄스 신호를 생성할 수 있다.
- [0125] 도 17은 도 16의 카운팅부(220c)를 포함하는 메모리 장치(20c)의 일 예를 나타내는 블록도이다.
- [0126] 도 18은 도 17의 펄스 신호 생성부(225)에서 생성되는 펄스 신호 및 복수의 래치들(L0, L1, L2, L3)에서 래치되는 카운팅 결과를 나타낸다.
- [0127] 도 17 및 도 18을 참조하면, 메모리 장치(20c)는 메모리 셀 어레이(210), 페이지 버퍼부(221b), 카운터(222b),

클럭 신호 생성부(223), 선택부(224) 및 펄스 신호 생성부(225)를 포함할 수 있다.

- [0128] 메모리 셀 어레이(210)는 페이지(PAG)를 포함할 수 있고, 페이지(PAG)는 복수의 섹터들(SEC0, SEC1, SEC2, SEC3)을 포함할 수 있다. 복수의 섹터들(SEC0, SEC1, SEC2, SEC3)은 칼럼 어드레스(Col. ADDR)의 순서를 따를 수 있다. 다시 말해, 페이지(PAG)는 칼럼 어드레스(Col. ADDR)의 순서대로 배열되는 복수의 섹터들(SEC0, SEC1, SEC2, SEC3)을 포함할 수 있다.
- [0129] 도 17에서는 편의상 메모리 셀 어레이(210)에 포함된 하나의 페이지(PAG)만을 도시하였으나, 메모리 셀 어레이(210)는 복수의 페이지들을 포함할 수 있다. 또한, 도 17에서는 편의상 페이지(PAG)가 네 개의 섹터들(SEC0, SEC1, SEC2, SEC3)을 포함하는 것으로 도시하였으나, 본 발명은 이에 한정되지 않는다. 페이지(PAG)에 포함되는 섹터들의 개수는 다양하게 변경될 수 있고, 각 섹터의 사이즈도 다양하게 변경될 수 있다.
- [0130] 페이지 버퍼부(221b)는 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3)을 포함할 수 있고, 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3)은 대응되는 비트라인들을 통해 섹터들(SEC0, SEC1, SEC2, SEC3)과 각각 연결될 수 있다. 이때, 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3) 각각은 복수의 페이지 버퍼들(미도시)을 포함할 수 있고, 복수의 페이지 버퍼들은 대응되는 비트라인들을 통해 메모리 셀들(MC)과 각각 연결될 수 있다.
- [0131] 클럭 신호 생성부(223)는 내부 클럭 신호(CLK)를 생성할 수 있고, 생성된 내부 클럭 신호(CLK)를 선택부(224) 및 펄스 신호 생성부(225)에 제공할 수 있다. 이때, 내부 클럭 신호(CLK)는 페이지 버퍼부(221b)에 임시로 저장된 복수의 데이터들 중 현재 출력될 데이터를 나타낼 수 있다. 내부 클럭 신호(CLK)의 토글링에 의해 현재 출력될 데이터는 계속하여 변경될 수 있다.
- [0132] 선택부(224)는 내부 클럭 신호(CLK)를 수신하고, 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3) 중 수신된 내부 클럭 신호(CLK)에 대응되는 데이터를 선택하여 순차적으로 출력할 수 있다. 구체적으로, 선택부(224)는 내부 클럭 신호(CLK)를 기초로 하여, 복수의 페이지 버퍼 그룹들(PBG0, PBG1, PBG2, PBG3) 중 하나를 선택하여 데이터, 즉, XOR 연산 결과를 순차적으로 출력할 수 있다.
- [0133] 펄스 신호 생성부(225)는 내부 클럭 신호(CLK) 및 섹터 사이즈(SS)를 수신하고, 복수의 섹터들 각각의 종료 시점을 나타내는 펄스 신호(PS)를 생성할 수 있다. 도 18에 도시된 바와 같이, 펄스 신호(PS)는 제1 섹터(SEC0)의 종료 시점에 논리 레벨 '1'로 활성화되는 펄스, 제2 섹터(SEC1)의 종료 시점에 논리 레벨 '1'로 활성화되는 펄스, 제3 섹터(SEC2)의 종료 시점에 논리 레벨 '1'로 활성화되는 펄스, 제4 섹터(SEC3)의 종료 시점에 논리 레벨 '1'로 활성화되는 펄스를 가질 수 있다.
- [0134] 누산기(2221)는 선택부(224)에서 출력되는 XOR 연산 결과를 순차적으로 수신하여, 복수의 섹터들 각각에 대하여 카운팅 결과(CV)를 순차적으로 출력할 수 있다. 이때, 누산기(2221)에서 출력되는 카운팅 결과(CV)는 저장부(2222)에 제공될 수 있으며, 구체적으로, 저장부(2222)에 포함된 제1 래치(L0)에 제공될 수 있다.
- [0135] 저장부(2222)는 복수의 래치들(L0, L1, L2, L3)을 포함할 수 있고, 복수의 래치들(L0, L1, L2, L3)은 펄스 신호(PS)를 수신할 수 있다. 따라서, 복수의 래치들(L0, L1, L2, L3)은 각 섹터에 대응하는 카운팅 결과를 래치할 수 있다. 구체적으로, 제1 래치(L0)는 제4 섹터(SEC3)에 대응하는 카운팅 결과(CV_SEC3)를 래치할 수 있고, 제2 래치(L1)는 제3 섹터(SEC2)에 대응하는 카운팅 결과(CV_SEC2)를 래치할 수 있고, 제3 래치(L2)는 제2 섹터(SEC1)에 대응하는 카운팅 결과(CV_SEC1)를 래치할 수 있고, 제4 래치(L3)는 제1 섹터(SEC0)에 대응하는 카운팅 결과(CV_SEC0)를 래치할 수 있다. 이와 같이, 저장부(2222)는 쉬프트 레지스터로 구현될 수 있다.
- [0136] 본 실시예에 따르면, 복수의 래치들(L0, L1, L2, L3)은 복수의 섹터들(SEC0, SEC1, SEC2, SEC3)에 대한 카운팅 결과들을 각각 래치하고 있으므로, 한번의 연산을 통해 복수의 섹터들(SEC0, SEC1, SEC2, SEC3)에 대한 카운팅 결과들을 모두 획득할 수 있다. 또한, 복수의 래치들(L0, L1, L2, L3) 중 하나를 선택함으로써, 각 섹터에 대한 카운팅 결과를 선택적으로 획득할 수 있다.
- [0137] 도 19는 본 발명의 일 실시예에 따른 메모리 장치의 독출 전압 결정 방법을 나타내는 흐름도이다.
- [0138] 도 19를 참조하면, 본 실시예에 따른 메모리 장치의 독출 전압 결정 방법은 메모리 장치에 포함된 메모리 셀 어레이에 저장된 데이터를 독출하기 위한 독출 전압을 결정하는 방법으로서, 도 1 내지 도 18에 도시된 메모리 장치 및 메모리 시스템에 관하여 이상에서 기술된 내용은 본 실시예에 따른 메모리 장치의 독출 전압 결정 방법에

도 적용된다.

- [0139] S110 단계에서, 복수의 워드라인들 중 선택된 워드라인에 초기 독출 전압을 인가함으로써 선택된 워드라인에 연결된 복수의 메모리 셀들에 대한 독출을 수행한다. 이때, 복수의 메모리 셀들은 복수의 그룹들로 구분되고, 일부 메모리 셀들은 복수의 그룹들 중 ECC 처리 결과에서 실패가 발생한 메모리 셀들일 수 있다. 복수의 그룹들은 메모리 장치에 대한 ECC 처리의 기본 단위에 각각 대응할 수 있다.
- [0140] S120 단계에서, 복수의 메모리 셀들 중 일부 메모리 셀들에 대해 독출 실패가 발생되면, 일부 메모리 셀들의 문턱 전압에 따른 산포 정보를 추출한다. 구체적으로, 일부 메모리 셀들을 지시하는 마스크 패턴을 기초로 하여 일부 메모리 셀들의 문턱 전압에 따른 산포 정보를 추출할 수 있다. 이때, 마스크 패턴은 메모리 장치의 외부에서 수신되고, 수신된 마스크 패턴은 메모리 장치 내의 페이지 버퍼에 저장될 수 있다. 이때, 마스크 패턴은 메모리 컨트롤러로부터 메모리 장치로 입력되는 프로그램 커맨드의 일부 시퀀스에 포함될 수 있다.
- [0141] 일 실시예에서, 산포 정보를 추출하는 단계는 복수의 메모리 셀들에 대하여 복수의 서로 다른 전압 레벨들에서 순차적으로 독출 동작을 수행하는 단계, 및 복수의 서로 다른 전압 레벨들 중 인접한 두 전압 레벨들에서 각각 독출된 데이터들에 대한 제1 논리 연산을 수행하는 단계를 포함할 수 있다. 이때, 제1 논리 연산을 수행하는 단계는, 독출된 데이터들에 대한 XOR 연산 또는 XNOR 연산을 수행하고, XOR 연산 또는 XNOR 연산은 메모리 장치 내에 포함된 페이지 버퍼에서 수행될 수 있다.
- [0142] 일 실시예에서, 상기 산포 정보를 추출하는 단계는 일부 메모리 셀들을 지시하는 마스크 패턴과 제1 논리 연산의 결과에 대해 제2 논리 연산을 수행하는 단계, 및 제2 논리 연산의 결과를 기초로 하여, 복수의 서로 다른 전압 레벨들에 의해 구분되는 복수의 구획들 내에 존재하는 메모리 셀들의 개수를 카운팅하는 단계를 더 포함할 수도 있다.
- [0143] 일 실시예에서, 메모리 장치는 비트라인의 개수에 대응되는 복수의 페이지 버퍼들을 포함하고, 복수의 페이지 버퍼들 각각은 제2 논리 연산을 수행할 수 있다. 또한, 복수의 구획들 내에 존재하는 메모리 셀들의 개수를 카운팅하는 단계는, 복수의 페이지 버퍼들에서 출력되는 제2 논리 연산의 결과들에 대해 병렬 카운팅을 수행할 수 있다.
- [0144] 다른 실시예에서, 메모리 장치는 비트라인의 개수에 대응되는 복수의 페이지 버퍼들을 포함하고, 복수의 페이지 버퍼들 각각은 상기 제2 논리 연산을 수행할 수 있다. 또한, 복수의 구획들 내에 존재하는 메모리 셀들의 개수를 카운팅하는 단계는, 복수의 페이지 버퍼들에서 출력되는 제2 논리 연산의 결과들에 대해 직렬 카운팅을 수행할 수 있다.
- [0145] S130 단계에서, 산포 정보를 기초로 하여 신규 독출 전압을 결정한다. 구체적으로, 카운팅된 결과를 기초로 하여, 복수의 구획들 중 메모리 셀들의 개수가 가장 적은 구획에 대응되는 전압 레벨을 신규 독출 전압으로 결정할 수 있다.
- [0146] 이와 같은 S110 내지 S130 단계는 복수의 메모리 셀들에 대한 독출 실패가 발생되지 않을 때까지 반복 수행될 수 있다.
- [0147] 도 20은 본 발명의 다른 실시예에 따른 메모리 장치의 독출 전압 결정 방법을 나타내는 흐름도이다.
- [0148] 도 20을 참조하면, 본 실시예에 따른 메모리 장치의 독출 전압 결정 방법은 메모리 장치에 포함된 메모리 셀 어레이에 저장된 데이터를 독출하기 위한 독출 전압을 결정하는 방법으로서, 도 1 내지 도 18에 도시된 메모리 장치 및 메모리 시스템에 관하여 이상에서 기술된 내용은 본 실시예에 따른 메모리 장치의 독출 전압 결정 방법에도 적용된다.
- [0149] S210 단계에서, 복수의 페이지들 중 하나에 포함된 메모리 셀들 각각에 대해 서로 다른 전압 레벨들에서 순차적으로 데이터를 독출한다.
- [0150] S220 단계에서, 독출된 데이터들에 대한 논리 연산을 수행한다. 예를 들어, 독출된 데이터들에 대해 XOR 연산을 수행할 수 있다.
- [0151] S230 단계에서, 마스크 패턴을 기초로 하여 논리 연산의 결과를 선택적으로 제공한다. 예를 들어, XOR 연산 결과와 마스크 패턴에 포함된 데이터에 대해 AND 연산을 수행할 수 있다.

- [0152] S240 단계에서, 선택적으로 제공된 논리 연산의 결과를 기초로 하여, 서로 다른 전압 레벨들에 의해 구분되는 복수의 구획들 각각에 존재하는 메모리 셀들의 개수를 카운팅한다.
- [0153] S250 단계에서, 카운팅된 메모리 셀들의 개수를 기초로 하여 메모리 셀들의 인접한 두 상태들 사이의 독출 전압의 최적 전압 레벨을 결정한다.
- [0154] 도 21은 본 발명의 다른 실시예에 따른 메모리 장치의 독출 전압 결정 방법을 나타내는 흐름도이다.
- [0155] 도 21을 참조하면, 본 실시예에 따른 메모리 장치의 독출 전압 결정 방법은 메모리 장치에 포함된 메모리 셀 어레이에 저장된 데이터를 독출하기 위한 독출 전압을 결정하는 방법으로서, 도 1 내지 도 18에 도시된 메모리 장치 및 메모리 시스템에 관하여 이상에서 기술된 내용은 본 실시예에 따른 메모리 장치의 독출 전압 결정 방법에도 적용된다.
- [0156] S310 단계에서, 복수의 페이지들 중 하나에 포함된 메모리 셀들 각각에 대해 서로 다른 전압 레벨들에서 순차적으로 데이터를 독출한다.
- [0157] S320 단계에서, 독출된 데이터들에 대한 논리 연산을 수행한다. 예를 들어, 독출된 데이터들에 대해 XOR 연산을 수행할 수 있다.
- [0158] S330 단계에서, 복수의 페이지들 중 하나에 포함된 복수의 섹터들 각각에 대한 논리 연산의 결과를 순차적으로 수신하고, 복수의 섹터들 각각에 대한 카운팅 결과를 순차적으로 출력한다.
- [0159] S340 단계에서, 복수의 섹터들 각각에 대응하는 카운팅 결과를 각각 저장한다.
- [0160] S350 단계에서, 카운팅된 메모리 셀들의 개수를 기초로 하여 메모리 셀들의 인접한 두 상태들 사이의 독출 전압의 최적 전압 레벨을 결정한다.
- [0161] 도 22는 본 발명의 실시예들에 따른 메모리 시스템을 포함하는 컴퓨팅 시스템을 나타내는 블록도이다.
- [0162] 도 22를 참조하면, 컴퓨팅 시스템(1000)은 프로세서(1100), RAM(1200), 입출력 장치(1300), 전원 장치(1400) 및 메모리 시스템(1)을 포함할 수 있다. 한편, 도 32에는 도시되지 않았지만, 컴퓨팅 시스템(1000)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기들과 통신할 수 있는 포트(port)들을 더 포함할 수 있다. 컴퓨팅 시스템(1000)은 퍼스널 컴퓨터로 구현되거나, 노트북 컴퓨터, 휴대폰, PDA(personal digital assistant) 및 카메라 등과 같은 휴대용 전자 장치로 구현될 수 있다.
- [0163] 프로세서(1100)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1100)는 마이크로프로세서(micro-processor), 중앙 처리 장치(Central Processing Unit; CPU)일 수 있다. 프로세서(1100)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등과 같은 버스(1500)를 통하여 RAM(1200), 입출력 장치(1300) 및 메모리 시스템(1)과 통신을 수행할 수 있다. 실시예에 따라, 프로세서(1100)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.
- [0164] RAM(1200)은 컴퓨팅 시스템(1000)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, RAM(1200)은 디램(DRAM), 모바일 디램, 에스램(SRAM), 피램(PRAM), 에프램(FRAM), 알램(RRAM) 및/또는 엠램(MRAM)으로 구현될 수 있다.
- [0165] 입출력 장치(1300)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터, 디스플레이 등과 같은 출력 수단을 포함할 수 있다. 전원 장치(1400)는 컴퓨팅 시스템(1000)의 동작에 필요한 동작 전압을 공급할 수 있다.
- [0166] 다른 예로서, 본 실시예들에 따른 메모리 장치(20, 20a, 20b, 20c) 및 메모리 시스템(1)은 컴퓨터, UMPC(Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA(personal digital assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트 폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB(digital multimedia broadcasting) 재생기, 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네

트위크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

[0167] 또한, 본 발명의 실시예들에 따른 메모리 장치(20, 20a, 20b, 20c) 및 메모리 시스템(1)은 다양한 형태의 패키지를 이용하여 실장될 수 있다. 예를 들어, 메모리 장치(20, 20a, 20b, 20c) 및 메모리 시스템(1)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다

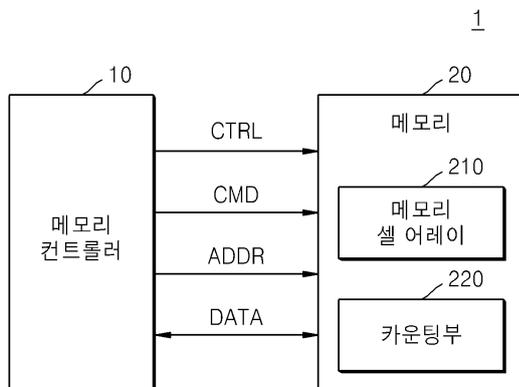
[0168] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

- [0169] 1: 메모리 시스템
- 10: 메모리 컨트롤러
- 20, 20a, 20b, 20c: 메모리 장치
- 210: 메모리 셀 어레이
- 220: 카운팅부
- 221a, 221b: 복수의 페이지 버퍼들
- 222a, 222b: 카운터
- 223: 클럭 신호 생성부
- 224: 선택부
- 225: 펄스 신호 생성부

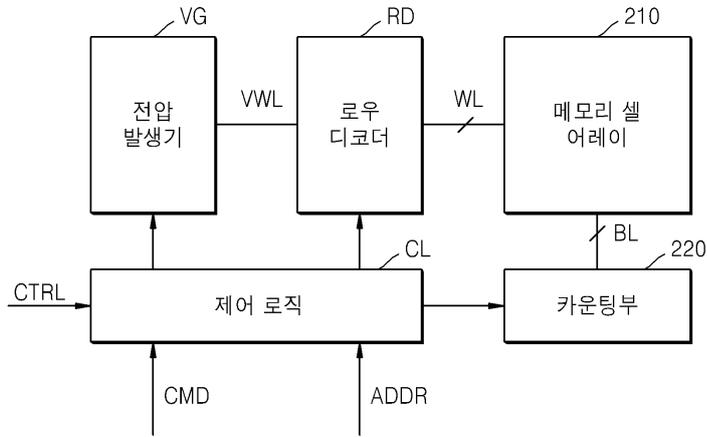
도면

도면1



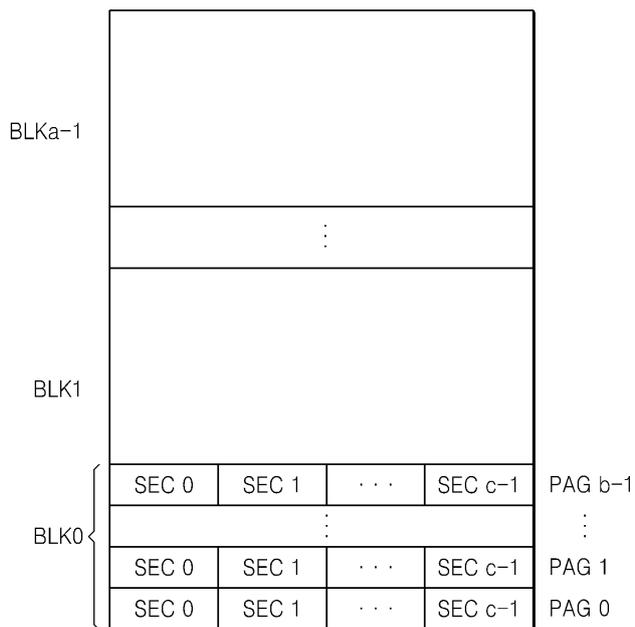
도면2

20

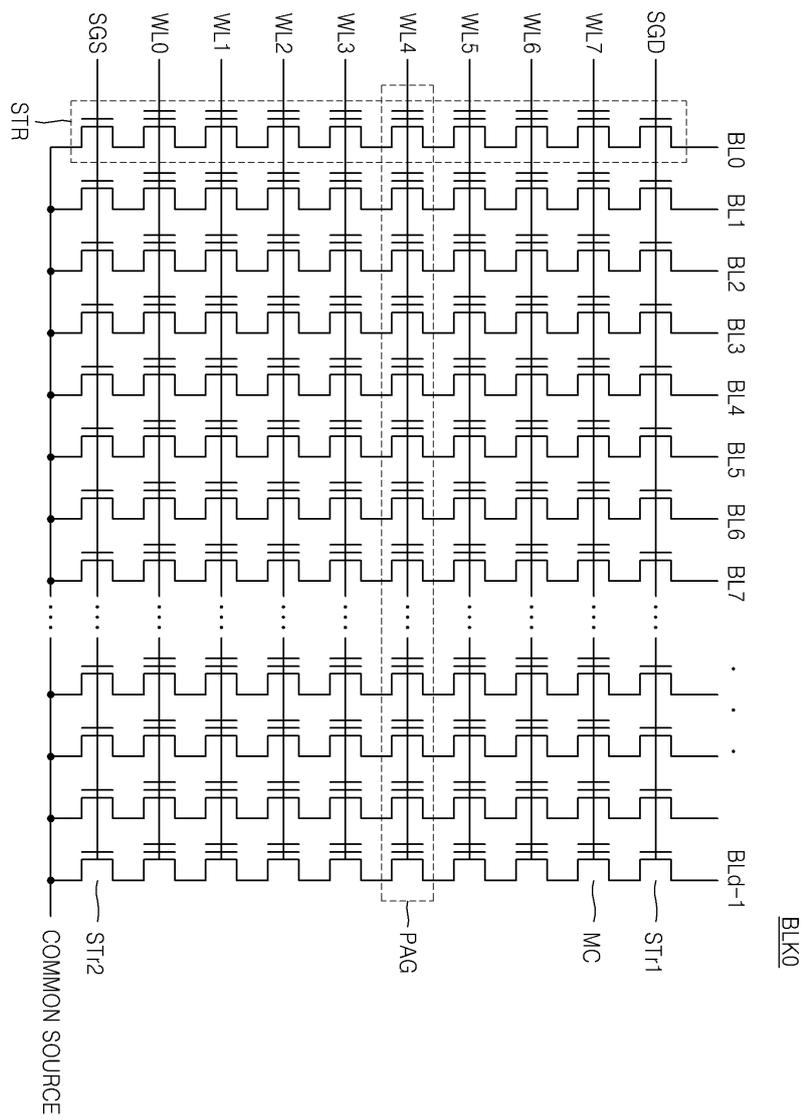


도면3

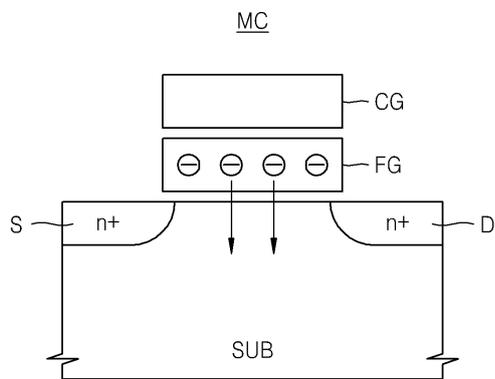
210



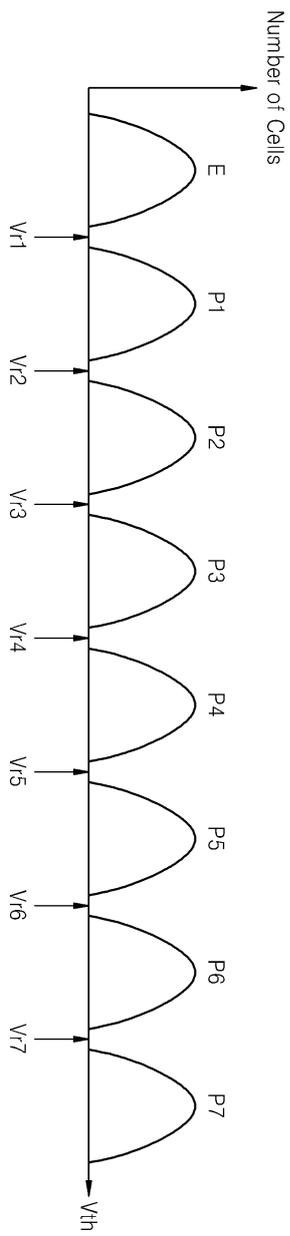
도면4



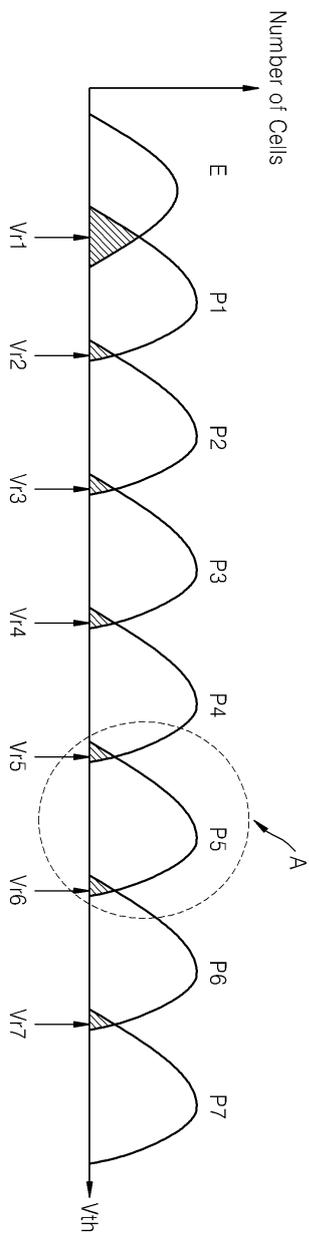
도면5



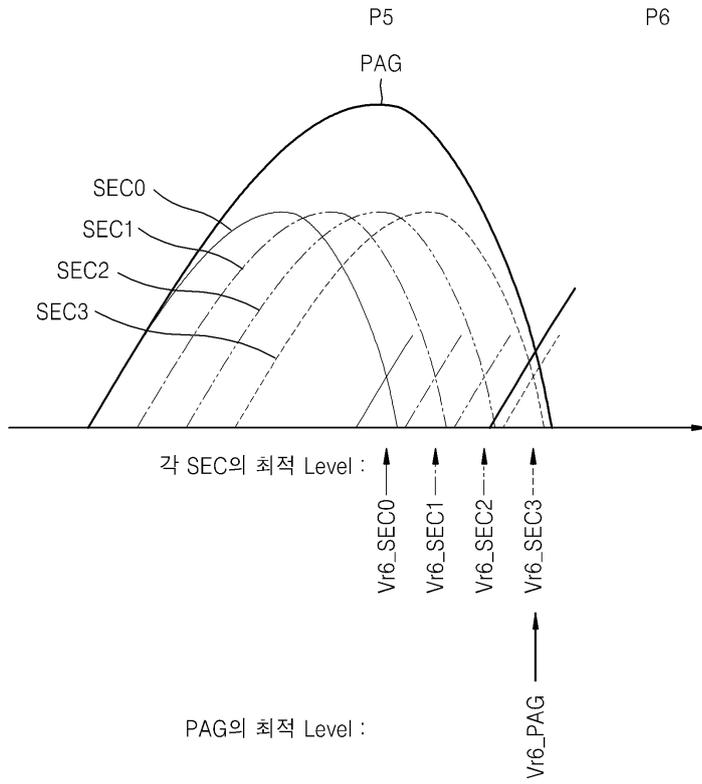
도면6a



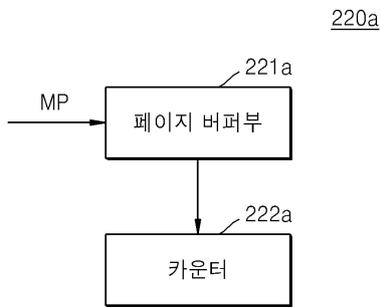
도면6b



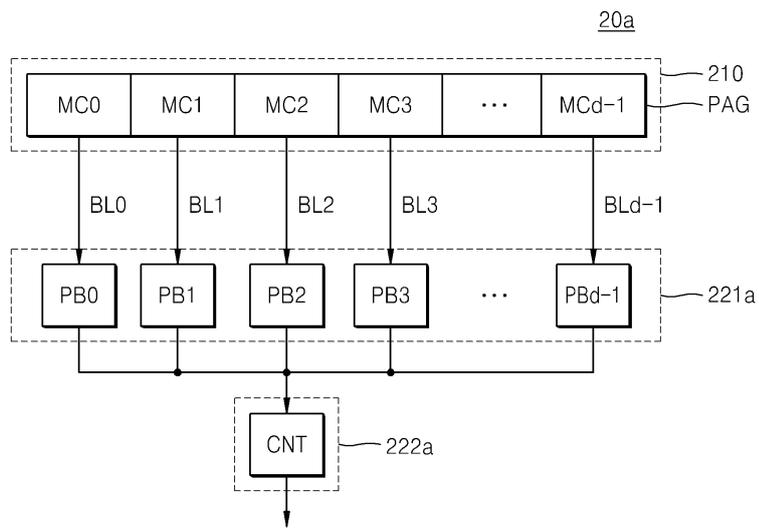
도면7



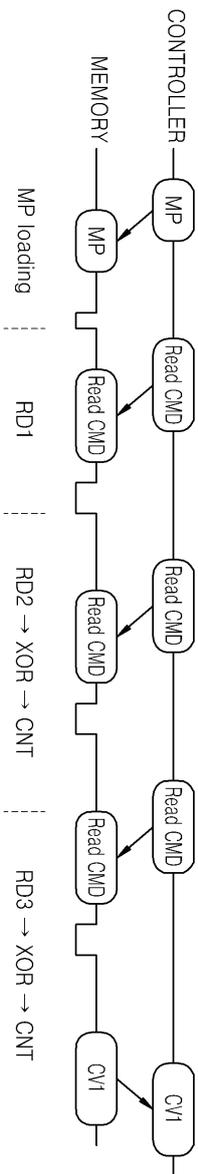
도면8



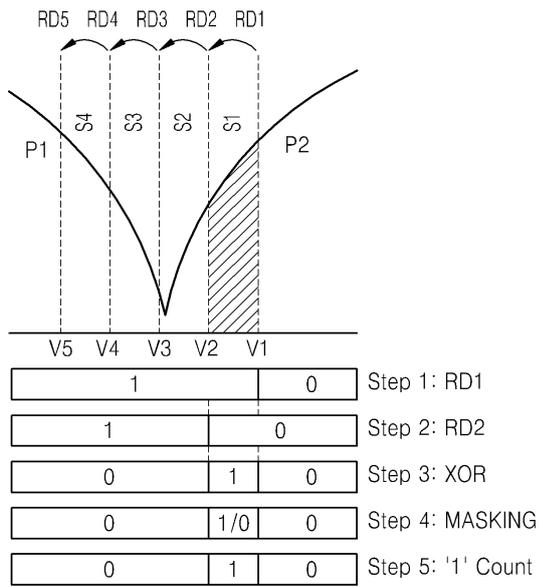
도면9



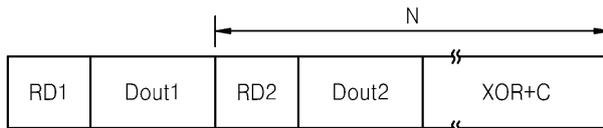
도면10



도면11



도면12

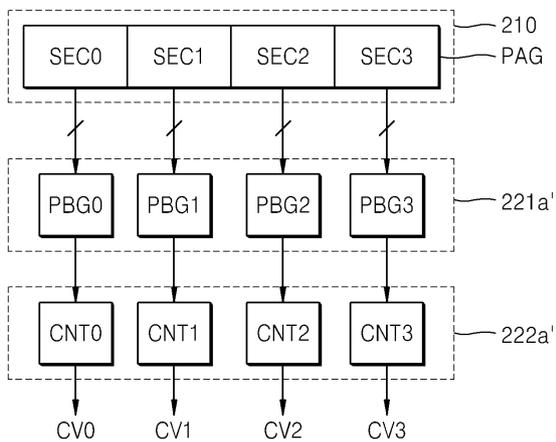


도면13

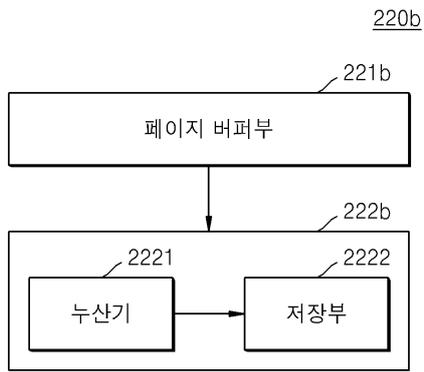


도면14

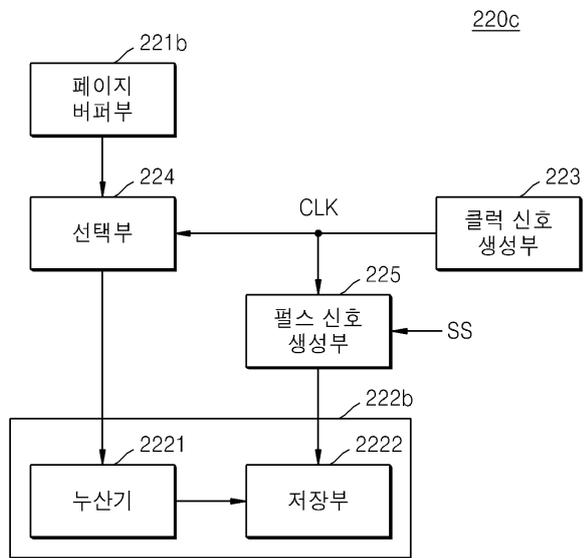
20b



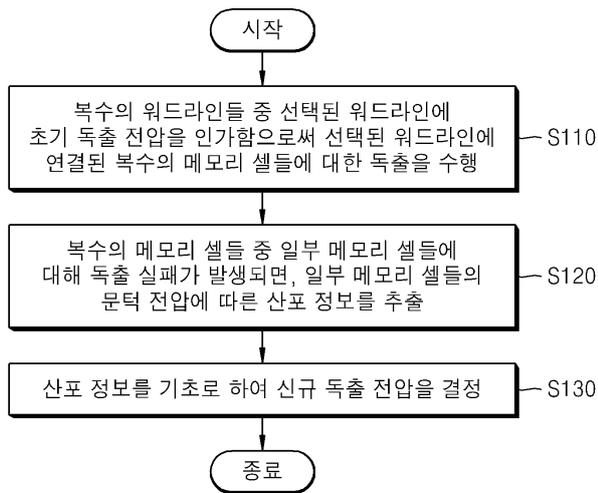
도면15



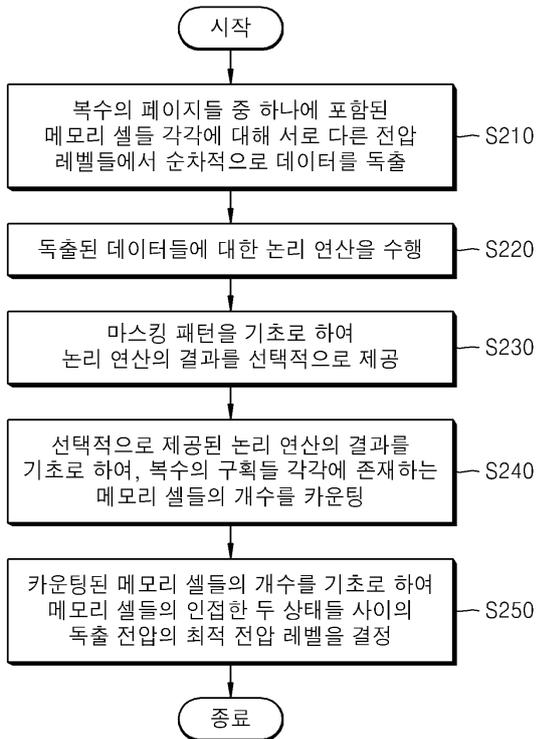
도면16



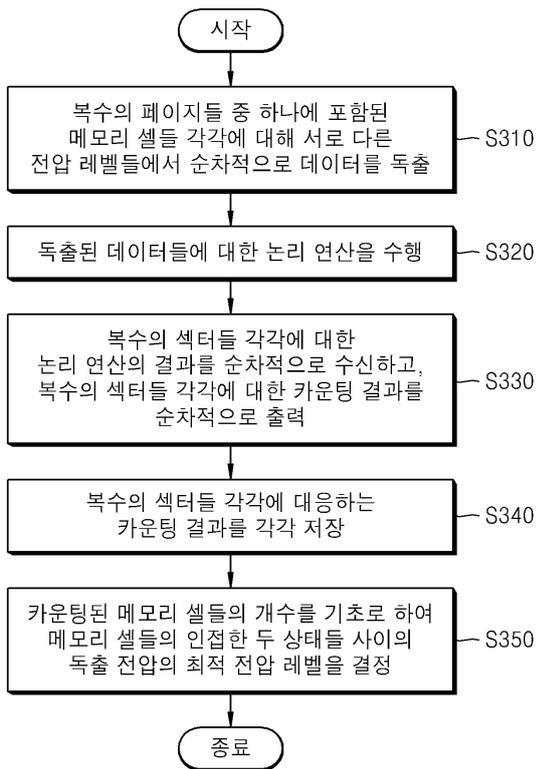
도면19



도면20



도면21



도면22

