

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200610007485.2

[45] 授权公告日 2009年1月14日

[11] 授权公告号 CN 100452432C

[22] 申请日 2006.2.14

[21] 申请号 200610007485.2

[30] 优先权

[32] 2005.2.15 [33] US [31] 10/906,335

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 朱慧珑 B·B·多里斯

[56] 参考文献

US2004/0099903A1 2004.5.27

US2004/0217420A1 2004.11.4

CN1534745A 2004.10.6

审查员 穆 堃

[74] 专利代理机构 北京市中咨律师事务所

代理人 于 静 李 峥

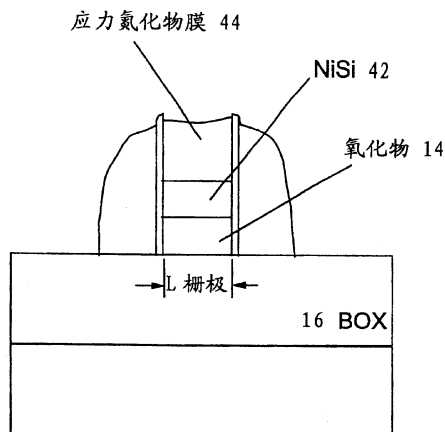
权利要求书4页 说明书8页 附图31页

[54] 发明名称

鳍片场效应晶体管及制造鳍片场效应晶体管的方法

[57] 摘要

用应力材料替代 FINFET 的栅极的一部分以给 FINFET 的沟道施加应力以提高电子和空穴迁移率并提高性能。FINFET 具有 SiGe/Si 叠层栅极，并且在栅极的 SiGe 部分硅化之前有选择地蚀刻以形成栅极间隙，所述栅极间隙使栅极足够薄以便完全硅化。在硅化后，用应力氮化物膜填充栅极间隙以在沟道中产生应力并提高 FINFET 的性能。



1. 一种鳍片场效应晶体管，具有施加到鳍片场效应晶体管沟道的应力以提高电子和空穴迁移率以提高性能，包括：

源极，漏极和栅极；

所述栅极包括叠层栅极，其中有选择地蚀刻所述栅极的一部分以形成栅极间隙，所述栅极间隙用应力膜重填充以在所述鳍片场效应晶体管沟道中产生应力，以提高电子和空穴迁移率并且提高鳍片场效应晶体管的性能。

2. 根据权利要求1的鳍片场效应晶体管，其中所述栅极包括多晶-SiGe/多晶-Si叠层栅极，并且有选择地蚀刻所述栅极的多晶-SiGe部分以形成栅极间隙，所述栅极间隙用应力膜重填充以在所述鳍片场效应晶体管沟道中产生应力。

3. 根据权利要求1的鳍片场效应晶体管，其中所述栅极间隙用应力氮化物膜重填充以在所述鳍片场效应晶体管沟道中产生应力。

4. 根据权利要求1的鳍片场效应晶体管，其中所述栅极间隙用压缩应力氮化物膜重填充以在p型鳍片场效应晶体管沟道中产生应力。

5. 根据权利要求1的鳍片场效应晶体管，其中所述栅极间隙用拉伸应力氮化物膜重填充以在n型鳍片场效应晶体管沟道中产生应力。

6. 根据权利要求1的鳍片场效应晶体管，包括另一应力氮化物膜，覆盖所述鳍片场效应晶体管以进一步给所述沟道施加应力。

7. 根据权利要求1的鳍片场效应晶体管，包括另一拉伸应力氮化物膜，覆盖n型鳍片场效应晶体管以进一步给n型鳍片场效应晶体管的沟道施加应力。

8. 根据权利要求1的鳍片场效应晶体管，包括另一压缩应力氮化物膜，覆盖p型鳍片场效应晶体管以进一步给p型鳍片场效应晶体管的沟道施加应力。

9. 根据权利要求1的鳍片场效应晶体管，在集成电路中，具有所述鳍

片场效应晶体管作为所述集成电路的一个元件。

10. 一种制造应变鳍片场效应晶体管的方法，所述方法使用应力材料替代栅极的一部分以给鳍片场效应晶体管的沟道施加应力，所述方法包括以下步骤：

形成鳍片场效应晶体管，具有源极，漏极以及由具有不同蚀刻特性的两种不同类型的半导体材料构成的叠层栅极；

有选择地蚀刻所述叠层栅极的两种不同类型的半导体材料的一种以形成栅极间隙；

用应力膜重填充所述栅极间隙以在鳍片场效应晶体管沟道中产生应力，以提高电子和空穴迁移率并且提高鳍片场效应晶体管的性能。

11. 根据权利要求 10 的方法，包括形成如多晶-SiGe/多晶-Si 叠层栅极的叠层栅极，并且有选择地蚀刻所述栅极的多晶-SiGe 部分以形成所述栅极间隙。

12. 根据权利要求 10 的方法，包括用应力氮化物膜重填充所述栅极间隙以在鳍片场效应晶体管沟道中产生应力。

13. 根据权利要求 10 的方法，包括用压缩应力氮化物膜重填充所述栅极间隙以在 p 型鳍片场效应晶体管沟道中产生应力。

14. 根据权利要求 10 的方法，包括用拉伸应力氮化物膜重填充所述栅极间隙以在 n 型鳍片场效应晶体管沟道中产生应力。

15. 根据权利要求 10 的方法，包括用另一应力氮化物膜覆盖所述鳍片场效应晶体管以进一步给所述沟道施加应力。

16. 根据权利要求 10 的方法，包括用另一拉伸应力氮化物膜覆盖 n 型鳍片场效应晶体管以进一步给 n 型鳍片场效应晶体管的沟道施加应力。

17. 根据权利要求 10 的方法，包括用另一压缩应力氮化物膜覆盖 p 型鳍片场效应晶体管以进一步给 p 型鳍片场效应晶体管的沟道施加应力。

18. 一种用于制造应变鳍片场效应晶体管的方法，所述方法使用应力材料替代栅极的一部分以给鳍片场效应晶体管的沟道施加应力，所述方法包括以下步骤：

起始于 Si 鳍片，在所述 Si 鳍片的侧壁上具有侧壁保护层，在所述 Si 鳍片上沉积多晶-Si 层并随后沉积多晶-SiGe；

构图光致抗蚀剂用于栅极反应离子蚀刻；

反应离子蚀刻多晶-SiGe 并且反应离子蚀刻多晶-Si 以形成栅极；

对多晶-Si 具有选择性地蚀刻多晶-SiGe，其中蚀刻掉所述栅极的所述 SiGe 部分以在所述栅极中形成间隙；

形成硅化物接触；以及

沉积应力膜以填充所述栅极中的所述间隙。

19. 根据权利要求 18 的方法，其中在反应离子蚀刻步骤之后包括以下步骤：

注入掺杂剂用于延伸形成；

沉积氮化物并反应离子蚀刻所述氮化物以在所述栅极侧壁上形成氮化物隔离物；以及

源极和漏极掺杂剂注入并退火。

20. 根据权利要求 18 的方法，其中在反应离子蚀刻步骤之后包括以下步骤：

热重氧化所述栅极侧壁以形成薄氧化物来保护所述栅极侧壁和/或用作延伸注入的隔离物；以及

倾斜掺杂剂注入用于延伸形成。

21. 根据权利要求 18 的方法，其中在所述沉积应力膜的步骤之后，各向同性回蚀刻所述应力膜以移除在源极和漏极区域中的应力膜。

22. 根据权利要求 18 的方法，包括通过湿蚀刻源极和漏极区域中的薄氧化物形成硅化物接触，沉积薄 Ni 层并退火以形成 NiSi。

23. 根据权利要求 18 的方法，包括为 p 型鳍片场效应晶体管沉积压缩应力氮化物膜。

24. 根据权利要求 18 的方法，包括为 n 型鳍片场效应晶体管沉积拉伸应力氮化物膜。

25. 根据权利要求 18 的方法，包括用另一应力氮化物膜覆盖所述鳍片

---

场效应晶体管以进一步给所述沟道施加应力。

26. 根据权利要求 18 的方法，包括用另一拉伸应力氮化物膜覆盖 n 型鳍片场效应晶体管以进一步给所述沟道施加应力。

27. 根据权利要求 18 的方法，包括用另一压缩应力氮化物膜覆盖 p 型鳍片场效应晶体管以进一步给所述沟道施加应力。

## 鳍片场效应晶体管及制造鳍片场效应晶体管的方法

### 技术领域

本发明主要涉及具有很薄垂直硅层（鳍片）用于沟道的应变双栅极金属氧化物半导体场效应晶体管（MOSFET）的结构，称为 FINFET，以及制造应变 FINFET 的方法，该方法用应力材料替代 FINFET 的栅极的一部分以向 FINFET 的沟道提供应力。该应力提高电子和空穴迁移率并提高 FINFET 的性能。更具体地说，用应力氮化物膜替代 FINFET 的 SiGe/Si 叠层栅极的 SiGe 部分以向 FINFET 的沟道提供应力。

### 背景技术

在过去的大约 25 年，超大规模集成（VLSI）的主要挑战是具有高产量和可靠性的金属氧化物半导体场效应晶体管（MOSFET）的集成数目的不断提高。这在现有技术中主要通过降低 MOSFET 沟道长度而没有过多短沟道效应获得。如本领域的技术人员公知的，短沟道效应是因为在栅极和源极/漏极扩散区域之间共享的二维静电电荷引起短沟道器件中阈值电压  $V_t$  的降低效应。

为了降低 MOSFET 沟道长度而没有过多短沟道效应，在提高沟道掺杂浓度时必须减小栅极氧化物的厚度。然而，Yan 等人的“Scaling the Si MOSFET: From bulk to SOI to bulk”，IEEE Trans. Elect. Dev., Vol. 39, p. 1704, July 1992，示出为了减小亚  $0.05\mu\text{m}$  MOSFET 的短沟道效应，重要的是在结构中存在背部传导层以从沟道屏蔽漏极场。Yan 等人的结果示出双栅极 MOSFET 和具有顶部栅极和背部接地平面的 MOSFET 对短沟道效应有更高的免疫力并且因此可以比常规 MOSFET 降低到更短的尺寸。

现有双栅极 MOSFET 的典型结构包括很薄垂直硅层（鳍片）用于沟

道,具有两个栅极,在沟道的每一侧各有一个。这里使用术语“鳍片(Fin)”表示用作FET的主体的半导体材料。这两个栅极是电连接的以使用于调制沟道。在这样的结构中短沟道效应被极大地抑制,因为两个栅极很有效地终止漏极场线,抑制在沟道的源极末端感应到漏极电势。从而,伴随漏极电压和现有双栅极MOSFET的栅极长度的阈值电压的改变显著小于相同沟道长度的常规单栅极结构。

对于FinFET CMOS(互补金属氧化物半导体)的应用,有益的是尽可能为器件主体提供具有最薄单晶硅Fin的结构。然而,这使得源极和漏极区域的接触非常困难。为了促进硅化物的生长和金属接触的配置,优选地,Fin的器件部分非常薄,而源极和漏极区域较厚。

现有技术已知,应力可以提高FINFET沟道中的电子和空穴的迁移率,但是在FINFET沟道中提供大的应力很困难。沿沟道的压缩纵向应力增加p-型场效应晶体管(pFET)中的驱动电流并减小n-型场效应晶体管(nFET)中的驱动电流。如果拉伸强度在1.0Gpa或更小的量级,沿沟道的拉伸纵向应力增加nFET中的驱动电流并减小pFET中的驱动电流。

## 发明内容

本发明提供了应变FINFET的结构和制造应变FINFET的方法,该方法用应力材料替代栅极的一部分以给FINFET的沟道施加应力以提高电子和空穴迁移率并提高FINFET的性能。该FINFET具有SiGe/Si叠层栅极并且在栅极的SiGe部分硅化之前有选择地蚀刻以形成栅极间隙,所述栅极间隙使栅极足够薄以便完全硅化。在硅化后,用应力氮化物膜填充栅极间隙。这在沟道中产生应力并提高FINFET的性能。

## 附图说明

通过随后本发明的几个实施例的详细描述并参考附图,本领域的技术人员将更容易理解用于制造应变FINFET的结构和方法的本发明的前述目的和优点,其中在所有几个视图中相似的元素用同样的标号表示,其中:

图 1 示出了在掩埋氧化物 (BOX) 上的绝缘体上硅 (SOI)。

图 2 示出了制造 Si 鳍片的常规步骤。

图 3 示出了在 BOX 上形成的 Si 鳍片。

图 4 示出了热氧化以在 Si 鳍片的侧壁上形成栅极氧化物。

图 5 示出了沉积多晶-Si 层并随后沉积多晶-SiGe 层。

图 6 和 6A 示出了构图光致抗蚀剂 (PR) 用于栅极反应离子蚀刻 (RIE), 图 6 中示出顶视图, 以及图 6A 中示出沿图 6 中箭头 A-A 的侧面截面图。

图 7、7A 和 7B 示出了 RIE 多晶-SiGe 并且 RIE 多晶-Si 以形成栅极, 图 7 中示出顶视图, 图 7A 中示出沿图 7 中箭头 A-A 的侧面截面图, 以及图 7B 中示出沿图 7 中箭头 B-B 的侧面截面图。

图 8 是顶视图, 示出了热重氧化以形成薄氧化物来保护栅极侧壁和/或用作延伸注入的隔离物。

图 9B 是沿箭头 B-B (如图 8 中) 的侧面截面图, 示出了用于延伸形成的倾斜掺杂剂注入。

图 10、10A、10B、10C 和 10D 示出了沉积氮化物并 RIE 氮化物以在栅极侧壁上形成氮化物隔离物, 图 10 中示出顶视图, 图 10A 中示出沿图 10 中箭头 A-A 的侧面截面图, 图 10B 中示出沿图 10 中箭头 B-B 的侧面截面图, 图 10C 中示出沿图 10 中箭头 C-C 的侧面截面图, 以及图 10D 中示出沿图 10 中箭头 D-D 的侧面截面图。

图 11A 和 11D 示出了 SD (源极漏极) 注入和退火, 图 11A 中示出沿箭头 A-A (如图 10 中) 的侧面截面图, 以及图 11D 中示出沿箭头 D-D (如图 10 中) 的侧面截面图。

图 12、12A 和 12C 示出了对 Si 具有选择性地蚀刻多晶-SiGe, 图 12 中示出顶视图, 图 12A 中示出沿图 12 中箭头 A-A 的侧面截面图, 以及图 12C 中示出沿图 12 中箭头 C-C 的侧面截面图。

图 13、13A 和 13C 示出了形成硅化物接触的常规方法, 图 13 中示出顶视图, 图 13A 中示出沿图 13 中箭头 A-A 的侧面截面图, 以及图 13C 中示出沿图 13 中箭头 C-C 的侧面截面图。



图 14、14A 和 14C 示出了沉积应力氮化物膜以填充栅极间隙，图 14 中示出顶视图，图 14A 中示出沿图 14 中箭头 A-A 的侧面截面图，以及图 14C 中示出沿图 14 中箭头 C-C 的侧面截面图。

图 15、15A 和 15C 示出了各向同性回蚀刻应力氮化物膜，图 15 中示出顶视图，图 15A 中示出沿图 15 中箭头 A-A 的侧面截面图，以及图 15C 中示出沿图 15 中箭头 C-C 的侧面截面图。

### 具体实施方式

应力可以提高电子和空穴的迁移率，但是在 FINFET 器件的沟道中提供大的应力很困难。本发明用应力材料替代 FINFET 的栅极的一部分以向 FINFET 的沟道提供应力以提高电子和空穴迁移率并且提高 FINFET 的性能。更具体地说，本发明用应力氮化物膜替代 FINFET 的 SiGe/Si 叠层栅极的 SiGe 部分以向 FINFET 的沟道提供应力来提高电子和空穴迁移率并且提高 FINFET 的性能。

通常，本发明使用 SiGe/Si 叠层栅极替代多晶-Si 栅极。在硅化前，选择性蚀刻栅极的 SiGe 部分以使栅极足够薄以完全硅化。在硅化并蚀刻残余金属后，用应力氮化物膜重填充栅极间隙。这在沟道中产生应力并提高 FINFET 的性能。其它工艺步骤可以与用于制造常规 FINFET 的步骤相同。

随后的步骤一般对应图 1 到 15 中所示的步骤。

初始，由在 BOX（掩埋氧化物）16 上的 SOI 10（硅 12 在氧化物绝缘体 14 上）晶片开始（SOI 厚~50-100nm），如在图 1 中所示。衬底优选 SOI，但不仅限于 SOI，还可以包括任意如 GaAs，InAs 以及其它类似半导体的半导体材料。含硅材料包括但并不仅限于：Si，体 Si，单晶 Si，多晶 Si，SiGe，非晶 Si，绝缘体上硅（SOI），绝缘体上硅锗（SGOI），绝缘体上应变硅，退火多晶 Si 和多晶硅线结构。

当衬底 10 是绝缘体上硅（SOI）或绝缘体上硅锗（SGOI）衬底时，在掩埋绝缘层顶部的含硅层的厚度可以具有 10nm 或更大的量级。绝缘体或介质可以是氧化物，氮化物或氧氮化物。SOI 或 SGOI 衬底可以使用本

领域的技术人员公知的技术形成。例如，SOI 或 SGOI 衬底可以使用热接合工艺或可选地由离子注入工艺形成，这在技术上称为氧离子注入隔离 (SIMOX)。

在衬底顶部形成的栅极介质层优选氧化物或氮化物材料，并且通常大于 0.8nm 厚，并且优选从约 1.0nm 到约 6.0nm 厚。栅极介质层还可以由氮氧化物或这样的材料的组合构成。栅极介质层可以使用如化学气相沉积 (CVD)，原子层 CVD (ALCVD)，脉冲 CVD，等离子体辅助 CVD，溅射以及化学溶液沉积等常规技术形成，或可选地，栅极介质层可以由热生长工艺形成，该工艺可以包括氧化，氧氮化，氮化和/或等离子体或放射处理。可以用作栅极介质的氧化物的合适例子包括但并不仅限于： $\text{SiO}_2$ ， $\text{Al}_2\text{O}_3$ ， $\text{ZrO}_2$ ， $\text{HfO}_2$ ， $\text{Ta}_2\text{O}_3$ ， $\text{TiO}_2$ ，钙钛矿型氧化物及其组合和多层。随后蚀刻栅极介质层以形成栅极介质。

随后是常规步骤制造 Si 鳍片。沉积硬掩膜氮化物层 18 (~20-40nm) 并构图光致抗蚀剂 (PR) 20，如图 2 中所示。反应离子蚀刻 (RIE) 氮化物 18，RIE SOI 10 在 BOX 16 上停止，定时 RIE 氧化物/BOX 以获得 ~20-40nm 的蚀刻深度 (以提供更均匀的应力经过 Si 鳍片，蚀刻入 BOX) 并移除 PR 20，如图 3 中所示。

该结构利用本领域的技术人员公知的常规工艺形成。例如利用如化学气相沉积 (CVD)，等离子体辅助 CVD，化学溶液沉积等常规沉积工艺在半导体材料层 10 顶部形成硬掩膜 18。可选地，利用常规的热氧化工艺并随后进行氮化工艺在半导体主体上生长硬掩膜。这两种热处理工艺即氧化和氮化对本领域的技术人员都是公知的。本发明还期望通过沉积形成一种硬掩膜材料层，并通过热氧化/氮化工艺形成另一材料层。

下一步，如在图 2 中所示，利用常规的平版印刷和蚀刻构图氮化物层 18。具体地，平版印刷工艺包括向氮化物层提供光致抗蚀剂，将光致抗蚀剂层暴露于辐射图形并利用常规抗蚀剂显影液将图形显影在光致抗蚀剂中。在构图光致抗蚀剂后，利用移除氮化物与移除氧化物相比有高选择性的蚀刻工艺移除没有被构图的光致抗蚀剂保护的氮化物层的暴露部分。

可以用于形成构图的氮化物层的合适的蚀刻类型包括但不限于：反应离子蚀刻，离子束蚀刻，等离子体蚀刻或激光烧蚀。在此蚀刻步骤后，可以从该结构移除光致抗蚀剂。

随后热氧化 Si 鳍片 22 以在 Si 鳍片的侧壁上形成栅极氧化物 24，如图 4 中所示。在可选的实施例中，通过使用氮化物和氧氮化物可以获得其它形式的侧壁保护。

下一步，沉积多晶-Si 层 26 (~20-30nm) 并随后沉积多晶-SiGe 层 28 (~80-100nm)，如图 5 中所示。多晶-Si 26 还可以是这里提到的其它形式的半导体或 Si。同样，多晶-SiGe 层 28 还可以是如 Ge 的其它形式的半导体。在随后的蚀刻步骤中对两种材料进行不同的蚀刻是重要的，如图 12 中所示。

随后，构图 PR 30 用于栅极 RIE，如图 6 的顶视图和沿图 6 中箭头 A-A 的图 6A 的侧面截面图所示。下一步 RIE 多晶-SiGe 28 并 RIE 多晶-Si 26 以形成栅极，并移除 PR 30，如图 7 的顶视图，沿图 7 中箭头 A-A 的图 7A 的侧面截面图，和沿图 7 中箭头 B-B 的图 7B 的侧面截面图所示。

随后，热重氧化以形成薄氧化物 32 来保护栅极侧壁和/或用作延伸注入的隔离物，如图 8 的顶视图所示。在可选的实施例中，在氮化物和氧氮化物中可利用其它形式的保护。然而，当倒角拐角时优选热重氧化。

下一步，进行倾斜掺杂剂注入 34 用于延伸形成，如沿箭头 B-B (如图 8 中) 的图 9B 的侧面截面图所示。如果需要，可以进行如图 8 中晕圈离子/注入 (晕圈 I/I) 箭头指示的晕圈注入。所有的注入步骤与那些常规的 FINFET 制造步骤相同。

随后，沉积氮化物 (30~50nm) 并 RIE 该氮化物以在栅极侧壁上形成氮化物隔离物 36，如图 10 的顶视图，沿图 10 中箭头 A-A 的图 10A 的侧面截面图，沿图 10 中箭头 B-B 的图 10B 的侧面截面图，沿图 10 中箭头 C-C 的图 10C 的侧面截面图，沿图 10 中箭头 D-D 的图 10D 的侧面截面图所示。这些工艺又与用于形成 FINFET 隔离物的常规步骤相同。

下一步，进行 SD (源极漏极) 掺杂剂注入 38 并进行 SD 退火。SD 掺

杂质注入 38 掺杂 SD 区域和栅极, 并且对于 FINFET 的完全硅化栅极可以用于调节 FINFET 器件的阈值电压, 如在沿箭头 A-A (如图 10 中) 的图 11A 的侧面截面图, 和沿箭头 D-D (如图 10 中) 的图 11D 的侧面截面图所示。执行常规的注入步骤以便在结构中在与鳍片 22 邻接的区域中形成源极/漏极注入区域。此时掺杂可以是 n 或 p-型。在本发明的一个实施例中, 使用如 As 和 B 的不同的注入核素掺杂与鳍片 22 邻接的暴露区域以便分别形成具有施主或受主杂质的源极/漏极区域。

随后, 对 Si 26 具有选择性地干蚀刻 (等离子体) 多晶-SiGe 28, 如在图 12 的顶视图, 沿图 12 中箭头 A-A 的图 12A 的侧面截面图, 和沿图 12 中箭头 C-C 的图 12C 的侧面截面图所示, 图 12C 示出了移除栅极的 SiGe 部分以在多晶-Si 上形成间隙 40 并使栅极足够薄以便完全硅化。在此实例中, 蚀刻掉栅极的 SiGe 部分以形成间隙并且使栅极变薄, 这增加了栅极的电阻。最后的硅化工艺降低栅极的电阻到较能接受的水平。

随后, 跟随常规方法以制造硅化物接触, 如图 13 的顶视图, 沿图 13 中箭头 A-A 的图 13A 的侧面截面图, 以及沿图 13 中箭头 C-C 的图 13C 的侧面截面图所示。首先在 SD 区域中湿蚀刻薄氧化物。随后沉积薄金属膜 (优选 4-10nm Ni) 并且退火 (在 300-450°C) 以形成 NiSi 42。随后湿蚀刻残留金属。在硅化工艺期间多晶-Si 转变为 NiSi 42。

下一步, 沉积应力氮化物膜 44 以填充栅极的间隙, 如图 14 的顶视图, 沿图 14 中箭头 A-A 的图 14A 的侧面截面图, 以及沿图 14 中箭头 C-C 的图 14C 的侧面截面图所示。优选为 nFINFET 沉积压缩氮化物膜并为 pFINFET 沉积拉伸氮化物膜。如技术人员所公知的, 可以通过改变等离子体沉积功率选择沉积压缩氮化物膜或拉伸氮化物膜。在本发明中可以使用其它应力材料如钨的金属替代氮化物膜, 但是氮化物膜在一致性上有优势。

本发明的应力产生膜可以包括氮化物, 优选  $\text{Si}_3\text{N}_4$  或可选地 TiN, 氧化物,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{HfSiO}$ , 以及在半导体工艺中普通的其它介质材料或其任意组合。应力产生膜具有的厚度范围从约 10nm 到约 100nm。应力产生膜可以在器件沟道中提供压缩应力以提高 pFET 性能或在器件沟

道中提供拉伸应力以提高 nFET 性能。

随后各向同性回蚀刻应力氮化物膜，如图 15 的顶视图，沿图 15 中箭头 A-A 的图 15A 的侧面截面图，以及沿图 15 中箭头 C-C 的图 15C 的侧面截面图所示。来自栅极中和 SD 区域中的应力膜的沟道中的应力可以互相抵消或减小。因为移除了在 SD 区域中的应力膜，此氮化物回牵步骤提高沟道中的应力。此步骤后，跟随常规工艺以完成器件。

另外的选择是使用另一应力氮化物膜覆盖整个器件以增加沟道应力。此时对 nFINFET 优选使用拉伸膜并且对 pFINFET 优选使用压缩膜。

虽然这里从细节上描述了本发明的结构和用于制造应变 FINFET 的方法的几个实施例和变化，对本领域的技术人员来说明显的是，本发明的公开和教导还暗示许多可选的设计。

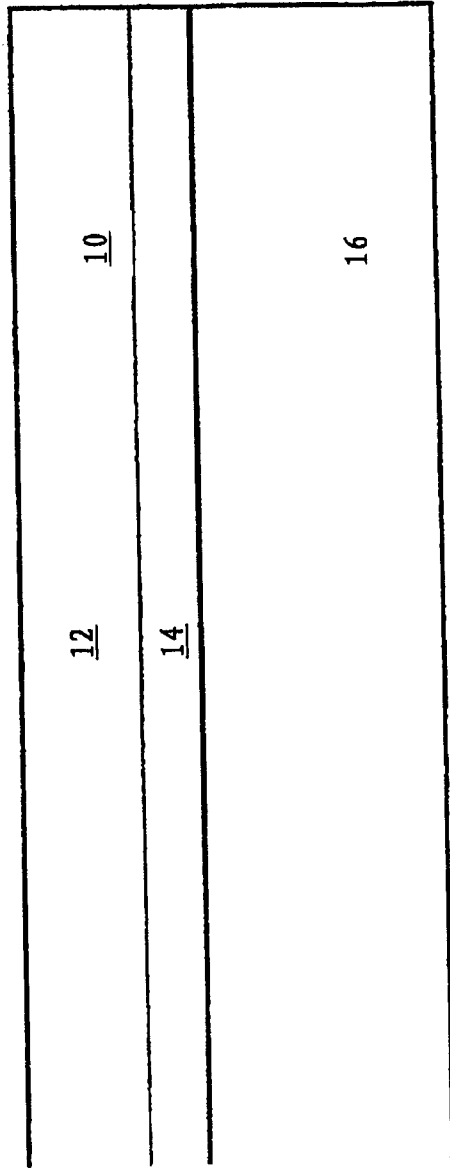


图 1

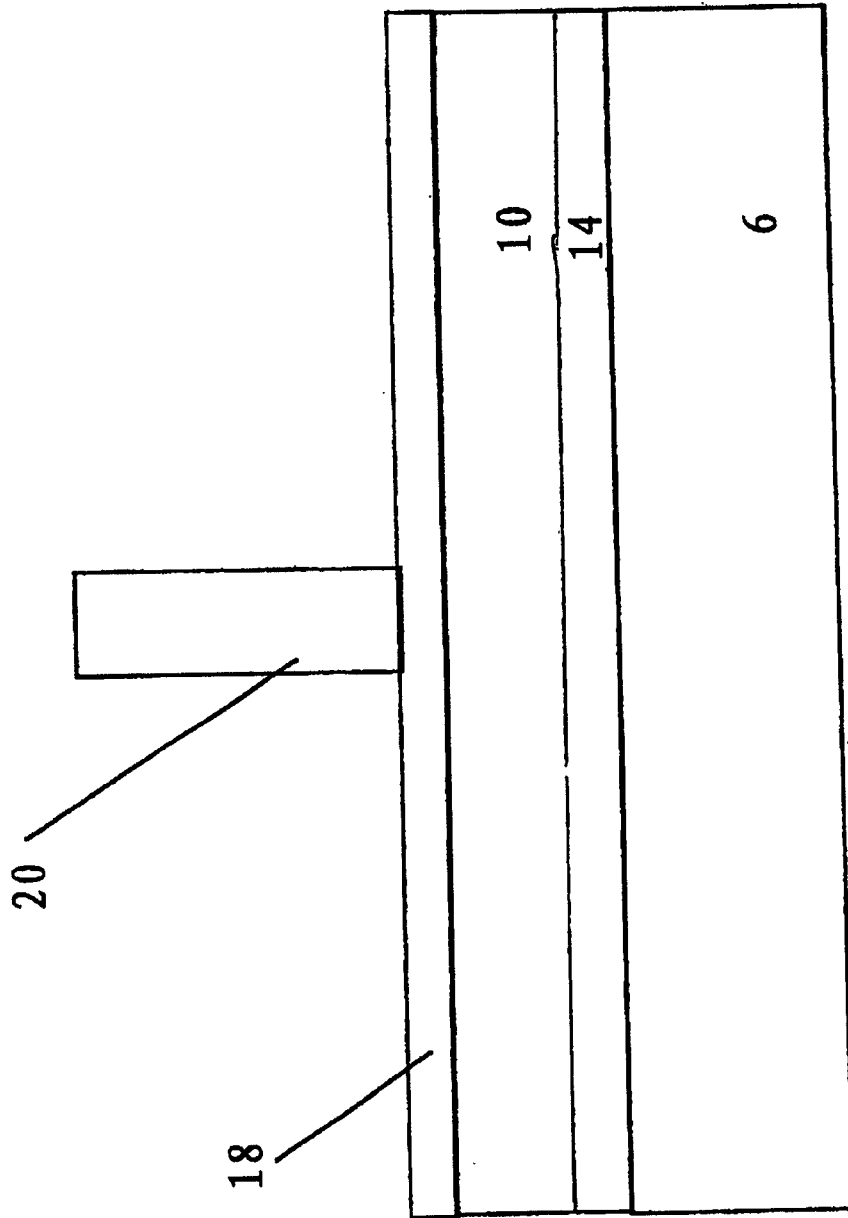


图 2

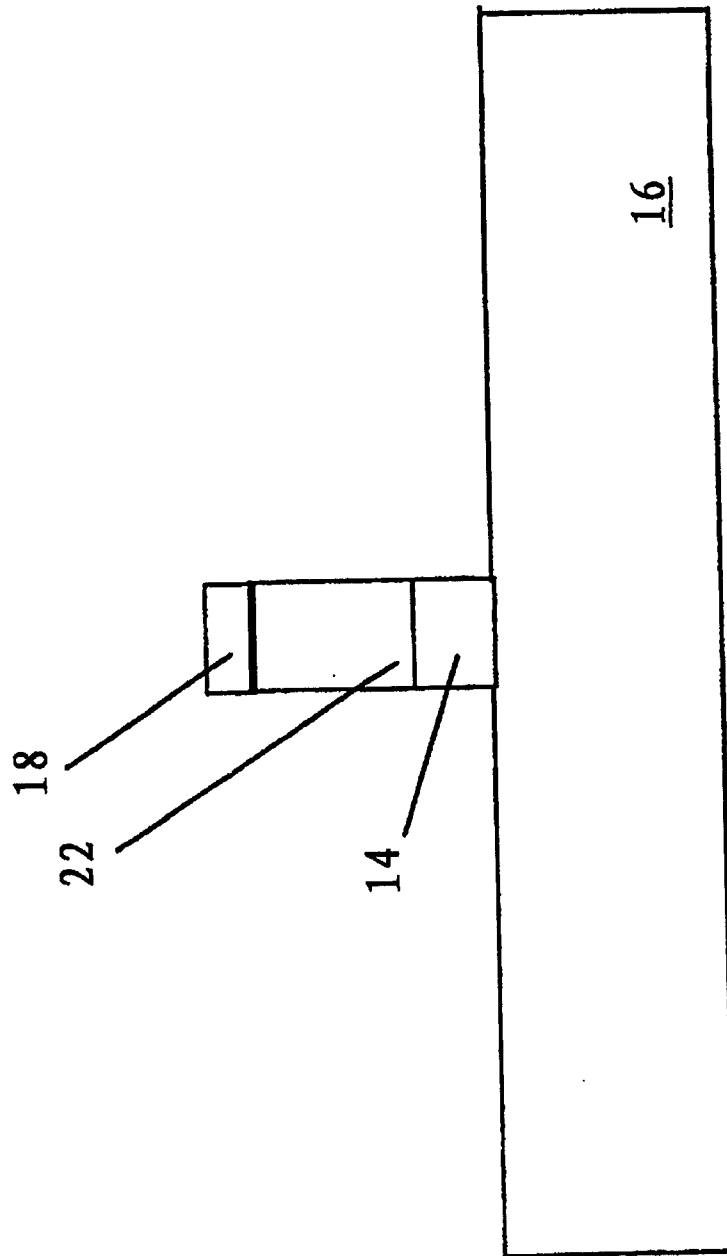


图 3



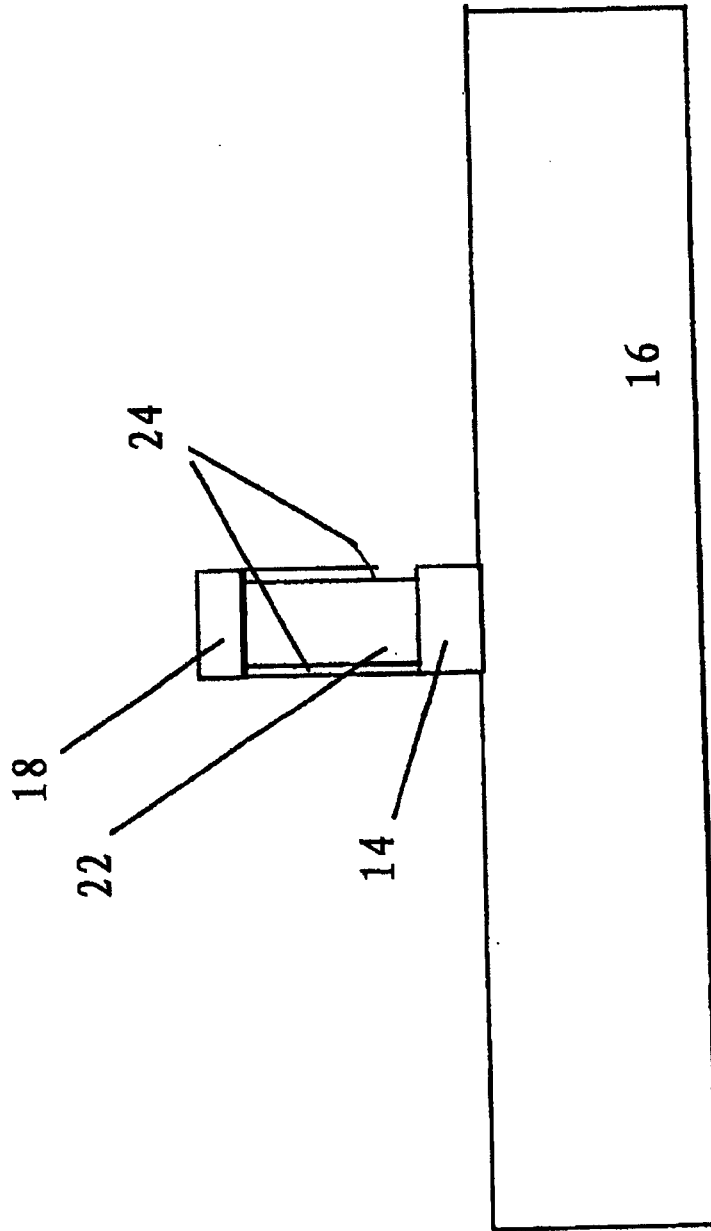


图 4

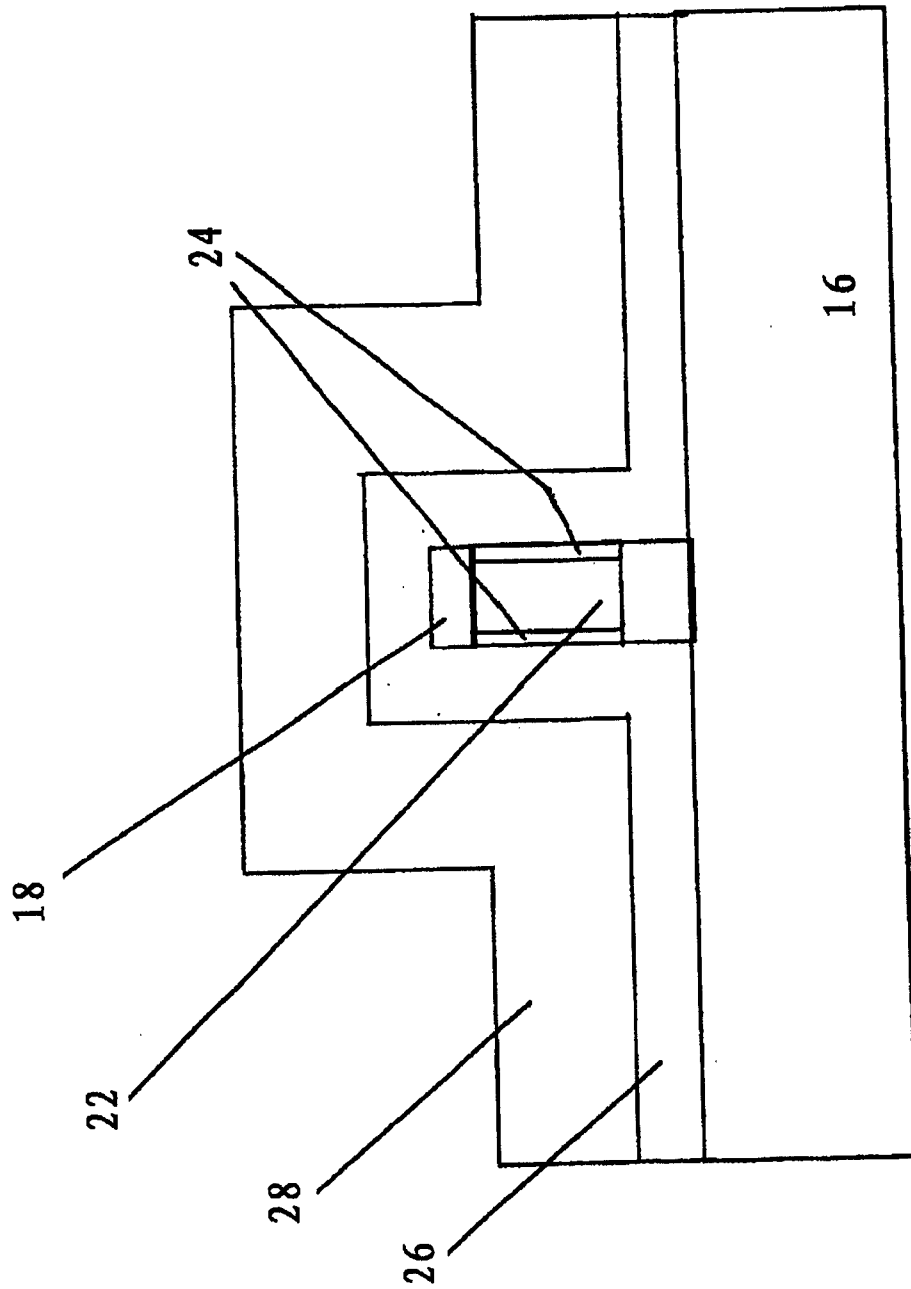


图 5

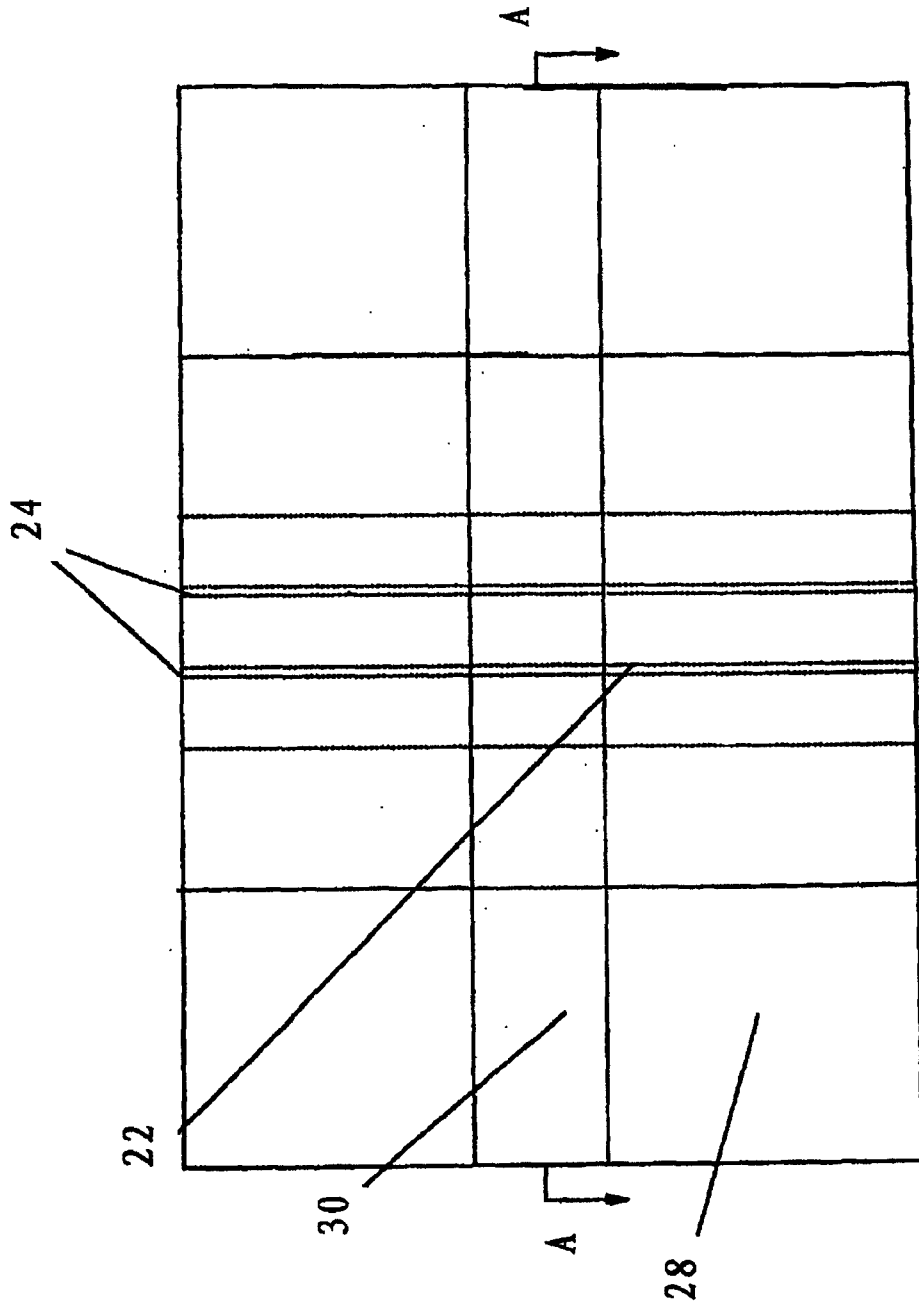


图6

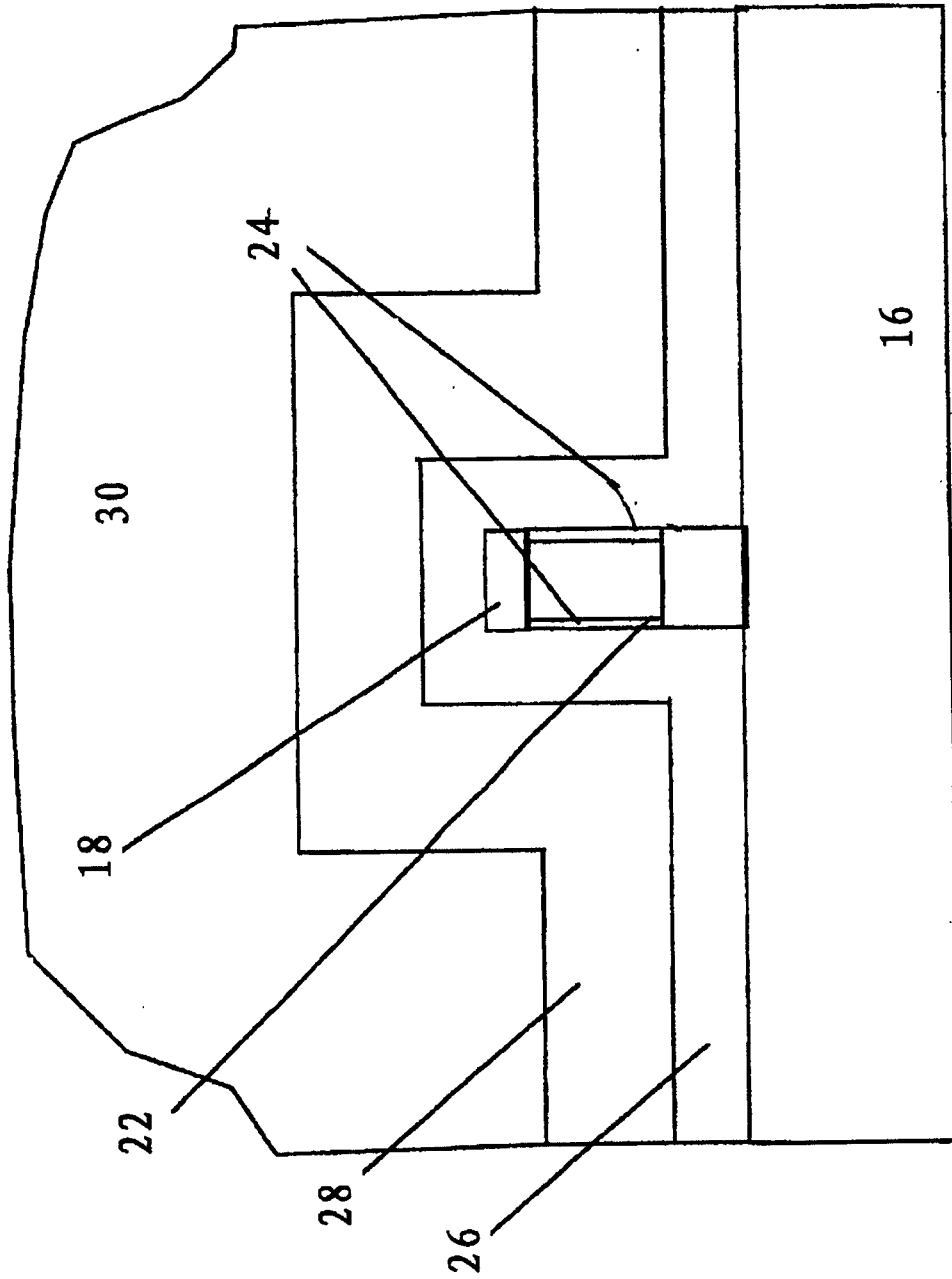


图 6A

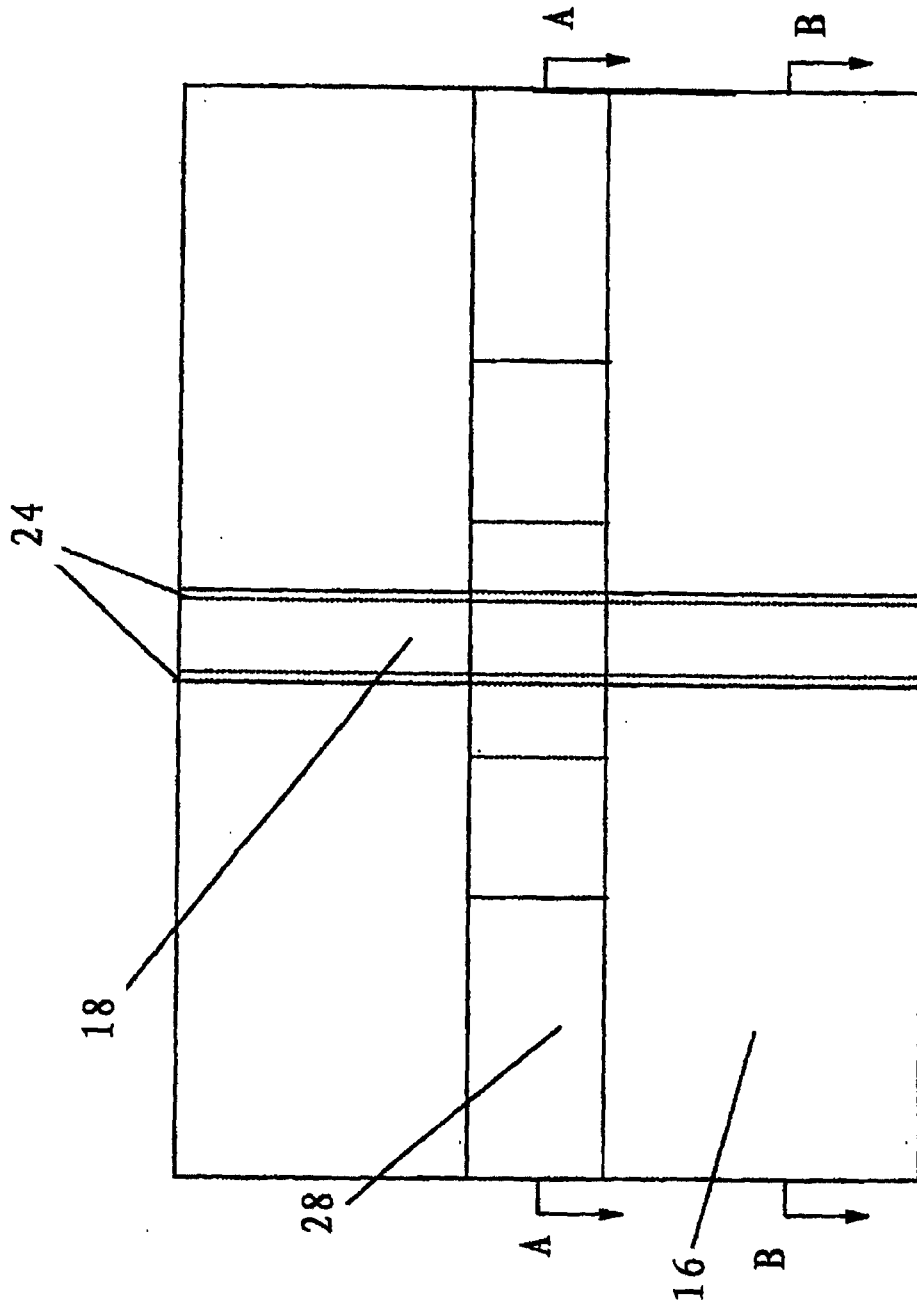


图 7

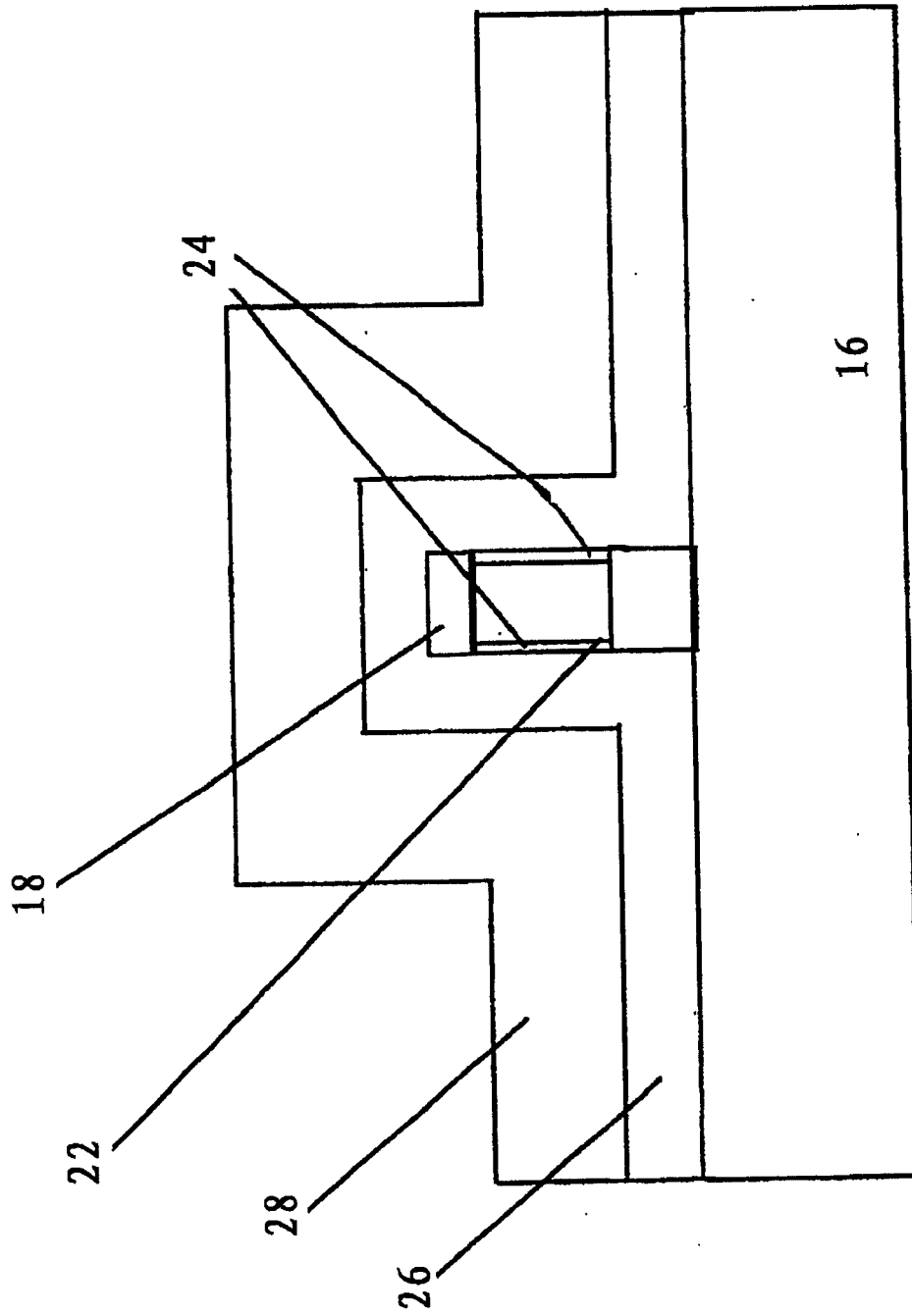


图 7A

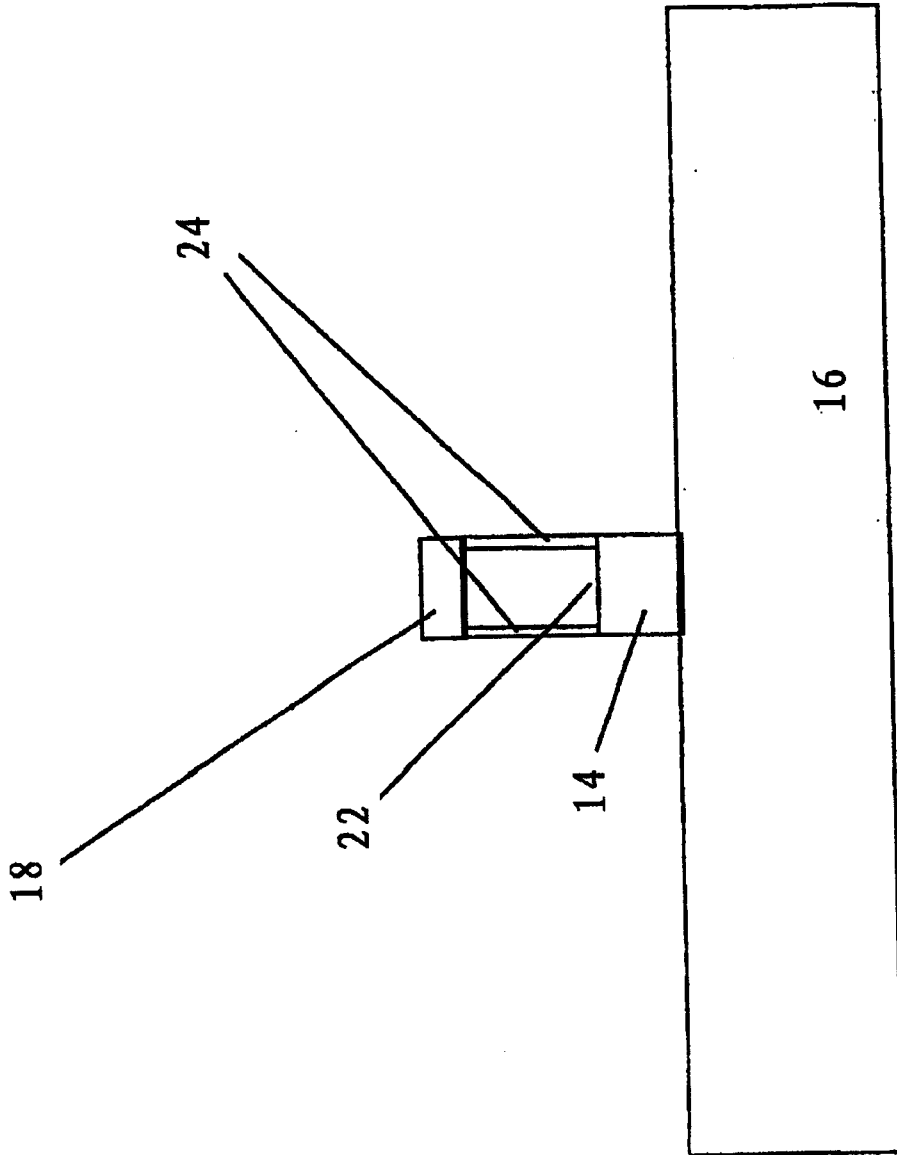


图 7B

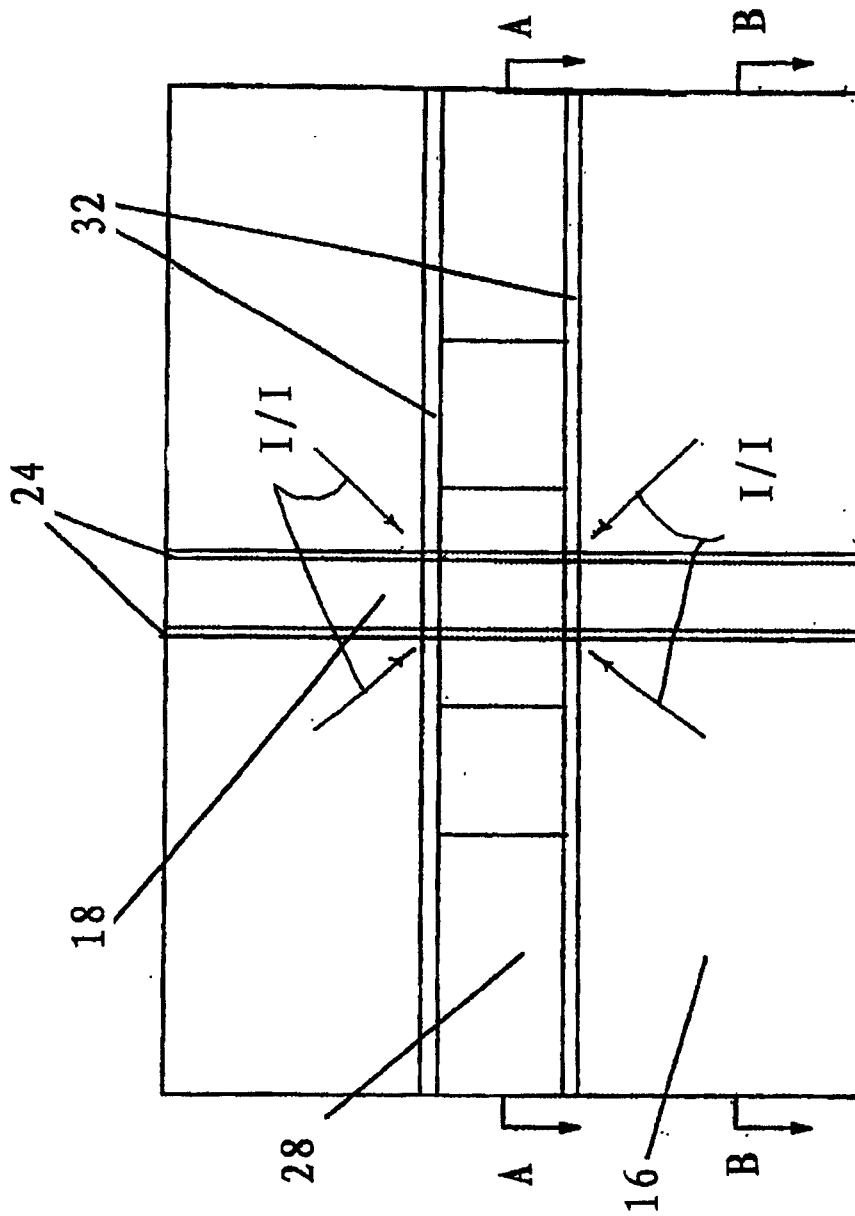


图 8



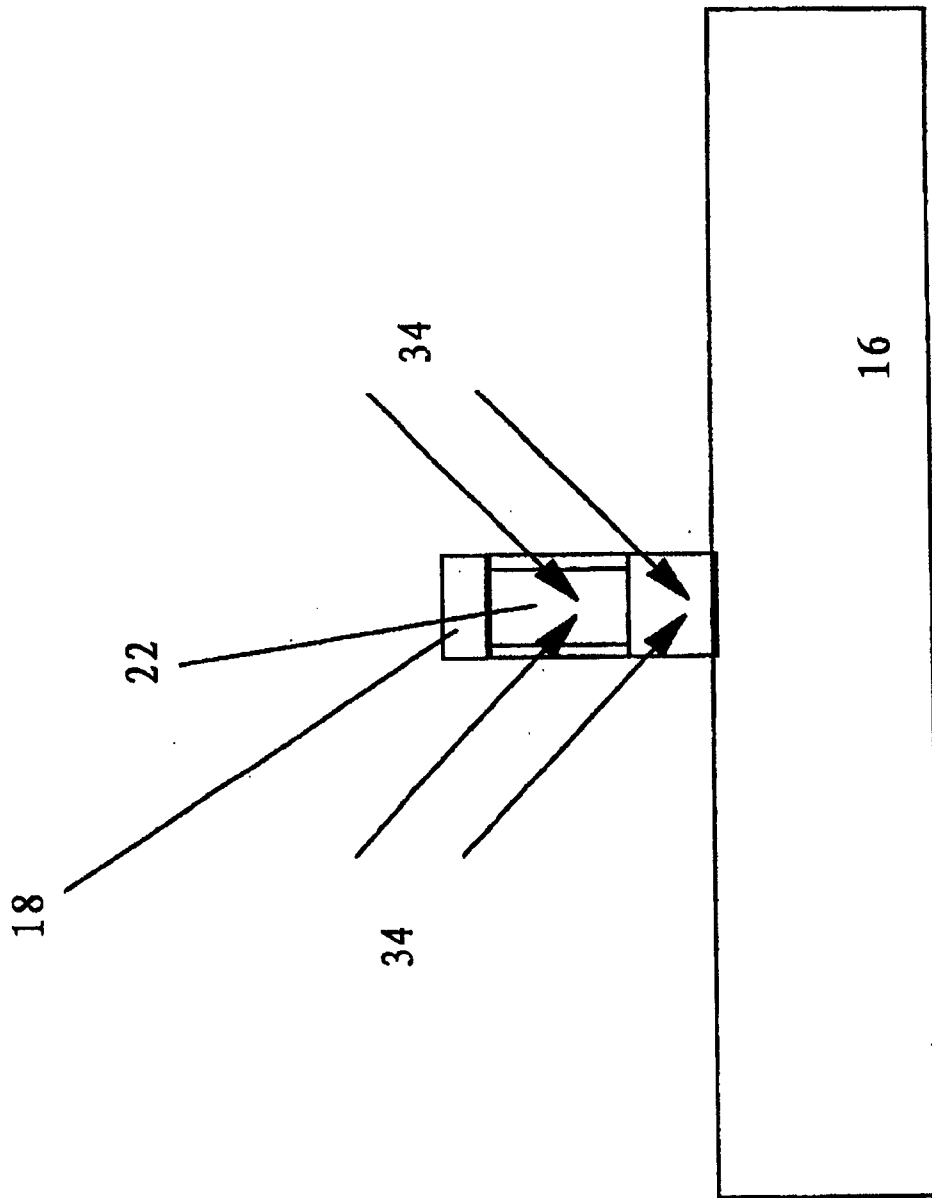


图 9B

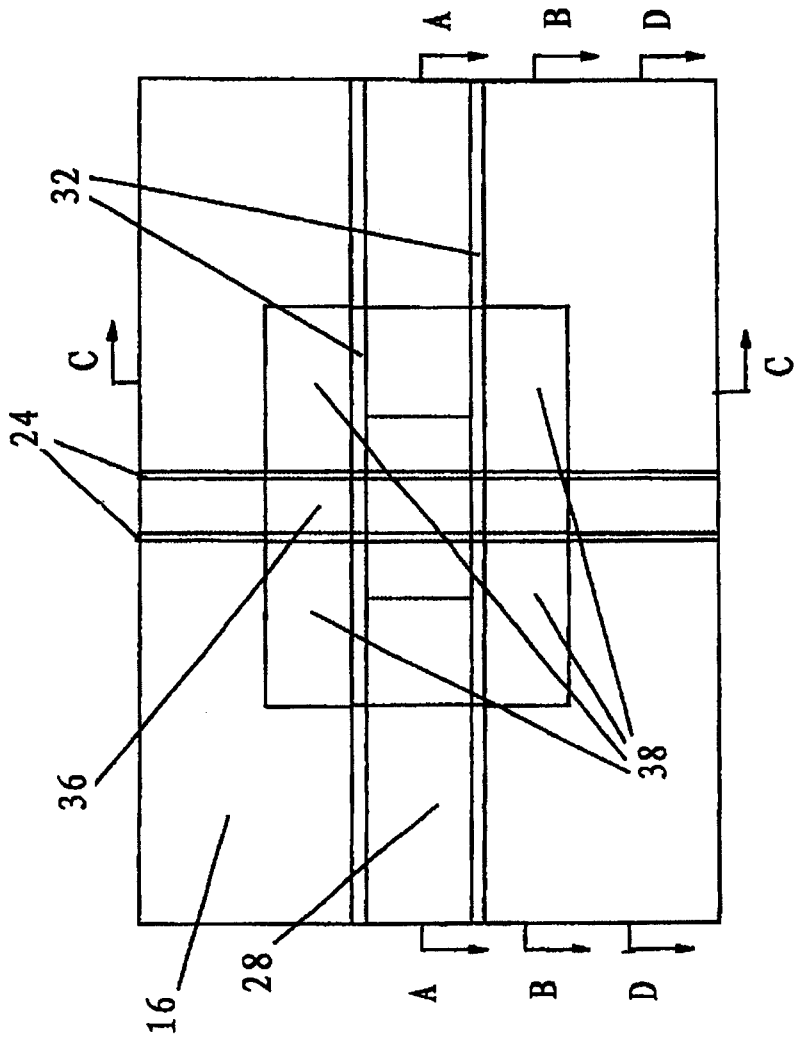


图 10

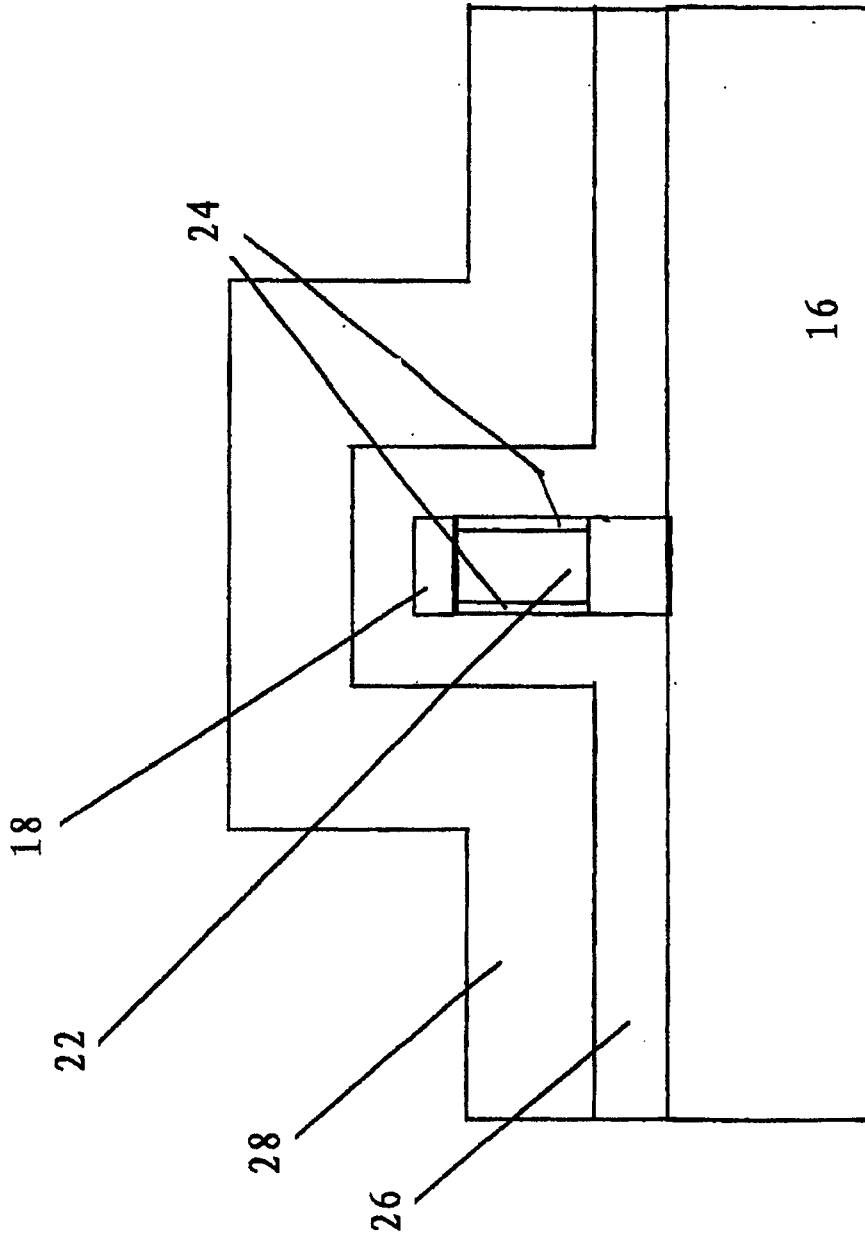


图 10A

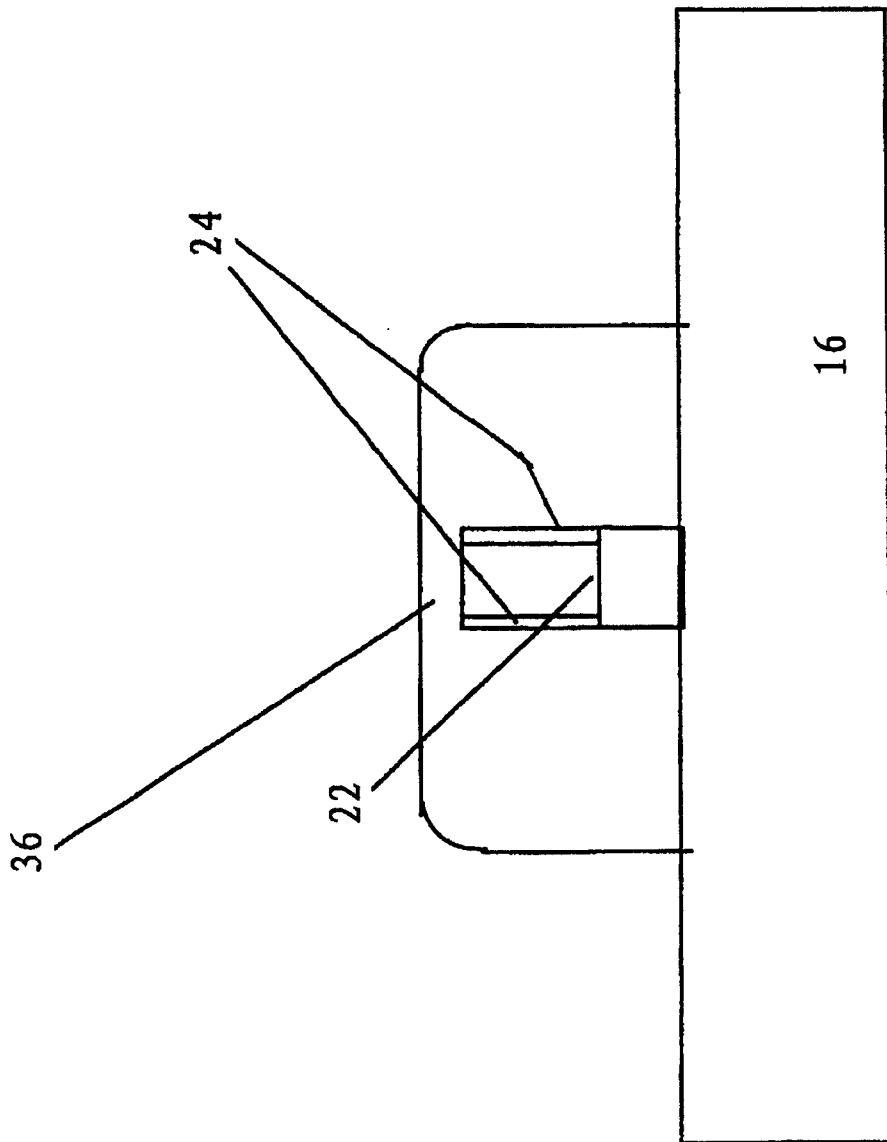


图 10B

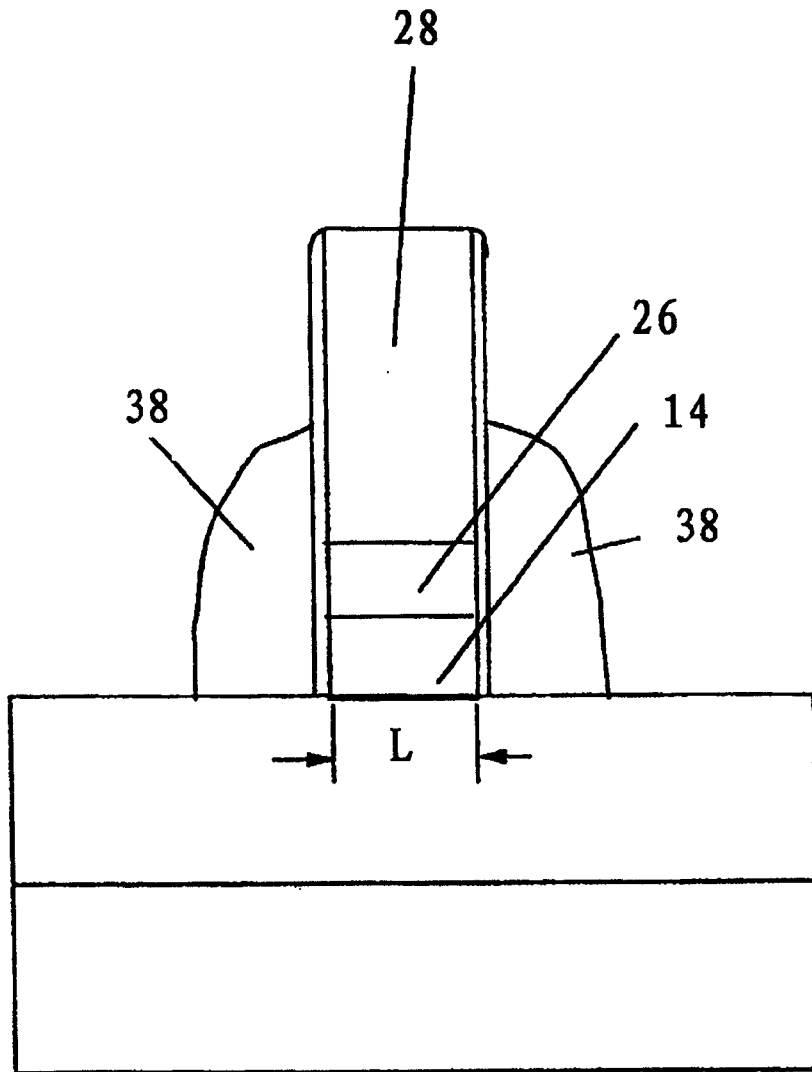


图 10C

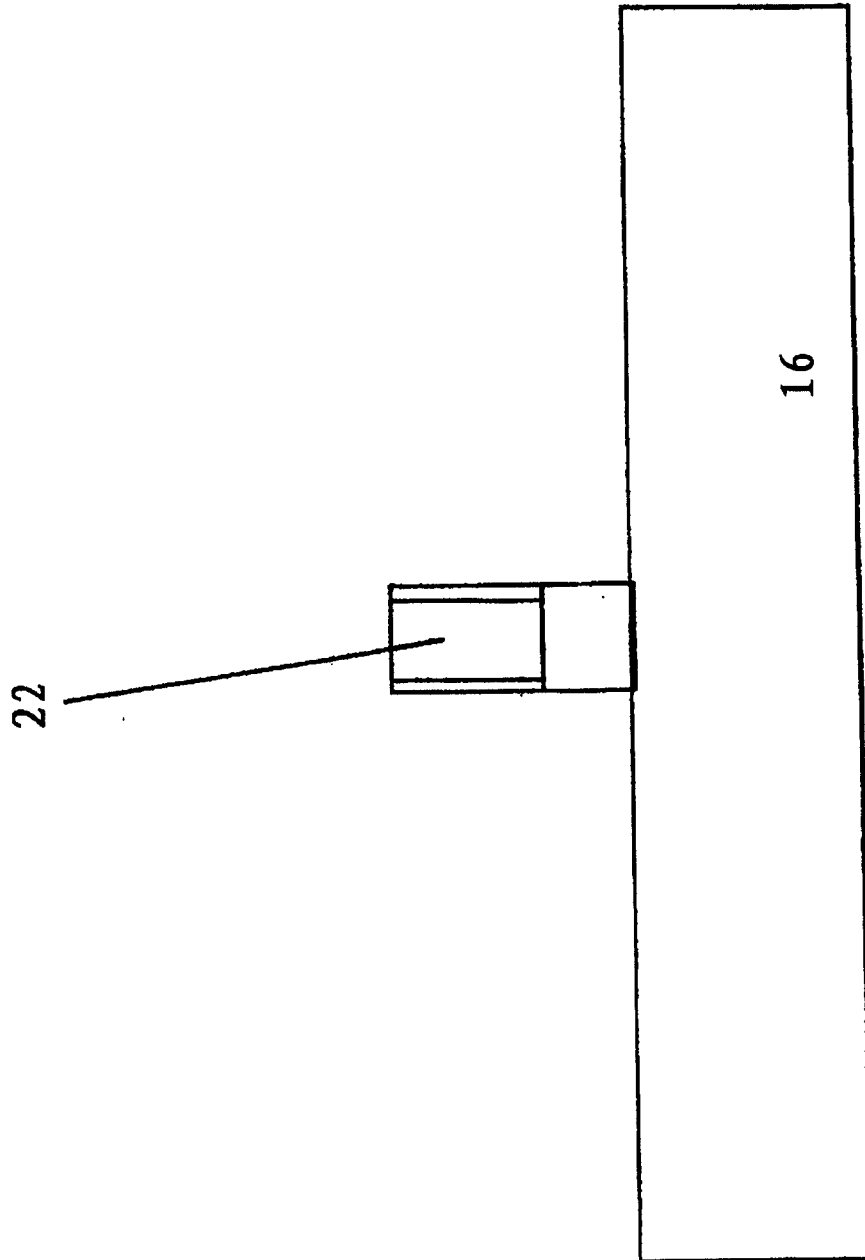


图 10D

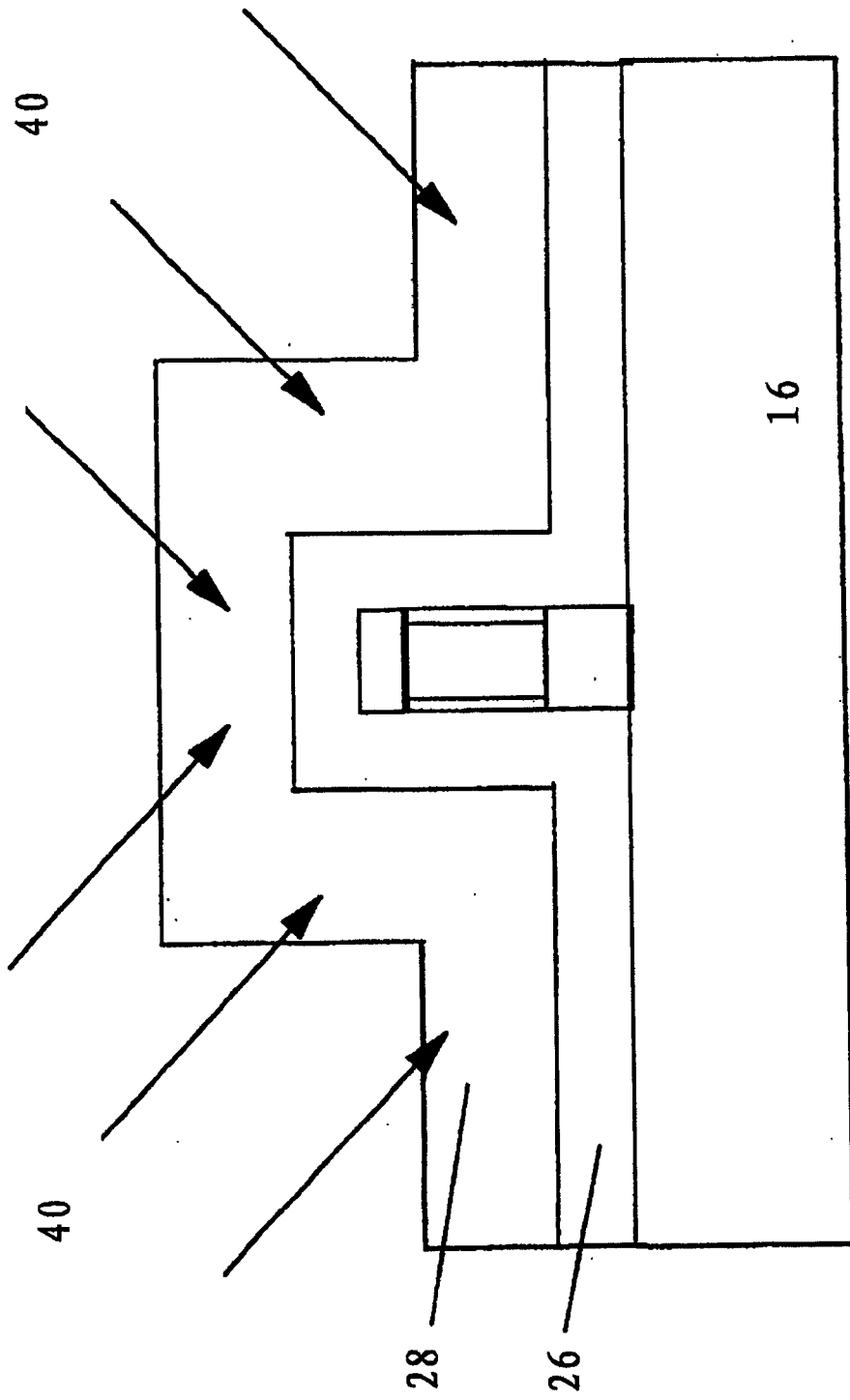


图 11A

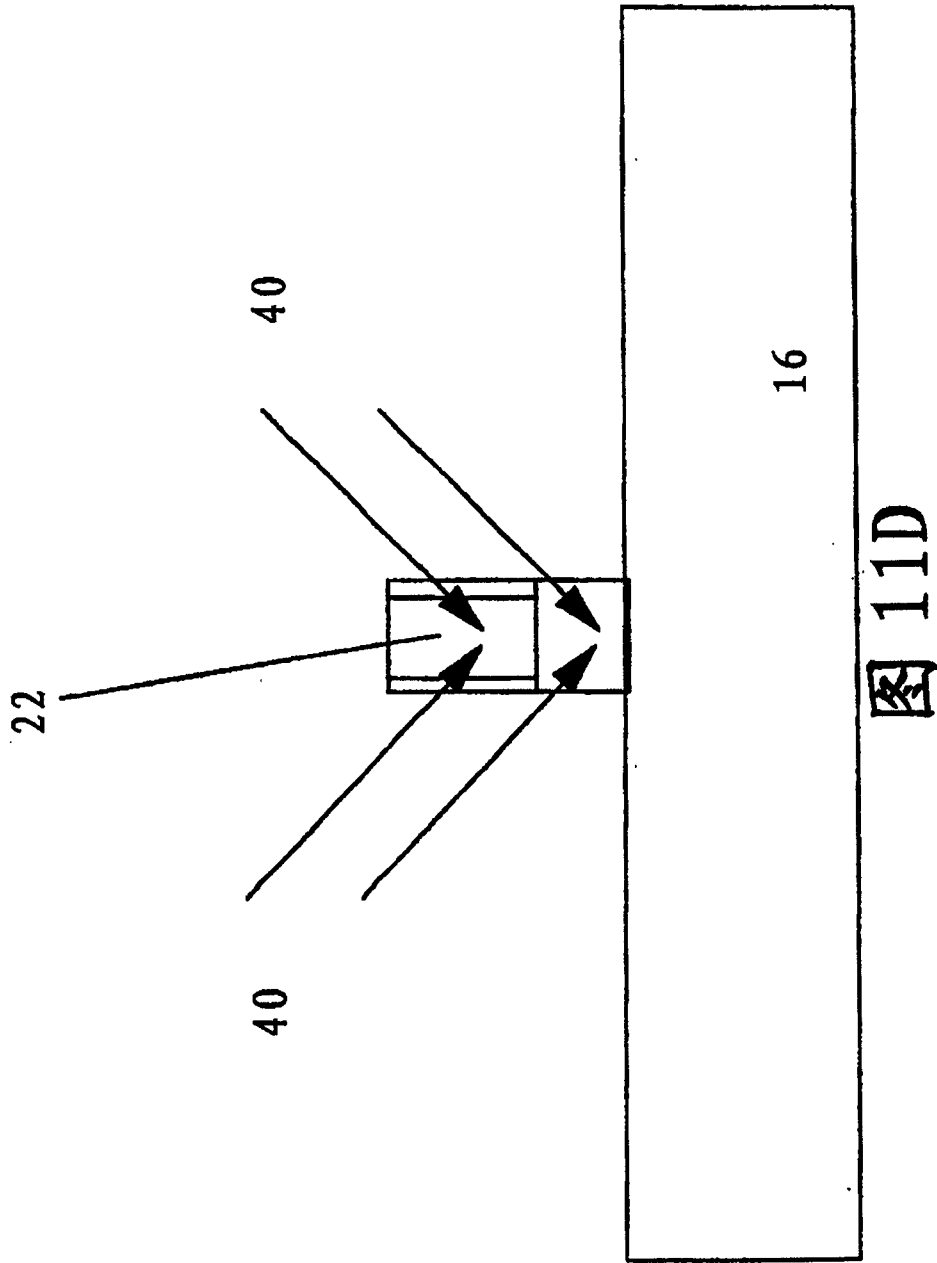


图 11D



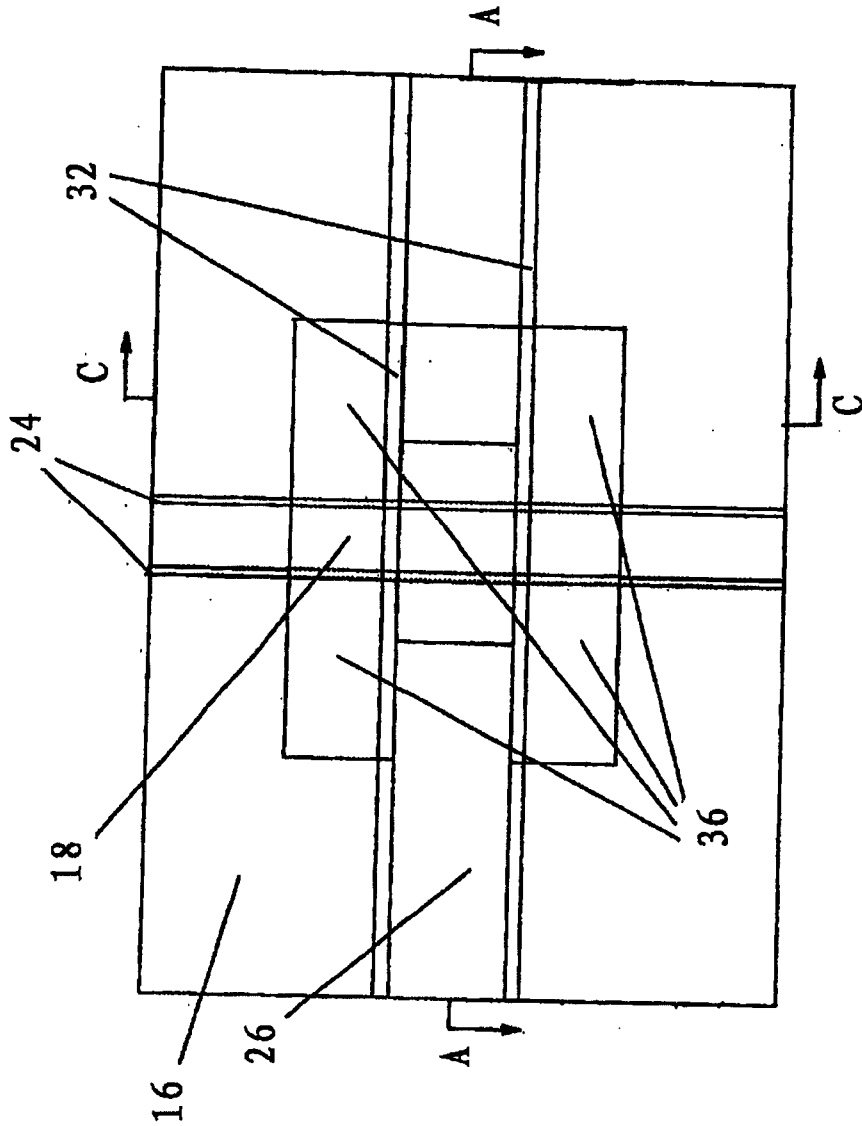


图 12

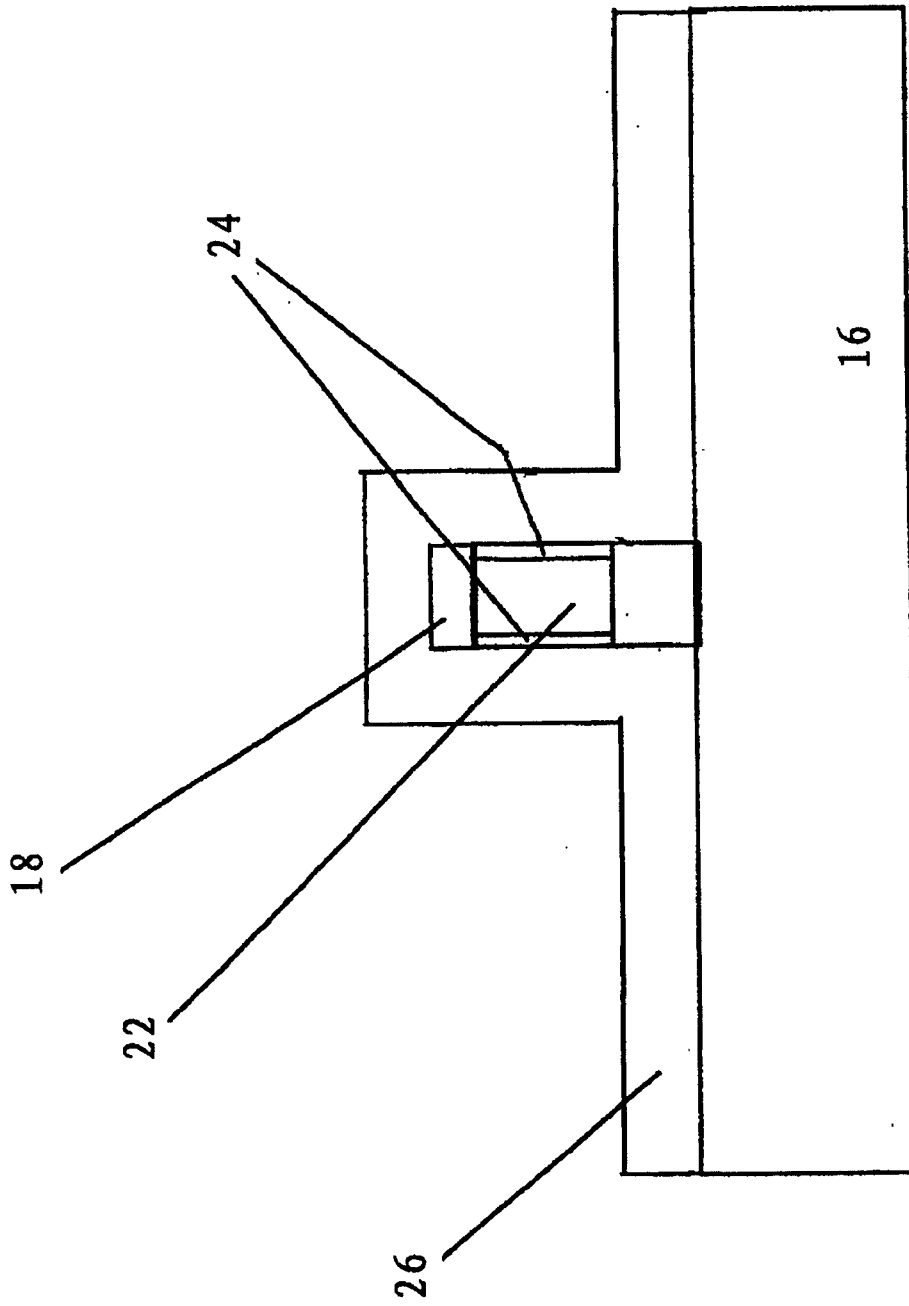


图 12A

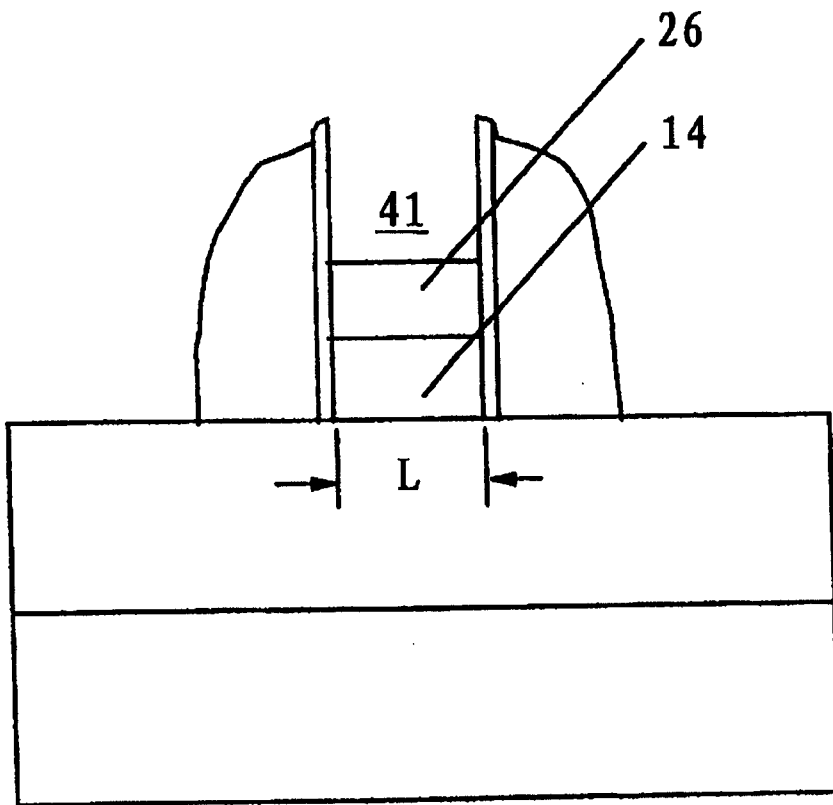


图 12C

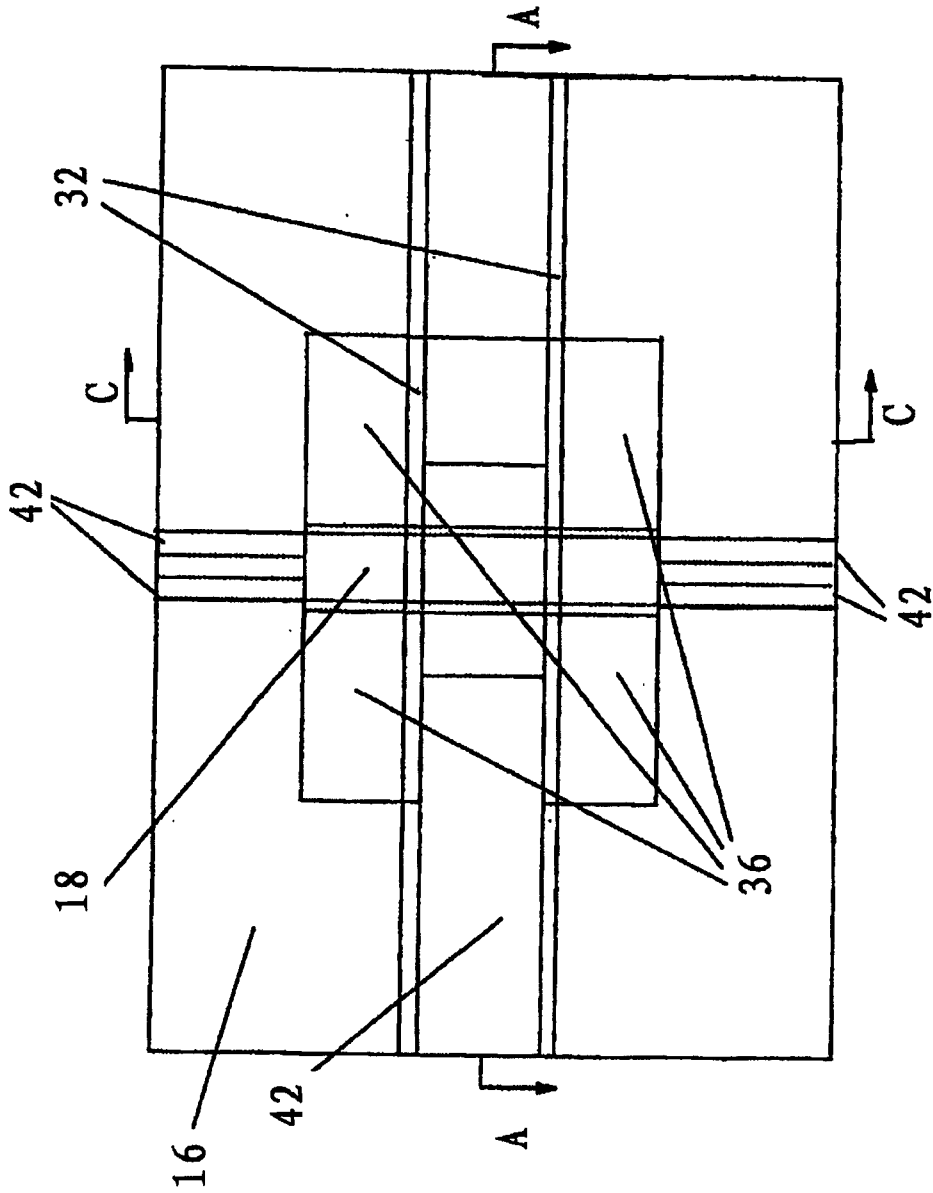


图 13

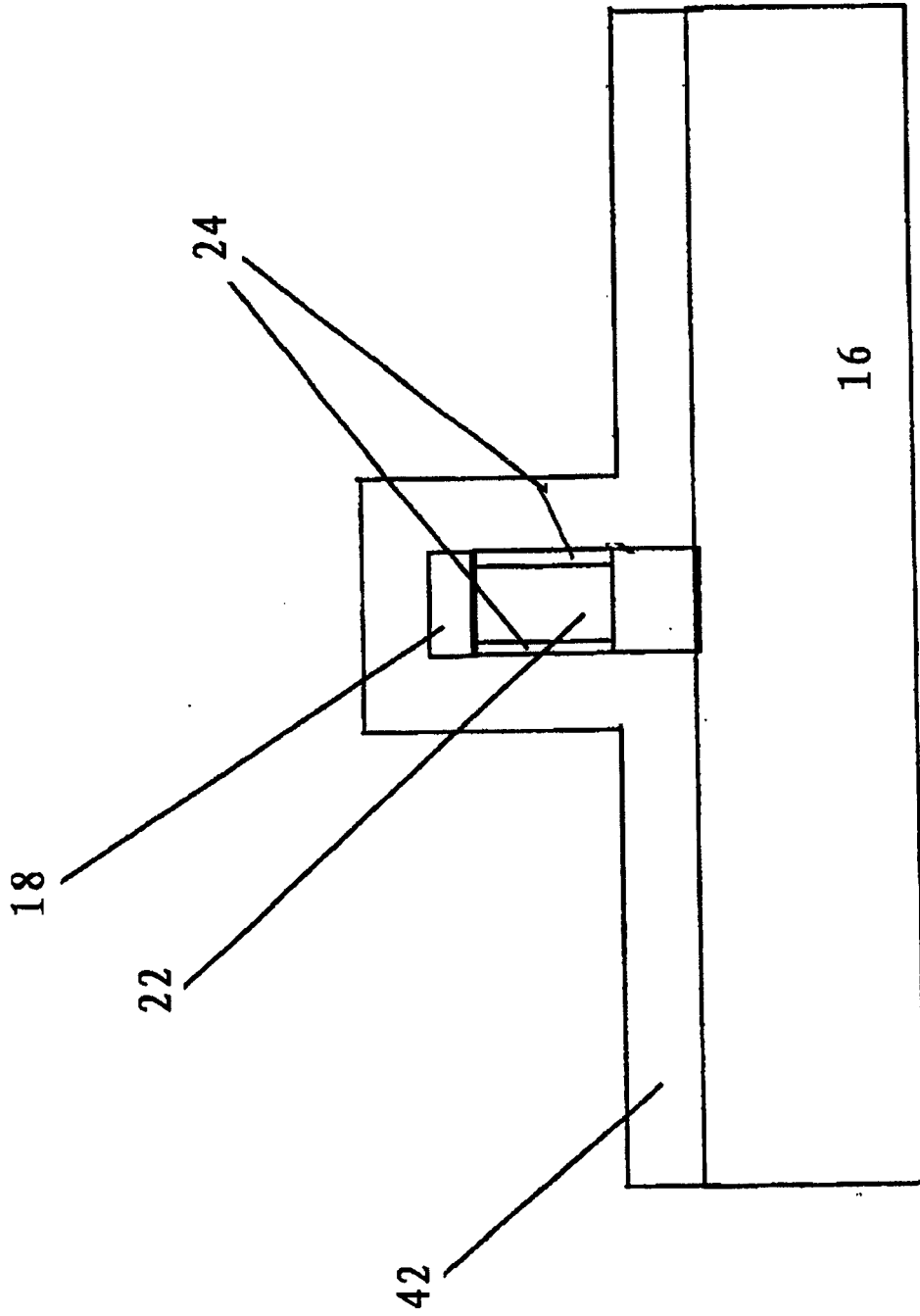


图 13A

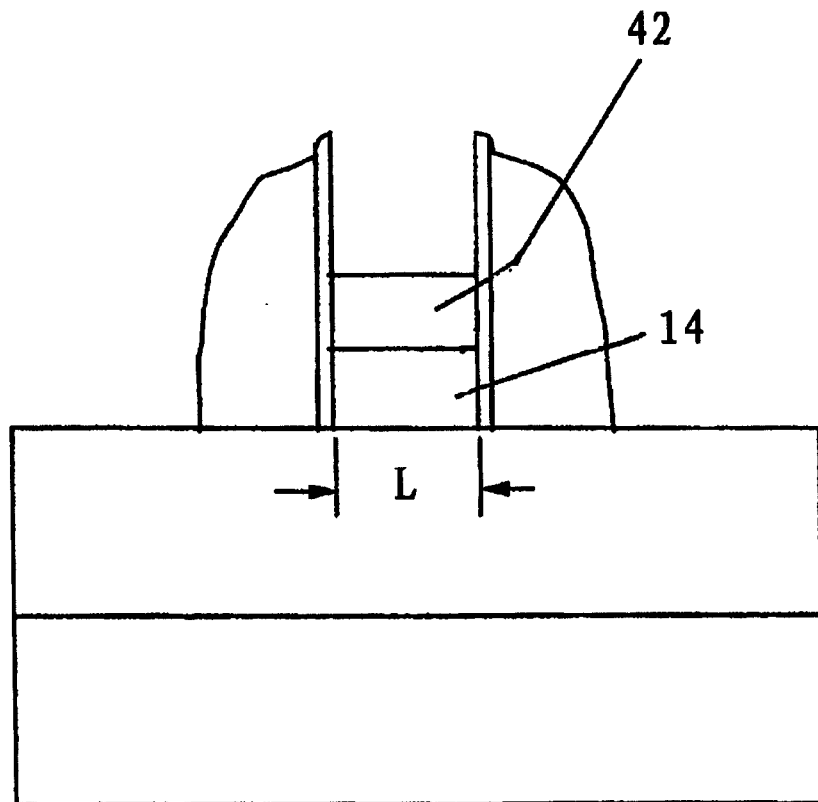


图 13C

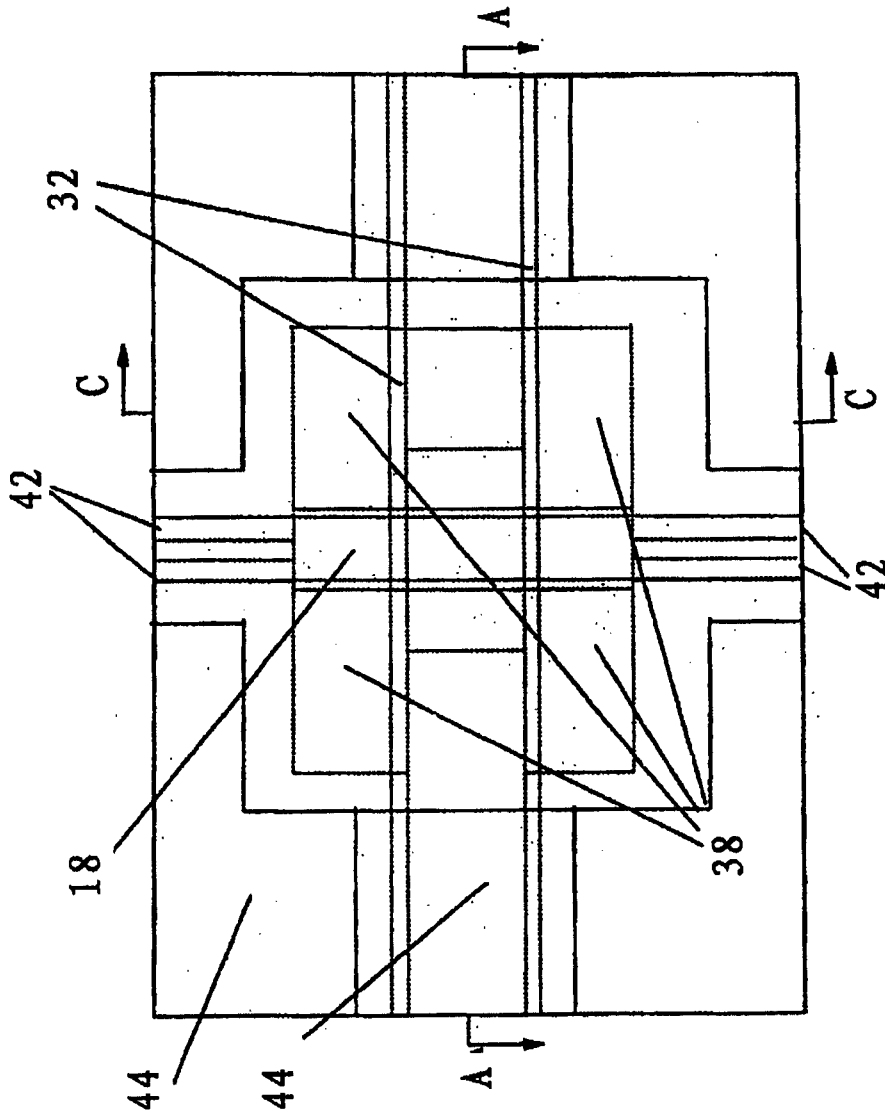


图 14

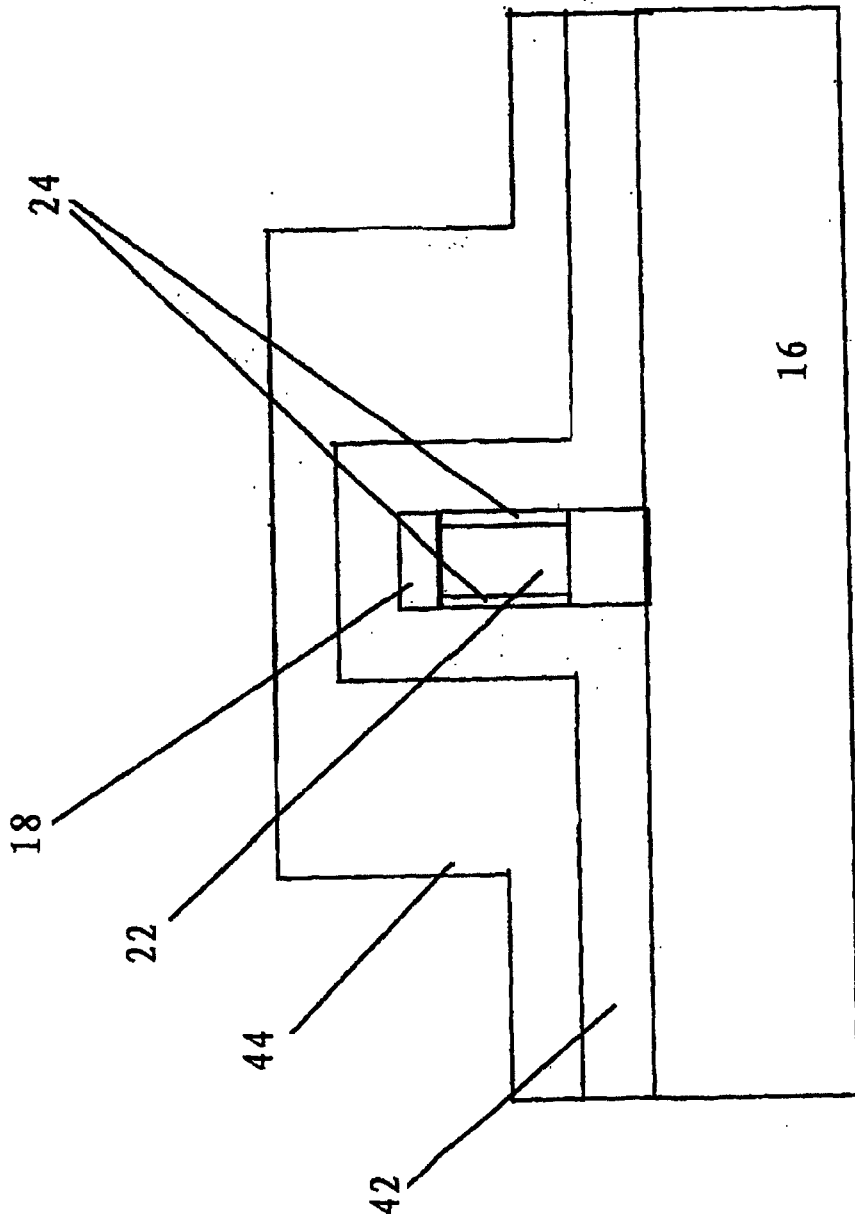


图 14A



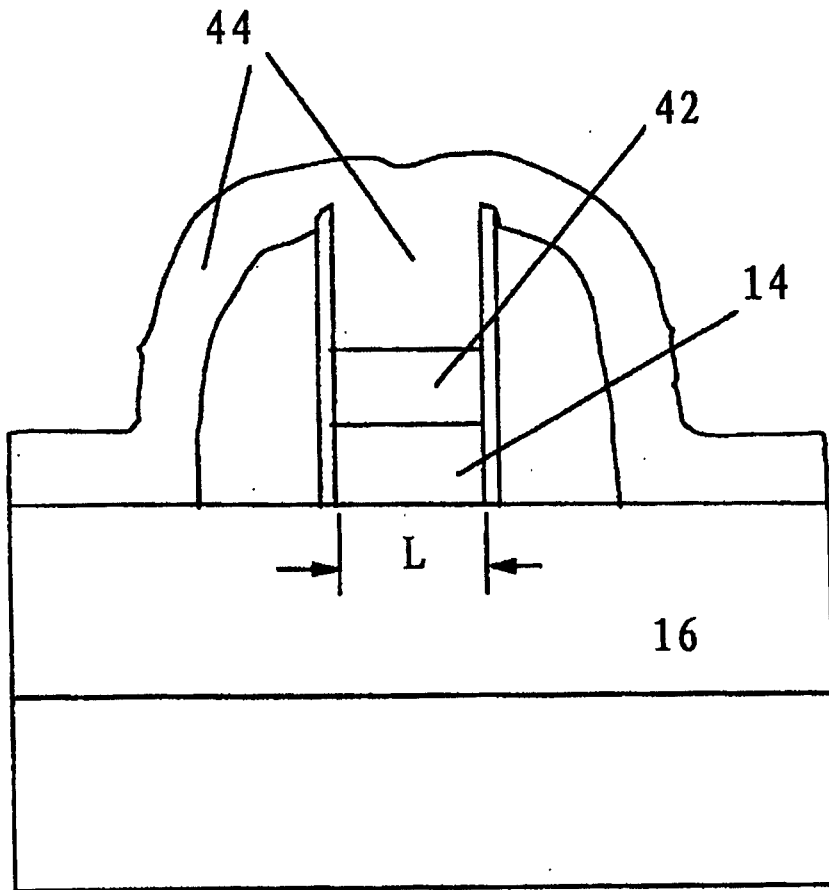


图 14C

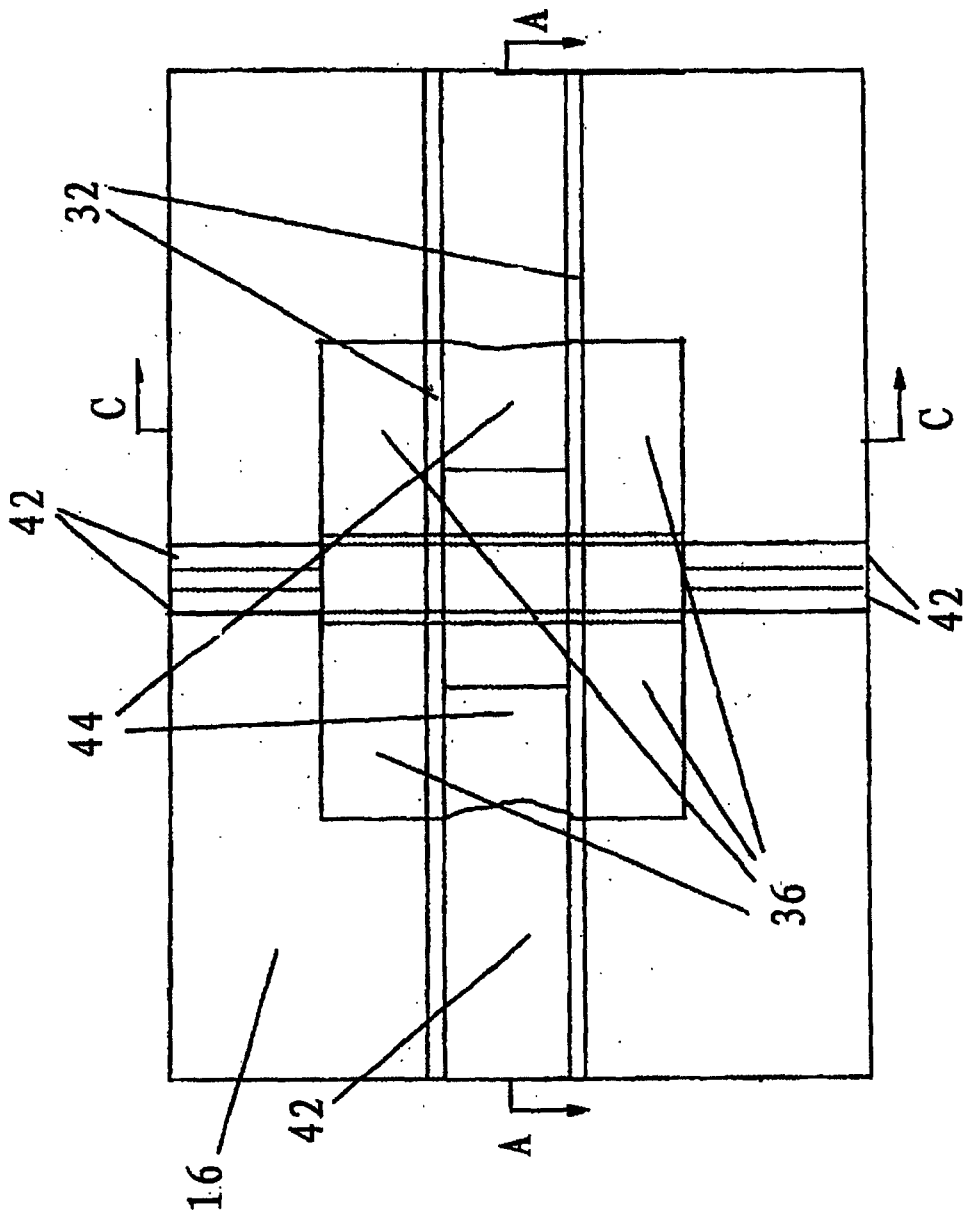


图 15

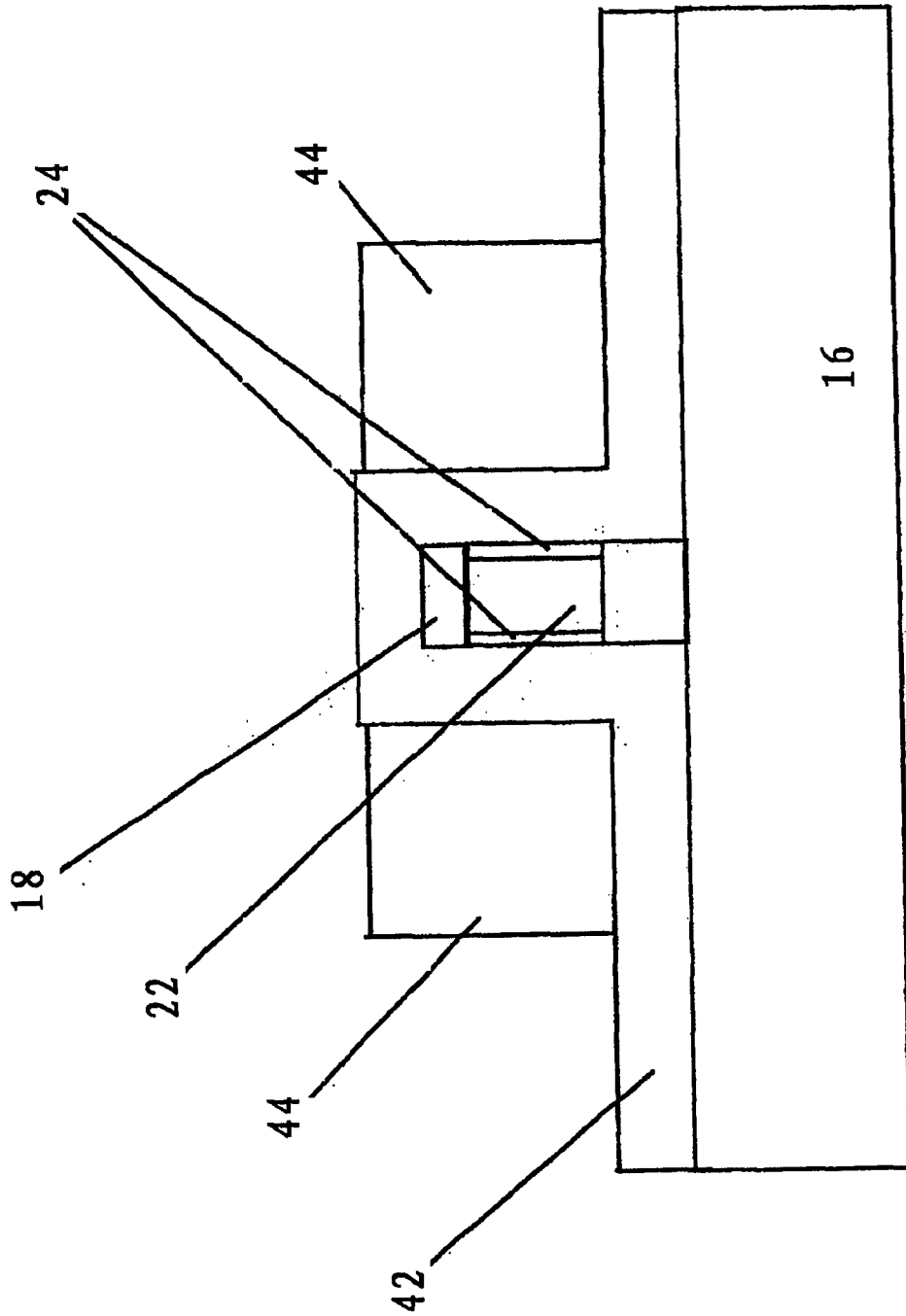


图 15A

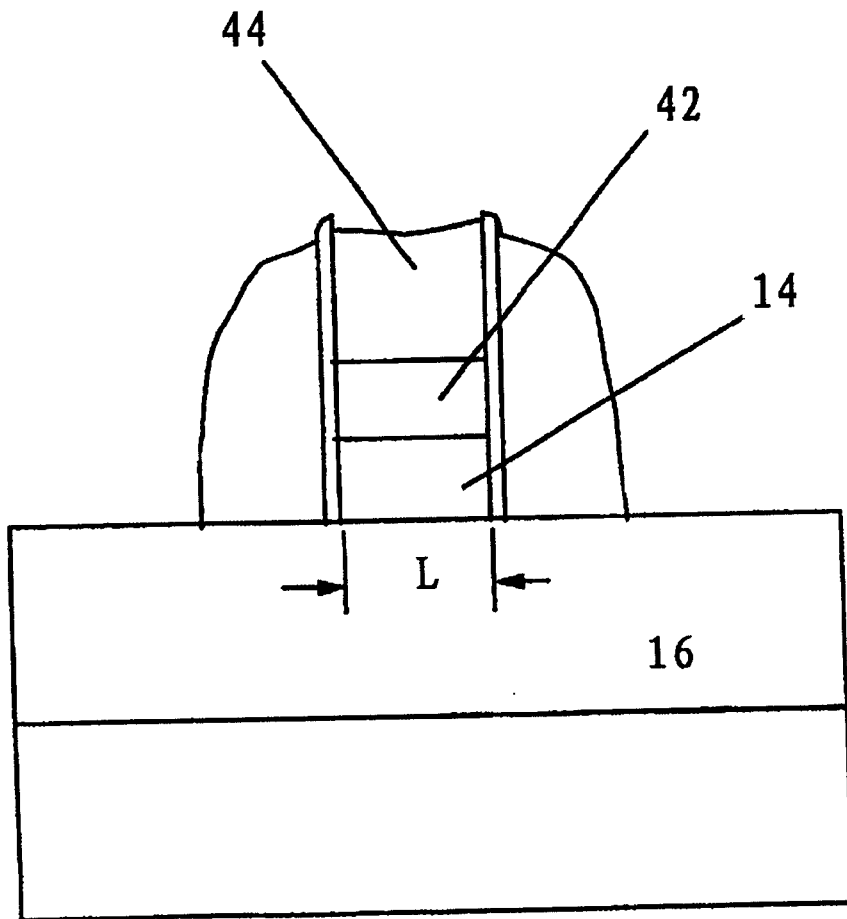


图 15C