(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0010586
(43) 공개일자 2025년01월21일

(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2025.01) *H01L 21/48* (2025.01)
H01L 23/00 (2006.01) *H01L 23/498* (2006.01)
H01L 23/538 (2006.01) *H01L 23/552* (2006.01)
H01L 25/16 (2025.01)
(52) CPC특허분류
H01L 25/0652 (2023.08)
H01L 21/486 (2013.01)
(21) 출원번호 10-2024-7035397
(22) 출원일자(국제) 2023년04월24일
심사청구일자 없음
(85) 번역문제출일자 2024년10월23일
(86) 국제출원번호 PCT/US2023/019661
(87) 국제공개번호 WO 2023/219786
국제공개일자 2023년11월16일
(30) 우선권주장
17/741,986 2022년05월11일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
선, 양양
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
쿨카니, 스리칸트
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인(유)남아이피그룹

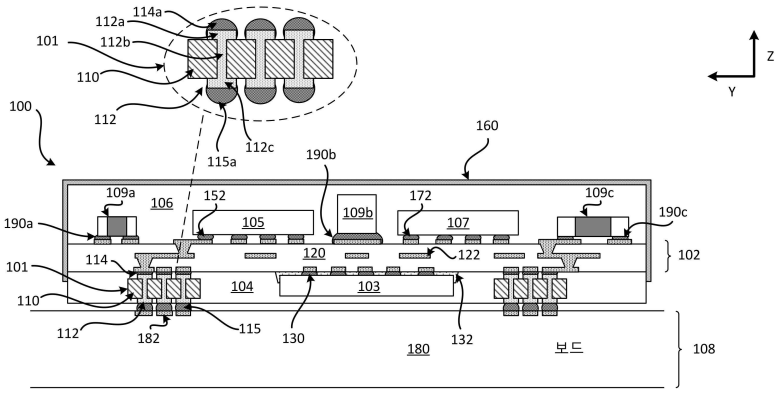
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **고밀도 상호연결을 위해 구성된 상호연결 다이 및 기판을 포함하는 패키지**

(57) 요 약

패키지는 제1 표면 및 제2 표면을 포함하는 기판(102); 기판의 제1 표면에 커플링된 제1 집적 디바이스(103); 기판의 제1 표면에 커플링된 상호연결 다이(110); 기판의 제1 표면에 커플링된 제1 캡슐화 층(104) — 제1 캡슐화 층은 제1 집적 디바이스 및 상호연결 다이를 캡슐화함 —; 및 기판의 제2 표면에 커플링된 제2 집적 디바이스(105)를 포함한다.

대 표 도 - 도1



단면도

(52) CPC특허분류
H01L 23/49827 (2013.01)
H01L 23/49833 (2013.01)
H01L 23/5385 (2013.01)
H01L 23/552 (2013.01)
H01L 24/16 (2013.01)
H01L 24/32 (2013.01)
H01L 24/73 (2013.01)
H01L 24/81 (2013.01)
H01L 25/16 (2025.01)
(72) 발명자
자오, 릴리
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
샤, 밀린드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

명 세 서

청구범위

청구항 1

패키지로서,

제1 표면 및 제2 표면을 포함하는 기판;

상기 기판의 제1 표면에 커플링된 제1 집적 디바이스;

상기 기판의 제1 표면에 커플링된 상호연결 다이(interconnection die);

상기 기판의 제1 표면에 커플링된 제1 캡슐화(encapsulation) 층 - 상기 제1 캡슐화 층은 상기 제1 집적 디바이스 및 상기 상호연결 다이를 캡슐화함 -; 및

상기 기판의 제2 표면에 커플링된 제2 집적 디바이스를 포함하는, 패키지.

청구항 2

제1항에 있어서, 상기 상호연결 다이는,

다이 기판; 및

복수의 다이 상호연결부들을 포함하는, 패키지.

청구항 3

제2항에 있어서, 상기 복수의 다이 상호연결부들 중 2개의 이웃하는 다이 상호연결부들은 피치(pitch)가 약 150 내지 270 마이크로미터의 범위인, 패키지.

청구항 4

제2항에 있어서, 상기 상호연결 다이는 두께가 약 100 내지 200 마이크로미터의 범위인, 패키지.

청구항 5

제2항에 있어서, 상기 복수의 다이 상호연결부들은 비아 다이 상호연결부 및 패드 다이 상호연결부를 포함하는, 패키지.

청구항 6

제2항에 있어서, 상기 다이 기판은 유리 및/또는 실리콘을 포함하는, 패키지.

청구항 7

제1항에 있어서, 상기 기판의 제2 표면에 커플링된 제2 캡슐화 층을 추가로 포함하는, 패키지.

청구항 8

제7항에 있어서, 상기 제2 캡슐화 층에 커플링된 외부 금속 층을 추가로 포함하는, 패키지.

청구항 9

제1항에 있어서, 상기 제1 집적 디바이스는 제1 칩렛(chiplet)을 포함하고 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 패키지.

청구항 10

제1항에 있어서, 상기 상호연결 다이는 상기 제1 집적 디바이스에 측방향으로 위치되는, 패키지.

청구항 11

제1항에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 패키지.

청구항 12

디바이스로서,

패키지를 포함하고, 상기 패키지는,

제1 표면 및 제2 표면을 포함하는 기판;

상기 기판의 제1 표면에 커플링된 제1 집적 디바이스;

상기 기판의 제1 표면에 커플링된 상호연결 다이;

상기 기판의 제1 표면에 커플링된 제1 캡슐화 층 - 상기 제1 캡슐화 층은 상기 제1 집적 디바이스 및 상기 상호연결 다이를 캡슐화함 -; 및

상기 기판의 제2 표면에 커플링된 제2 집적 디바이스를 포함하는, 디바이스.

청구항 13

제12항에 있어서, 상기 상호연결 다이는,

다이 기판; 및

복수의 다이 상호연결부들을 포함하는, 디바이스.

청구항 14

제13항에 있어서, 상기 복수의 다이 상호연결부들 중 2개의 이웃하는 다이 상호연결부들은 피치가 약 150 내지 270 마이크로미터의 범위인, 디바이스.

청구항 15

제13항에 있어서, 상기 상호연결 다이는 두께가 약 100 내지 200 마이크로미터의 범위인, 디바이스.

청구항 16

제13항에 있어서, 상기 복수의 다이 상호연결부들은 비아 다이 상호연결부 및 패드 다이 상호연결부를 포함하는, 디바이스.

청구항 17

제13항에 있어서, 상기 다이 기판은 유리 및/또는 실리콘을 포함하는, 디바이스.

청구항 18

제12항에 있어서, 상기 기판의 제2 표면에 커플링된 제2 캡슐화 층을 추가로 포함하는, 디바이스.

청구항 19

제18항에 있어서, 상기 제2 캡슐화 층에 커플링된 외부 금속 층을 추가로 포함하는, 디바이스.

청구항 20

제12항에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 디바이스.

청구항 21

제12항에 있어서, 상기 상호연결 다이는 상기 제1 집적 디바이스에 측방향으로 위치되는, 디바이스.

청구항 22

제12항에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 디바이스.

청구항 23

제12항에 있어서, 상기 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정된 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, IoT(internet of things) 디바이스, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택되는, 디바이스.

청구항 24

패키지를 제조하기 위한 방법으로서,

제1 표면 및 제2 표면을 포함하는 기판을 제공하는 단계;

제1 집적 디바이스를 상기 기판의 제1 표면에 커플링시키는 단계;

상호연결 다이를 상기 기판의 제1 표면에 커플링시키는 단계;

제1 캡슐화 층을 상기 기판의 제1 표면에 커플링시키는 단계 - 상기 제1 캡슐화 층은 상기 제1 집적 디바이스 및 상기 상호연결 다이를 캡슐화함 -; 및

제2 집적 디바이스를 상기 기판의 제2 표면에 커플링시키는 단계를 포함하는, 방법.

청구항 25

제24항에 있어서, 상기 상호연결 다이는,

다이 기판; 및

복수의 다이 상호연결부들을 포함하는, 방법.

청구항 26

제25항에 있어서, 상기 복수의 다이 상호연결부들 중 2개의 이웃하는 다이 상호연결부들은 피치가 약 150 내지 270 마이크로미터의 범위인, 방법.

청구항 27

제25항에 있어서, 상기 상호연결 다이는 두께가 약 100 내지 200 마이크로미터의 범위인, 방법.

청구항 28

제25항에 있어서, 상기 복수의 다이 상호연결부들은 비아 다이 상호연결부 및 패드 다이 상호연결부를 포함하는, 방법.

청구항 29

제25항에 있어서, 상기 다이 기판은 유리 및/또는 실리콘을 포함하는, 방법.

청구항 30

제24항에 있어서, 제2 캡슐화 층을 상기 기판의 제2 표면에 커플링시키는 단계를 추가로 포함하는, 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 출원은 2022년 5월 11일자로 미국 특허청에 출원된 정규 출원 제17/741,986호를 우선권으로 그리고 그의 이

점을 주장하며, 그 정규 출원의 전체 내용은, 그의 전체가 아래에서 완전히 기재된 것처럼 그리고 모든 적용가능한 목적들을 위해 본 명세서에 인용에 의해 포함된다.

[0003] 기술분야

[0004] 다양한 특징은 기판 및 집적 디바이스가 포함된 패키지에 관한 것이다.

배 경 기 술

[0005] 패키지는 기판과 집적 디바이스를 포함할 수 있다. 이러한 컴포넌트들은 함께 커플링되어 다양한 전기적 기능들을 수행할 수 있는 패키지를 제공한다. 더 양호한 성능의 패키지들을 제공하고 패키지들의 전체 크기를 감소시킬 지속적인 필요성이 존재한다.

발명의 내용

[0006] 다양한 특징은 기판 및 집적 디바이스가 포함된 패키지에 관한 것이다.

[0007] 일 예는 패키지를 제공하는데, 패키지는 제1 표면 및 제2 표면을 포함하는 기판; 기판의 제1 표면에 커플링된 제1 집적 디바이스; 기판의 제1 표면에 커플링된 더미 다이; 기판의 제1 표면에 커플링된 제1 캡슐화(encapsulation) 층 - 제1 캡슐화 층은 제1 집적 디바이스 및 더미 다이를 캡슐화함 -; 및 기판의 제2 표면에 커플링된 제2 집적 디바이스를 포함한다.

[0008] 다른 예는 패키지를 포함하는 디바이스를 제공한다. 패키지는 제1 표면 및 제2 표면을 포함하는 기판; 기판의 제1 표면에 커플링된 제1 집적 디바이스; 기판의 제1 표면에 커플링된 더미 다이; 기판의 제1 표면에 커플링된 제1 캡슐화 층 - 제1 캡슐화 층은 제1 집적 디바이스 및 더미 다이를 캡슐화함 -; 및 기판의 제2 표면에 커플링된 제2 집적 디바이스를 포함한다.

[0009] 다른 예는 패키지를 제조하기 위한 방법을 제공한다. 본 방법은 제1 표면 및 제2 표면을 포함하는 기판을 제공한다. 본 방법은 제1 집적 디바이스를 기판의 제1 표면에 커플링시킨다. 본 방법은 상호연결 다이(interconnection die)를 기판의 제1 표면에 커플링시킨다. 본 방법은 제1 캡슐화 층을 기판의 제1 표면에 커플링시키는데, 제1 캡슐화 층은 제1 집적 디바이스 및 상호연결 다이를 캡슐화한다. 본 방법은 제2 집적 디바이스를 기판의 제2 표면에 커플링시킨다.

도면의 간단한 설명

[0010] 다양한 특징들, 속성, 및 이점들은, 도면들과 함께 취해질 때, 아래에 기재된 상세한 설명으로부터 명백해질 수 있으며, 도면에서, 동일한 참조 부호들은 전반에 걸쳐 대응적으로 식별된다.

도 1은 기판 및 적어도 하나의 상호연결 다이를 포함하는 패키지의 예시적인 단면도를 예시한다.

도 2는 기판 및 적어도 하나의 상호연결 다이를 포함하는 패키지의 예시적인 단면도를 예시한다.

도 3a 및 도 3b는 상호연결 다이를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 4a 및 도 4b는 상호연결 다이를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 5는 상호연결 다이를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 6a 내지 도 6c는 기판 및 상호연결 다이를 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 7은 기판 및 상호연결 다이를 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 8a 내지 도 8c는 기판 및 상호연결 다이를 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 9는 기판 및 상호연결 다이를 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 10a 및 도 10b는 기판을 제조하기 위한 예시적인 시퀀스를 예시한다.

도 11은 기판을 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 12는 본 명세서에 설명되는 다이, 전자 회로, 집적 디바이스, IPD(integrated passive device), 수동(passive) 컴포넌트, 패키지, 및/또는 디바이스 패키지를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0011] 다음의 설명에서, 본 발명의 다양한 양태들의 완전한 이해를 제공하기 위해 특정한 상세사항들이 제공된다. 그러나, 이러한 특정 상세사항이 없이도 양태가 실시될 수 있다는 점이 당업자에 의해 이해될 것이다. 예컨대, 회로들은, 불필요하게 상세히 양태들을 불명료하게 하는 것을 회피하기 위해 블록도들로 도시될 수 있다. 다른 예시들에서, 잘 알려진 회로들, 구조들 및 기법들은 본 개시내용의 양태들을 불명료하게 하지 않기 위해 상세히 도시되지 않을 수 있다.

[0012] 본 개시내용은 패키지를 설명하는데, 패키지는 제1 표면 및 제2 표면을 포함하는 기판; 기판의 제1 표면에 커플링된 제1 집적 디바이스; 기판의 제1 표면에 커플링된 상호연결 다이; 기판의 제1 표면에 커플링된 제1 캡슐화 층 — 제1 캡슐화 층은 제1 집적 디바이스 및 상호연결 다이를 캡슐화함 —; 및 기판의 제2 표면에 커플링된 제2 집적 디바이스를 포함한다. 아래에서 추가로 설명되는 바와 같이, 패키지는 고밀도 상호연결을 제공하며, 이는 패키지를 작고 얇게 유지하면서 향상된 패키지 성능을 제공하는 것을 돕는다.

[0013] **기판 및 상호연결 다이를 포함하는 예시적인 패키지**

[0014] 도 1은 기판 및 고밀도 상호연결을 포함하는 패키지(100)의 단면도를 예시한다. 패키지(100)는 복수의 솔더(solder) 상호연결부들(115)을 통해 보드(108)에 커플링된다. 보드(108)는 적어도 하나의 보드 유전체 층(180) 및 복수의 보드 상호연결부들(182)을 포함한다. 보드(108)는 인쇄 회로 보드(printed circuit board, PCB)를 포함할 수 있다.

[0015] 패키지(100)는 적어도 하나의 상호연결 다이(101), 기판(102), 집적 디바이스(103), 집적 디바이스(105), 집적 디바이스(107), 수동 디바이스(109a), 수동 디바이스(109b), 수동 디바이스(109c), 캡슐화 층(104), 캡슐화 층(106), 및 외부 금속 층(160)을 포함한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기판(102)은 제1 표면(예컨대, 하단 표면) 및 제2 표면(예컨대, 상단 표면)을 포함한다.

[0016] 집적 디바이스(103)(예컨대, 제1 집적 디바이스)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)의 제1 표면(예컨대, 하단 표면)에 커플링된다. 집적 디바이스(103)는 복수의 필라(pillar) 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 커플링될 수 있다. 집적 디바이스(103)와 기판(102) 사이에는 언더필(underfill)(132)이 존재할 수 있다. 적어도 하나의 상호연결 다이(101)는 복수의 솔더 상호연결부들(114)을 통해 기판(102)의 제1 표면에 커플링될 수 있다. 아래에서 추가로 설명되는 바와 같이, 적어도 하나의 상호연결 다이(101)는 패키지(100)에 대해 고밀도 상호연결부들을 제공하도록 구성될 수 있다. 캡슐화 층(104)은 기판(102)의 제1 표면에 커플링될 수 있다. 캡슐화 층(104)은 집적 디바이스(103) 및 적어도 하나의 상호연결 다이(101)를 (예컨대, 부분적으로 또는 완전히) 캡슐화할 수 있다. 캡슐화 층(104)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(104)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(104)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 집적 디바이스(103)는 전방 면 및 후방 면을 포함할 수 있다. 집적 디바이스(103)의 전방 면은 기판(102)을 향할 수 있다. 집적 디바이스(103)의 후방 면은 보드(108)를 향할 수 있다. 집적 디바이스(103)의 후방 면은 캡슐화 층(104)에 의해 커버될 수 있다. 일부 구현들에서, 집적 디바이스(103)의 후방 면(예컨대, 후방측 표면)은 노출된 (예컨대, 캡슐화 층(104)에 의해 커버되지 않은) 상태로 남겨질 수 있다. 집적 디바이스(103)의 후방 면이 어떻게 노출될 수 있는지의 예가 도 2에서 예시 및 후술된다.

[0017] 적어도 하나의 상호연결 다이(101)는 다이 기판(110) 및 복수의 다이 상호연결부들(112)을 포함한다. 다이 기판(110)은 실리콘을 포함할 수 있다. 복수의 다이 상호연결부들(112)은 패드 상호연결부(112a)(예컨대, 패드), 비아 상호연결부(112b)(예컨대, 비아) 및 패드 상호연결부(112c)(예컨대, 패드)를 포함한다. 패드 상호연결부(112a)는 비아 상호연결부(112b)에 커플링된다. 비아 상호연결부(112b)는 패드 상호연결부(112c)에 커플링된다. 패드 상호연결부(112a)는 솔더 상호연결부(114a)에 커플링된다. 솔더 상호연결부(114a)는 복수의 솔더 상호연결부들(114)의 일부이다. 복수의 솔더 상호연결부들(114)은 복수의 다이 상호연결부들(112)에 커플링된다. 패드 상호연결부(112c)는 솔더 상호연결부(115a)에 커플링된다. 솔더 상호연결부(115a)는 복수의 솔더 상호연결부들(115)의 일부이다. 적어도 하나의 상호연결 다이(101)는 더미 다이일 수 있다. 상호연결 다이(101)에는 어떠한 트랜지스터도 없을 수 있다. 적어도 하나의 상호연결 다이(101)에는 활성 컴포넌트들이 없을 수 있다. 적어도 하나의 상호연결 다이(101)는 다이 상호연결을 위한 수단일 수 있다.

[0018] 복수의 다이 상호연결부들(112)은 이웃하는 다이 상호연결부들 사이의 피치(pitch)가 약 150 내지 270 마이크로미터의 범위에 있을 수 있다. 캡슐화 층(104)은 두께(예컨대, 높이)가 약 150 내지 300 마이크로미터의 범위에

있을 수 있다. 복수의 솔더 상호연결부들(115)은 직경 및/또는 두께가 약 100 마이크로미터일 수 있다. 복수의 솔더 상호연결부들(114)과 적어도 하나의 상호연결 다이(101)와 복수의 솔더 상호연결부들(115)의 조합된 총 두께(예컨대, 높이)는 약 250 내지 400 마이크로미터의 범위에 있을 수 있다. 이러한 치수들은 적어도 하나의 상호연결 다이(101)의 사용을 통해 가능하며, 이는 (i) (예컨대, 적절한 스탠드오프(standoff) 높이를 갖는) 하단 면 집적 디바이스를 여전히 수용할 수 있으면서 더 얇은 패키지(100)를 제공하는 것을 돕고, (ii) 낮은 피치들(예컨대, 150 내지 270 마이크로미터)을 갖고서 캡슐화 층 내에 상호연결부들을 제공하는 것을 돕고, 따라서 캡슐화 층 내에 고밀도 라우팅(예컨대, 고밀도 상호연결들)을 제공하는 것을 돕는다.

[0019] 집적 디바이스(105)(예컨대, 제2 집적 디바이스)는 복수의 솔더 상호연결부들(152)을 통해 기판(102)의 제2 표면(예컨대, 상단 표면)에 커플링된다. 예를 들어, 집적 디바이스(105)는 복수의 솔더 상호연결부들(152)을 통해 기판(102)의 복수의 상호연결부들(122)에 커플링될 수 있다. 집적 디바이스(105)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(152)을 통해 기판(102)에 커플링될 수 있다. 집적 디바이스(107)(예컨대, 제3 집적 디바이스)는 복수의 솔더 상호연결부들(172)을 통해 기판(102)의 제2 표면에 커플링된다. 예를 들어, 집적 디바이스(107)는 복수의 솔더 상호연결부들(172)을 통해 기판(102)의 복수의 상호연결부들(122)에 커플링될 수 있다. 집적 디바이스(107)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(172)을 통해 기판(102)에 커플링될 수 있다. 수동 디바이스(109a)는 복수의 솔더 상호연결부들(190a)을 통해 기판(102)의 제2 표면에 커플링된다. 예를 들어, 수동 디바이스(109a)는 복수의 솔더 상호연결부들(190a)을 통해 기판(102)의 복수의 상호연결부들(122)에 커플링된다. 수동 디바이스(109b)는 복수의 솔더 상호연결부들(190b)을 통해 기판(102)의 제2 표면에 커플링된다. 예를 들어, 수동 디바이스(109b)는 복수의 솔더 상호연결부들(190b)을 통해 기판(102)의 복수의 상호연결부들(122)에 커플링된다. 수동 디바이스(109c)는 복수의 솔더 상호연결부들(190c)을 통해 기판(102)의 제2 표면에 커플링된다. 예를 들어, 수동 디바이스(109c)는 복수의 솔더 상호연결부들(190c)을 통해 기판(102)의 복수의 상호연결부들(122)에 커플링된다. 수동 디바이스(예컨대, 109a, 109b, 109c)는 커패시터 및/또는 인덕터를 포함할 수 있다.

[0020] 캡슐화 층(106)은 기판(102)의 제2 표면(예컨대, 상단 표면)에 커플링된다. 캡슐화 층(106)은 집적 디바이스(105), 집적 디바이스(107), 수동 디바이스(109a), 수동 디바이스(109b) 및 수동 디바이스(109c)를 캡슐화할 수 있다. 캡슐화 층(106)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(106)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(106)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다.

[0021] 외부 금속 층(160)은 캡슐화 층(106)의 외부 표면에 커플링될 수 있다. 캡슐화 층(106)의 외부 표면은 상단 표면 및 측부 표면을 포함할 수 있다. 외부 금속 층(160)은 또한 기판(102)의 측부 표면 및 캡슐화 층(104)의 측부 표면에 커플링될 수 있다. 외부 금속 층(160)은 접지에 커플링되도록 구성될 수 있다. 외부 금속 층(160)은 패키지(100)를 위한 전자기 간섭(Electromagnetic Interference, EMI) 차폐부로서 동작하도록 구성될 수 있다. 외부 금속 층(160)은 기판(102)의 복수의 상호연결부들(122)로부터의 하나 이상의 상호연결부들에 커플링되도록 구성될 수 있다.

[0022] 도 2는 기판 및 고밀도 상호연결을 포함하는 패키지(200)의 단면도를 예시한다. 패키지(200)는 도 1의 패키지(100)와 유사하며, 따라서 패키지(100)와 동일하거나 유사한 컴포넌트들을 포함한다. 패키지(200)는 도 1의 적어도 하나의 상호연결 다이(101) 와는 상이한 구성을 갖는 적어도 하나의 상호연결 다이(201)를 포함한다.

[0023] 패키지(200)는 복수의 솔더 상호연결부들(115)을 통해 보드(108)에 커플링된다. 보드(108)는 적어도 하나의 보드 유전체 층(180) 및 복수의 보드 상호연결부들(182)을 포함한다. 보드(108)는 인쇄 회로 보드(PCB)를 포함할 수 있다.

[0024] 패키지(200)는 적어도 하나의 상호연결 다이(201), 기판(102), 집적 디바이스(103), 집적 디바이스(105), 집적 디바이스(107), 수동 디바이스(109a), 수동 디바이스(109b), 수동 디바이스(109c), 캡슐화 층(104), 캡슐화 층(106), 및 외부 금속 층(160)을 포함한다. 적어도 하나의 상호연결 다이(201)는 복수의 솔더 상호연결부들(114)을 통해 기판(102)의 제1 표면에 커플링된다.

[0025] 적어도 하나의 상호연결 다이(201)는 다이 기판(110) 및 복수의 다이 상호연결부들(112)을 포함한다. 다이 기판(110)은 실리콘을 포함할 수 있다. 복수의 다이 상호연결부들(112)은 패드 상호연결부(112a)(예컨대, 패드) 및 비아 상호연결부(112b)(예컨대, 비아)를 포함한다. 패드 상호연결부(112a)는 비아 상호연결부(112b)에 커플링된다. 패드 상호연결부(112a)는 솔더 상호연결부(114a)에 커플링된다. 솔더 상호연결부(114a)는 복수의 솔더 상호연결부들(114)의 일부이다. 복수의 솔더 상호연결부들(114)은 복수의 다이 상호연결부들(112)에 커플링

된다. 비아 상호연결부(112b)는 솔더 상호연결부(115a)에 커플링된다. 솔더 상호연결부(115a)는 복수의 솔더 상호연결부들(115)의 일부이다. 적어도 하나의 상호연결 다이(101)는 더미 다이일 수 있다. 따라서, 적어도 하나의 상호연결 다이(201)와 적어도 하나의 상호연결 다이(101) 사이의 하나의 가능한 차이는 적어도 하나의 상호연결 다이(201)가 패드 상호연결부(112c)를 포함하지 않는다는 것이다. 패드 상호연결부(112c)를 갖지 않는 것의 하나의 이점은 적어도 하나의 상호연결 다이(201)가 적어도 하나의 상호연결 다이(101)보다 얇을 수 있고, 이는 패키지의 전체 두께를 감소시키는 것을 도울 수 있다는 것이다. 적어도 하나의 상호연결 다이(201)는 더미 다이일 수 있다. 상호연결 다이(201)에는 어떠한 트랜지스터도 없을 수 있다. 적어도 하나의 상호연결 다이(201)에는 활성 컴포넌트들이 없을 수 있다. 적어도 하나의 상호연결 다이(201)는 다이 상호연결을 위한 수단일 수 있다.

[0026] 적어도 하나의 상호연결 다이(201)의 복수의 다이 상호연결부들(112)은 이웃하는 다이 상호연결부들 사이의 피치가 약 150 내지 270 마이크로미터의 범위에 있을 수 있다. 캡슐화 층(104)은 두께(예컨대, 높이)가 약 150 내지 300 마이크로미터의 범위에 있을 수 있다. 복수의 솔더 상호연결부들(115)은 직경 및/또는 두께가 약 100 마이크로미터일 수 있다. 복수의 솔더 상호연결부들(114)과 적어도 하나의 상호연결 다이(201)와 복수의 솔더 상호연결부들(115)의 조합된 총 두께(예컨대, 높이)는 약 250 내지 400 마이크로미터의 범위에 있을 수 있다. 이러한 치수들은 적어도 하나의 상호연결 다이(201)의 사용을 통해 가능하며, 이는 (i) (예컨대, 적절한 스탠드오프 높이를 갖는) 하단 면 집적 디바이스를 여전히 수용할 수 있으면서 더 얇은 패키지(200)를 제공하는 것을 돕고, (ii) 낮은 피치들(예컨대, 150 내지 270 마이크로미터)을 갖고서 캡슐화 층 내에 상호연결부들을 제공하는 것을 돕고, 따라서 캡슐화 층 내에 고밀도 라우팅(예컨대, 고밀도 상호연결들)을 제공하는 것을 돕는다.

[0027] 패키지(200)와 패키지(100) 사이의 다른 차이는 패키지(200)의 집적 디바이스(103)의 후방 면이 노출된다는 것이다. 도 2에 도시된 바와 같이, 집적 디바이스(103)의 후방 면의 적어도 일부는 캡슐화 층(104)에 의해 커버되지 않는다. 이는 패키지(200)의 제조 프로세스 동안, 캡슐화 층(104)의 부분들, 집적 디바이스(103)의 후방 면의 부분들, 및/또는 적어도 하나의 상호연결 다이(201)의 부분들이 패키지(200)의 하단 면의 그라인딩 및/또는 연마 프로세스 동안 제거될 수 있기 때문에 발생할 수 있다. 그러나, 패키지(200)의 일부 구현들에서, 집적 디바이스(103)의 후방 면은 캡슐화 층(104)에 의해 커버될 수 있다는 것에 유의한다.

[0028] 집적 디바이스(예컨대, 103, 105, 107)는 다이(예컨대, 반도체 베어 다이(bare die))를 포함할 수 있다. 집적 디바이스는 PMIC(power management integrated circuit)를 포함할 수 있다. 집적 디바이스는 애플리케이션 프로세서를 포함할 수 있다. 집적 디바이스는 모뎀을 포함할 수 있다. 집적 디바이스는 RF(radio frequency) 디바이스, 수동 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, GaAs(gallium arsenide)계 집적 디바이스, SAW(surface acoustic wave) 필터, BAW(bulk acoustic wave) 필터, LED(light emitting diode) 집적 디바이스, Si(silicon)계 집적 디바이스, SiC(silicon carbide)계 집적 디바이스, 메모리, 전력 관리 프로세서, 및/또는 이들의 조합들을 포함할 수 있다. 집적 디바이스(예컨대, 103, 105, 107)는 적어도 하나의 전자 회로(예컨대, 제1 전자 회로, 제2 전자 회로 등...)를 포함할 수 있다. 집적 디바이스는 트랜지스터들을 포함할 수 있다. 집적 디바이스는 전기 컴포넌트 및/또는 전기 디바이스의 일 예일 수 있다. 일부 구현에서, 집적 디바이스는 칩렛(chiplet)일 수 있다. 칩렛은 다른 타입들의 집적 디바이스들을 위한 제조 프로세스들과 비교하여 더 양호한 수율들을 제공하는 프로세스를 사용하여 제조될 수 있으며, 이는 칩렛을 제조하는 전체 비용을 낮출 수 있다. 상이한 칩렛들은 상이한 크기들 및/또는 형상들을 가질 수 있다. 상이한 칩렛들은 상이한 기능들을 제공하도록 구성될 수 있다. 상이한 칩렛들은 상이한 상호연결부 밀도들(예컨대 상이한 폭 및/또는 간격을 갖는 상호연결부들)을 가질 수 있다. 일부 구현들에서, 여러 개의 칩렛들은 하나 이상의 칩들(예컨대, 하나 이상의 집적 디바이스들)의 기능들을 수행하는 데 사용될 수 있다. 여러 기능을 수행하는 여러 칩렛을 사용하면 단일 칩을 사용하여 패키지의 모든 기능을 수행하는 것에 비해 패키지의 전체 비용을 줄일 수 있다.

[0029] 패키지(예컨대, 100, 200)는 무선 주파수(RF) 패키지로 구현될 수 있다. RF 패키지는 RFFE(radio frequency front end) 패키지일 수 있다. 패키지(예컨대, 100, 200)는 WiFi(Wireless Fidelity) 통신 및/또는 셀룰러 통신(예컨대, 2G, 3G, 4G, 5G)을 제공하도록 구성될 수 있다. 패키지(예를 들어, 100, 300)는 GSM(Global System for Mobile) 통신, UMTS(Universal Mobile Telecommunications System) 및/또는 LTE(Long-Term Evolution)를 지원하도록 구성될 수 있다. 패키지들(예컨대, 100, 200)은 상이한 주파수들 및/또는 통신 프로토콜들을 갖는 신호들을 송신 및 수신하도록 구성될 수 있다.

[0030] 지금까지 다양한 상호연결 다이를 설명하였으며, 이제 상호연결 다이를 제조하기 위한 시퀀스가 아래에서 설명될 것이다.

[0031] **상호연결 다이를 제조하기 위한 예시적인 시퀀스**

[0032] 일부 구현들에서, 상호연결 다이를 제조하는 것은 몇몇 프로세스들을 포함한다. 도 3a 및 도 3b는 상호연결 다이를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 3a 및 도 3b의 시퀀스는 상호연결 다이(101)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 3a 및 도 3b의 프로세스는 본 개시내용에 설명된 임의의 상호연결 다이(예컨대, 201)를 제조하는 데 사용될 수 있다.

[0033] 도 3a 및 도 3b의 시퀀스가 상호연결 다이를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있다는 것에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 교체 또는 대체될 수 있다.

[0034] 도 3a에 도시된 바와 같이, 스테이지 1은 다이 기판(110)이 제공된 후의 상태를 예시한다. 다이 기판(110)은 실리콘을 포함한다. 다이 기판(110)은 제1 표면 및 제2 표면을 포함할 수 있다. 일부 구현들에서, 다이 기판(110)의 제1 표면은 상단 표면일 수 있고 다이 기판(110)의 제2 표면은 하단 표면일 수 있다. 일부 구현들에서, 다이 기판(110)의 제1 표면은 하단 표면일 수 있고 다이 기판(110)의 제2 표면은 상단 표면일 수 있다.

[0035] 스테이지 2는 복수의 공동들(302)이 다이 기판(110)에 형성된 후의 상태를 예시한다. 예를 들어, 복수의 공동들(302)은 다이 기판(110)의 제1 표면을 통해 형성될 수 있다. 복수의 공동들(302)은 트렌치들을 포함할 수 있다. 복수의 공동들(302)은 다이 기판(110)의 두께를 통해 부분적으로 연장될 수 있다. 레이저 삭마 프로세스 및/또는 에칭 프로세스가 복수의 공동들(302)을 형성하는 데 사용될 수 있다.

[0036] 스테이지 3은 금속 층(305)이 복수의 공동들(302) 내에 그리고/또는 다이 기판(110)의 제1 표면 위에 형성된 후를 예시한다. 금속 층(305)은 구리를 포함할 수 있다. 도금 프로세스가 금속 층(305)을 형성하는 데 사용될 수 있다.

[0037] 스테이지 4는 금속 층(305)의 부분들이 제거된 후의 상태를 예시한다. 예를 들어, 다이 기판(110)의 제1 표면에 커플링된 금속 층(305)의 부분들이 제거되어, 복수의 공동들(302)에 금속 층(305)을 남길 수 있다. 연마(polishing) 프로세스가 금속 층(305)의 부분들을 제거하는 데 사용될 수 있다. 복수의 공동들(302)에 위치되는 금속 층(305)으로부터의 나머지 금속은, 도 1 및 도 2에서 설명된 바와 같이, 복수의 상호연결부들(112b)을 한정할 수 있다.

[0038] 도 3b에 도시된 바와 같이, 스테이지 5는 금속 층(307)이 다이 기판(110)의 제1 표면 위에 형성된 후의 상태를 예시한다. 도금 프로세스가 금속 층(307)을 형성하는 데 사용될 수 있다. 금속 층(307)은 금속 층(305)에 커플링될 수 있다. 금속 층(307)은, 도 1 및 도 2에서 설명된 바와 같이, 복수의 상호연결부들(112a)을 한정할 수 있다. 금속 층(307)은 상호연결 다이의 전방 면 상호연결부들을 나타낼 수 있다.

[0039] 스테이지 6은 다이 기판(110)이 박형화된 후의 상태를 예시한다. 예를 들어, 다이 기판(110)의 부분들이 제거되어, 적어도 다이 기판(110a)을 남길 수 있고, 이는 금속 층(305)의 하단 면을 노출시킨다. 일부 구현들에서, 다이 기판(110)의 부분들이 제거되어, 적어도 다이 기판(110a) 및 다이 기판(110b)을 남길 수 있다. 다이 기판(110b)이 존재하는 경우, 금속 층(305)의 하단 면은 노출되지 않는다. 그라인딩 프로세스가 다이 기판(110)의 부분들을 제거하는 데 사용될 수 있다. 일부 구현들에서, 스테이지 6은 상호연결부들을 포함하는 상호연결 다이의 하나의 구현을 예시할 수 있고, 어떠한 추가 상호연결부들도 다이 기판(110) 내에, 위에 또는 아래에 형성되지 않는다. 어떠한 추가의 상호연결부도 형성되지 않으면, 싱귤레이션(singulation)은 스테이지 8에서 후술되는 바와 유사한 방식으로 일어날 수 있다. 아래에서 추가로 설명되는 바와 같이, 스테이지 6에 도시된 상호연결 다이는 기판에 커플링시키는 데 사용될 수 있다.

[0040] 스테이지 7은 금속 층(309)이 다이 기판(110)의 제2 표면 위에 형성된 후의 상태를 예시한다. 도금 프로세스가 금속 층(309)을 형성하는 데 사용될 수 있다. 금속 층(309)은 금속 층(305)에 커플링될 수 있다. 금속 층(309)은, 도 1 및 도 2에서 설명된 바와 같이, 복수의 상호연결부들(112c)을 한정할 수 있다. 금속 층(309)은 상호연결 다이의 후방 면 상호연결부들을 나타낼 수 있다.

[0041] 스테이지 8은 몇몇 상호연결 다이들을 형성하기 위한 싱귤레이션 후의 상태를 예시한다. 기계가공 프로세스가 다이 기판(110)을 몇몇 상호연결 다이들(예컨대, 101)로 싱귤레이션하는 데 사용될 수 있다. 톱이 다이 기판(110)을 싱귤레이션하는 데 사용될 수 있다.

[0042] **상호연결 다이를 제조하기 위한 예시적인 시퀀스**

[0043] 일부 구현들에서, 상호연결 다이를 제조하는 것은 몇몇 프로세스들을 포함한다. 도 4a 및 도 4b는 상호연결 다이를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 4a 및 도 4b의 시퀀스는 상호연결 다이(101)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 4a 및 도 4b의 프로세스는 본 개시내용에 설명된 임의의 상호연결 다이(예컨대, 201)를 제조하는 데 사용될 수 있다.

[0044] 도 4a 및 도 4b의 시퀀스가 상호연결 다이를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있다는 것에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 교체 또는 대체될 수 있다.

[0045] 도 4a에 도시된 바와 같이, 스테이지 1은 다이 기판(110)이 제공된 후의 상태를 예시한다. 다이 기판(110)은 실리콘을 포함한다. 다이 기판(110)은 제1 표면 및 제2 표면을 포함할 수 있다. 일부 구현들에서, 다이 기판(110)의 제1 표면은 상단 표면일 수 있고 다이 기판(110)의 제2 표면은 하단 표면일 수 있다. 일부 구현들에서, 다이 기판(110)의 제1 표면은 하단 표면일 수 있고 다이 기판(110)의 제2 표면은 상단 표면일 수 있다.

[0046] 스테이지 2는 복수의 공동들(402)이 다이 기판(110)에 형성된 후의 상태를 예시한다. 예를 들어, 복수의 공동들(402)은 다이 기판(110)의 제1 표면을 통해 형성될 수 있다. 복수의 공동들(402)은 트렌치들을 포함할 수 있다. 복수의 공동들(402)은 다이 기판(110)의 두께를 통해 부분적으로 연장될 수 있다. 레이저 삭마 프로세스 및/또는 에칭 프로세스가 복수의 공동들(402)을 형성하는 데 사용될 수 있다.

[0047] 스테이지 3은 금속 층(405)이 복수의 공동들(402) 내에 그리고/또는 다이 기판(110)의 제1 표면 위에 형성된 후를 예시한다. 금속 층(405)은 구리를 포함할 수 있다. 충전 프로세스가 금속 층(405)을 형성하는 데 사용될 수 있으며, 여기서 전도성 페이스트가 복수의 공동들(402)을 충전하는 데 사용될 수 있다.

[0048] 스테이지 4는 금속 층(405)의 부분들이 제거된 후의 상태를 예시한다. 예를 들어, 다이 기판(110)의 제1 표면에 커플링된 금속 층(405)의 부분들이 제거되어, 복수의 공동들(402)에 금속 층(405)을 남길 수 있다. 연마 프로세스가 금속 층(405)의 부분들을 제거하는 데 사용될 수 있다. 복수의 공동들(402)에 위치되는 금속 층(405)으로부터의 나머지 금속은, 도 1 및 도 2에서 설명된 바와 같이, 복수의 상호연결부들(112b)을 한정할 수 있다.

[0049] 도 4b에 도시된 바와 같이, 스테이지 5는 금속 층(407)이 다이 기판(110)의 제1 표면 위에 형성된 후의 상태를 예시한다. 도금 프로세스가 금속 층(407)을 형성하는 데 사용될 수 있다. 금속 층(407)은 금속 층(405)에 커플링될 수 있다. 금속 층(407)은, 도 1 및 도 2에서 설명된 바와 같이, 복수의 상호연결부들(112a)을 한정할 수 있다. 금속 층(407)은 상호연결 다이의 전방 면 상호연결부들을 나타낼 수 있다.

[0050] 스테이지 6은 다이 기판(110)이 박형화된 후의 상태를 예시한다. 예를 들어, 다이 기판(110)의 부분들이 제거되어, 적어도 다이 기판(110a)을 남길 수 있고, 이는 금속 층(405)의 하단 면을 노출시킨다. 일부 구현들에서, 다이 기판(110)의 부분들이 제거되어, 적어도 다이 기판(110a) 및 다이 기판(110b)을 남길 수 있다. 다이 기판(110b)이 존재하는 경우, 금속 층(405)의 하단 면은 노출되지 않는다. 그라인딩 프로세스가 다이 기판(110)의 부분들을 제거하는 데 사용될 수 있다. 일부 구현들에서, 스테이지 6은 상호연결부들을 포함하는 상호연결 다이의 하나의 구현을 예시할 수 있고, 어떠한 추가 상호연결부들도 다이 기판(110) 내에, 위에 또는 아래에 형성되지 않는다. 어떠한 추가의 상호연결부도 형성되지 않으면, 싱귤레이션(singulation)은 스테이지 8에서 후술되는 바와 유사한 방식으로 일어날 수 있다. 아래에서 추가로 설명되는 바와 같이, 스테이지 6에 도시된 상호연결 다이는 기판에 커플링시키는 데 사용될 수 있다.

[0051] 스테이지 7은 금속 층(409)이 다이 기판(110)의 제2 표면 위에 형성된 후의 상태를 예시한다. 도금 프로세스가 금속 층(409)을 형성하는 데 사용될 수 있다. 금속 층(409)은 금속 층(405)에 커플링될 수 있다. 금속 층(409)은, 도 1 및 도 2에서 설명된 바와 같이, 복수의 상호연결부들(112c)을 한정할 수 있다. 금속 층(409)은 상호연결 다이의 후방 면 상호연결부들을 나타낼 수 있다.

[0052] 스테이지 8은 몇몇 상호연결 다이들을 형성하기 위한 싱귤레이션 후의 상태를 예시한다. 기계가공 프로세스가 다이 기판(110)을 몇몇 상호연결 다이들(예컨대, 101)로 싱귤레이션하는 데 사용될 수 있다. 톱이 다이 기판(110)을 싱귤레이션하는 데 사용될 수 있다.

[0053] **상호연결 다이를 제조하기 위한 방법의 예시적인 흐름도**

[0054] 일부 구현들에서, 상호연결 다이를 제조하는 것은 몇몇 프로세스들을 포함한다. 도 5는 상호연결 다이를 제공 또는 제조하기 위한 방법(500)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 5의 방법(500)은 본 개시내용에 설명된 상호연결 다이(101)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 방법(500)은 본 개시내용에 설명된 임의의 상호연결 다이(예컨대, 201)를 제공 또는 제조하는 데 사용될 수 있다.

[0055] 도 5의 방법(500)은 상호연결 다이를 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 프로세스들을 조합할 수 있다는 것에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0056] 본 방법은 (505에서) 다이 기판(예컨대, 110)을 제공한다. 다이 기판(110)은 실리콘을 포함한다. 다이 기판(110)은 제1 표면 및 제2 표면을 포함할 수 있다. 일부 구현들에서, 다이 기판(110)의 제1 표면은 상단 표면일 수 있고 다이 기판(110)의 제2 표면은 하단 표면일 수 있다. 일부 구현들에서, 다이 기판(110)의 제1 표면은 하단 표면일 수 있고 다이 기판(110)의 제2 표면은 상단 표면일 수 있다. 도 3a의 스테이지 1은 다이 기판을 제공하는 일 예를 예시 및 설명한다. 도 4a의 스테이지 1은 다이 기판을 제공하는 일 예를 예시 및 설명한다.

[0057] 본 방법은 (510에서) 다이 기판(110)에 복수의 공동들(예컨대, 302, 402)을 형성한다. 예를 들어, 복수의 공동들(예컨대, 302, 402)은 다이 기판(110)의 제1 표면을 통해 형성될 수 있다. 복수의 공동들(예컨대, 302, 402)은 트렌치들을 포함할 수 있다. 복수의 공동들(예컨대, 302, 402)은 다이 기판(110)의 두께를 통해 부분적으로 연장될 수 있다. 레이저 삭마 프로세스 및/또는 에칭 프로세스가 복수의 공동들(예컨대, 302, 402)을 형성하는 데 사용될 수 있다. 도 3a의 스테이지 2는 다이 기판에 공동들을 형성하는 일 예를 예시 및 설명한다. 도 4a의 스테이지 2는 다이 기판에 공동들을 형성하는 일 예를 예시 및 설명한다.

[0058] 본 방법은 (515에서) 다이 기판(110)의 복수의 공동들(예컨대, 302, 402)에 전도성 재료를 형성한다. 전도성 재료는 금속 층(예컨대, 305, 405)을 포함할 수 있다. 전도성 재료는 다이 기판(110)의 표면 위에 형성될 수 있다. 전도성 재료는 구리를 포함할 수 있다. 도금 프로세스가 전도성 재료를 형성하는 데 사용될 수 있다. 충전 프로세스가 전도성 재료를 형성하는 데 사용될 수 있다. 도 3a의 스테이지 3은 다이 기판에 전도성 재료들을 형성하는 일 예를 예시 및 설명한다. 도 4a의 스테이지 3은 다이 기판에 전도성 재료들을 형성하는 일 예를 예시 및 설명한다. 일부 구현들에서, 전도성 재료를 형성하는 것은 전도성 재료의 부분들을 제거하는 것을 포함할 수 있다. 연마 프로세스가 전도성 재료의 부분들을 제거하는 데 사용될 수 있다. 전도성 재료의 부분들을 제거하는 것은 다이 기판(110)의 제1 표면에 커플링된 전도성 재료의 부분들을 제거하는 것 및 다이 기판(110)의 복수의 공동들(예컨대, 302, 402)에 위치된 전도성 재료를 남기는 것을 포함할 수 있다. 도 3a의 스테이지 4는 다이 기판에 전도성 재료들의 부분들을 제거하는 일 예를 예시 및 설명한다. 도 4a의 스테이지 4는 다이 기판에 전도성 재료들의 부분들을 제거하는 일 예를 예시 및 설명한다.

[0059] 본 방법은 (520에서) 복수의 전방 면 상호연결부들을 형성한다. 전방 면 상호연결부들은 다이 기판(110)의 상단 면에 커플링될 수 있다. 복수의 전방 면 상호연결부들은 다이 기판(110)의 상단 표면 상의 패턴화된 금속 층(예컨대, 307, 407)에 의해 한정될 수 있다. 도금 프로세스가 금속 층(예컨대, 307, 407)을 형성하는 데 사용될 수 있다. 금속 층(307)은 금속 층(305)에 커플링될 수 있다. 금속 층(407)은 금속 층(405)에 커플링될 수 있다. 금속 층(407)은, 도 1 및 도 2에서 설명된 바와 같이, 복수의 상호연결부들(112b)을 한정할 수 있다. 금속 층(407)은 상호연결 다이의 전방 면 상호연결부들을 나타낼 수 있다. 복수의 상호연결부들(112a)은 상호연결 다이의 복수의 전방 면 상호연결부들을 나타낼 수 있다. 도 3b의 스테이지 5는 전방 면 상호연결부들을 형성하는 일 예를 예시 및 설명한다, 도 4b의 스테이지 5는 전방 면 상호연결부들을 형성하는 일 예를 예시 및 설명한다,

[0060] 본 방법은 (525에서) 다이 기판(예컨대, 110)을 박형화한다. 상이한 구현들이 다이 기판(110)을 상이하게 박형화할 수 있다. 예를 들어, 일부 구현들은 금속 층(예컨대, 305, 405)의 하단 면이 노출되도록 다이 기판(110)을 박형화할 수 있다. 일부 구현들은 금속 층(예컨대, 305, 405)의 하단 면을 노출시키지 않고 다이 기판(110)을 박형화할 수 있다. 그라인딩 프로세스가 다이 기판(110)의 부분들을 제거하는 데 사용될 수 있다. 도 3b의 스테이지 6은 다이 기판을 박형화하는 일 예를 예시 및 설명한다. 도 4b의 스테이지 6은 다이 기판을 박형화하는 일 예를 예시 및 설명한다.

[0061] 본 방법은 선택적으로 (530에서) 복수의 후방 면 상호연결부들을 형성한다. 후방 면 상호연결부들은 다이 기판(110)의 하단 면에 커플링될 수 있다. 복수의 후방 면 상호연결부들은 다이 기판(110)의 상단 표면 상의 패턴

화된 금속 층(예컨대, 309, 409)에 의해 한정될 수 있다. 도금 프로세스가 금속 층(예컨대, 309, 409)을 형성하는 데 사용될 수 있다. 금속 층(309)은 금속 층(305)에 커플링될 수 있다. 금속 층(409)은 금속 층(405)에 커플링될 수 있다. 금속 층(409)은, 도 1 및 도 2에서 설명된 바와 같이, 복수의 상호연결부들(112c)을 한정할 수 있다. 금속 층(409)은 상호연결 다이의 후방 면 상호연결부들을 나타낼 수 있다. 복수의 상호연결부들(112c)은 상호연결 다이의 복수의 후방 면 상호연결부들을 나타낼 수 있다. 도 3b의 스테이지 7은 후방 면 상호연결부들을 형성하는 일 예를 예시 및 설명한다, 도 4b의 스테이지 7은 후방 면 상호연결부들을 형성하는 일 예를 예시 및 설명한다,

[0062] 본 방법은 (535에서) 몇몇 상호연결 다이들(예컨대, 101, 201)을 형성하기 위해 다이 기판(110)을 싱귤레이션한다. 기계가공 프로세스가 다이 기판(110)을 몇몇 상호연결 다이들(예컨대, 101)로 싱귤레이션하는 데 사용될 수 있다. 톱이 다이 기판(110)을 싱귤레이션하는 데 사용될 수 있다. 도 3b의 스테이지 8은 싱귤레이션의 일 예를 예시 및 설명한다. 도 4b의 스테이지 8은 싱귤레이션의 일 예를 예시 및 설명한다.

[0063] **기판 및 상호연결 다이를 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0064] 일부 구현에서, 패키지를 제조하는 것은 여러 프로세스들을 포함한다. 도 6a 내지 6c는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 6a 내지 도 6c의 시퀀스는 패키지(100)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 6a 내지 도 6c의 프로세스는 본 개시내용에 설명된 패키지들(예컨대, 200) 중 임의의 것을 제조하는 데 사용될 수 있다.

[0065] 도 6a 내지 도 6c의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화하고/하거나 명확하게 하기 위해 하나 이상의 단계를 조합할 수 있다는 것에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 교체 또는 대체될 수 있다.

[0066] 도 6a에 도시된 바와 같이, 스테이지 1은 기판(102)이 제공된 후의 상태를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기판(102)은 제1 표면(예컨대, 하단 표면) 및 제2 표면(예컨대, 상단 표면)을 포함할 수 있다. 기판(102)은 도 10a 및 도 10b에서 설명되는 바와 같은 방법을 사용하여 제조될 수 있다. 일부 구현에서, 코어형 기판(예를 들어, 코어 층을 포함하는 기판)이 제공된다.

[0067] 스테이지 2는 집적 디바이스(103)가 기판(102)의 제1 표면(예컨대, 하단 표면)에 커플링된 후의 상태를 예시한다. 집적 디바이스(103)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 집적 디바이스(103)를 기판(102)에 커플링시키는 데 사용될 수 있다. 일부 구현들에서, 집적 디바이스(103)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 커플링될 수 있다. 스테이지 2는 또한, 적어도 하나의 상호연결 다이(101)가 기판(102)의 제1 표면에 커플링된 후의 상태를 예시한다. 적어도 하나의 상호연결 다이(101)는 복수의 솔더 상호연결부들(114)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 적어도 하나의 상호연결 다이(101)를 기판(102)에 커플링시키는 데 사용될 수 있다. 스테이지 2는 또한, 제1 집적 디바이스(105)와 기판(102) 사이에 제공 및/또는 형성되는 언더필(132)을 예시한다.

[0068] 스테이지 3은 캡슐화 층(104)이 제공되고 기판(102)에 커플링된 후의 상태를 예시한다. 캡슐화 층(104)은 집적 디바이스(103) 및 적어도 하나의 상호연결 다이(101)를 캡슐화할 수 있다. 캡슐화 층(104)은 기판(102)의 제1 표면에 커플링될 수 있다. 캡슐화 층(104)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(104)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(104)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다.

[0069] 스테이지 4는 캡슐화 층(104)의 부분들이 제거된 후의 상태를 예시한다. 그라인딩 프로세스 및/또는 연마 프로세스가 캡슐화 층(104)의 부분들을 제거하는 데 사용될 수 있다. 일부 구현들에서, 적어도 하나의 상호연결 다이(101)의 부분들 및/또는 집적 디바이스(103)의 후방 면의 부분들이 또한 제거될 수 있다.

[0070] 도 6b에 도시된 바와 같이, 스테이지 5는 집적 디바이스(105), 집적 디바이스(107) 및 복수의 수동 디바이스들(109)(예컨대, 109a, 109b, 109c)이 기판(102)의 제2 표면(예컨대, 상단 표면)에 커플링된 후의 상태를 예시한다. 집적 디바이스(105)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(152)을 통해 기판(102)에 커플링될 수 있다. 집적 디바이스(107)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(172)을 통해 기판(102)에 커플링될 수 있다. 복수의 수동 디바이스들(109)(예컨대, 109a, 109b, 109c)은 대응하는 복수의 솔더 상호연결부들(예컨대, 190a, 190b, 190c)을 통해 기판(102)에 커플링될 수

있다. 솔더 리플로우 프로세스가 집적 디바이스들(및/또는 수동 디바이스들)을 기판(102)에 커플링시키는 데 사용될 수 있다.

[0071] 스테이지 6은 캡슐화 층(106)이 제공되고 기판(102)에 커플링된 후의 상태를 예시한다. 캡슐화 층(106)은 집적 디바이스들(예컨대, 105, 107) 및 수동 디바이스들(예컨대, 109a, 109b, 109c)을 캡슐화할 수 있다. 캡슐화 층(106)은 기판(102)의 제2 표면에 커플링될 수 있다. 캡슐화 층(106)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(106)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(106)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다.

[0072] 도 6c에 도시된 바와 같이, 스테이지 7은 복수의 솔더 상호연결부들(115)이 적어도 하나의 상호연결 다이(101)에 커플링된 후의 상태를 예시한다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(115)을 적어도 하나의 상호연결 다이(101)에 커플링시키는 데 사용될 수 있다.

[0073] 스테이지 8은 외부 금속 층(160)이 캡슐화 층(106)의 외부 표면 상에 형성된 후의 상태를 예시한다. 스퍼터링 프로세스가 외부 금속 층(160)을 형성하는 데 사용될 수 있다. 외부 금속 층(160)은 캡슐화 층(106)의 상단 표면, 캡슐화 층(106)의 측부 표면, 기판(102)의 측부 표면 및/또는 캡슐화 층(104)의 측부 표면 상에 형성될 수 있다. 스테이지 8은 패키지(100)를 예시할 수 있다. 패키지(100)는 한번에 하나씩 제조될 수 있거나 하나 이상의 웨이퍼들의 일부로서 함께 제조된 다음 개별 패키지들로 싱귤레이션될 수 있다.

[0074] **기판 및 상호연결 다이를 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**

[0075] 일부 구현에서, 패키지를 제조하는 것은 여러 프로세스들을 포함한다. 도 7은 패키지를 제공 또는 제조하기 위한 방법(700)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 7의 방법(700)은 본 개시내용에 설명된 패키지(100)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 방법(700)은 본 개시내용에 설명된 패키지들(예컨대, 200) 중 임의의 것을 제공 또는 제조하는 데 사용될 수 있다.

[0076] 도 7의 방법(700)은 패키지를 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 프로세스들을 조합할 수 있다는 것에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0077] 본 방법은 (705에서) 기판(예컨대, 102)을 제공한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기판(102)은 제1 표면(예컨대, 하단 표면) 및 제2 표면(예컨대, 상단 표면)을 포함할 수 있다. 기판(102)은 도 10a 및 도 10b에서 설명되는 바와 같은 방법을 사용하여 제조될 수 있다. 일부 구현에서, 코어형 기판(예를 들어, 코어 층을 포함하는 기판)이 제공된다. 도 6a의 스테이지 1은 기판을 제공하는 일 예를 예시 및 설명한다.

[0078] 본 방법은 (710에서) 집적 디바이스(예컨대, 103) 및 적어도 하나의 상호연결 다이(예컨대, 101)를 기판(102)의 제1 표면(예컨대, 하단 표면)에 커플링시킨다. 집적 디바이스(103)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 집적 디바이스(103)를 기판(102)에 커플링시키는 데 사용될 수 있다. 적어도 하나의 상호연결 다이(101)는 복수의 솔더 상호연결부들(114)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 적어도 하나의 상호연결 다이(101)를 기판(102)에 커플링시키는 데 사용될 수 있다. 도 6a의 스테이지 2는 집적 디바이스 및 상호연결 다이를 기판에 커플링시키는 일 예를 예시 및 설명한다.

[0079] 본 방법은 (715에서) 기판(예컨대, 102)에 커플링되는 캡슐화 층(예컨대, 104)을 형성한다. 캡슐화 층(104)(예컨대, 제1 캡슐화 층)은 집적 디바이스(103) 및 적어도 하나의 상호연결 다이(101)를 캡슐화할 수 있다. 캡슐화 층(104)은 기판(102)의 제1 표면에 커플링될 수 있다. 캡슐화 층(104)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(104)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(104)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 일부 구현들에서, 캡슐화 층을 형성하는 것은 캡슐화 층(104)의 부분들을 제거하는 것을 포함할 수 있다. 그라인딩 프로세스 및/또는 연마 프로세스가 캡슐화 층(104)의 부분들을 제거하는 데 사용될 수 있다. 일부 구현들에서, 적어도 하나의 상호연결 다이(101)의 부분들 및/또는 집적 디바이스(103)의 후방 면의 부분들이 또한 제거될 수 있다. 도 6a의 스테이지 3 및 스테이지 4는 캡슐화 층을 제공하고 캡슐화 층의 부분들을 제거하는 일 예를 예시 및 설명한다.

[0080] 본 방법은 (720에서) 집적 디바이스들(예컨대, 105, 107) 및 수동 디바이스들(예컨대, 109a, 109b, 109c)을 기판(102)의 제2 표면(예컨대, 상단 표면)에 커플링시킨다. 집적 디바이스(105)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(152)을 통해 기판(102)에 커플링될 수 있다. 집적 디바이스(107)는

복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(172)을 통해 기판(102)에 커플링될 수 있다. 복수의 수동 디바이스들(109)(예컨대, 109a, 109b, 109c)은 대응하는 복수의 솔더 상호연결부들(예컨대, 190a, 190b, 190c)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 집적 디바이스들(및/또는 수동 디바이스들)을 기판(102)에 커플링시키는 데 사용될 수 있다. 도 6b의 스테이지 5는 집적 디바이스 및 수동 디바이스를 기판에 커플링시키는 일 예를 예시 및 설명한다.

[0081] 본 방법은 (725에서) 캡슐화 층(예컨대, 106)을 형성한다. 캡슐화 층은 기판(102)에 커플링된다. 캡슐화 층(106)(예컨대, 제2 캡슐화 층)은 집적 디바이스들(예컨대, 105, 107) 및 수동 디바이스들(예컨대, 109a, 109b, 109c)을 캡슐화할 수 있다. 캡슐화 층(106)은 기판(102)의 제2 표면에 커플링될 수 있다. 캡슐화 층(106)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(106)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(106)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 도 6b의 스테이지 6은 캡슐화 층을 제공하는 일 예를 예시 및 설명한다.

[0082] 본 방법은 (730에서) 복수의 솔더 상호연결부들(예컨대, 115)을 적어도 하나의 상호연결 다이(101)에 커플링시킨다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(115)을 적어도 하나의 상호연결 다이(101)에 커플링시키는 데 사용될 수 있다. 도 6c의 스테이지 7은 솔더 상호연결부들을 기판에 커플링시키는 일 예를 예시 및 설명한다.

[0083] 본 방법은 (735에서) 캡슐화 층(106)의 외부 표면 상에 외부 금속 층(예컨대, 160)을 형성한다. 스퍼터링 프로세스가 외부 금속 층(160)을 형성하는 데 사용될 수 있다. 외부 금속 층(160)은 캡슐화 층(106)의 상단 표면, 캡슐화 층(106)의 측부 표면, 기판(102)의 측부 표면 및/또는 캡슐화 층(104)의 측부 표면 상에 형성될 수 있다. 외부 금속 층(160)은 기판(102)의 복수의 상호연결부들(122)로부터의 상호연결부에 커플링될 수 있다. 외부 금속 층(160)은 패키지(100)를 위한 전자기 간섭(Electromagnetic Interference, EMI) 차폐부로서 동작하도록 구성될 수 있다. 도 6c의 스테이지 8은 외부 금속 층을 형성하는 일 예를 예시 및 설명한다,

[0084] 일부 구현에서, 여러 패키지가 동시에 제조된다. 그러한 경우들에서, 본 방법은 패키지(예컨대, 100, 200)를 싱귤레이션할 수 있다.

[0085] **기판 및 상호연결 다이를 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0086] 일부 구현에서, 패키지를 제조하는 것은 여러 프로세스들을 포함한다. 도 8a 내지 8c는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 8a 내지 도 8c의 시퀀스는 패키지(200)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 8a 내지 도 8c의 프로세스는 본 개시내용에 설명된 패키지들(예컨대, 100) 중 임의의 것을 제조하는 데 사용될 수 있다.

[0087] 도 8a 내지 도 8c의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확하게 하기 위해 하나 이상의 스테이지들을 조합할 수 있음에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 교체 또는 대체될 수 있다.

[0088] 도 8a에 도시된 바와 같이, 스테이지 1은 기판(102)이 제공된 후의 상태를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기판(102)은 제1 표면(예컨대, 하단 표면) 및 제2 표면(예컨대, 상단 표면)을 포함할 수 있다. 기판(102)은 도 10a 및 도 10b에서 설명되는 바와 같은 방법을 사용하여 제조될 수 있다. 일부 구현에서, 코어형 기판(예를 들어, 코어 층을 포함하는 기판)이 제공된다.

[0089] 스테이지 2는 집적 디바이스(105), 집적 디바이스(107) 및 복수의 수동 디바이스들(109)(예컨대, 109a, 109b, 109c)이 기판(102)의 제2 표면(예컨대, 상단 표면)에 커플링된 후의 상태를 예시한다. 집적 디바이스(105)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(152)을 통해 기판(102)에 커플링될 수 있다. 집적 디바이스(107)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(172)을 통해 기판(102)에 커플링될 수 있다. 복수의 수동 디바이스들(109)(예컨대, 109a, 109b, 109c)은 대응하는 복수의 솔더 상호연결부들(예컨대, 190a, 190b, 190c)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 집적 디바이스들(및/또는 수동 디바이스들)을 기판(102)에 커플링시키는 데 사용될 수 있다.

[0090] 스테이지 3은 캡슐화 층(106)이 제공되고 기판(102)에 커플링된 후의 상태를 예시한다. 캡슐화 층(106)(예컨대, 제2 캡슐화 층)은 집적 디바이스들(예컨대, 105, 107) 및 수동 디바이스들(예컨대, 109a, 109b, 109c)을 캡슐화할 수 있다. 캡슐화 층(106)은 기판(102)의 제2 표면에 커플링될 수 있다. 캡슐화 층(106)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(106)은 캡슐화를 위한 수단일 수 있다. 캡

슐화 층(106)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다.

[0091] 도 8b에 도시된 바와 같이, 스테이지 4는 집적 디바이스(103)가 기판(102)의 제1 표면(예컨대, 하단 표면)에 커플링된 후의 상태를 예시한다. 집적 디바이스(103)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 커플링될 수 있다. 집적 디바이스(103)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 집적 디바이스(103)를 기판(102)에 커플링시키는 데 사용될 수 있다. 스테이지 2는 또한, 적어도 하나의 상호연결 다이(201)가 기판(102)의 제1 표면에 커플링된 후의 상태를 예시한다. 적어도 하나의 상호연결 다이(201)는 복수의 솔더 상호연결부들(114)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 적어도 하나의 상호연결 다이(201)를 기판(102)에 커플링시키는 데 사용될 수 있다. 스테이지 2는 또한, 제1 집적 디바이스(105)와 기판(102) 사이에 제공 및/또는 형성되는 언더필(132)을 예시한다.

[0092] 스테이지 5는 캡슐화 층(104)(예컨대, 제1 캡슐화 층)이 제공되고 기판(102)에 커플링된 후의 상태를 예시한다. 캡슐화 층(104)은 집적 디바이스(103) 및 적어도 하나의 상호연결 다이(201)를 캡슐화할 수 있다. 캡슐화 층(104)은 기판(102)의 제1 표면에 커플링될 수 있다. 캡슐화 층(104)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(104)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(104)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다.

[0093] 스테이지 6은 캡슐화 층(104)의 부분들이 제거된 후의 상태를 예시한다. 그라인딩 프로세스 및/또는 연마 프로세스가 캡슐화 층(104)의 부분들을 제거하는 데 사용될 수 있다. 적어도 하나의 상호연결 다이(201)의 부분들 및/또는 집적 디바이스(103)의 후방 면의 부분들이 또한 제거될 수 있다. 상호연결 다이(201)의 부분들을 제거함으로써 다이 기판(110)의 부분들을 제거할 수 있으며, 이는 다이 기판(110) 내의 상호연결부들을 노출시킬 수 있다.

[0094] 도 8c에 도시된 바와 같이, 스테이지 7은 복수의 솔더 상호연결부들(115)이 적어도 하나의 상호연결 다이(201)에 커플링된 후의 상태를 예시한다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(115)을 적어도 하나의 상호연결 다이(201)에 커플링시키는 데 사용될 수 있다.

[0095] 스테이지 8은 외부 금속 층(160)이 캡슐화 층(106)의 외부 표면 상에 형성된 후의 상태를 예시한다. 스퍼터링 프로세스가 외부 금속 층(160)을 형성하는 데 사용될 수 있다. 외부 금속 층(160)은 캡슐화 층(106)의 상단 표면, 캡슐화 층(106)의 측부 표면, 기판(102)의 측부 표면 및/또는 캡슐화 층(104)의 측부 표면 상에 형성될 수 있다. 스테이지 8은 패키지(200)를 예시할 수 있다. 패키지(200)는 한번에 하나씩 제조될 수 있거나 하나 이상의 웨이퍼들의 일부로서 함께 제조된 다음 개별 패키지들로 싱귤레이션될 수 있다.

[0096] **기판 및 상호연결 다이를 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**

[0097] 일부 구현에서, 패키지를 제조하는 것은 여러 프로세스들을 포함한다. 도 9는 패키지를 제공 또는 제조하기 위한 방법(900)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 9의 방법(900)은 본 개시내용에 설명된 패키지(200)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 방법(900)은 본 개시내용에 설명된 패키지들(예컨대, 100) 중 임의의 것을 제공 또는 제조하는 데 사용될 수 있다.

[0098] 도 9의 방법(900)은 패키지를 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 프로세스들을 조합할 수 있다는 것에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0099] 본 방법은 (905에서) 기판(예컨대, 102)을 제공한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기판(102)은 제1 표면(예컨대, 하단 표면) 및 제2 표면(예컨대, 상단 표면)을 포함할 수 있다. 기판(102)은 도 10a 및 도 10b에서 설명되는 바와 같은 방법을 사용하여 제조될 수 있다. 일부 구현에서, 코어형 기판(예를 들어, 코어 층을 포함하는 기판)이 제공된다. 도 8a의 스테이지 1은 기판을 제공하는 일 예를 예시 및 설명한다.

[0100] 본 방법은 (910에서) 집적 디바이스들(예컨대, 105, 107) 및 수동 디바이스들(예컨대, 109a, 109b, 109c)을 기판(102)의 제2 표면(예컨대, 상단 표면)에 커플링시킨다. 집적 디바이스(105)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(152)을 통해 기판(102)에 커플링될 수 있다. 집적 디바이스(107)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(172)을 통해 기판(102)에 커플링될 수 있다. 복수의 수동 디바이스들(109)(예컨대, 109a, 109b, 109c)은 대응하는 복수의 솔더 상호연결부들(예컨대,

190a, 190b, 190c)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 집적 디바이스들(및/또는 수동 디바이스들)을 기판(102)에 커플링시키는 데 사용될 수 있다. 도 8a의 스테이지 2는 집적 디바이스 및 수동 디바이스를 기판에 커플링시키는 일 예를 예시 및 설명한다.

[0101] 본 방법은 (915에서) 캡슐화 층(예컨대, 106)을 형성한다. 캡슐화 층은 기판(102)에 커플링된다. 캡슐화 층(106)(예컨대, 제2 캡슐화 층)은 집적 디바이스들(예컨대, 105, 107) 및 수동 디바이스들(예컨대, 109a, 109b, 109c)을 캡슐화할 수 있다. 캡슐화 층(106)은 기판(102)의 제2 표면에 커플링될 수 있다. 캡슐화 층(106)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(106)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(106)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 도 8a의 스테이지 3은 캡슐화 층을 제공하는 일 예를 예시 및 설명한다.

[0102] 본 방법은 (920에서) 집적 디바이스(예컨대, 103) 및 적어도 하나의 상호연결 다이(예컨대, 101)를 기판(102)의 제1 표면(예컨대, 하단 표면)에 커플링시킨다. 집적 디바이스(103)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 커플링될 수 있다. 집적 디바이스(103)는 복수의 필라 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 집적 디바이스(103)를 기판(102)에 커플링시키는 데 사용될 수 있다. 적어도 하나의 상호연결 다이(101)는 복수의 솔더 상호연결부들(114)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 적어도 하나의 상호연결 다이(101)를 기판(102)에 커플링시키는 데 사용될 수 있다. 도 8b의 스테이지 4는 집적 디바이스 및 상호연결 다이를 기판에 커플링시키는 일 예를 예시 및 설명한다.

[0103] 본 방법은 (925에서) 기판(예컨대, 102)에 커플링되는 캡슐화 층(예컨대, 104)을 형성한다. 캡슐화 층(104)(예컨대, 제1 캡슐화 층)은 집적 디바이스(103) 및 적어도 하나의 상호연결 다이(101)를 캡슐화할 수 있다. 캡슐화 층(104)은 기판(102)의 제1 표면에 커플링될 수 있다. 캡슐화 층(104)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(104)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(104)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 일부 구현들에서, 캡슐화 층을 형성하는 것은 캡슐화 층(104)의 부분들을 제거하는 것을 포함할 수 있다. 그라인딩 프로세스 및/또는 연마 프로세스가 캡슐화 층(104)의 부분들을 제거하는 데 사용될 수 있다. 일부 구현들에서, 적어도 하나의 상호연결 다이(101)의 부분들 및/또는 집적 디바이스(103)의 후방 면의 부분들이 또한 제거될 수 있다. 도 8b의 스테이지 5 및 스테이지 6은 캡슐화 층을 제공하고 캡슐화 층의 부분들을 제거하는 일 예를 예시 및 설명한다.

[0104] 본 방법은 (930에서) 복수의 솔더 상호연결부들(예컨대, 115)을 적어도 하나의 상호연결 다이(101)에 커플링시킨다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(115)을 적어도 하나의 상호연결 다이(101)에 커플링시키는 데 사용될 수 있다. 도 8c의 스테이지 7은 솔더 상호연결부들을 기판에 커플링시키는 일 예를 예시 및 설명한다.

[0105] 본 방법은 (735에서) 캡슐화 층(106)의 외부 표면 상에 외부 금속 층(예컨대, 160)을 형성한다. 스퍼터링 프로세스가 외부 금속 층(160)을 형성하는 데 사용될 수 있다. 외부 금속 층(160)은 캡슐화 층(106)의 상단 표면, 캡슐화 층(106)의 측부 표면, 기판(102)의 측부 표면 및/또는 캡슐화 층(104)의 측부 표면 상에 형성될 수 있다. 도 8c의 스테이지 8은 외부 금속 층을 형성하는 일 예를 예시 및 설명한다,

[0106] 일부 구현에서, 여러 패키지가 동시에 제조된다. 그러한 경우들에서, 본 방법은 패키지(예컨대, 100, 200)를 싱귤레이션할 수 있다.

[0107] **기판을 제조하기 위한 예시적인 시퀀스**

[0108] 일부 구현에서, 기판을 제조하는 것은 여러 프로세스들을 포함한다. 도 10a 및 도 10b는 기판을 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 10a 및 도 10b의 시퀀스는 기판(102)을 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 10a 및 도 10b의 프로세스는 본 개시내용에 설명된 기판들 중 임의의 것을 제조하는 데 사용될 수 있다.

[0109] 도 10a 및 도 10b의 시퀀스는 기판을 제공 또는 제조하기 위한 시퀀스를 단순화하고/하거나 명확하게 하기 위해 하나 이상의 스테이지들을 조합할 수 있다는 것에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 교체 또는 대체될 수 있다.

[0110] 도 10a에 도시된 바와 같이, 스테이지 1은 캐리어(carrier)(1000)가 제공된 후의 상태를 예시한다. 시드(seed) 층(1001) 및 상호연결부들(1002)은 캐리어(1000) 위에 위치될 수 있다. 상호연결부들(1002)은 시드 층(1001)

위에 위치될 수 있다. 도금 프로세스 및 에칭 프로세스가 상호연결부들(1002)을 형성하는 데 사용될 수 있다. 일부 구현에서, 캐리어(1000)에는 시드 층(1001) 및 상호연결부들(1002)을 형성하기 위해 패턴화된 금속 층이 제공될 수 있다. 상호연결부들(1002)은 복수의 상호연결부들(142)로부터의 상호연결부들 중 적어도 일부를 나타낼 수 있다.

[0111] 스테이지 2는 유전체 층(1020)이 캐리어(1000), 시드 층(1001) 및 상호연결부들(1002) 위에 형성된 후의 상태를 예시한다. 증착 및/또는 라미네이션 프로세스가 유전체 층(1020)을 형성하는 데 사용될 수 있다. 유전체 층(1020)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1020)은 감광성 유전체를 포함할 수 있다. 그러나 상이한 구현에서는 유전체 층에 대해 상이한 재료를 사용할 수 있다.

[0112] 스테이지 3은 복수의 공동들(1010)이 유전체 층(1020)에 형성된 후의 상태를 예시한다. 복수의 공동들(1010)은 에칭 프로세스(예를 들어, 포토 에칭 프로세스) 또는 레이저 프로세스를 사용하여 형성될 수 있다.

[0113] 스테이지 4는 상호연결부들(1012)이 복수의 공동들(1010) 내를 그리고 위를 포함하여, 유전체 층(1020) 내에 그리고 위에 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스가 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0114] 스테이지 5는 유전체 층(1022)이 유전체 층(1020) 및 상호연결부들(1012) 위에 형성된 후의 상태를 예시한다. 증착 및/또는 라미네이션 프로세스가 유전체 층(1022)을 형성하는 데 사용될 수 있다. 유전체 층(1022)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1022)은 감광성 유전체를 포함할 수 있다. 그러나 상이한 구현에서는 유전체 층에 대해 상이한 재료를 사용할 수 있다.

[0115] 도 10b에 도시된 바와 같이, 스테이지 6은 복수의 공동들(1030)이 유전체 층(1022)에 형성된 후의 상태를 예시한다. 복수의 공동들(1030)은 에칭 프로세스(예를 들어, 포토 에칭 프로세스) 또는 레이저 프로세스를 사용하여 형성될 수 있다.

[0116] 스테이지 7은 상호연결부들(1014)이 복수의 공동들(1030) 내를 그리고 위를 포함하여, 유전체 층(1022) 내에 그리고 위에 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스가 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0117] 스테이지 8은 캐리어(1000)가 적어도 하나의 유전체 층(140) 및 시드 층(1001)으로부터 디커플링(예컨대, 분리, 제거, 그라인딩 아웃(grinding out))되고, 시드 층(1001)의 부분들이 제거(예컨대, 에칭 아웃(etching out))되어, 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함하는 기판(102)을 남긴 후의 상태를 예시한다. 적어도 하나의 유전체 층(120)은 유전체 층(1020) 및/또는 유전체 층(1022)을 나타낼 수 있다. 복수의 상호연결부들(122)은 상호연결부들(1002, 1012 및/또는 1014)을 나타낼 수 있다.

[0118] 상이한 구현에서는 상이한 프로세스를 사용하여 금속 층(들) 및/또는 상호연결부들을 형성할 수 있다. 일부 구현에서, 화학 기상 증착(CVD) 프로세스, 물리 기상 증착(PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는 데 사용될 수 있다.

[0119] **기판을 제조하기 위한 방법의 예시적인 흐름도**

[0120] 일부 구현에서, 기판을 제조하는 것은 여러 프로세스들을 포함한다. 도 11은 기판을 제공 또는 제조하기 위한 방법(1100)의 예시적인 흐름도를 예시한다. 일부 구현에서, 도 11의 방법(1100)은 본 개시내용의 기판(들)을 제공 또는 제조하는 데 사용될 수 있다. 예를 들어, 도 11의 방법(1100)은 기판(102)을 제조하는 데 사용될 수 있다.

[0121] 도 11의 방법(1100)은 기판을 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 프로세스들을 조합할 수 있다는 것에 유의하여야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0122] 본 방법은 (1105에서) 캐리어(예를 들어, 1000)를 제공한다. 상이한 구현에서는 캐리어(1000)에 대해 상이한 재료를 사용할 수 있다. 캐리어(1000)는 시드 층(예를 들어, 1001)을 포함할 수 있다. 시드 층(1001)은 금속(예를 들어, 구리)을 포함할 수 있다. 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 도 10a의 스테이지 1은 제공되는 시드 층을 갖는 캐리어의 일 예를 예시 및 설명한다.

[0123] 본 방법은 (1110에서) 캐리어(1000)와 시드 층(1001) 위에 상호연결부들을 형성 및 패턴화한다. 금속 층은 상호연결부들을 형성하기 위해 패턴화될 수 있다. 도금 프로세스가 금속 층 및 상호연결부들을 형성하는 데 사용

될 수 있다. 일부 구현에서, 캐리어 및 시드 층은 금속 층을 포함할 수 있다. 금속 층은 시드 층 위에 위치되고 금속 층은 상호연결부들(예를 들어, 142)을 형성하기 위해 패턴화될 수 있다. 도 10a의 스테이지 1은 시드 층 및 캐리어 위에 상호연결부들을 형성 및 패턴화하는 일 예를 예시 및 설명한다.

[0124] 방법은 (1115에서) 시드 층(1001), 캐리어(1000) 및 상호연결부들(1002) 위에 유전체 층(1020)을 형성한다. 증착 및/또는 라미네이션 프로세스가 유전체 층(1020)을 형성하는 데 사용될 수 있다. 유전체 층(1020)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1020)은 감광성 유전체를 포함할 수 있다. 유전체 층(1020)을 형성하는 것은 또한 유전체 층(1020)에 복수의 공동들(예를 들어, 1010)을 형성하는 것을 포함할 수 있다. 복수의 공동들은 에칭 프로세스(예를 들어, 포토 에칭) 또는 레이저 프로세스를 사용하여 형성될 수 있다. 도 10a의 스테이지 2 및 스테이지 3은 유전체 층 및 유전체 층 내 공동들을 형성하는 일 예를 예시 및 설명한다.

[0125] 본 방법은 (1120에서) 유전체 층 내에 그리고 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1012)은 유전체 층(1020) 내에 그리고 위에 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위 및/또는 내에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 또한 유전체 층의 공동에 상호연결부들을 형성하는 것을 포함할 수 있다. 도 10a의 스테이지 4는 유전체 층 내에 그리고 위에 상호연결부들을 형성하는 일 예를 예시 및 설명한다.

[0126] 본 방법은 (1125에서) 유전체 층(1020) 및 상호연결부들(1012) 위에 유전체 층(1022)을 형성한다. 증착 및/또는 라미네이션 프로세스가 유전체 층(1022)을 형성하는 데 사용될 수 있다. 유전체 층(1022)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1022)은 감광성 유전체를 포함할 수 있다. 유전체 층(1022)을 형성하는 것은 또한, 유전체 층(1022)에 복수의 공동들(예를 들어, 1030)을 형성하는 것을 포함할 수 있다. 복수의 공동들은 에칭 프로세스(예를 들어, 포토 에칭) 또는 레이저 프로세스를 사용하여 형성될 수 있다. 도 10a 및 10b의 스테이지 5 및 스테이지 6은 유전체 층 및 유전체 층 내 공동들을 형성하는 일 예를 예시 및 설명한다.

[0127] 본 방법은 (1130에서) 유전체 층 내에 그리고 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1014)은 유전체 층(1022) 내에 그리고 위에 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위 및/또는 내에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 또한 유전체 층의 공동에 상호연결부들을 형성하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 포스트 상호연결부들을 형성하는 것을 포함할 수 있다. 도 10b의 스테이지 7은, 포스트 상호연결부들을 형성하는 것을 포함하여, 유전체 층 내에 그리고 그 위에 상호연결부들을 형성하는 일 예를 예시 및 설명한다.

[0128] 본 방법은 (1135에서) 시드 층(예를 들어, 1001)으로부터 캐리어(예를 들어, 1000)를 디커플링한다. 캐리어(1000)는 분리 및/또는 그라인딩 오프(grinding off)될 수 있다. 본 방법은 또한 (1135에서) 시드 층(예를 들어, 1001)의 부분들을 제거할 수 있다. 에칭 프로세스는 시드 층(1001)의 부분들을 제거하는 데 사용될 수 있다. 도 10b의 스테이지 8은 캐리어 디커플링 및 시드 층 제거의 예를 예시하고 설명한다.

[0129] 상이한 구현에서는 상이한 프로세스를 사용하여 금속 층(들)을 형성할 수 있다. 일부 구현에서, 화학 기상 증착(CVD) 프로세스, 물리 기상 증착(PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는 데 사용될 수 있다.

[0130] **예시적인 전자 디바이스들**

[0131] 도 12는 전술된 디바이스, 집적 디바이스, IC(integrated circuit) 패키지, IC 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지, PoP(package-on-package), SiP(System in Package), 또는 SoC(System on Chip) 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예컨대, 모바일 폰 디바이스(1202), 랩톱 컴퓨터 디바이스(1204), 고정 위치 단말 디바이스(1206), 웨어러블 디바이스(1208), 또는 자동차 차량(1210)은 본 명세서에 설명된 바와 같은 디바이스(1200)를 포함할 수 있다. 디바이스(1200)는, 예컨대, 본 명세서에 설명된 디바이스들 및/또는 IC(integrated circuit) 패키지들 중 임의의 것일 수 있다. 도 12에 예시된 디바이스들(1202, 1204, 1206 및 1208) 및 차량(1210)은 단지 예시적인 것이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication systems) 유닛들, 휴대용 데이터 유닛들, 이를테면 개인 휴대 정보 단말기들, GPS(global positioning system) 인에이블 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정된 위치 데이터 유닛들, 이를테

면 미터 판독 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예컨대, 워치들, 안경), IoT(Internet of Things) 디바이스들, 서버들, 라우터들, 자동차들(예컨대, 자율주행 차량들)에 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 취출하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예컨대, 전자 디바이스들)의 그룹을 포함하는(그러나 이에 제한되지 않음) 디바이스(1200)를 특징으로 할 수 있다.

[0132] 도 1, 도 2, 도 3a, 도 3b, 도 4a, 도 4b, 도 5, 도 6a 내지 도 6c, 도 7, 도 8a 내지 도 8c, 도 9, 도 10a, 도 10b, 도 11, 및 도 12에 예시된 컴포넌트들, 프로세스들, 특징들 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 프로세스, 특징 또는 기능으로 재배열 및/또는 조합되거나, 몇몇 컴포넌트들, 프로세스들 또는 기능들에서 구현될 수 있다. 부가적인 엘리먼트들, 컴포넌트들, 프로세스들, 및/또는 기능들은 또한, 본 개시내용을 벗어나지 않으면서 추가될 수 있다. 도 1, 도 2, 도 3a, 도 3b, 도 4a, 도 4b, 도 5, 도 6a 내지 도 6c, 도 7, 도 8a 내지 도 8c, 도 9, 도 10a, 도 10b, 도 11, 도 12, 및 본 개시내용에서 이에 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않음에 또한 유의하여야 한다. 일부 구현들에서, 도 1, 도 2, 도 3a, 도 3b, 도 4a, 도 4b, 도 5, 도 6a 내지 도 6c, 도 7, 도 8a 내지 도 8c, 도 9, 도 10a, 도 10b, 도 11, 도 12, 및 그의 대응하는 설명은 디바이스 및/또는 집적 디바이스를 제조, 생성, 제공 및/또는 생산하는 데 사용될 수 있다. 일부 구현들에서, 디바이스는 다이, 집적 디바이스, IPD(integrated passive device), 다이 패키지, IC(integrated circuit) 디바이스, 디바이스 패키지, IC(integrated circuit) 패키지, 웨이퍼, 반도체 디바이스, PoP(package-on-package) 디바이스, 열 소산 디바이스 및/또는 인터포저를 포함할 수 있다.

[0133] 본 개시내용의 도면들은 다양한 부분들, 컴포넌트들, 객체들, 디바이스들, 패키지들, 집적 디바이스들, 집적 회로들, 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 표현할 수 있다는 것에 유의한다. 일부 예시들에서, 도면들은 실척이 아닐 수 있다. 일부 예시들에서, 명확성의 목적을 위해, 모든 컴포넌트들 및/또는 부분들이 도시되지는 않을 수 있다. 일부 예시들에서, 도면들 내의 다양한 부분들 및/또는 컴포넌트들의 포지션, 위치, 크기들, 및/또는 형상들은 예시적일 수 있다. 일부 구현들에서, 도면들 내의 다양한 컴포넌트들 및/또는 부분들은 선택적일 수 있다.

[0134] 단어 "예시적인"은 "예, 사례, 또는 예시로서 기능함"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로서 본 명세서에 설명된 임의의 구현 또는 양태는 본 개시내용의 다른 양태들에 비해 반드시 바람직하거나 유리한 것으로서 해석될 필요는 없다. 유사하게, 용어 "양태들"은, 본 개시내용의 모든 양태들이 논의된 특징, 장점 또는 동작 모드를 포함한다는 것을 요구하지는 않는다. 용어 "커플링된"은, 2개의 객체들 사이에서의 직접적인 또는 간접적인 커플링(예컨대, 기계식 커플링)을 지칭하기 위해 본 명세서에서 사용된다. 예컨대, 객체 A가 객체 B를 물리적으로 터치하고 객체 B가 객체 C를 터치하면, 객체들 A 및 C는, 그들이 서로를 물리적으로 직접 터치하지 않더라도, 서로 커플링된 것으로 여전히 고려될 수 있다. 객체 B에 커플링되는 객체 A는 객체 B의 적어도 일부와 커플링될 수 있다. "전기적으로 커플링된"이라는 용어는 두 객체 사이에 전류(예를 들어, 신호, 전력, 접지)가 이동될 수 있도록 두 객체가 직접 또는 간접적으로 함께 연결되어 있음을 의미할 수 있다. 전기적으로 커플링된 2개의 객체들은 2개의 객체들 사이에서 이동되는 전류를 가질 수 있거나 갖지 않을 수 있다. 용어들 "제1", "제2", "제3" 및 "제4"(및/또는 제4 초과의 임의의 용어)의 사용은 임의적이다. 설명된 컴포넌트들 중 임의의 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. 예컨대, 제2 컴포넌트로 지칭되는 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. "캡슐화하다", "캡슐화하는"이라는 용어 및/또는 임의의 파생어는 객체가 다른 객체를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. 용어들 "상단" 및 "하단"은 임의적이다. 상단 상에 위치된 컴포넌트는 하단 상에 위치된 컴포넌트 위에 위치될 수 있다. 상단 컴포넌트는 하단 컴포넌트로 고려될 수 있고, 그 반대의 경우도 가능하다. 본 개시내용에서 설명된 바와 같이, 제2 컴포넌트 "위에" 위치된 제1 컴포넌트는, 하단 또는 상단이 어떻게 임의적으로 정의되는지에 의존하여, 제1 컴포넌트가 제2 컴포넌트의 위에 또는 아래에 위치된다는 것을 의미할 수 있다. 다른 예에서, 제1 컴포넌트는 제2 컴포넌트의 제1 표면 위에 (예컨대, 상부에) 위치될 수 있고, 제3 컴포넌트는 제2 컴포넌트의 제2 표면 위에 (예컨대, 하부에) 위치될 수 있으며, 여기서 제2 표면은 제1 표면의 반대쪽이다. 하나의 컴포넌트가 다른 컴포넌트 위에 위치되는 것의 맥락에서 본 출원에서 사용된 바와 같은 용어 "위에"는 다른 컴포넌트 상에 그리고/또는 다른 컴포넌트 내에 있는 (예컨대, 컴포넌트의 표면 상에 있거나 또는 컴포넌트에 매설된) 컴포넌트를 의미하는 데 사용될 수 있다는 것을 추가로 유의한다. 따라서, 예컨대, 제2 컴포넌트 위에 있는 제1 컴포넌트는 (1) 제1 컴포넌트가 제2 컴포넌트 위에 있지만 제2 컴포넌트를 직접 터치하지 않는다는 것, (2) 제1 컴포넌트가 제2 컴포넌트 상에 (예컨대, 그의 표면 상에) 있다는 것, 및/또는 (3) 제1 컴포넌트가 제2 컴포넌트 내에 있다는 것(예컨대, 그에 매설된다는 것)을 의미할 수 있다. 제2 컴포넌트 "내"에 위치된 제1 컴포넌트는 제2 컴포넌트 내에 부분적으로 위치되거나, 제2 컴포

넌트 내에 완전히 위치될 수 있다. 약 X 내지 XX의 값은 X와 XX를 포함하여 X 내지 XX 사이인 값을 의미할 수 있다. X 내지 XX 사이의 값(들)은 이산적이거나 연속적일 수 있다. 본 개시내용에서 사용된 바와 같이, 용어 "약 '값 X'" 또는 "대략 값 X"는 '값 X'의 10 퍼센트 내를 의미한다. 예컨대, 약 1 또는 대략 1의 값은 0.9 내지 1.1의 범위의 값을 의미할 것이다.

[0135] 일부 구현들에서, 상호연결부는 2개의 포인트들, 엘리먼트들 및/또는 컴포넌트들 사이의 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 엘리먼트 또는 컴포넌트이다. 일부 구현에서, 상호연결부는 트레이스(예를 들어, 트레이스 상호연결부), 비아(예를 들어, 비아 상호연결부), 패드(예를 들어, 패드 상호연결부), 필러, 금속화 층, 재분배 층, 및/또는 언더 범프 금속화(under bump metallization; UBM) 층/상호연결부를 포함할 수 있다. 일부 구현들에서, 상호연결부는 신호(예컨대, 데이터 신호), 접지 및/또는 전력에 대한 전기 경로를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호연결부는 하나 초과의 엘리먼트 또는 컴포넌트를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들에 의해 정의될 수 있다. 상호연결부는 하나 이상의 금속 층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 상이한 구현들은 상호연결부들을 형성하기 위해 상이한 프로세스들 및/또는 시퀀스들을 사용할 수 있다. 일부 구현들에서, CVD(chemical vapor deposition) 프로세스, PVD(physical vapor deposition) 프로세스, 스퍼터링 프로세스, 스프레이 코팅, 및/또는 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0136] 또한, 본 명세서에 포함된 다양한 개시내용들이 흐름도, 흐름 도면, 구조 도면, 또는 블록도로서 묘사된 프로세스로서 설명될 수 있다는 것에 유의한다. 흐름도가 동작들을 순차적인 프로세스로서 설명할 수 있지만, 동작들의 대부분은 병렬로 또는 동시에 수행될 수 있다. 또한, 동작들의 순서는 재배열될 수 있다. 프로세스는 그의 동작들이 완료될 때 종료된다.

[0137] 다음에서, 추가적인 예들이 본 개시내용의 이해를 용이하게 하기 위해 설명된다.

[0138] 양태 1: 패키지로서, 제1 표면 및 제2 표면을 포함하는 기판; 상기 기판의 제1 표면에 커플링된 제1 집적 디바이스; 상기 기판의 제1 표면에 커플링된 상호연결 다이; 상기 기판의 제1 표면에 커플링된 제1 캡슐화 층 - 상기 제1 캡슐화 층은 상기 제1 집적 디바이스 및 상기 상호연결 다이를 캡슐화함 -; 및 상기 기판의 제2 표면에 커플링된 제2 집적 디바이스를 포함하는, 패키지.

[0139] 양태 2: 양태 1에 있어서, 상기 상호연결 다이는 다이 기판; 및 복수의 다이 상호연결부들을 포함하는, 패키지.

[0140] 양태 3: 양태 2에 있어서, 상기 복수의 다이 상호연결부들 중 2개의 이웃하는 다이 상호연결부들은 피치가 약 150 내지 270 마이크로미터의 범위인, 패키지.

[0141] 양태 4: 양태 1 내지 양태 3에 있어서, 상기 상호연결 다이는 두께가 약 100 내지 200 마이크로미터의 범위인, 패키지.

[0142] 양태 5: 양태 2 내지 양태 4에 있어서, 상기 복수의 다이 상호연결부들은 비아 다이 상호연결부 및 패드 다이 상호연결부를 포함하는, 패키지.

[0143] 양태 6: 양태 2 내지 양태 5에 있어서, 상기 다이 기판은 유리 및/또는 실리콘을 포함하는, 패키지.

[0144] 양태 7: 양태 1 내지 양태 6에 있어서, 상기 기판의 제2 표면에 커플링된 제2 캡슐화 층을 추가로 포함하는, 패키지.

[0145] 양태 8: 양태 7에 있어서, 상기 제2 캡슐화 층에 커플링된 외부 금속 층을 추가로 포함하는, 패키지.

[0146] 양태 9: 양태 1 내지 양태 8에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 패키지.

[0147] 양태 10: 양태 1 내지 양태 9에 있어서, 상기 상호연결 다이는 상기 제1 집적 디바이스에 측방향으로 위치되는, 패키지.

[0148] 양태 11: 양태 1 내지 양태 10에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 패키지.

[0149] 양태 12: 패키지를 포함하는 디바이스. 상기 패키지는 제1 표면 및 제2 표면을 포함하는 기판; 상기 기판의 제1 표면에 커플링된 제1 집적 디바이스; 상기 기판의 제1 표면에 커플링된 상호연결 다이; 상기 기판의 제1 표면에 커플링된 제1 캡슐화 층 - 상기 제1 캡슐화 층은 상기 제1 집적 디바이스 및 상기 상호연결 다이를 캡슐화

함 -; 및 상기 기판의 제2 표면에 커플링된 제2 집적 디바이스를 포함한다.

[0150] 양태 13: 양태 12에 있어서, 상기 상호연결 다이는 다이 기판; 및 복수의 다이 상호연결부들을 포함하는, 디바이스.

[0151] 양태 14: 양태 13에 있어서, 상기 복수의 다이 상호연결부들 중 2개의 이웃하는 다이 상호연결부들은 피치가 약 150 내지 270 마이크로미터의 범위인, 디바이스.

[0152] 양태 15: 양태 12 내지 양태 14에 있어서, 상기 상호연결 다이는 두께가 약 100 내지 200 마이크로미터의 범위인, 디바이스.

[0153] 양태 16: 양태 13 내지 양태 15에 있어서, 상기 복수의 다이 상호연결부들은 비아 다이 상호연결부 및 패드 다이 상호연결부를 포함하는, 디바이스.

[0154] 양태 17: 양태 13 내지 양태 16에 있어서, 상기 다이 기판은 유리 및/또는 실리콘을 포함하는, 디바이스.

[0155] 양태 18: 양태 12 내지 양태 17에 있어서, 상기 기판의 제2 표면에 커플링된 제2 캡슐화 층을 추가로 포함하는, 디바이스.

[0156] 양태 19: 양태 18에 있어서, 상기 제2 캡슐화 층에 커플링된 외부 금속 층을 추가로 포함하는, 디바이스.

[0157] 양태 20: 양태 12 내지 양태 19에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 디바이스.

[0158] 양태 21: 양태 12 내지 양태 20에 있어서, 상기 상호연결 다이는 상기 제1 집적 디바이스에 측방향으로 위치되는, 디바이스.

[0159] 양태 22: 양태 12 내지 양태 21에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 디바이스.

[0160] 양태 23: 양태 12 내지 양태 22에 있어서, 상기 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정된 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, IoT(internet of things) 디바이스, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택되는, 디바이스.

[0161] 양태 24: 패키지를 제조하기 위한 방법. 본 방법은 제1 표면 및 제2 표면을 포함하는 기판을 제공한다. 본 방법은 제1 집적 디바이스를 상기 기판의 제1 표면에 커플링시킨다. 본 방법은 상호연결 다이를 상기 기판의 제1 표면에 커플링시킨다. 본 방법은 제1 캡슐화 층을 상기 기판의 제1 표면에 커플링시키는데, 상기 제1 캡슐화 층은 상기 제1 집적 디바이스 및 상기 상호연결 다이를 캡슐화한다. 본 방법은 제2 집적 디바이스를 상기 기판의 제2 표면에 커플링시킨다.

[0162] 양태 25: 양태 24에 있어서, 상기 상호연결 다이는 다이 기판; 및 복수의 다이 상호연결부들을 포함하는, 방법.

[0163] 양태 26: 양태 25에 있어서, 상기 복수의 다이 상호연결부들 중 2개의 이웃하는 다이 상호연결부들은 피치가 약 150 내지 270 마이크로미터의 범위인, 방법.

[0164] 양태 27: 양태 24 내지 양태 26에 있어서, 상기 상호연결 다이는 두께가 약 100 내지 200 마이크로미터의 범위인, 방법.

[0165] 양태 28: 양태 25 내지 양태 27에 있어서, 상기 복수의 다이 상호연결부들은 비아 다이 상호연결부 및 패드 다이 상호연결부를 포함하는, 방법.

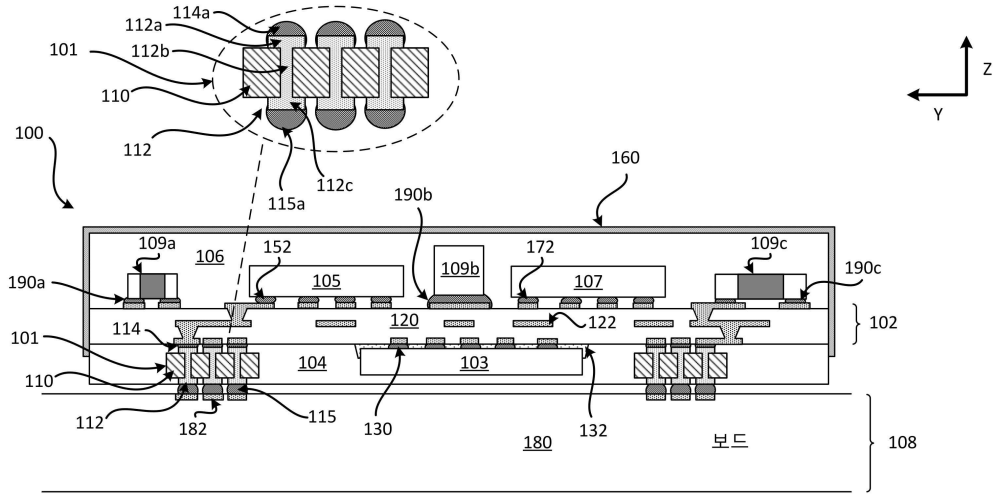
[0166] 양태 29: 양태 25 내지 양태 28에 있어서, 상기 다이 기판은 유리 및/또는 실리콘을 포함하는, 방법.

[0167] 양태 30: 양태 24 내지 양태 29에 있어서, 제2 캡슐화 층을 상기 기판의 제2 표면에 커플링시키는 단계를 추가로 포함하는, 방법.

[0168] 본 명세서에 설명된 본 개시내용의 다양한 특징들은 본 개시내용을 벗어나지 않으면서 상이한 시스템들에서 구현될 수 있다. 본 개시내용의 전술한 양태들은 단지 예들일 뿐이며, 본 개시내용을 제한하는 것으로서 해석되지 않는다는 것에 유의하여야 한다. 본 개시내용의 양태들의 설명은 청구항들의 범주를 제한하는 것이 아니라 예시적인 것으로 의도된다. 그러므로, 본 교시들은, 다른 타입들의 장치들에 용이하게 적용될 수 있으며, 많은 대안들, 변형들, 및 변경들은 당업자들에게 명백할 것이다.

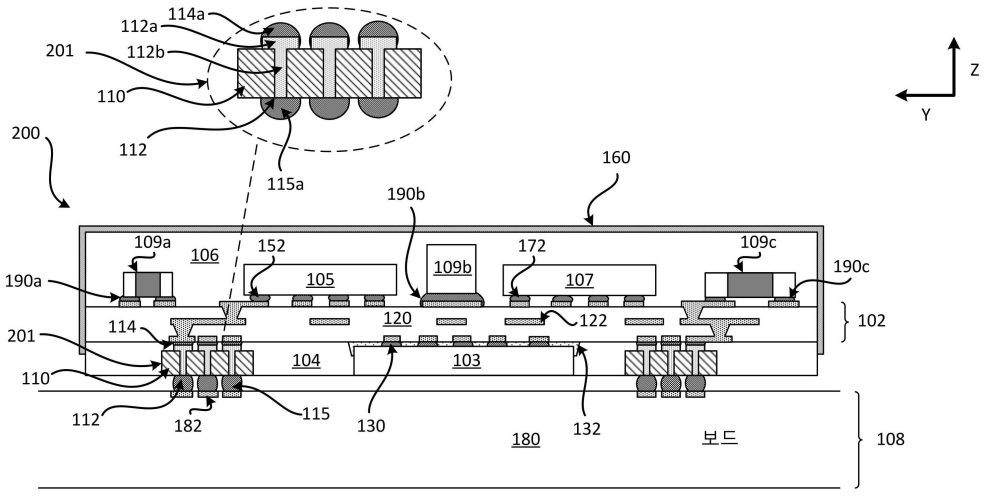
도면

도면1



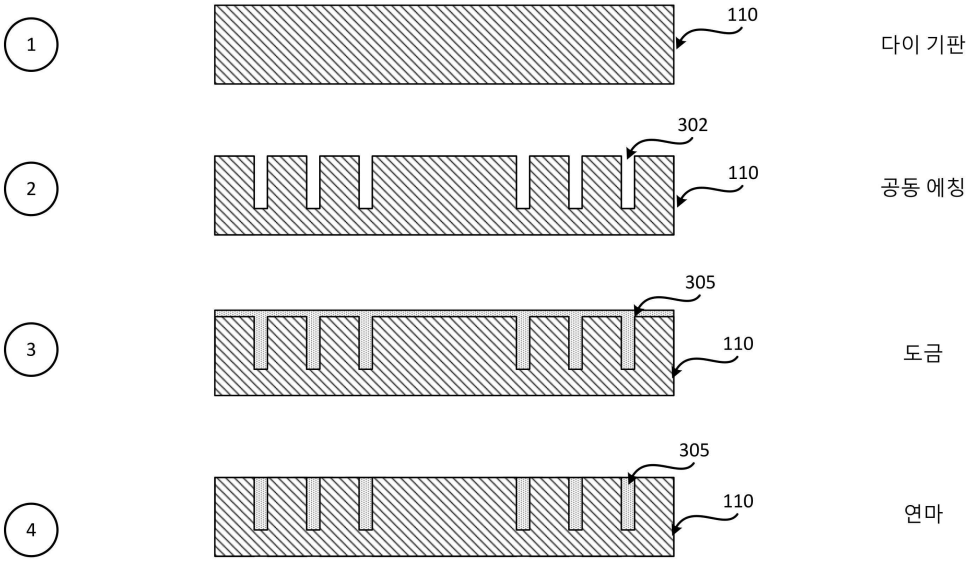
단면도

도면2

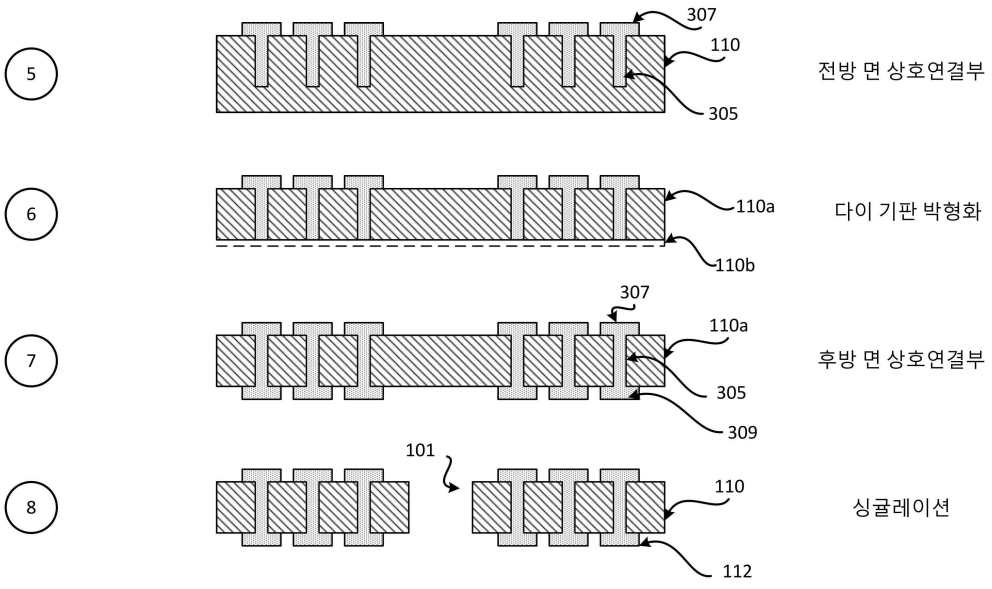


단면도

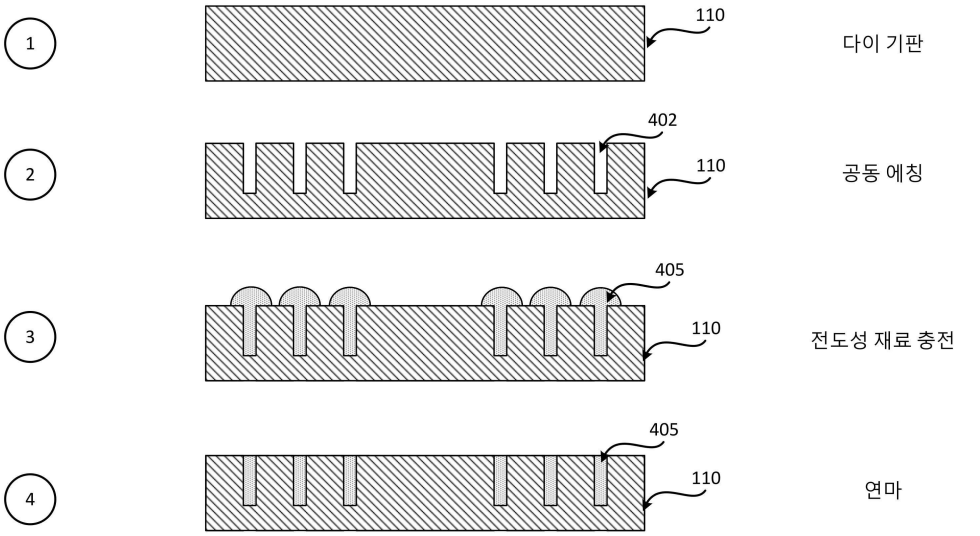
도면3a


1
110
다이 기판
2
302
110
공동 에칭
3
305
110
도금
4
305
110
연마

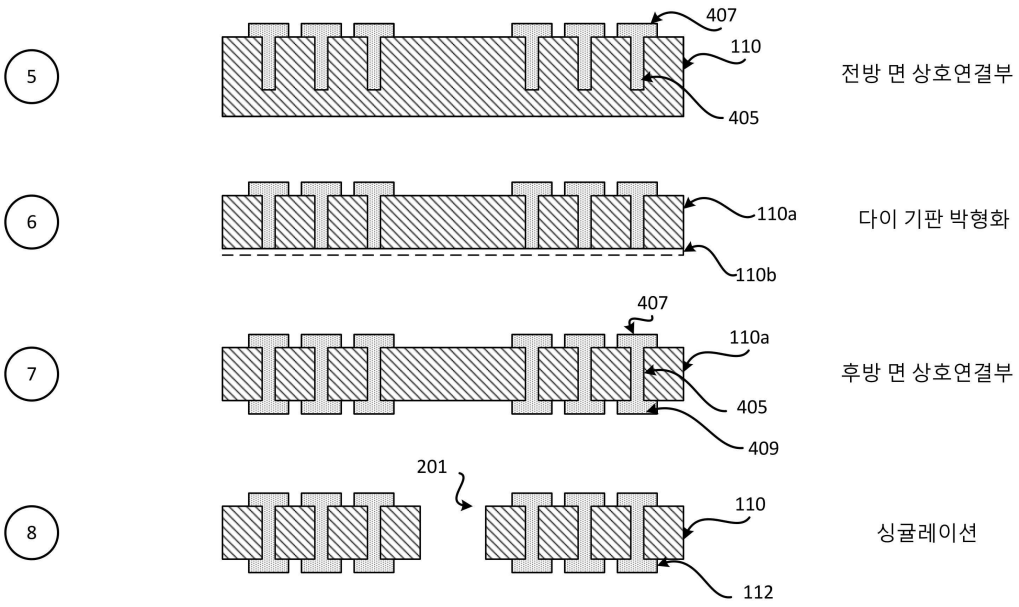
도면3b


5
307
110
305
전방 면 상호연결부
6
110a
110b
다이 기판 박형화
7
307
110a
305
309
후방 면 상호연결부
8
101
110
112
싱귤레이션

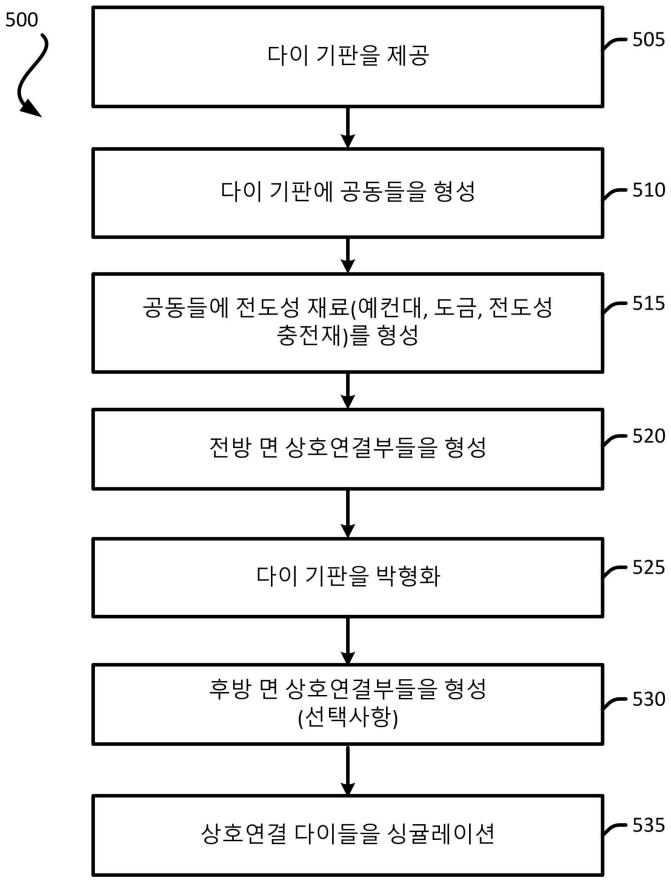
도면4a


1
110
다이 기판
2
402
110
공동 에칭
3
405
110
전도성 재료 충전
4
405
110
연마

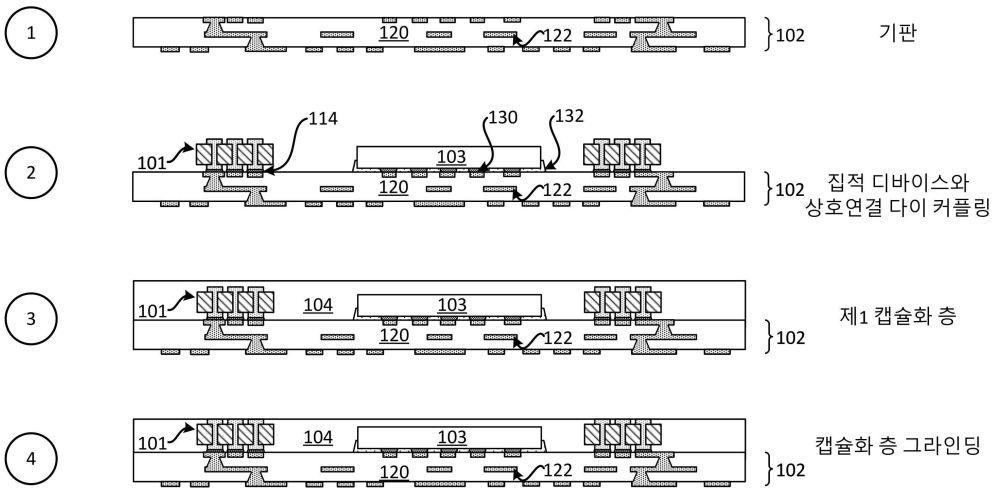
도면4b


5
407
110
405
전방 면 상호연결부
6
110a
110b
다이 기판 박형화
7
407
110a
405
409
후방 면 상호연결부
8
201
110
112
싱귤레이션

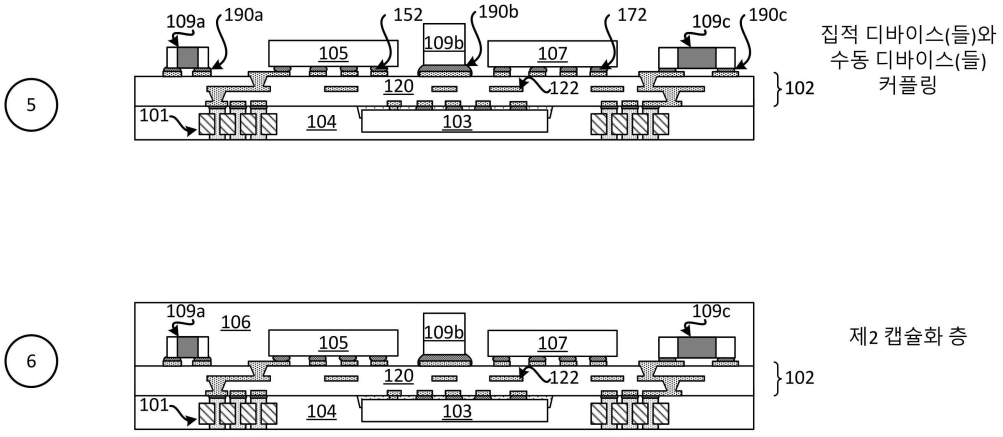
도면5


500
다이 기판을 제공
505
다이 기판에 공동들을 형성
510
공동들에 전도성 재료(예컨대, 도금, 전도성 충전재)를 형성
515
전방 면 상호연결부들을 형성
520
다이 기판을 박형화
525
후방 면 상호연결부들을 형성 (선택사항)
530
상호연결 다이들을 싱귤레이션
535

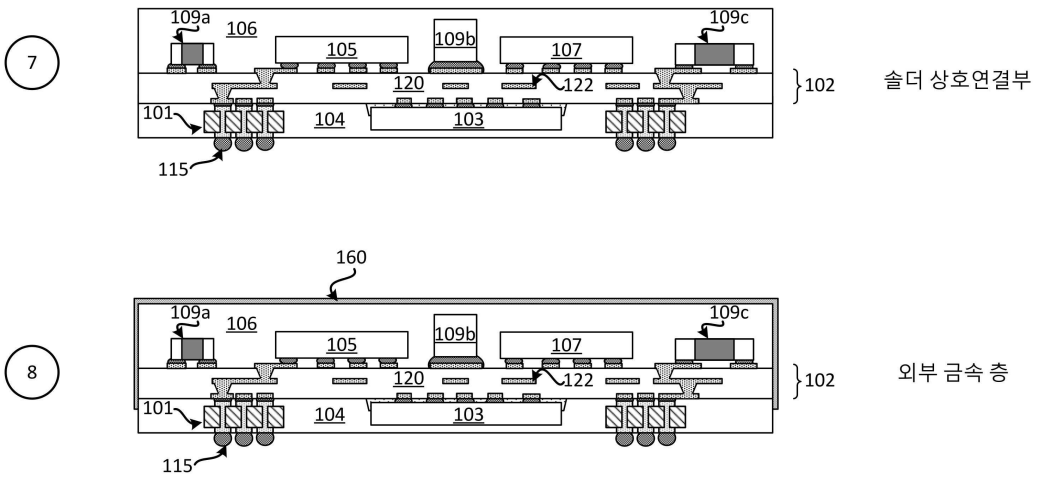
도면6a


1
120
122
102
기판
2
114
130
132
101
103
120
122
102
집적 디바이스와 상호연결 다이 커플링
3
101
104
103
120
122
102
제1 캡슐화 층
4
101
104
103
120
122
102
캡슐화 층 그라인딩

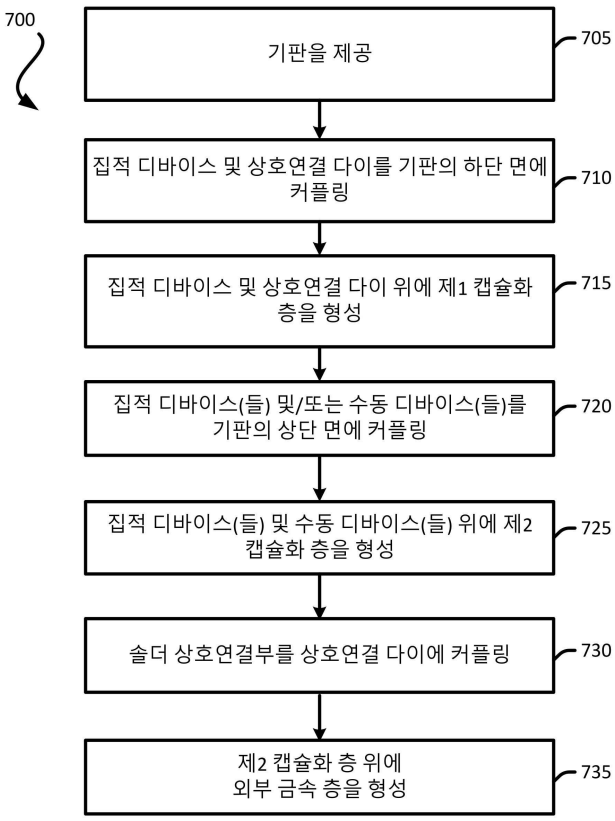
도면6b


5
109a
190a
152
190b
172
109c
190c
105
109b
107
120
122
102
101
104
103
집적 디바이스(들)와
수동 디바이스(들)
커플링
6
109a
106
109c
105
109b
107
120
122
102
101
104
103
제2 캡슐화 층

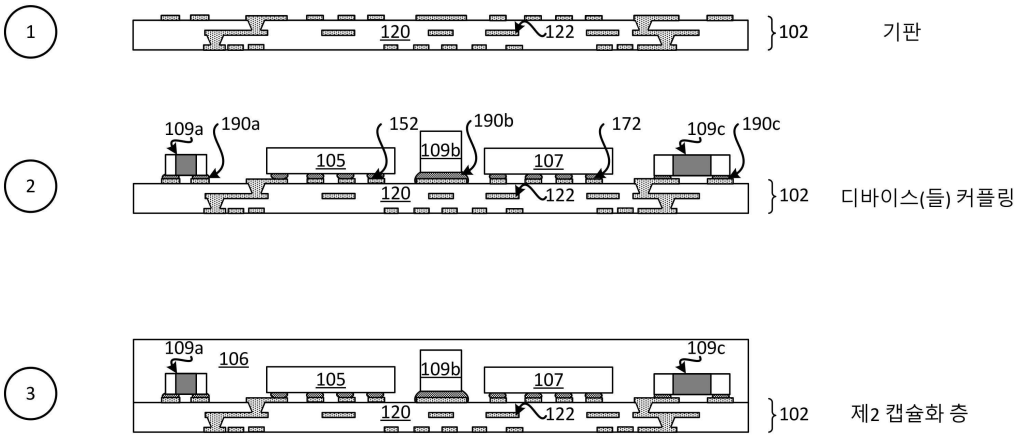
도면6c


7
109a
106
109c
105
109b
107
120
122
102
101
104
103
115
솔더 상호연결부
8
160
109a
106
109c
105
109b
107
120
122
102
101
104
103
115
외부 금속 층

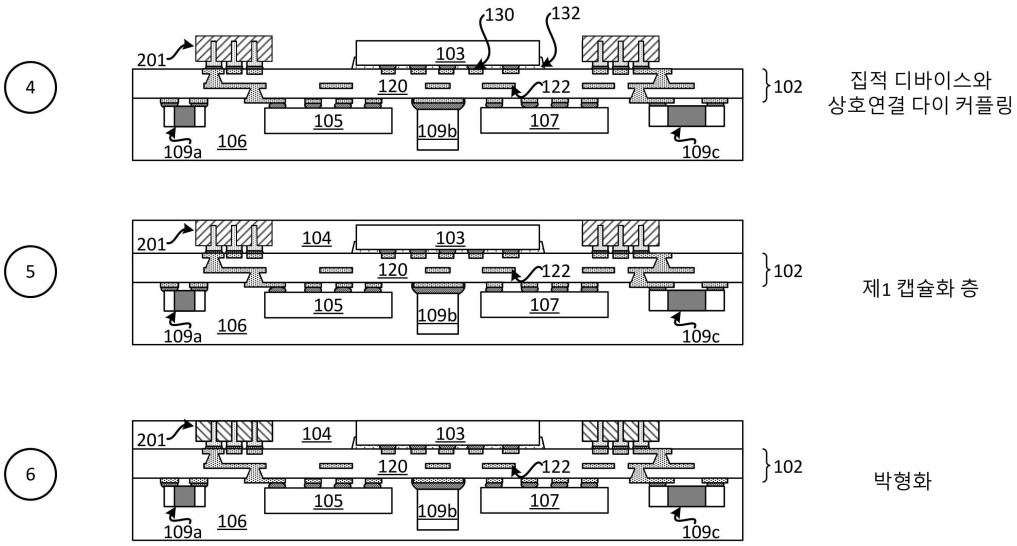
도면7


700
기판을 제공
705
집적 디바이스 및 상호연결 다이를 기판의 하단 면에 커플링
710
집적 디바이스 및 상호연결 다이 위에 제1 캡슐화 층을 형성
715
집적 디바이스(들) 및/또는 수동 디바이스(들)를 기판의 상단 면에 커플링
720
집적 디바이스(들) 및 수동 디바이스(들) 위에 제2 캡슐화 층을 형성
725
솔더 상호연결부를 상호연결 다이에 커플링
730
제2 캡슐화 층 위에 외부 금속 층을 형성
735

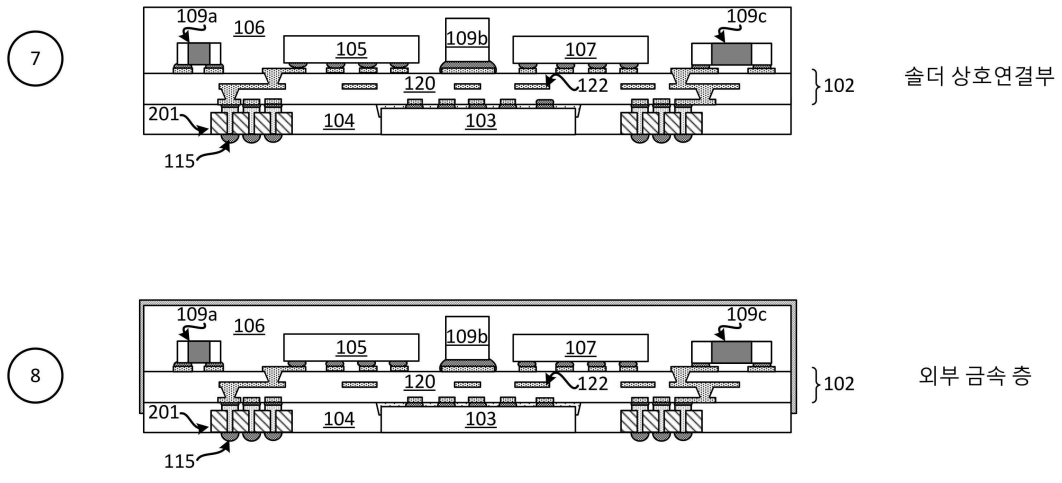
도면8a


1
120
122
102
기판
2
109a
190a
152
190b
172
109c
190c
105
109b
107
120
122
102
디바이스(들) 커플링
3
109a
106
105
109b
107
109c
120
122
102
제2 캡슐화 층

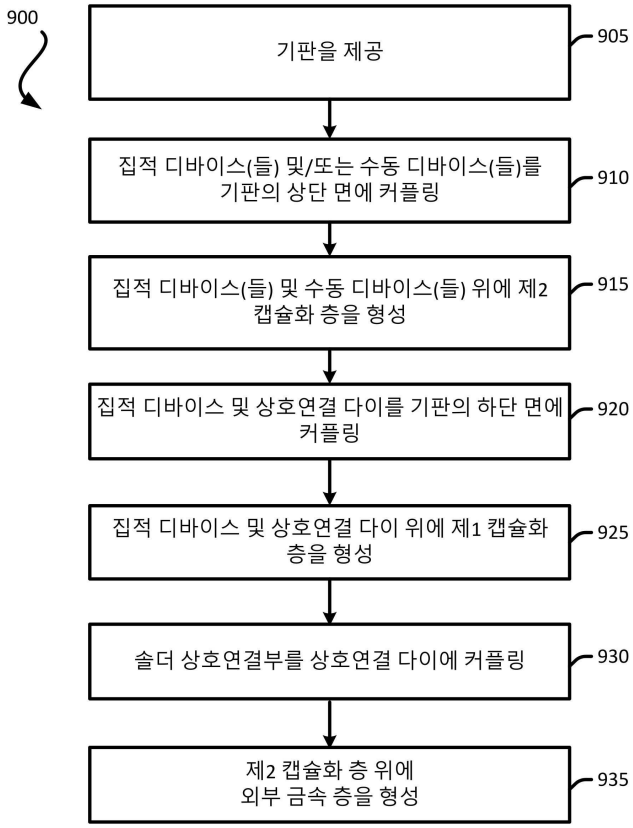
도면8b


4
5
6
201
130
132
103
104
120
122
105
109b
107
106
109a
109c
102
집적 디바이스와
상호연결 다이 커플링
제1 캡슐화 층
박형화

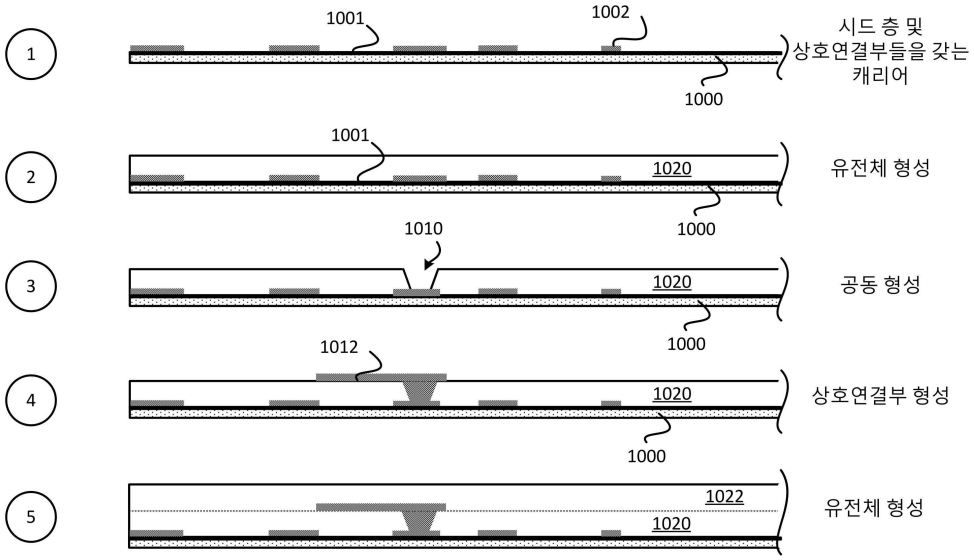
도면8c


7
8
109a
106
105
109b
107
109c
120
122
201
104
103
115
102
솔더 상호연결부
외부 금속 층

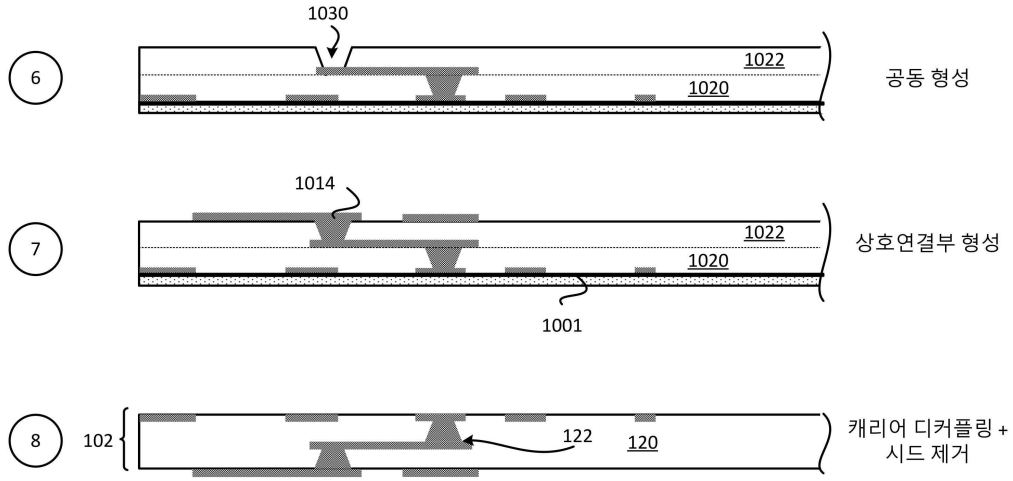
도면9


900
기판을 제공
905
집적 디바이스(들) 및/또는 수동 디바이스(들)를 기판의 상단 면에 커플링
910
집적 디바이스(들) 및 수동 디바이스(들) 위에 제2 캡슐화 층을 형성
915
집적 디바이스 및 상호연결 다이를 기판의 하단 면에 커플링
920
집적 디바이스 및 상호연결 다이 위에 제1 캡슐화 층을 형성
925
솔더 상호연결부를 상호연결 다이에 커플링
930
제2 캡슐화 층 위에 외부 금속 층을 형성
935

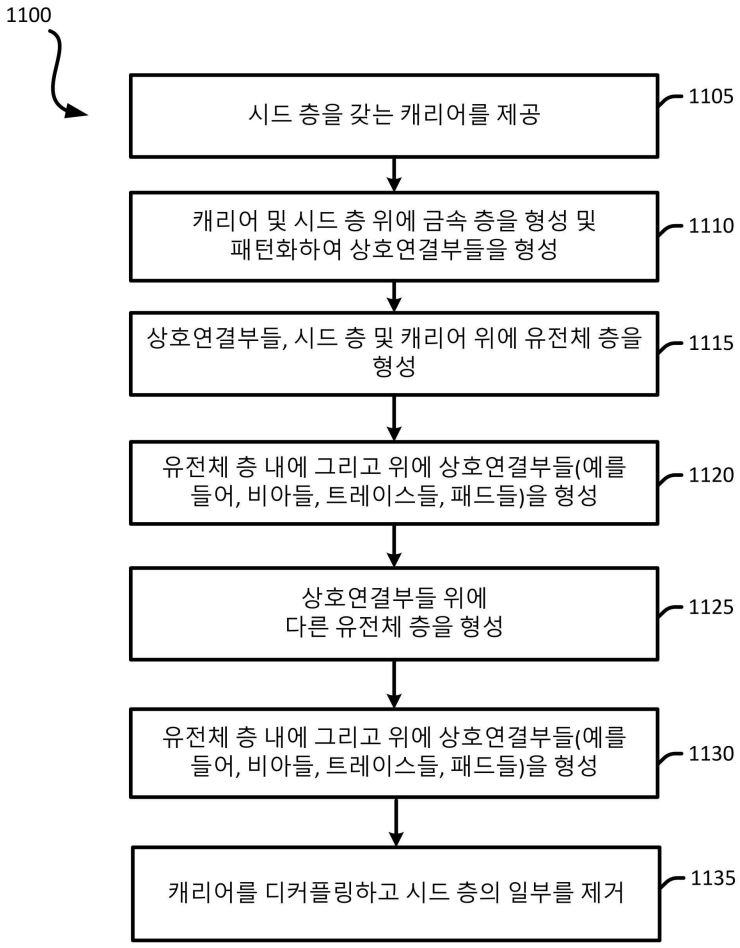
도면10a


1
1001
1002
1000
시드 층 및 상호연결부들을 갖는 캐리어
2
1001
1020
1000
유전체 형성
3
1010
1020
1000
공동 형성
4
1012
1020
1000
상호연결부 형성
5
1022
1020
유전체 형성

도면10b


6
1030
1022
1020
공동 형성
7
1014
1022
1020
1001
상호연결부 형성
8
102
122
120
캐리어 디커플링 +
시드 제거

도면11


1100
시드 층을 갖는 캐리어를 제공
1105
캐리어 및 시드 층 위에 금속 층을 형성 및
패턴화하여 상호연결부들을 형성
1110
상호연결부들, 시드 층 및 캐리어 위에 유전체 층을
형성
1115
유전체 층 내에 그리고 위에 상호연결부들(예를
들어, 비아들, 트레이스들, 패드들)을 형성
1120
상호연결부들 위에
다른 유전체 층을 형성
1125
유전체 층 내에 그리고 위에 상호연결부들(예를
들어, 비아들, 트레이스들, 패드들)을 형성
1130
캐리어를 디커플링하고 시드 층의 일부를 제거
1135

도면12

