



(12) 发明专利

(10) 授权公告号 CN 1957460 B

(45) 授权公告日 2011.11.02

(21) 申请号 200580016743.7

(51) Int. Cl.

(22) 申请日 2005.05.17

H01L 21/8242 (2006.01)

(30) 优先权数据

10/855,429 2004.05.26 US

H01L 27/108 (2006.01)

(85) PCT申请进入国家阶段日

2006.11.24

(56) 对比文件

US 2002/0125536 A1, 2002.09.12, 全文.

(86) PCT申请的申请数据

PCT/US2005/017156 2005.05.17

US 2004/0036095 A1, 2004.02.26, 全文.

US 2002/0135029 A1, 2002.09.26, 全文.

(87) PCT申请的公布数据

WO2005/119741 EN 2005.12.15

审查员 裴亚芳

(73) 专利权人 美光科技公司

地址 美国艾达荷

(72) 发明人 维尔纳·云林

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王允方

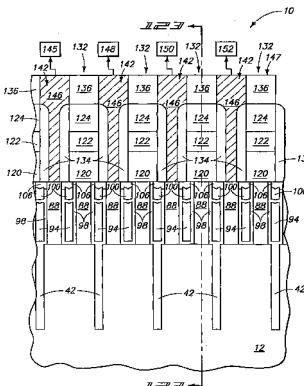
权利要求书 3 页 说明书 17 页 附图 128 页

(54) 发明名称

具有源极 / 漏极基座的 DRAM 结构及其制造方法

(57) 摘要

本发明包括一种具有包围垂直源极 / 漏极区 (88) 的栅极线栅格 (94) 的半导体结构 (10)。在一些方案中，源极 / 漏极区可以是成对设置的，其中每对源极 / 漏极区之一延伸到数字线 (120, 122)，而另一个延伸到诸如电容器之类的记忆存储器件 (145)，从而形成 DRAM。延伸到数字线的源极 / 漏极区可以具有与延伸到记忆存储器件的源极 / 漏极区相同的组成，或者可以具有与延伸到记忆存储器件的源极 / 漏极区不同的组成。本发明还包括形成半导体结构的方法。在示例方法中，设置包括第一材料的栅格，以包围第二材料的重复区。然后用栅极线结构取代至少一些第一材料，并且用垂直源极 / 漏极区取代至少一些第二材料。



1. 一种用于形成半导体结构的方法,包括:

设置半导体衬底;

在衬底上形成第一材料和第二材料,第一和第二材料相对于彼此可选择性地蚀刻,第一材料形成栅格,第二材料形成由栅格段彼此分隔的重复区,重复区形成阵列,阵列具有沿第一轴的方向限定的第一间距、以及沿与第一轴正交的第二轴的方向限定的第二间距;第二间距是第一间距的两倍;

用一种或多种导电的栅极线材料取代栅格的至少一些第一材料;以及

用掺杂的半导体材料取代至少一些第二材料,以在衬底上形成向上伸长的源极/漏极区。

2. 根据权利要求1所述的方法,其中:

第一向上伸长的源极/漏极区包括第一导电掺杂的半导体材料,所述第一向上伸长的源极/漏极区具有掺杂为n<sup>+</sup>的最上区、以及掺杂为n<sup>-</sup>的其余区;

第二向上伸长的源极/漏极区包括第二导电掺杂的半导体材料,所述第二向上伸长的源极/漏极区具有掺杂为n<sup>+</sup>的最上区、以及掺杂为p的其余区。

3. 根据权利要求1所述的方法,其中,所述衬底包括使向上伸长的源极/漏极区互连的p--区。

4. 根据权利要求1所述的方法,还包括在重复区内形成间隔区,以减小重复区的水平横截面宽度。

5. 根据权利要求1所述的方法,其中,栅极线具有与由第一材料形成的栅格相对应的栅格结构。

6. 根据权利要求1所述的方法,其中,取代至少一些第一材料发生在取代至少一些第二材料之前。

7. 根据权利要求1所述的方法,其中,取代至少一些第二材料发生在取代至少一些第一材料之前。

8. 根据权利要求1所述的方法,其中,第一材料包括氮化硅,以及第二材料包括二氧化硅。

9. 根据权利要求1所述的方法,其中,第一材料包括二氧化硅,以及第二材料包括氮化硅。

10. 根据权利要求1所述的方法,其中,一种或多种导电的栅极线材料包括导电掺杂的硅。

11. 根据权利要求1所述的方法,其中,一种或多种导电的栅极线材料包括一种或多种金属。

12. 根据权利要求1所述的方法,其中,一种或多种导电的栅极线材料包括一种或多种金属合金。

13. 根据权利要求1所述的方法,其中衬底包括单晶半导体材料,以及向上伸长的源极/漏极区的至少一些掺杂半导体材料是从衬底的单晶半导体材料中外延式生长的。

14. 根据权利要求1所述的方法,其中

衬底包括单晶半导体材料;

向上伸长的源极/漏极区的一些掺杂半导体材料是从衬底的单晶半导体材料中外延

式生长的单晶材料；以及

向上伸长的源极 / 漏极区的一些掺杂半导体材料不是单晶材料。

15. 根据权利要求 1 所述的方法，还包括在一些向上伸长的源极 / 漏极区上形成与该源极 / 漏极区电气相连的数字线。

16. 根据权利要求 15 所述的方法，其中，数字线在向上伸长的第一组源极 / 漏极区上，并与第一组源极 / 漏极区电气相连，而不与第二组源极 / 漏极区电气相连；以及所述方法还包括在第二组源极 / 漏极区上形成与第二组源极 / 漏极区电气相连的记忆存储器件。

17. 根据权利要求 16 所述的方法，其中，记忆存储器件是电容器。

18. 一种用于形成半导体结构的方法，包括：

设置半导体衬底；

在衬底上形成栅格，所述栅格限定由栅格段彼此分隔的重复区的阵列，所述栅格包括第一材料，重复区中是第二材料，其中第二材料相对于第一材料可选择性地蚀刻；

用一种或多种导电的栅极线材料取代栅格的至少一部分；以及

用包括掺杂半导体材料的、向上伸长的多个源极 / 漏极区取代重复区的阵列中的至少一些第二材料。

19. 根据权利要求 18 所述的方法，其中，所述栅格包括含氮化物材料。

20. 根据权利要求 18 所述的方法，其中，所述重复区包括非氮化物材料。

21. 根据权利要求 18 所述的方法，其中，所述阵列具有沿第一轴的方向限定的第一间距、以及沿与第一轴的方向正交的第二轴限定的第二间距；以及第二间距大于第一间距。

22. 根据权利要求 18 所述的方法，其中：

用一种或多种导电的栅极线材料仅取代一些栅格；以及

用在栅极线与向上伸长的源极 / 漏极区之间设置的电介质材料取代一些栅格。

23. 根据权利要求 18 所述的方法，其中，掺杂的半导体材料包括外延式生长的硅。

24. 根据权利要求 18 所述的方法，还包括在一些向上伸长的源极 / 漏极区上形成与该源极 / 漏极区电气相连的数字线。

25. 根据权利要求 24 所述的方法，其中数字线在向上伸长的第一组源极 / 漏极区上，并与第一组电气相连，而不与第二组源极 / 漏极区电气相连；以及所述方法还包括在向上伸长的第二组源极 / 漏极区上形成与向上伸长的第二组源极 / 漏极区电气相连的记忆存储器件。

26. 一种存储器件构造，包括：

半导体衬底；

衬底上的栅极线材料；

衬底上的至少部分地由栅极线包围的向上伸长的基座，基座之一具有第一源极 / 漏极区，另一基座具有第二源极 / 漏极区；

记忆存储器件，与所述第一源极 / 漏极区电气相连；

数字线，与所述第二源极 / 漏极区电气相连；以及

其中：

栅极线材料形成栅格，其中基座形成由栅格段彼此分隔的重复区，其中栅极线材料将与基座之一相关联的第一源极 / 漏极区和与另一基座相关联的第二源极 / 漏极区门控地连

接以形成晶体管；

第一源极 / 漏极区实质上由第一导电掺杂的半导体材料构成，所述第一导电掺杂的半导体材料具有掺杂为第一导电型的最上区；

第二源极 / 漏极区实质上由第二导电掺杂的半导体材料构成，所述第二导电掺杂的半导体材料具有掺杂为第一导电型的最上区；以及

所述半导体衬底包括在第一和第二源极 / 漏极区之间延伸、并掺杂为第二导电型的段，其中晶体管的沟道长度是从第一源极 / 漏极区延伸到第二源极 / 漏极区的长度。

27. 根据权利要求 26 所述的存储器件构造，其中，第一柱和第二柱包括外延式形成的硅。

28. 根据权利要求 26 所述的存储器件构造，其中，栅极线材料围绕基座对。

29. 根据权利要求 26 所述的存储器件构造，其中，在第一源极 / 漏极区和第二源极 / 漏极区之间延伸的段形成本体半导体材料的一部分。

30. 根据权利要求 26 所述的存储器件构造，其中，栅极材料包括从由金属、金属合金和导电掺杂的硅构成的组中选择的材料。

31. 根据权利要求 26 所述的存储器件构造，其中，记忆存储器件包括电容器。

32. 根据权利要求 26 所述的存储器件构造，还包括与源极区相连的数字线。

33. 根据权利要求 26 所述的存储器件构造，其中第一导电型是 n 型，第二导电型是 p 型。

## 具有源极 / 漏极基座的 DRAM 结构及其制造方法

### 技术领域

[0001] 本发明涉及半导体结构、存储器件构造和形成半导体结构的方法。

### 背景技术

[0002] 半导体器件应用的目标始终是提高器件集成度，换言之，增大支持衬底上的器件密度。用于增大密度的方法可以包括减小单个器件的尺寸、以及 / 或者增大器件的组装密度（即，减小相邻器件之间的间距）。为形成更高的集成度，需要开发可以用于半导体应用的新的器件构造，以及开发用于制造半导体器件构造的新方法。

[0003] 比较普遍的半导体器件是存储器件，动态随机存取存储 (DRAM) 单元是示例的存储器件。DRAM 单元包括晶体管和记忆存储结构，示例的记忆存储结构是电容器。半导体器件的现代应用可以使用大量 DRAM 单位的单元。因此，需要开发可应用在 DRAM 结构中的新的半导体器件，还需要开发用于制造 DRAM 结构的新方法。

[0004] 虽然本发明是以改进 DRAM 结构和形成这种结构的方法方面为目的而提出的，但是本发明不限于这些方案。本发明只受到所附权利要求所述的字面意义的限制，而不包括说明书和图的解释或其它限制性参考，并且与等同物的教导一致。

### 发明内容

[0005] 在一种方案中，本发明包括一种形成半导体结构的方法。设置半导体衬底，并在衬底上形成第一和第二材料。相对于彼此，第一和第二材料是可选择性地蚀刻的。第一材料形成栅格，第二材料形成由栅格段彼此分隔的重复区。重复区形成阵列。阵列具有沿第一轴限定的第一间距、以及沿大致与第一轴正交的第二轴限定的第二间距。第二间距大约是第一间距的两倍。用一种或多种栅极线的导电材料取代栅格的至少一些第一材料，并用掺杂的半导体材料取代至少一些第二材料，以形成垂直延伸的源极 / 漏极区。

[0006] 在一种方案中，本发明包括一种半导体结构。该结构包括半导体衬底和衬底上的栅极线栅格。栅格限定由栅格段彼此分隔的非栅极线区的阵列。该阵列具有沿第一轴限定的第一间距、以及沿大致与第一轴正交的第二轴限定的第二间距。第二间距大约是第一间距的两倍。非栅极线区包括垂直延伸的源极 / 漏极区。

[0007] 在一种方案中，本发明包括一种存储器件构造。该构造包括半导体衬底和衬底上的栅极线栅格。该构造还包括至少部分地由栅极线包围的、在衬底上的垂直延伸的源极 / 漏极区对。源极 / 漏极区之一是第一源极 / 漏极区，基本上由导电掺杂的外延硅构成，另一源极 / 漏极区是第二源极 / 漏极区，基本上由导电掺杂的非外延硅构成。源极 / 漏极区通过栅极线，门控地彼此相连。记忆存储器件与第一源极 / 漏极区或第二源极 / 漏极区电气相连。数字线与第一和第二源极 / 漏极区中不与记忆存储器件电气相连的那一个电气相连。

### 附图说明

[0008] 以下参考下列附图，描述本发明的优选实施例。

[0009] 图 1-3 是在初步处理阶段, 半导体构造的局部示意顶视图和两个横截面侧视图。图 2 和 3 分别沿图 1 的线 2-2 和 3-3 ;图 3 沿图 2 的线 3-3 ;以及图 2 沿图 3 的线 2-2。

[0010] 图 4-6 分别是在图 1-3 之后的处理阶段示出的图 1-3 的局部示意顶视图和两个横截面侧视图。图 5 和 6 分别沿图 4 的线 5-5 和 6-6 ;图 6 沿图 5 的线 6-6 ;以及图 5 沿图 6 的线 5-5。

[0011] 图 7-9 是在图 4-6 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 8 和 9 分别沿图 7 的线 8-8 和 9-9 ;图 9 沿图 8 的线 9-9 ;以及图 8 沿图 9 的线 8-8。

[0012] 图 10-12 是在图 7-9 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 11 和 12 分别沿图 10 的线 11-11 和 12-12 ;图 12 沿图 11 的线 12-12 ;以及图 11 沿图 12 的线 11-11。

[0013] 图 13-15 是在图 10-12 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 14 和 15 分别沿图 13 的线 14-14 和 15-15 ;图 15 沿图 14 的线 15-15 ;以及图 14 沿图 15 的线 14-14。

[0014] 图 16-18 是在图 13-15 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 17 和 18 分别沿图 16 的线 17-17 和 18-18 ;图 18 沿图 17 的线 18-18 ;以及图 17 沿图 18 的线 17-17。

[0015] 图 19-21 分别是在图 16-18 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 20 和 21 分别沿图 19 的线 20-20 和 21-21 ;图 21 沿图 20 的线 21-21 ;以及图 20 沿图 21 的线 20-20。

[0016] 图 22-24 是在图 19-21 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 23 和 24 分别沿图 22 的线 23-23 和 24-24 ;图 24 沿图 23 的线 24-24 ;以及图 23 沿图 24 的线 23-23。

[0017] 图 25-27 是在图 21-23 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 26 和 27 分别沿图 25 的线 26-26 和 27-27 ;图 27 沿图 26 的线 27-27 ;以及图 26 沿图 27 的线 26-26。

[0018] 图 28-30 是在图 25-27 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 29 和 30 分别沿图 28 的线 29-29 和 30-30 ;图 30 沿图 29 的线 30-30 ;以及图 29 沿图 30 的线 29-29。

[0019] 图 31-33 是在图 28-30 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 32 和 33 分别沿图 31 的线 32-32 和 33-33 ;图 33 沿图 32 的线 33-33 ;以及图 32 沿图 33 的线 32-32。

[0020] 图 34 是图 32 的构造的示意横截面侧视图, 示出了合并为单个结构的、典型地包括彼此相同的组成的结构, 以简化绘图。图 34 的图示用于图 34 之后的图中。

[0021] 图 35-37 是在图 31-33 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 36 和 37 分别沿图 35 的线 36-36 和 37-37 ;图 37 沿图 36 的线 37-37 ;以及图 36 沿图 37 的线 36-36。

[0022] 图 38-40 是在图 35-37 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 39 和 40 沿图 38 的线 39-39 和 40-40 ;图 40 沿图 39 的线 40-40 ;以

及图 39 沿图 40 的线 39-39。

[0023] 图 41-43 是在图 38-40 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 42 和 43 沿图 41 的线 42-42 和 43-43；图 43 沿图 42 的线 43-43；以及图 42 沿图 43 的线 42-42。

[0024] 图 44 是图 43 的构造的示意图，其中示出了典型地具有相同组成的结构彼此合并。图 44 的表示将用于图 44 之后的图中。

[0025] 图 45-47 是在图 41-43 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 46 和 47 沿图 45 的线 46-46 和 47-47；图 47 沿图 46 的线 47-47；以及图 46 沿图 47 的线 46-46。

[0026] 图 48-50 是在图 45-47 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 49 和 50 沿图 48 的线 49-49 和 50-50；图 50 沿图 49 的线 50-50；以及图 49 沿图 50 的线 49-49。

[0027] 图 51-53 是在图 48-50 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 52 和 53 沿图 51 的线 52-52 和 53-53；图 53 沿图 52 的线 53-53；以及图 52 沿图 53 的线 52-52。

[0028] 图 54-56 是在图 51-53 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 55 和 56 沿图 54 的线 55-55 和 56-56；图 56 沿图 55 的线 56-56；以及图 55 沿图 56 的线 55-55。

[0029] 图 57-59 是在图 54-56 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 58 和 59 沿图 57 的线 58-58 和 59-59；图 59 沿图 58 的线 59-59；以及图 58 沿图 59 的线 58-58。

[0030] 图 60-62 是在图 57-59 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 61 和 62 沿图 60 的线 61-61 和 62-62；图 62 沿图 61 的线 62-62；以及图 61 沿图 62 的线 61-61。

[0031] 图 63-65 是在图 60-62 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 64 和 65 沿图 63 的线 64-64 和 65-65；图 65 沿图 64 的线 65-65；以及图 64 沿图 65 的线 64-64。

[0032] 图 66 是图 64 的构造的示意顶视图，示出了典型地具有彼此相同组成的结构合并在一起以形成共用结构。图 66 的图示将用于图 66 之后的图中。

[0033] 图 67-69 是在图 63-65 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 68 和 69 沿图 67 的线 68-68 和 69-69；图 69 沿图 68 的线 69-69；以及图 68 沿图 69 的线 68-68。

[0034] 图 70-72 是在图 67-69 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 71 和 72 沿图 70 的线 71-71 和 72-72；图 72 沿图 71 的线 72-72；以及图 71 沿图 72 的线 71-71。

[0035] 图 73-75 是在图 70-72 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 74 和 75 沿图 73 的线 74-74 和 75-75；图 75 沿图 74 的线 75-75；以及图 74 沿图 75 的线 75-75。

[0036] 76-78 是在图 73-75 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两

一个横截面侧视图。图 77 和 78 沿图 76 的线 77-77 和 78-78 ;图 78 沿图 77 的线 78-78 ;以及图 77 沿图 78 的线 77-77。

[0037] 图 79-81 是在图 76-78 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 80 和 81 沿图 79 的线 80-80 和 81-81 ;图 81 沿图 80 的线 81-81 ;以及图 80 沿图 81 的线 80-80。

[0038] 图 82-84 是在图 79-81 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 83 和 84 沿图 82 的线 83-83 和 84-84 ;图 84 沿图 83 的线 84-84 ;以及图 83 沿图 84 的线 83-83。

[0039] 图 85-87 是在图 82-84 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 86 和 87 沿图 85 的线 86-86 和 87-87 ;图 87 沿图 86 的线 87-87 ;以及图 86 沿图 87 的线 86-86。

[0040] 图 88-90 是在图 85-87 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 89 和 90 沿图 88 的线 89-89 和 90-90 ;图 90 沿图 89 的线 90-90 ;以及图 89 沿图 90 的线 89-89。

[0041] 图 91-93 是在图 88-90 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 92 和 93 沿图 91 的线 92-92 和 93-93 ;图 93 沿图 92 的线 93-93 ;以及图 92 沿图 93 的线 92-92。

[0042] 图 94-96 是在图 91-93 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 95 和 96 沿图 94 的线 95-95 和 96-96 ;图 96 沿图 95 的线 96-96 ;以及图 95 沿图 96 的线 95-95。

[0043] 图 97-99 是在图 94-96 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 98 和 99 沿图 97 的线 98-98 和 99-99 ;图 99 沿图 98 的线 99-99 ;以及图 98 沿图 99 的线 98-98。

[0044] 图 100-102 是在图 97-99 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 101 和 102 沿图 100 的线 101-101 和 102-102 ;图 102 沿图 101 的线 102-102 ;以及图 101 沿图 102 的线 101-101。

[0045] 图 103-105 是在图 100-102 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 104 和 105 沿图 103 的线 104-104 和 105-105 ;图 105 沿图 104 的线 105-105 ;以及图 104 沿图 105 的线 104-104。

[0046] 图 106-108 是在图 103-105 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 107 和 108 沿图 106 的线 107-107 和 108-108 ;图 108 沿图 107 的线 108-108 ;以及图 107 沿图 108 的线 108-108。

[0047] 图 109-111 是在图 103-105 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 110 和 111 沿图 109 的线 110-110 和 111-111 ;图 111 沿图 110 的线 111-111 ;以及图 110 沿图 111 的线 110-110。

[0048] 图 112-114 是在图 109-111 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 113 和 114 沿图 112 的线 113-113 和 114-114 ;图 114 沿图 113 的线 114-114 ;以及图 113 沿图 114 的线 113-113。

[0049] 图 115-117 是在图 112-114 之后的处理阶段示出的图 1-3 的构造的局部示意顶视

图和两个横截面侧视图。图 116 和 117 沿图 115 的线 116-116 和 117-117；图 117 沿图 116 的线 117-117；以及图 116 沿图 117 的线 116-116。

[0050] 图 118-120 是在图 115-117 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 119 和 120 沿图 118 的线 119-119 和 120-120；图 120 沿图 119 的线 120-120；以及图 119 沿图 120 的线 119-119。

[0051] 图 121-123 是在图 118-120 之后的处理阶段示出的图 1-3 的构造的局部示意顶视图和两个横截面侧视图。图 122 和 123 沿图 121 的线 122-122 和 123-123；图 123 沿图 122 的线 123-123；以及图 122 沿图 123 的线 122-122。

[0052] 图 124 是可以根据本发明方案形成的示例存储器件构造的示意横截面图。

[0053] 图 125 是可以根据本发明示例方案形成的另一示例存储器件构造的示意横截面图。

[0054] 图 126 是可以根据本发明示例方案形成的另一示例存储器件构造的示意横截面图。

[0055] 图 127 是示出了本发明的示例应用的计算机示意图。

[0056] 图 128 是示出了图 127 的计算机的母板的特定特征的方框图。

[0057] 图 129 是根据本发明示例方案的电子系统的高级方框图。

[0058] 图 130 是根据本发明方案的示例存储器件的简化方框图。

## 具体实施方式

[0059] 本发明包括用于形成包括围绕多个源极 / 漏极区的栅极线栅格的半导体构造的方法。在本发明的一些方案中，通过在一些源极 / 漏极区上形成与之电气连接的数字线，并通过形成与一些源极 / 漏极区电气连接的多个电容器构造，可以将这种构造合并到 DRAM 阵列中。

[0060] 参考图 1-123，描述本发明的示例方案。首先参考图 1-3，示出了在初步处理阶段的半导体构造 10。构造 10 包括衬底 12。衬底 12 可以包括、或基本上或完全由适当掺杂的单晶硅构成。为帮助解释后面的权利要求，术语“半导性衬底”和“半导体衬底”定义为表示包括半导性材料的任何构造，包括但不限于诸如半导性晶片（单独的或其上包括其它材料的组合）之类的本体 (bulk) 半导性材料、以及半导性材料层（单独的或包括其它材料的组合）。术语“衬底”表示任何支持结构，包括但不限于上述半导性衬底。

[0061] 构造 10 还包括衬底 12 上的材料 14。在特定方案中，材料 14 可以包括、或基本上或完全由二氧化硅构成，并可以形成例如大约 3,000 Å 的厚度。

[0062] 层 16 在材料 14 上。层 16 可以包括、或基本上或完全由例如多晶硅等的硅构成，并且可以形成例如大约 1,000 Å 的厚度。在（以下论述的）特定方案中，可以将层 16 形成图案，并用作硬掩膜。因此，在本发明的一些方案中，层 16 可以被称作“硬掩膜层”。

[0063] 在本发明的特定方案中，构造 10 的结构 12、14 和 16 可以分别被称作第一半导体材料、含氧化物材料和含硅硬掩膜。在这些方案中，要理解，材料 14 可以包括二氧化硅和 / 或其它任何合适的氧化物，材料 16 可以包括多晶硅或其它任何合适形式的硅。此外，要理解，最终将在构造 10 上形成（以下论述的）其它半导体材料，因此，可以将材料 12 称作第一半导体材料，以区别材料 12 与之后在其上形成的半导体材料。

[0064] 接着参考图 4-6, 在层 16 上形成形成图案的掩膜材料 18。例如, 掩膜材料 18 包括、或基本上或完全由光刻胶 (photoresist) 构成, 并可以通过光刻, 使其形成所示配置的图案。形成图案的材料 18 形成为多根分隔的线 20, 这些线通过间隙 22 彼此分离。线和间隙的间距 19 是由间隙 22 和线 18 的组合距离限定的。可以认为线 20 沿限定的水平方向延伸。

[0065] 接着参考图 7-9, 将来自形成图案的掩膜材料 18(图 4-6) 的图案转印 (transfer) 到硬掩膜层 16。具体地, 通过硬掩膜层转印间隙 22, 从而在材料 14 上留下硬掩膜层 16 的分隔线 26。随后, 去除掩膜材料 18(图 4-6)。可以认为线 26 沿与线 20(图 4-6) 相同的限定的水平方向延伸。

[0066] 接着参考图 10-12, 在线 26 上且在间隙 22 内形成材料 28 的薄层, 以使间隙变窄。例如, 材料 28 可以包括、或基本上或完全由诸如氮化硅之类的含氮化物材料构成。材料 28 可以形成例如大约 160 Å 的厚度。图 10 中用虚线图示出线 26, 以指示线在材料 28 的下面。

[0067] 接着参考图 13-15, 用各向异性蚀刻, 使材料 28 形成间隔区 (spacer) 30 的图案。在形成间隔区 30 之后, 变窄的间隙 22 延伸到材料 14 的上表面。

[0068] 接着参考图 16-18, 变窄的间隙 22 延伸穿过材料 14。在图 16-18 的处理阶段的间隙 22 与延伸到衬底 12 的上表面的开口相对应。间隙形成沿形成图案的掩膜 18(图 4-6) 的线 20 的水平限定方向、纵向伸长的刻槽 (trench) 形状。

[0069] 接着参考图 19-21, 在开口 22 内形成间隔区 32, 以使开口变窄。例如, 间隔区 32 可以包括、或基本上或完全由诸如氮化硅之类的含氮化物材料构成。通过在线 26 上和在开口 22 内设置薄层的含氮化物材料 (例如, 大约 80 Å 厚的氮化硅层), 随后使用各向异性蚀刻将该层转换为所示的间隔区 32, 可以形成间隔区 32。

[0070] 间隔区 32 和 28 共同形成间隔区构造 34。在一些方案中, 间隔区 32 和 28 可以在组成上彼此相同, 因此, 将在间隔区构造 34 中合并在一起。间隔区构造 34 使开口 22 变窄, 从图 19 可见, 间隔区构造 34 形成沿与开口 22 相对应的刻槽内侧边缘、在水平方向上纵向延伸的条带 (strip)。

[0071] 接着参考图 22-24, 采用适当的蚀刻, 使开口 22 延伸进入衬底 12。如果衬底 12 包括本体硅 (bulk silicon), 则蚀刻可以是干法蚀刻。这种蚀刻可以使开口 22 延伸进入衬底 22 大约 2, 000 Å。

[0072] 在图 22-24 的处理阶段, 去除掩膜层 16(图 19-21)。这种去除可以发生在开口 22 延伸进入衬底 12 之前、之后或之中。典型地, 用于使开口 22 延伸进入衬底 12 的蚀刻相对于层 16 的材料是非选择性的, 因此, 在开口 22 延伸进入衬底 12 期间, 将去除层 16。

[0073] 硬掩膜材料 16 的去除在材料 14 上和间隔区 34 之间留下了间隙 36。因此, 可以认为间隔区 34 在开口 22 两侧形成成对的线, 或者可选地, 可以认为间隔区 34 在间隙 36 的两侧形成成对的线。例如, 图 23 示出了三个间隔区 34, 标记为 33、35 和 37。可以认为间隔区 33 和 35 在间隔区之间延伸的间隙 22 的相对侧形成线对。可选地, 可以认为间隔区 35 和 37 在间隔区之间延伸的间隙 36 的相对侧形成线对。

[0074] 在使开口 22 延伸进入衬底 12 之后, 可以认为开口包括在半导体衬底 12 内延伸的第一部分 38、以及在第一部分上的第二部分 40。

[0075] 接着参考图 25-27, 在开口 22 的第一部分 38 内设置电介质材料 42, 以填充第一部分, 而保留开口的第二部分 40 未被填充。例如, 电介质材料 40 可以包括、或基本上或完全由二氧化硅构成。如果衬底 12 包括单晶硅, 则可以通过氧化衬底 12 来形成电介质材料 42。合适的示例氧化条件是形成大约  $100 \text{ \AA}$  厚的氧化物 42 的条件, 大约  $100 \text{ \AA}$  厚的氧化物 42 足以填充开口 22 的下部。

[0076] 接着参考图 28-30, 在间隙 22 和 36 内设置材料 44。材料填充间隙 22, 并使间隙 36 变窄。例如, 材料 44 可以包括、或基本上或完全由诸如氮化硅之类的含氮化物材料构成。材料 44 可以形成例如大约  $160 \text{ \AA}$  的厚度。

[0077] 在图 28 中, 用虚线图示出结构 34, 以指示该结构在材料 44 的下面。

[0078] 接着参考图 31-33, 材料 44 经过适当的蚀刻, 形成间隔的柱 (pillar) 46。柱 46 在材料 14 上延伸。间隙 48 在间隔的柱之间, 将柱彼此分离开来。间隙 48 在氧化物材料 14 上, 每个间隙沿氧化物材料 14 的水平延伸线直线地水平延伸。间隙 48 可以被称作第二间隙, 以与上述间隙 22 相区别。

[0079] 接着参考图 34, 示出的是图 32 的处理阶段上的构造 10, 但是示出了典型地具有彼此相似的组成的组件合并为单个组件。具体地, 材料 28、32 和 44 都可以典型地由彼此相同的组成 (例如, 氮化硅) 构成, 因此, 柱 46 可以均质地包括单一材料。因此, 图 34 示出了包括相同种类材料的柱 46, 这种材料由标记 47 指示。为简化绘图, 将在随后的图中使用图 34 的表示, 但是要理解, 由图 34 表示的方案只是本发明的一个方案, 本发明包括其它方案, 其中材料 28、32 和 44 不全是彼此相同的组成。

[0080] 接着参考图 35-37, 通过适当的蚀刻, 使间隙 48 延伸通过材料 14。在示例方案中, 材料 14 可以基本上上由二氧化硅构成, 材料 47 可以基本上上由氮化硅构成, 蚀刻可以是相对于氮化硅、对二氧化硅是选择性的干法蚀刻。在本发明的一些方案中, 使用这里所述的处理, 形成 DRAM 阵列。在这些方案中, 在用于将开口 48 延伸到衬底 12 的蚀刻期间, 可能需要用光刻胶或其它合适的保护材料, 保护阵列的周边区域。

[0081] 接着参考图 38-40, 对构造 10 进行平面化处理 (例如, 化学机械抛光), 使构造的上表面成为平面。这种平面化处理从材料 14 上去除了材料 47, 结果产生包括平面化上表面 51 的柱 50。每个柱包括夹在材料 14 的线对之间的材料 47 的单根线。如图 38 可见, 线沿水平方向延伸。由间隙 48 将柱 50 彼此分离开来。

[0082] 虽然示出上表面 51 位于与材料 14 的原始上表面大致相同的高度 (elevational) 位置, 但是要理解, 在本发明的一些方案中, 平面化处理可以去除一些材料 14, 从而表面 51 在材料 14 的原始表面之下。在本发明的一些方案中, 在化学机械抛光之后剩余的柱 50 的高度可以是大约  $5500 \text{ \AA}$ 。

[0083] 接着参考图 41-43, 在间隙 48 内且在柱 50 (因为柱沿水平方向纵向延伸, 所以柱也可以被称作线) 上沉积材料 52。例如, 材料 52 可以包括、或基本上或完全由诸如氮化硅之类的含氮化物材料构成。在本发明的特定方案中, 材料 52 可以形成例如大约  $200 \text{ \AA}$  的厚度, 这足以完全填充间隙 48。图 41 中用虚线图示出层 14 和 47, 以指示这些层在材料 52 的下面。

[0084] 在本发明的特定方案中, 材料 52 和 47 将包含彼此相同的组成, 因此将合并为单一

结构。图 44 中示出了这种方案,其中单一材料 53 表示材料 52 和 47 的组合。例如,材料 53 可以包括、或基本上或完全由氮化硅构成。为简化绘图,将在图 44 之后的图中使用图 44 的方案。这些图将使用组成 53 替代组成 47 和 52(图 42)。但是,要理解,本发明包括组成 47 和 52 彼此不同的方案。在图 44 中,基座 (pedestal) 14 和基座之间的间隙中的材料 53 构成重复图案,这种重复图案限定了由一个间隙和基座 14 之一的距离构成的间距 55。

[0085] 参考图 45-47,在材料 53 上设置形成图案的掩膜材料 54。例如,掩膜材料 54 可以包括光刻胶,因此,可以通过光刻处理,使其形成图案。形成图案的材料 54 包括多个由间隙 58 彼此分隔的垂直延伸的线 56。

[0086] 线 56 和间隔 58 形成重复图案,这种图案具有限定为一个间隙 58 与一根线 56 的距离的间距 59。在本发明的特定方案中,间距 59 和间距 19(图 5)彼此大致相同,间距 55(图 44)大约是间距 19 和 59 的一半。

[0087] 接着参考图 48-50,使间隙 58 延伸通过材料 53 和 14,随后去除掩膜层 54(图 45-47)。这样形成从材料 14 和 53 垂直延伸的线 60。可以认为由与开口 58 相对应的垂直延伸的刻槽将这些线彼此分离开来。

[0088] 接着参考图 51-53,在线 60 上且在间隙 58 内,设置材料 62。例如,材料 62 可以包括、或基本上或完全由氮化硅构成,并可以形成大约  $375 \text{ \AA}$  的厚度。材料 62 部分地填充间隙 58,以使间隙变窄。在图 51 中,用虚线图示出线 60,以指示这些线在材料 62 的下面。

[0089] 接着参考图 54-56,对材料 62 进行各向异性蚀刻,以形成间隔区 64。在形成间隔区 64 之后,间隙 58 在间隔区之间延伸,直到衬底 12 的上表面。

[0090] 接着参考图 57-59,使开口 58 延伸进入衬底 12,随后在开口内形成电介质材料 66。例如,开口可以延伸进入衬底 12 大约 2000  $\text{\AA}$  深。例如,电介质材料 66 可以包括二氧化硅,在衬底 12 包括单晶硅的应用中,可以通过使硅氧化,来形成电介质材料 66。可以认为开口 58 包括下部 68 和上部 70,下部 68 填充有电介质材料 66,而上部 70 未填充。

[0091] 接着参考图 60-62,在线 60 上且在间隙 58 内,形成材料 72。例如,材料 72 可以包括、或基本上或完全由诸如二氧化硅之类的含氧化物材料构成。在示例方案中,沉积材料 72,达到大约  $350 \text{ \AA}$  的厚度。在图 60 中,用虚线图示出材料 53 和 62,以指示这些材料在材料 72 的下面。

[0092] 接着参考图 63-65,对构造 10 的上表面进行平面化处理,形成平面化的上表面 75。平面化处理从材料 14 的表面上去除了材料 72 和 53。平面化处理也去除了一些材料 14,从而平面化表面 75 在材料 14 的上表面的初始高度水平之下。例如,在示例实施例中,可以通过化学机械抛光,实现平面化处理,并且可以进行平面化处理,使上表面 75 在衬底 12 的最上表面之上大约  $5500 \text{ \AA}$ 。如图 63 的顶视图所示,在平面化处理之后,交替的层 53 和 14 沿垂直方向延伸,交替的层 14、62 和 72 沿水平方向延伸。

[0093] 在特定方案中,材料 53 是氮化硅(即,由氮化硅构成),材料 14 是二氧化硅,材料 62 是氮化硅,材料 72 是二氧化硅。因此,图 64 的平面化表面 75 延伸穿过交替的氮化硅层和二氧化硅层;相似地,图 65 的平面化上表面 75 也延伸穿过交替的二氧化硅表面和氮化硅表面。图 66 中示出了这种思想,图 66 是在图 63 的处理阶段的简化顶视图,其中示出了典型地具有彼此相同的组成的层合并在一起。具体地,层 53 和 62 典型地可以包括彼此相同

的组成，并且在特定方案中，可以包括、或基本上或完全由氮化硅构成。图 66 中示出了这些层合并在一起，形成单一结构 76。示出了材料 14 和 72 延伸通过结构 76。在特定方案中，材料 14 和 72 将包含彼此相同的组成，例如，可以包括、或基本上或完全由二氧化硅构成。

[0094] 在一些方案中，材料 76 和 14 可以是相对于彼此、可选择性地蚀刻的材料。在这些方案中，可以认为材料 76 是以栅格形式形成的第一材料，可以认为材料 14 是形成为由栅格段分隔的重复区的第二材料。重复区 14 形成阵列，这种阵列具有沿该阵列的第一轴的第一间距 80（所示间距 80 沿所示阵列的垂直伸长轴），并具有沿与第一轴大致正交的第二轴的第二间距 82（所示第二间距沿阵列的水平延伸轴）。第二间距大约是第一间距的两倍。

[0095] 虽然采用第一材料 76 是氮化硅、第二材料 14 是二氧化硅，来描述本发明，但是要理解，在本发明的其它方案中，可以相反地使用材料。因此，材料 14 可以包括、或基本上或完全由氮化硅构成，而材料 76 可以包括、或基本上或完全由二氧化硅构成。

[0096] 术语“水平”和“垂直”是参考图 66 的顶视图而使用的，以分别表示从左向右穿过页面和从上向下穿过页面而延伸的轴。要理解，这里也可以使用术语“垂直”来表示从衬底向上延伸的凸起，因此，例如，参考图 65 的结构，可以使用术语“垂直”来表示凸起 14、62 和 72 从衬底 12 的上表面“垂直地”延伸。为避免由于使用术语“垂直”来表示横向方向和沿高度方向而引起的混淆，在此可以使用术语“沿高度方向垂直伸长”和“沿高度方向伸长”，来表示从表面上延伸的凸起（例如，图 65 的凸起 14、62 和 72）。

[0097] 图 66 的简化图将用在图 66 之后的图中，以简化以后的论述。但是，要理解，本发明包括材料 53 和 62（图 63）彼此不同、从而材料未合并为单一共用结构 76 的方案。

[0098] 接着参考图 67-69，在区 72 上形成掩膜材料 84，以保护该区不经受后续处理（稍后论述）。例如，掩膜材料 84 可以包括光刻胶，并可以使用光刻处理，使掩膜材料 84 形成图案。在图 67 的顶视图中，掩膜材料 84 形成垂直延伸的线（或条带）。在图 67 中，用虚线图示出材料 72，以指示在所示图中，材料 72 在掩膜材料 84 的下面。因为标记 76 用来表示图 64 和 65 的材料 53 和 62，所以图 68 和 69 的横截面具有与图 64 和 65 的横截面不同的标记，以与前面参考图 66 所述的标记习惯一致，并在图 66 之后的图中采用。

[0099] 接着参考图 70-72，相对于材料 76，选择性地去除材料 14，随后去除掩膜材料 84（图 67-69）。材料 14 的去除形成通过材料 76、延伸到衬底 12 上表面的开口 86。如果材料 14 包括二氧化硅、材料 76 包括氮化硅，则可以用诸如干法或湿法氧化蚀刻等方法实现材料 14 的选择性去除。

[0100] 接着参考图 73-75，在开口 86 内形成半导体材料 88。例如，通过在开口 86 内且在材料 76 上形成多晶硅，随后经平面化处理或其它合适方法、从材料 76 上去除多晶硅，可以形成材料 88。可选地，如果衬底 12 包括单晶半导体材料（例如，单晶硅），则材料 88 可以从衬底 12 的上表面外延式生长。外延式生长的半导体材料一般是单晶材料，而非外延式生长的半导体材料典型地不是单晶材料，而是，非外延式生长的半导体材料典型地是非晶和 / 或多晶的。

[0101] 所示材料 88 具有沿高度方向在材料 76 和 72 的最上表面之下的最上表面，但是要理解，在未示出的本发明的多种可选方案中，材料 88 的最上表面可以是与材料 76 和 72 的最上表面共面的，或者可以沿高度方向在材料 76 和 72 的表面之上。

[0102] 虽然示出了所有开口都同时填充有材料 88，但是要理解，可以将开口划分为组，一

组填充一种半导体材料 88，而另一组填充另一种半导体材料 88。例如，开口 86 内的半导体材料 88 可以最终与源极 / 漏极区相对应，一些源极 / 漏极区最终与数字线相连，而其它源极 / 漏极区最终与记忆存储器件（例如，电容器）相连。在与数字线相连的源极 / 漏极区中使用的材料 88 可以是一组，而在与记忆存储器件相连的源极 / 漏极区中使用的材料 88 可以是另一组。因此，与数字线相连的材料 88 可以不同于与记忆存储器件相连的材料 88 的半导体材料。例如，最终与数字线相连的半导体材料 88 可以由外延材料形成，而最终与记忆存储器件相连的材料 88 可以由多晶半导体材料形成。外延硅中的 p-n 结比本体硅中的 p-n 结更易泄漏 (leaky)，这在本发明的一些方案中是有利的。以下将参考图 124-126，更加详细地论述这些方案。

[0103] 可以在沉积时对半导体材料 88 进行导电掺杂（即，就地掺杂），和 / 或在进行沉积之后、用一种或多种合适的注入物对其进行掺杂。此外，可以在开口内设置材料 88 之前，或在向材料 88 提供适当注入物或从材料 88 进行杂质的向外扩散之后，对紧接开口 86 的衬底 12 的区域进行适当的导电掺杂。在一些方案中，将在图 1-3 之前的处理阶段，特别是在衬底上形成材料 14 之前，向衬底 12 设置适当的增强导电性的杂质。在可选或其它方案中，将在形成开口 86 之后，在衬底中设置杂质，从而杂质与开口自对准。以下将参考图 124-126，论述在本发明的特定方案中，可以设置在衬底 12 和区 88 内的特定杂质。

[0104] 在本发明的示例方案中，材料 88 包括、基本上或完全由外延式生长的硅构成，在硅的生长期间对其进行就地掺杂，并使其生长到大约 1400 Å 的厚度（即，图 74 和 75 的垂直高度）。

[0105] 接着参考图 76-78，去除材料 76（图 73-75），留下开口 90。开口在材料 72 的垂直线之间、并且在材料 88 的柱周围延伸。开口 90 延伸到衬底 12 的上表面，并延伸到在衬底 12 内形成的电介质材料 42 的上表面。

[0106] 优选地，相对于材料 88 和 72，材料 76 的去除对于材料 76 是选择性的（术语“选择性的”指示用于去除材料 76 的条件以比用这种条件去除材料 86 和 72 的速度更快的速度，去除材料 76，包括但不限于去除材料 88 和 72 的速度大约为零的方案）。在材料 76 由氮化硅构成、材料 88 由导电掺杂的硅构成、材料 72 由二氧化硅构成的方案中，材料 76 的选择性去除可以包括氮化硅的干法和 / 或湿法蚀刻。

[0107] 接着参考图 79-81，在开口 90 内，特别是在材料 88 和衬底 12 的外露表面上，形成电介质层 92。在图 79 中，用虚线图示出基座 88，以指示在所示图中这些基座在电介质材料 92 的下面。

[0108] 如果材料 88 和衬底 12 包括硅，则电介质材料 92 可以包括二氧化硅，并可以通过氧化衬底 12 和材料 88 的表面而形成。因此，电介质 92 可以包括、基本上或完全由二氧化硅构成。在图 79-81 的方案中，示出了电介质材料 92、材料 42、材料 72 和材料 66 包括彼此相同的组成，并合并为共用 (common) 电介质结构。材料 92、42、72 和 66 可以全部包括、基本上或完全由二氧化硅构成。材料 92、42、72 和 66 的合并简化了图，并且在图 79-81 之后的图中将示出这种合并，但是要理解，本发明也包括材料 92、42、72 和 66 的一种或多种具有与其它不同的组成的方案。

[0109] 电介质材料 92 可以最终用作栅极氧化物，在本发明的这种方案中，电介质材料 92

可以形成为大约 $70\text{\AA}$ 的厚度。

[0110] 接着参考图 82-84, 在开口 90 内形成栅极线材料 94。虽然图中示出材料 94 是均质的, 但是要理解, 标记“94”表示的结构可以包括多个不同的层。在特定方案中, 材料 94 可以包括、基本上或完全由金属、金属合金和 / 或导电掺杂的硅构成。优选地, 在本发明的一些方案中, 材料 94 包括、基本上或完全由导电掺杂的多晶硅构成。示出了材料 94 只是部分地填充开口 90, 但是要理解, 本发明包括材料 94 完全填充开口的其它方案 (未示出)。在示例方案中, 材料 94 包括初始沉积到 $300\text{\AA}$ 的厚度的导电掺杂的多晶硅。因为开口 90 的宽度小于 $600\text{\AA}$ , 所以这种厚度足以完全填充开口 90。因此, 沉积到 $300\text{\AA}$ 的厚度的多晶硅可以在具有 $2000\text{\AA}$ 或更大高度的开口内形成垂直基座。接着用干法蚀刻, 深蚀刻 (etch back) 多晶硅, 使开口内的硅只延伸到大约 $850\text{\AA}$ 的上高度水平。

[0111] 栅极线材料 94 门控地 (gated) 连接材料 88 的基座对的源极 / 漏极区, 形成晶体管构造。在图 83 中, 可以彼此门控地相连、并合并为单一晶体管构造的基座对由标记 89 标识。

[0112] 接着参考图 85-87, 将结构 10 置于去除材料 72 和电介质 92 的外露部分的适当条件下。在示例方案中, 材料 72 和电介质 92 都由二氧化硅构成, 并且用于去除材料 72 和电介质 92 的外露部分的条件是去除大约 $150\text{\AA}$ 的氧化物的湿法氧化蚀刻。从基座 88 上去除电介质材料使基座的上表面外露。

[0113] 接着参考图 88-90, 在栅极线材料 94 上且在基座 88 的外露表面上, 形成第二电介质材料。在特定方案中, 第二电介质材料包括与第一电介质材料 92 (图 85-87) 相同的组成。例如, 第一和第二电介质材料可以都包括、基本上或完全由二氧化硅构成。示出了第二电介质材料包括与材料 92 相同的组成, 因此, 两种材料合并形成单一电介质材料 98。在第二电介质材料基本上由二氧化硅构成、材料 88 包括硅、并且材料 94 包括硅的方案中, 可以通过材料 88 和 94 的外露表面的氧化来形成第二电介质材料。在这些方案中, 第二电介质材料可以由形成厚度为大约 $70\text{\AA}$ 的二氧化硅构成。包括组合的第一和第二电介质材料的材料 98 可以由二氧化硅构成, 并整个具有大约 $70\text{\AA}$ 的厚度。

[0114] 在本发明的特定方案中, 基座 88 是垂直伸长的源极 / 漏极区 (具体地, 沿高度垂直伸长), 材料 94 是在源极 / 漏极区周围延伸的栅极线。要注意, 图 88-90 的电介质材料 98 和栅极线材料 94 共同取代了图 66 的第一材料 76, 并且垂直伸长的源极 / 漏极区 88 取代了图 66 的第二材料 14。因此, 图 88-90 的栅极线材料 94 现在形成了可与图 66 的材料 76 形成的栅格相比的栅格, 源极 / 漏极区 88 形成了具有由栅格段彼此分隔的重复区的阵列。该阵列具有沿参考图 66 所述的第一轴的第一间距、以及沿与第一轴正交的第二轴的第二间距, 第二间距大约是第一间距的两倍。在特定方案中, 第一材料 76 是氮化硅, 第二材料 14 是非氮化物材料 (例如, 二氧化硅), 因此, 本发明包括用一种或多种导电的栅极线材料取代至少一些氮化硅栅格, 并用掺杂的半导体材料取代栅格内的至少一些非氮化物区, 以形成垂直延伸的源极 / 漏极区。在本发明的其它方案中, 可以反转栅格 76 和间隔区 14 的组成, 从而图 66 的栅格是二氧化硅, 而间隔区 14 是非氧化物材料 (例如, 氮化硅)。在这些方案中, 可以用一种或多种导电的栅极线材料取代至少一些二氧化硅栅格, 并且可以用垂直延伸的源极 / 漏极区取代至少一些非氧化物区 14。

[0115] 在图 66-90 的本发明方案中, 在用栅极线材料取代栅格材料 76 之前, 用源极 / 漏

极材料取代图 66 的间隔区 14。但是,要理解,本发明包括在用源极 / 漏极材料取代区 14 之前,用一种或多种栅极线材料取代栅格的方案。

[0116] 接着参考图 91-93,在电介质材料 98 上形成电绝缘覆盖 (capping) 材料 100。覆盖材料 100 可以包括任何合适的电绝缘材料,并且在特定方案中,包括、基本上或完全由氮化硅构成。例如,这种氮化硅可以形成大约 $200\text{\AA}$ 的厚度。在图 91 中,用虚线图示出材料 72 和 88,以指示在所示图中,这些区在其它材料的下面。

[0117] 接着参考图 94-96,对材料 100 进行间隔区蚀刻,形成间隔区 102 和在间隔区之间延伸的开口 104。

[0118] 接着参考图 97-99,在材料 100 的间隔区 102 上、且在开口 104 内形成电绝缘材料 106。例如,材料 106 包括、基本上或完全由二氧化硅构成,并可以形成大约 $500\text{\AA}$ 的厚度。

[0119] 接着参考图 100-102,对构造 10 的上表面进行平面化处理,以从基座 88 的上表面上去除材料 106 和 98,从而使基座 88 的上表面外露。对材料 106 的平面化处理形成平面化表面 107。例如,平面化处理可以通过化学机械抛光来实现,并可以向下进行到衬底 12 的最上表面之上大约 $4300\text{\AA}$ 的高度水平。材料 106 和 98 可以彼此相同,在特定方案中,两者可以都是二氧化硅。

[0120] 接着参考图 103-105,在平面化表面 107 上形成电介质材料 110,并在电介质材料 110 上形成形成图案的掩膜材料 112。材料 110 可以包括任何合适的材料,在特定方案中,包括、基本上或完全由二氧化硅构成。如果材料 110 是二氧化硅,则这种材料可以形成例如大约 $200\text{\AA}$ 的示例厚度。例如,形成图案的掩膜材料 112 可以是光刻胶,并通过光刻处理,使其形成为所示图案。图 103 和 104 中示出了材料 112 形成多个水平延伸的条带 114,这些条带由间隙 116 彼此分隔。在图 103 的顶视图中,用虚线图示出基座 88,以指示这些基座上有其它材料。

[0121] 接着参考图 106-108,使间隙 116 延伸通过材料 110,并随后去除掩膜层 112(图 103-105)。在材料 110 包括二氧化硅的方案中,通过材料 110 的蚀刻可以包括去除至少大约 $300\text{\AA}$ 的二氧化硅的干法蚀刻。这种蚀刻使一组导电基座的上表面外露,而留下另一组导电基座被材料 110 覆盖。在图 106 的顶视图中,外露组和覆盖组以水平延伸的线彼此交替。外露的基座组最终与数字线相连,而覆盖组最终与记忆存储器件相连,这在以下论述中将更加清楚。

[0122] 在图 106 的顶视图中,在使间隙 116 延伸通过材料 110 之后所保留的材料 110 形成沿水平方面延伸的多根线 118。

[0123] 接着参考图 109-111,在间隙 116 内且在材料 110 的线 118 上形成第一导电数字线材料 120。导电数字线材料 120 与间隙 116 内外露的基座组接触,但是不与由材料 110 的线 118 保护的基座组接触。导电材料 120 可以包括任何合适的导电材料,在特定方案中,包括、基本上或完全由导电掺杂的硅构成。例如,材料 120 可以是形成厚度为大约 $500\text{\AA}$ 的导电掺杂的多晶硅。

[0124] 在第一导电数字线材料 120 上形成第二导电数字线材料 122。第二材料 122 可以包括任何合适的材料,在特定方案中,包括、基本上或完全由金属和 / 或金属化合物构成。例如,材料 122 材料可以包括、基本上或完全由钨构成。在示例应用中,材料 120 可以是形

成厚度为大约 500 Å 的钨。

[0125] 在第二导电层 122 上形成电绝缘覆盖材料 124。电绝缘覆盖材料可以包括任何合适的材料，在特定方案中是含氮化物材料。例如，覆盖材料 124 可以是形成厚度为大约 1000Å 的氮化硅。

[0126] 在覆盖材料 124 上形成形成图案的掩膜材料 126。例如，掩膜材料 126 可以是通过光刻处理而形成所示图案的光刻胶。掩膜 126 形成由间隙 130 彼此分隔的一系列线 128。掩膜 126 限定数字线图案。图 109 的顶视图中示出了线 126 和间隙 130 沿水平伸长的方向延伸。在图 109 中，用虚线图示出基座 88，以指示这些基座在其它材料下面。

[0127] 接着参考图 112-114，通过层 120、122 和 124，从形成图案的掩膜层 126（图 109-111）转印图案，随后去除掩膜层 126。通过层 120、122 和 124 的图案转印使间隙 130 延伸通过这些层，并使层 120、122 和 124 形成与水平延伸的数字线堆叠（stack）132 相对应的形成图案的堆叠。

[0128] 可以使用任何合适的蚀刻或蚀刻组合，使材料 120、122 和 124 形成图案。例如，材料 124 可以是氮化硅，并可以使用干法蚀刻使其形成图案；材料 122 可以是钨，并可以使用干法蚀刻使其形成图案；材料 120 可以是多晶硅，并可以使用干法蚀刻使其形成图案。

[0129] 导电数字材料 120 与第一基座组 88 接触，第二基座组在开口 130 内外露。在图 112 中，用虚线图示出第一基座组，以指示在所示图中，这个组被其它材料覆盖。

[0130] 接着参考图 115-117，沿堆叠 132 形成绝缘材料间隔区 134。间隔区 134 可以包括、基本上或完全由氮化硅构成，并可以通过沉积厚度大约 200Å 的氮化硅层、随后对该层进行各向异性的间隔区蚀刻而形成。间隔区 134 使堆叠 132 之间的开口 130 变窄。

[0131] 在开口 130 内且在堆叠 132 上形成电绝缘材料 136。例如，电绝缘材料 136 可以包括、基本上或完全由二氧化硅构成。在特定方案中，材料 136 是形成厚度大约为 3000Å 的二氧化硅。可选地，材料 136 可以是形成厚度大约为 3000Å 的掺杂硼磷的硅玻璃（BPSG）。材料 136 具有平面化的上表面 137，例如，可以通过在材料 136 的表面上进行化学机械抛光处理，形成上表面 137。在特定方案中，对材料 136 进行化学机械抛光处理，使得从开口 130 的底部到材料 136 的最上表面、材料 136 的剩余厚度大约为 7000Å。

[0132] 在材料 136 上形成形成图案的掩膜材料 138。材料 138 可以是通过光刻处理而形成所示图案的光刻胶。形成图案的掩膜 138 形成由间隙 142 彼此分隔的一系列线 140。在图 115 的顶视图中，线和间隙沿水平方向延伸。在顶视图 115 中示意性地示出了基座 88，以提供线 140 的位置的参考。

[0133] 接着参考图 118-120，使间隙 142 延伸通过材料 136，以使未被数字线堆叠 132 覆盖的基座组外露，随后去除形成图案的掩膜 138（图 115-117）。

[0134] 优选地，相对于间隔区 134 的材料，用于延伸通过材料 136 的蚀刻对于材料 136 是选择性的。因此，在去除材料 136 期间，间隔区保护导电数字线材料 120 和 122 不会外露。在特定方案中，材料 136 可以是二氧化硅，间隔区 134 可以是氮化硅，并且用于去除材料 136 的蚀刻可以是去除大约 4000Å 的二氧化硅的干法蚀刻。

[0135] 接着参考图 121-123，在间隙 142 内形成导电材料 146。导电材料 146 可以包括任何合适的材料。在特定方案中，导电材料包括、基本上或完全由导电掺杂的硅构成。例如，

材料 146 可以是形成厚度大约为 500Å 的导电掺杂的多晶硅。材料 146 典型地可以形成在材料 136 上, 然后对其进行平面化处理, 以形成在材料 136 和 146 上延伸的所示平面化的上表面 147。

[0136] 示意性示出了多个记忆存储器件 145、148、150 和 152 是与导电材料 146 电气相连的。例如, 记忆存储器件可以包括电容器, 并通过由材料 146 限定的导电基座, 与合并在基座 88 内的下覆 (underlying) 源极 / 漏极区电气相连。

[0137] 图 121 的顶视图示出了基座 146 和数字线堆叠 132 形成交替的水平伸长的行。虽然图 121 中未示出, 但是要理解, 沿导电基座 146 的水平延伸行, 典型地设置隔离区, 从而沿该行的每个源极 / 漏极区 88 将电气连接到单个记忆存储单元, 该单个记忆存储单元与沿相同行的其它源极 / 漏极区所连接到的记忆存储单元电气分离。因此, 行内的每个源极 / 漏极区可以用来存储单个比特的信息。

[0138] 将与导电基座材料 146 电气相连的源极 / 漏极区同与数字线 132 电气相连的源极 / 漏极区配对, 以限定各个晶体管。在图 121 中, 用括号 160 和 162 示意性地示出这种配对, 括号 160 和 162 示出了可以在各个晶体管内配对的示例源极 / 漏极区。栅极线材料 94 限定了将配对的源极 / 漏极区彼此门控地相连的晶体管的栅极。参考图 124-126, 描述可以在本发明的示例方案中使用的特定晶体管构造。

[0139] 参考图 124, 根据本发明的示例方案, 在图 82-84 的处理阶段或该阶段之后, 以横截面图示出了构造 10 的局部。参考图 124 的构造, 在适当的地方, 将使用与以上在图 1-123 的描述中一样的编号。因此, 示出了图 124 的构造包括上述的衬底 12、栅极线材料 94 和栅极电介质材料 92。图 124 的构造还包括基座 200 和 202 对, 这是上述基座 88 的特定方案。基座 200 和 202 在晶体管构造内配对, 因此可以对应于与沿横截面图 83 的基座对, 例如上述参考图 83 的配对基座。图 124 中的基座和栅极线材料与上述这种应用中的基座和栅极线材料的不同之处在于, 图 124 的基座处于衬底 12 上的、与栅极线材料大约相同的立面高度, 而在参考图 1-123 所述的本发明方案中, 情况并非如此。图 124 和图 1-123 的栅极线 / 基座关系可以互换地用于这里所述的本发明的多种方案中。

[0140] 图 124 构造的基座 88 之一可以最终成为用来与数字线电气相连的源极 / 漏极区, 而另一个可以最终成为用来与记忆存储器件电气相连的源极 / 漏极区。为将基座彼此区别开来, 基座之一标记为 200, 而另一个标记为 202。在示例方案中, 基座 200 将用于与数字线相连, 而基座 202 将用于与存储器件相连, 但是要理解, 可以相反地使用基座。基座 200 与 202 之间的栅极线材料 94 最终用作晶体管器件的晶体管栅极, 这种晶体管栅极将与基座 202 相关联的源极 / 漏极区和与基座 200 相关联的源极 / 漏极区门控地连接。

[0141] 基座 200 和 202 的每一个在基座最上部分中具有重度掺杂的源极 / 漏极区, 基座 200 的重度掺杂区标记为 204, 基座 202 的重度掺杂区标记为 206。在本发明的所示示例方案中, 两个重度掺杂区都掺杂为 n 型掺杂区。这些区被示为 n+ 区, 以指示这些区相对于图 124 构造的其它区是重度掺杂的。

[0142] 基座 202 包括从重度掺杂区 206 延伸到衬底 12 的上表面的轻度掺杂区, 这种轻度掺杂区指示为 n-。衬底 12 在其中包括扩散区 210, 基座 88 的轻度掺杂部分被示出为与扩散区 210 电气相连。在所示的本发明方案中, 将扩散区 210 掺杂为 n- 水平。

[0143] 基座 200 包括从重度掺杂区 204 延伸到衬底 12 的上表面的中度掺杂区。该中度

掺杂区被示出为 p 型区,标记为“p”。这种标记指示该区掺杂得比 p- 或 n- 区更重,但比 n+ 或 p+ 区更轻。

[0144] 衬底 12 包括基座 200 下面的导电掺杂的扩散区 212,基座 200 的中度掺杂区被示出为与导电掺杂区 212 电气相连。在所示的本发明方案中,导电掺杂区 212 被示出为是用 p 型杂质轻度掺杂的,因此示出为 p- 区。

[0145] 衬底 12 具有使扩散区 210 和 212 互连的 p-- 区。

[0146] 棚极线 94 的晶体管棚极通过导电掺杂的基座 200 和 202、通过导电掺杂区 210 和 212、以及通过衬底 12 的 p-- 区,将重度掺杂的源极 / 漏极区 204 与重度掺杂的源极 / 漏极区 206 门控地连接。晶体管器件的沟道长度是从源极 / 漏极区 204 延伸到源极 / 漏极区 206 的长度。通过调整沿沟道长度的杂质浓度和类型,可以影响该器件的沟道特征。此外,该器件的特征可以受到用于基座 200 和 202 的材料类型的影响。例如,如果外延材料用于基座,则这种材料比起其它半导体材料更加易于泄漏。在一些方案中,有利的是使与数字线相关联的源极 / 漏极区相对更加泄漏,而与记忆存储器件相关联的源极 / 漏极区更少地泄漏。在这些方案中,有利的是使与数字线源极 / 漏极区相关联的基座形成为包括、基本上或完全由导电掺杂的外延半导体材料(例如,外延硅)构成,而与记忆存储器件的源极 / 漏极区相关联的基座包括、基本上或完全由导电掺杂的非外延半导体材料构成,例如,导电掺杂的非外延硅。如果非外延半导体材料是硅,则可以是诸如非晶硅或多晶硅等形式。如上所示,在特定方案中,基座 200 将与数字线相关联,而基座 202 将与记忆存储器件相关联。

[0147] 参考图 125 描述本发明的另一方案。参考图 125,将使用与以上描述图 124 所用相同的编号。图 125 示出了构造 10 包括棚极线材料 94、基座 200 和 202 对、衬底 12 和棚极电介质材料 92。基座 200 和 202 包括重度掺杂的源极 / 漏极区 204 和 206,但是与图 124 中所述的基座的不同之处在于,图 125 的基座彼此相同,都包括在重度掺杂区 204 和 206 与衬底 12 之间延伸的轻度掺杂(示出为 p-) 区。衬底 12 包括使基座 200 和 202 互连的 p-- 掺杂。如上参考图 124 所述,两种基座可以包括彼此相同的组成,或者可选地,基座之一可以是外延式的,而另一种不是。

[0148] 图 126 示出了本发明另一方案。在参考图 126 中将使用与以上描述图 124 和 125 所用相同的编号。图 126 包括上述棚极线材料 94、棚极电介质材料 92、衬底 12、基座 200 和 202、以及重度掺杂的源极 / 漏极区 204 和 206。图 126 的构造与图 124 和 125 在几个方面不同。首先,图 126 的构造包括紧接基座 202 的间隔区 216 和 218。这种间隔区可以使基座 202 变得比基座 200 更窄(即,相对于基座 200 的水平横截面宽度,减小基座 202 的水平横截面宽度)。可以用本领域普通技术人员将理解的方法,在以上参考图 1-123 所述的步骤之外的附加步骤中,设置间隔区 216。例如,间隔区 216 和 218 可以包括氮化硅。与基座 202 相邻而不与基座 200 相邻的间隔区 216 和 218 的使用可以使基座 202 和 200 的电气特征特别地适用于要使用这些基座的特定应用,这在本发明的一些方案中是有利的。除了通过单独控制基座内的掺杂而获得的控制之外,控制基座宽度还可以允许附加控制。虽然示出了基座具有彼此不同的宽度,但是要理解,也可以在基座 200 相邻处形成与 216 和 218 类似的间隔区,从而也使基座 200 变窄。

[0149] 示出了衬底 12 包括参考图 124 所述的导电掺杂的扩散区 210 和 212,示出了基座 200 和 202 包括与参考图 124 所述的相同类型的掺杂。但是要理解,使用与基座之一相邻的

间隔区的本发明方案可以使用任何合适的基座和衬底的掺杂,图 126 的方案仅是本发明多种方案之一。

[0150] 图 124-126 示出了本发明的示例方案,要理解,本发明还包括这些方案的多种修改。例如,相对于所示方案,可以反转图中所示的掺杂类型。因此,可以将所有的 n 型区转换为相反导电型(即,p 型)的区,类似地,p 型区可以转换为相反导电型(即,n 型)的区。

[0151] 本发明方法可以用于多种应用。例如,本发明可以用于形成两个垂直晶体管、一个电容器的 4F<sup>2</sup>DRAM 单元。在特定方案中,可以认为本发明包括垂直 DRAM 单元技术。一个晶体管用来将单元连接到衬底,另一晶体管将数字线连接到衬底。自对准的横向晶体管将垂直源极 / 漏极区基座彼此连接。单元可以具有低数字电容和低字线电阻,并可以具有对抗垂直轴问题的冗余。

[0152] 在所示的本发明方案中,虽然示出了栅极线在源极 / 漏极区的整个周围延伸,但是要理解,本发明包括栅极未在源极 / 漏极区的整个周围延伸的其它方案(未示出)。例如,栅极线可以围绕源极 / 漏极区的四分之一、一半或四分之三等而延伸。

[0153] 本领域普通技术人员将理解,图 1-123 的方法有利地使多种特征彼此相对地自对准。

[0154] 图 127 示例性但非限制性地大体上示出了根据本发明方案的计算机系统 400 的实施例。计算机系统 400 包括监视器 410 或其它通信输出设备、键盘 402 或其它通信输入设备、以及母板 404。母板 404 可以承载微处理器 406 或其它数据处理单元、以及至少一个存储器件 408。存储器件 408 可以包括上述本发明的多种方案。存储器件 408 可以包括存储单元阵列,该阵列可以与用于存取阵列中的各个存储单元的寻址电路相耦合。此外,存储单元阵列可以与用于从存储单元读取数据的读电路相耦合。寻址和读电路可以用于在存储器件 408 与处理器 406 之间传递信息。这显示在图 128 所示的母板 404 的方框图中。在该方框图中,寻址电路示为 410,读电路示为 412。其中包括处理器 406 的计算机系统 400 的多种组件可以包括以上在本公开中所述的一种或多种构造。

[0155] 处理器器件 406 可以与处理器模块相对应,并且与模块一起使用的相关存储器可以包括本发明的教导。

[0156] 存储器件 408 可以与存储模块相对应。例如,单列存储模组(SIMM)和双列存储模组(DIMM)可用在使用本发明教导的实现方式中。存储器件可以合并到提供从器件的存储单元读取或向其写入的不同方法的多种设计的任何一种中。一种这样的方法是页面模式操作。DRAM 中的页面模式操作定义为存取存储单元阵列的一行,并随机存取该阵列的不同列的方法。当存取列时,可以读取并输出在行与列交叉处存储的数据。

[0157] 可选类型的器件是扩展数据输出(EDO)存储器,允许在关闭所寻址的列之后,在存储阵列地址处存储的数据可以用作输出。这种存储器通过允许更短的存取信号,可以提高一些通信速度,而不减少存储器输出数据在存储总线上可用的时间。其它可选类型的器件包括 SDRAM、DDR SDRAM、SLDRAM、VRAM 和 Direct RDRAM,以及其它诸如 SRAM 和闪存之类的器件。

[0158] 存储器件 408 可以包括根据本发明的一种或多种方案而形成的存储器。

[0159] 图 129 示出了本发明示例电子系统 700 的多种实施例的高级组织的简化方框图。例如,系统 700 可以与计算机系统、过程控制系统或采用处理器和关联存储器的任何其它

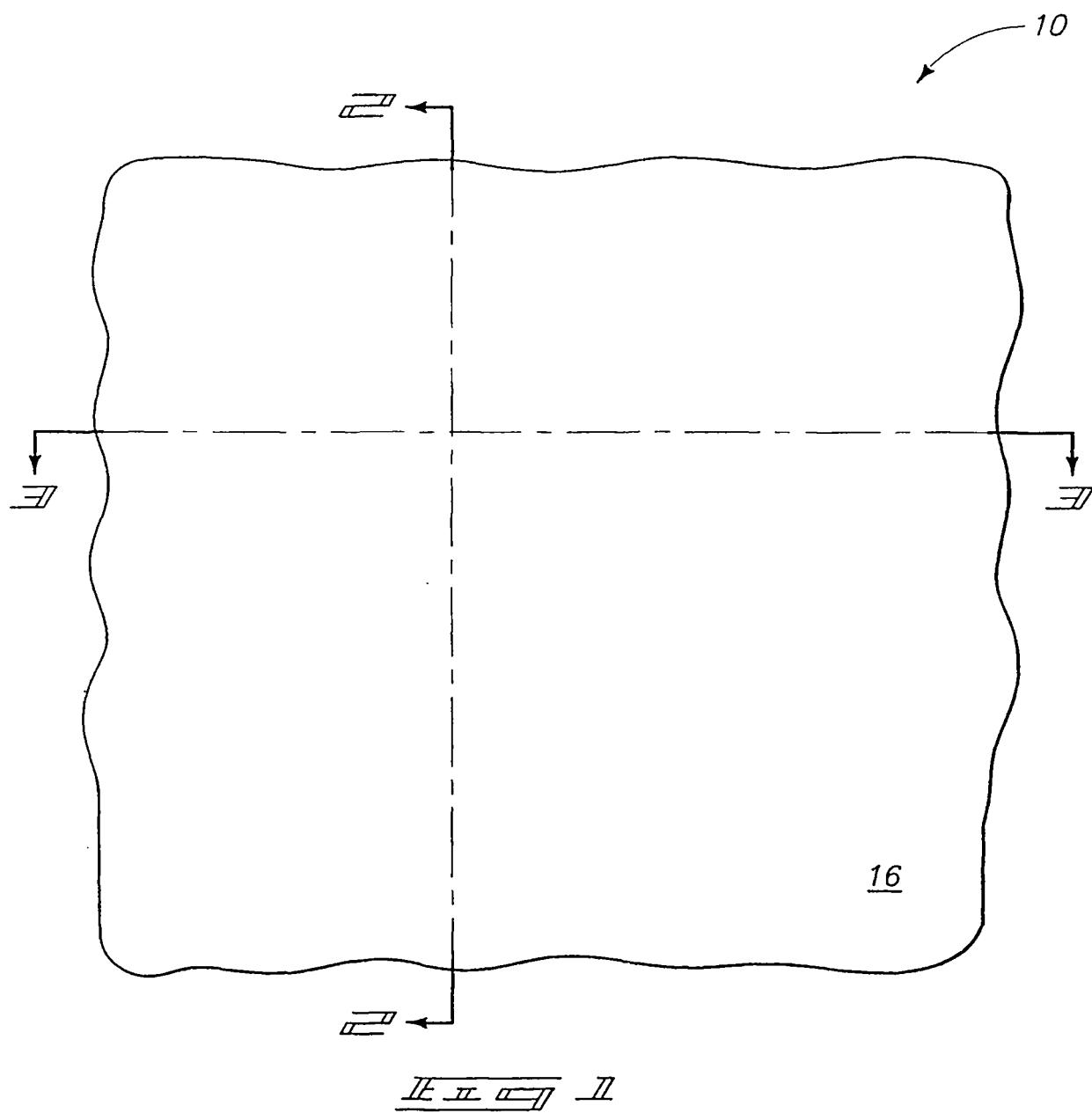
系统相对应。电子系统 700 具有功能元件,包括处理器或算术 / 逻辑单元 (ALU) 702、控制单元 704、存储器件单元 706 和输入 / 输出 (I/O) 设备 708。一般而言,电子系统 700 将具有固有指令集,该指令集规定了要由处理器 702 对数据执行的操作、以及处理器 702、存储器件单元 706 和 I/O 设备 708 之间的其它交互操作。控制单元 704 通过连续循环从存储器件 706 中获取并执行指令的操作集,协调处理器 702、存储器件单元 706 和 I/O 设备 708 的所有操作。在多种实施例中,存储器件 706 包括但不限于随机存取存储 (RAM) 器件、只读存储 (ROM) 器件和诸如软盘驱动器和光盘 CD-ROM 驱动器之类的外围设备。本领域普通技术人员在阅读和理解本公开时,将理解所示电气组件的任何一种都能够制造为包括根据本发明的多种方案的存储器构造。

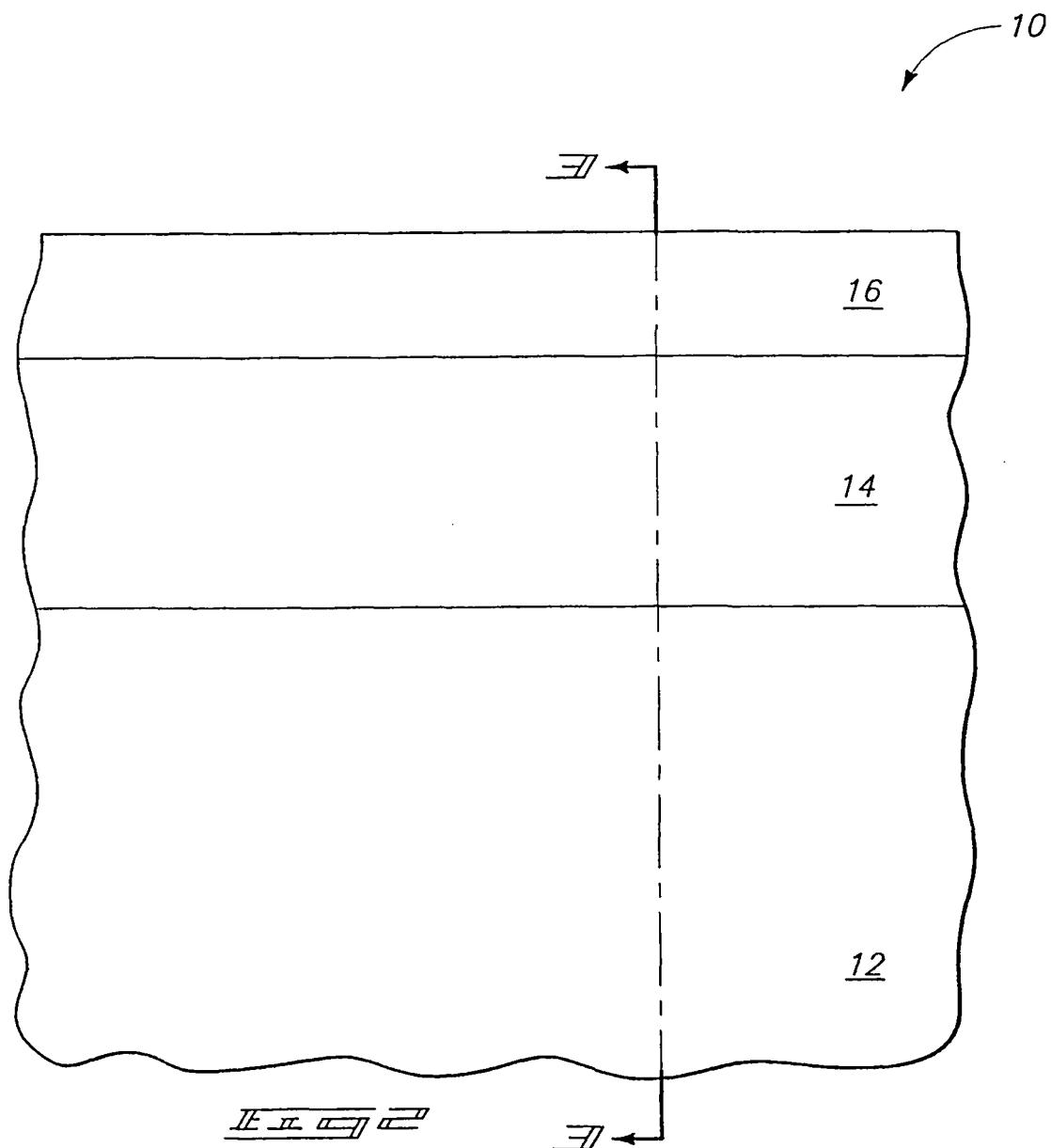
[0160] 图 130 是示例电子系统 800 的多种实施例的高级组织的简化方框图。系统 800 包括存储器件 802,存储器件 802 具有存储单元阵列 804、地址解码器 806、行存取电路 808、列存取电路 810、用于控制操作的读 / 写控制电路 812、以及输入 / 输出电路 814。存储器件 802 还包括电源电路 816 和传感器 820,例如,传感器 820 可以是电流传感器,用于确定存储单元是在低阈值导通状态,还是在高阈值非导通状态。所示电源电路 816 包括供电电路 880、用于提供参考电压的电路 882、用于向第一字线提供脉冲的电路 884、用于向第二字线提供脉冲的电路 886 和用于向位线提供脉冲的电路 888。系统 800 还包括处理器 822 或用于存取存储器的存储器控制器。

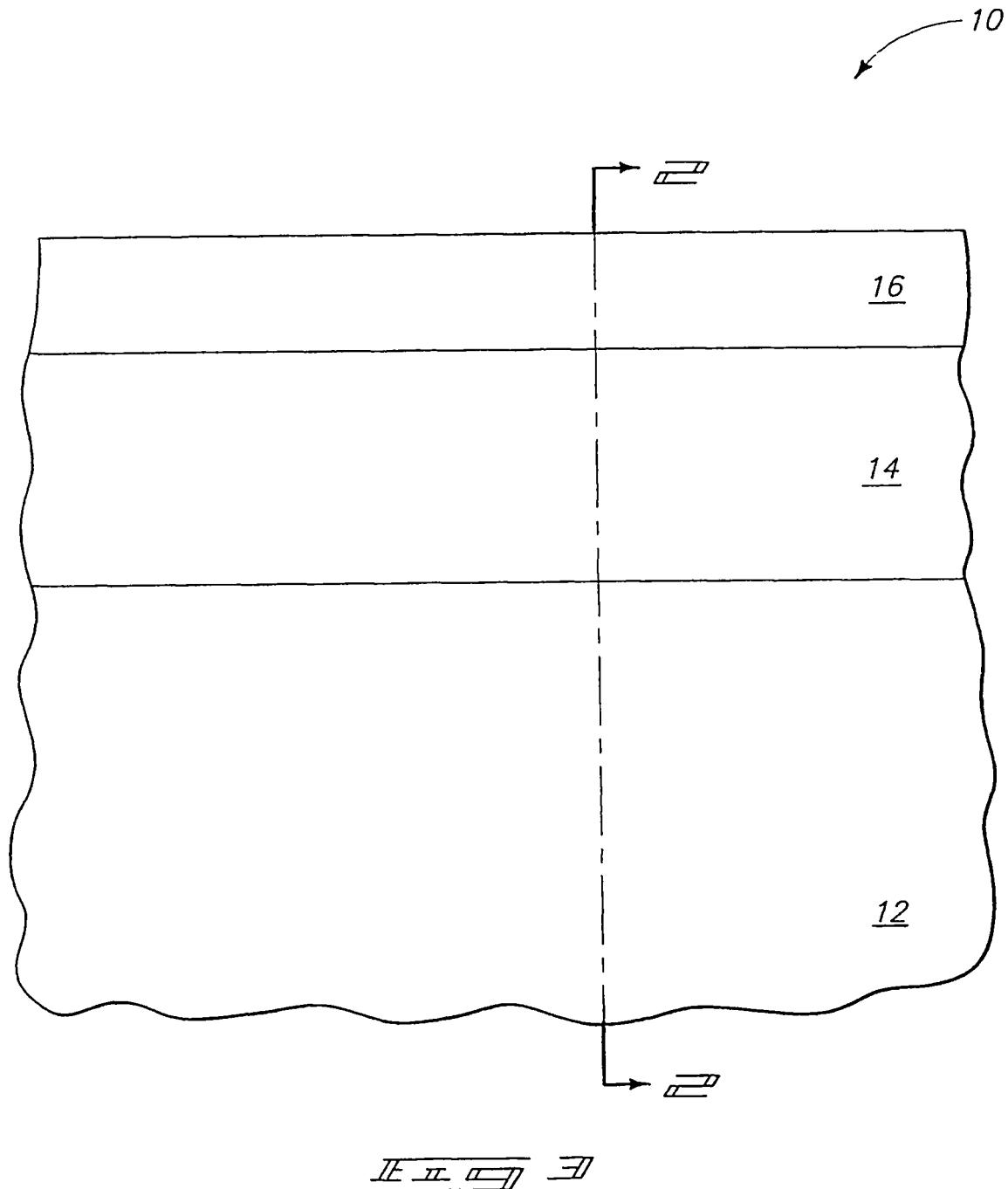
[0161] 存储器件 802 通过配线或金属化 (metallization) 线,从处理器 822 接收控制信号 824。存储器件 802 用于存储通过 I/O 线存取的数据。本领域技术人员将理解,可以设置其它电路和控制信号,并且存储器件 802 是简化的,以有助于关注本发明。处理器 822 或存储器件 802 的至少一个可以包括本公开中的上述类型的存储器构造。

[0162] 本公开的多种所示系统用于提供对本发明电路和结构的多种应用的理解,而不是用作对使用根据本发明方案的存储单元的电子系统的所有元件和特征的完全描述。本领域普通技术人员将理解,多种电子系统可以制造为单个封装的处理单元,或者甚至在单个半导体芯片上,以减少处理器与存储器件之间的通信时间。

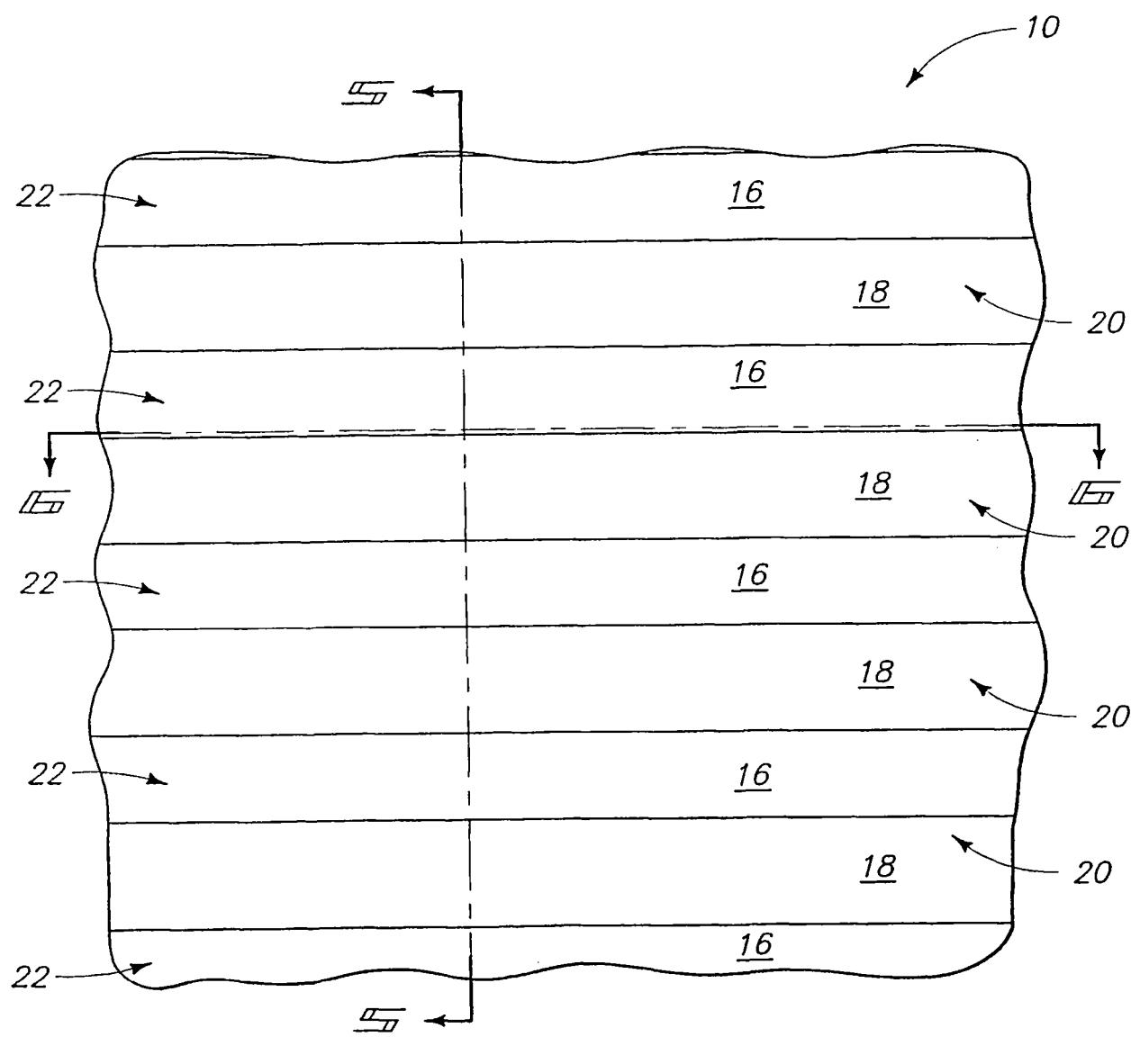
[0163] 存储单元的应用可以包括用于存储器模块、设备驱动器、功率模块、通信调制解调器、处理器模块和专用模块的电子系统,并可以包括多层、多芯片模块。这种电路还可以是时钟、电视、手机、个人计算机、汽车、工业控制系统、飞机和其它等多种电子系统的子组件。

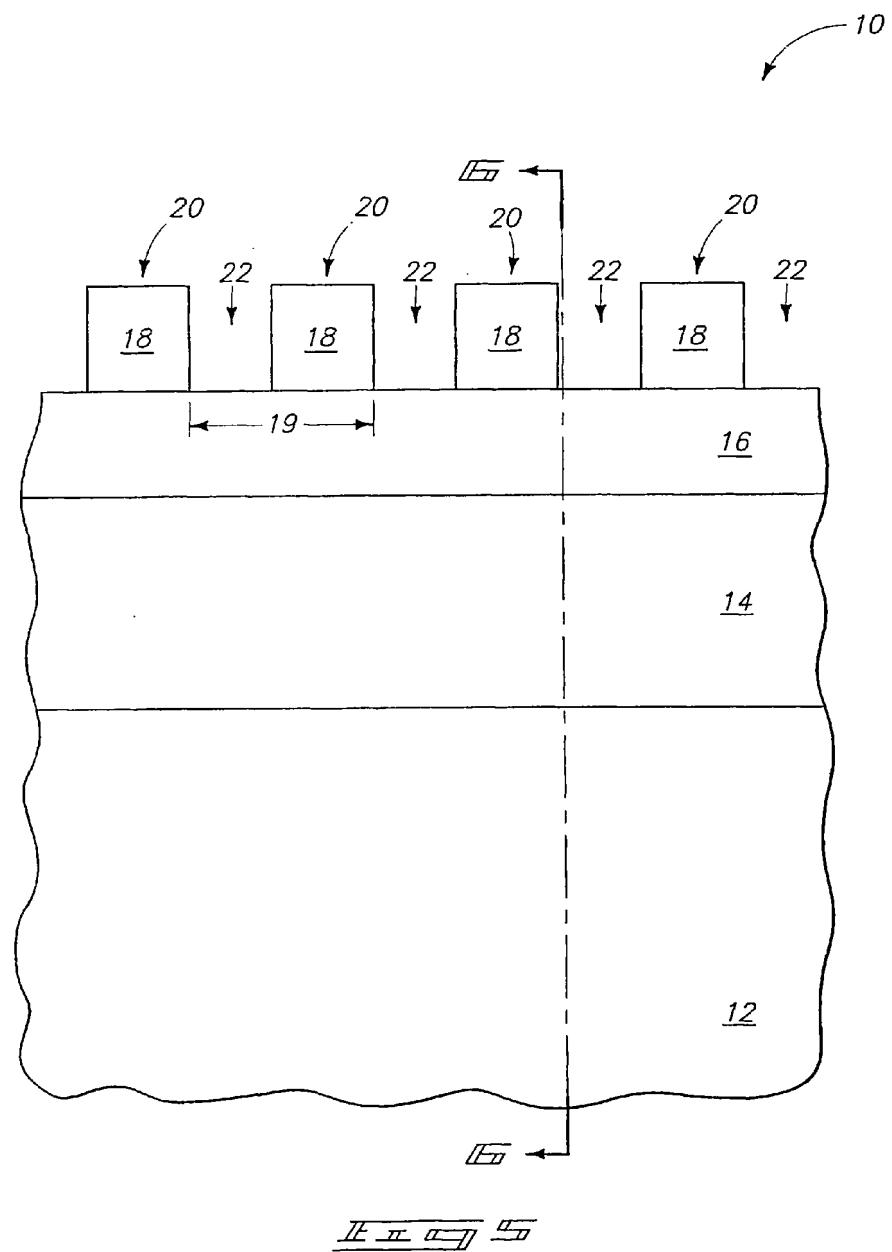


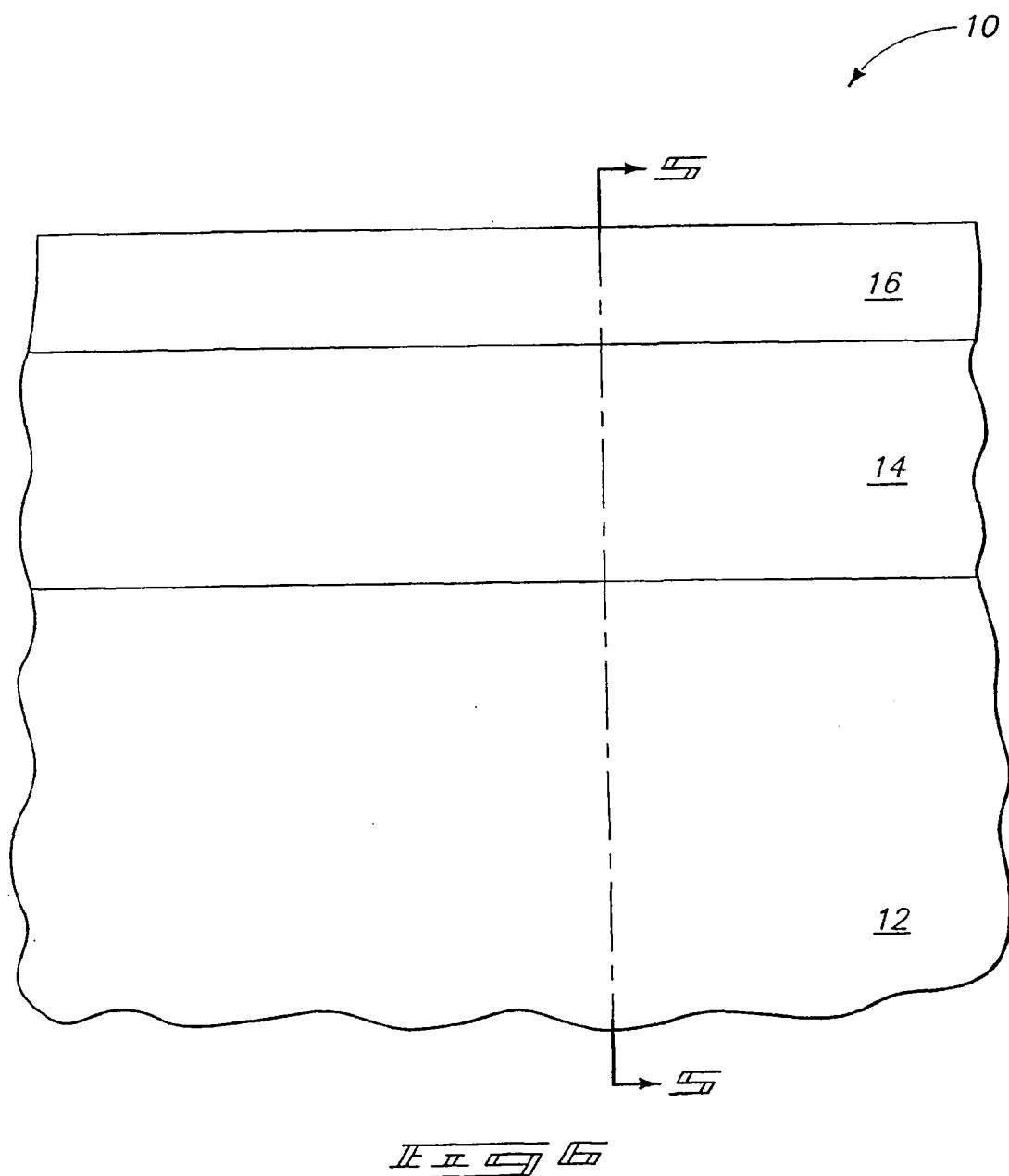


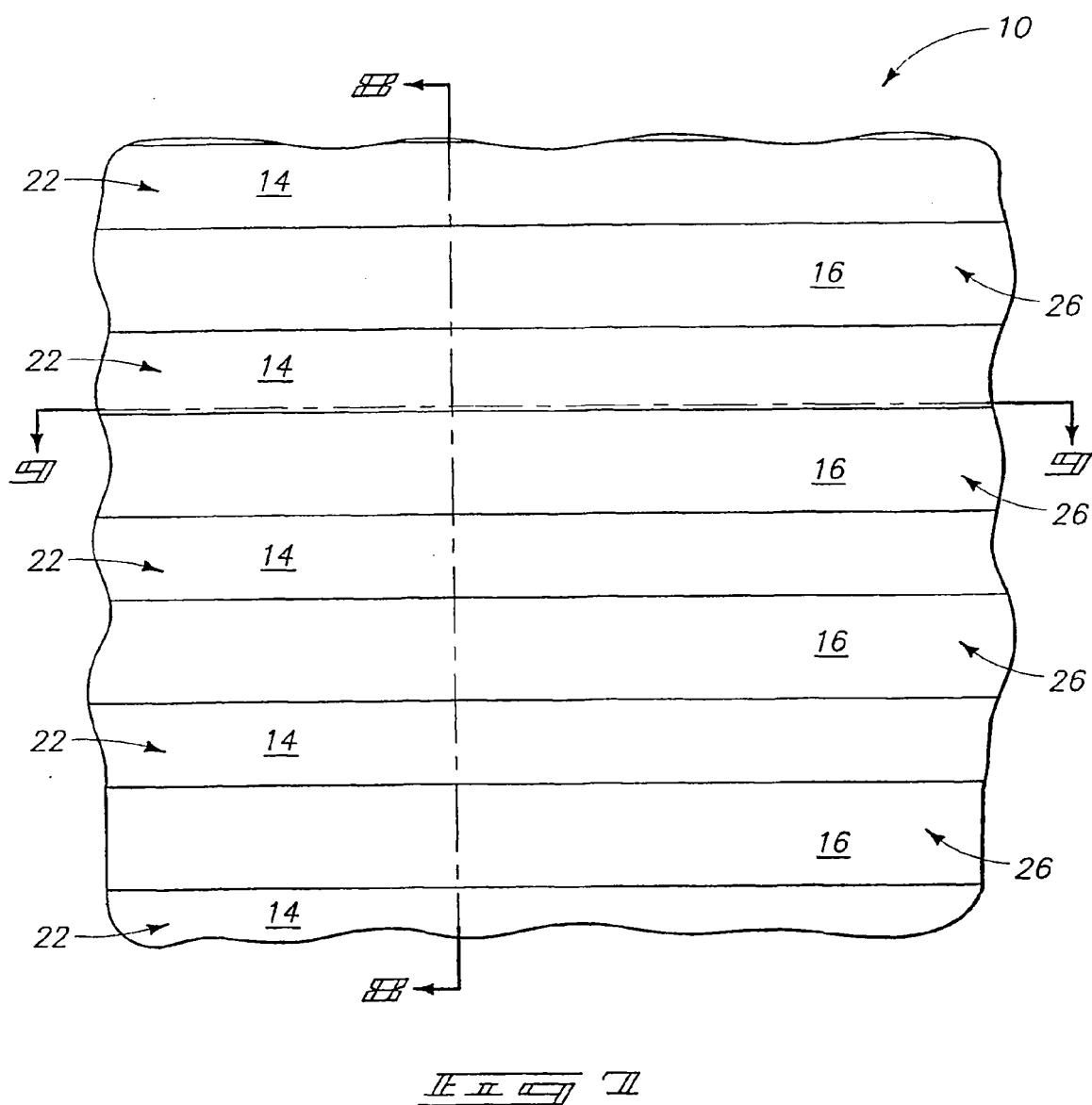


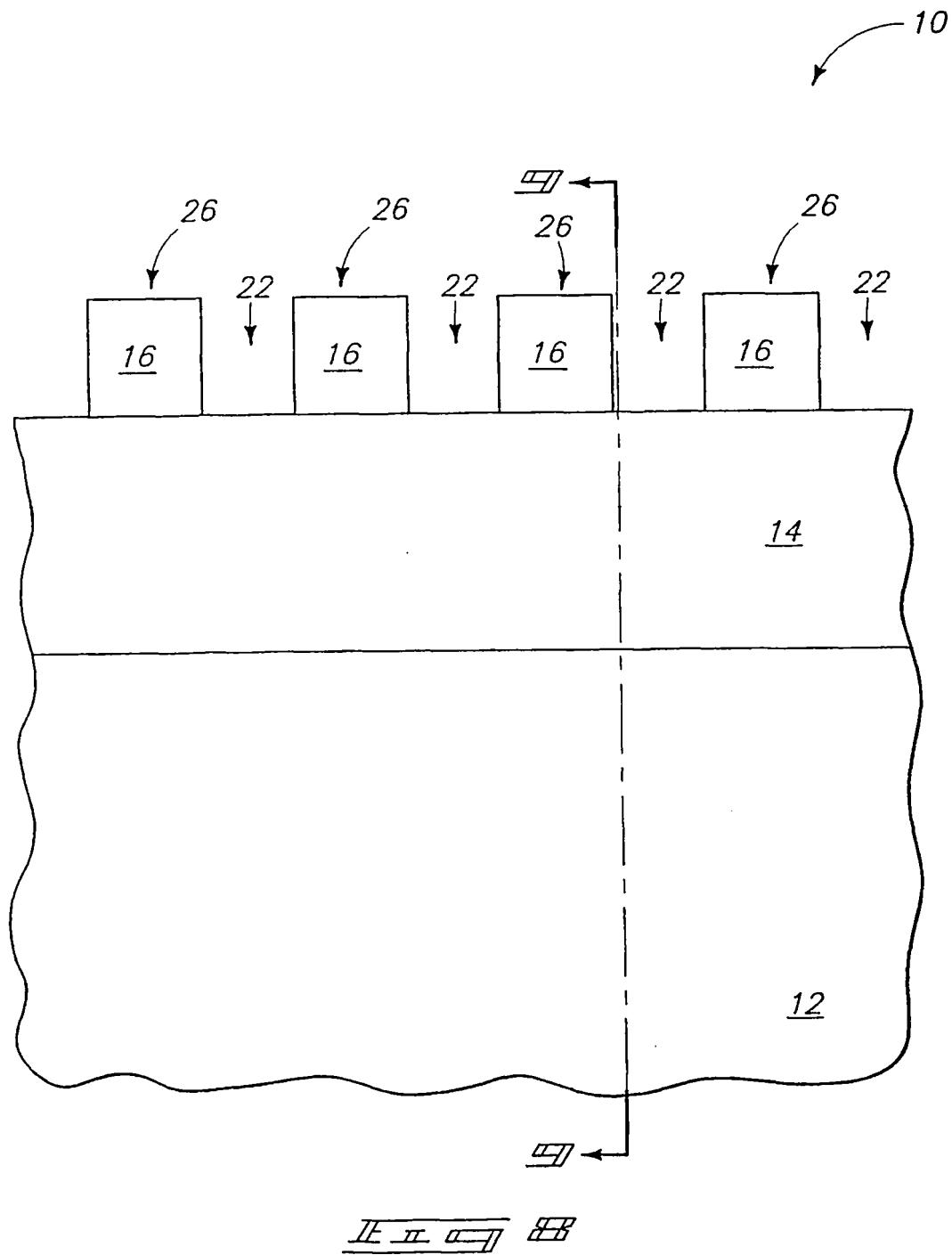
正 反 面 图

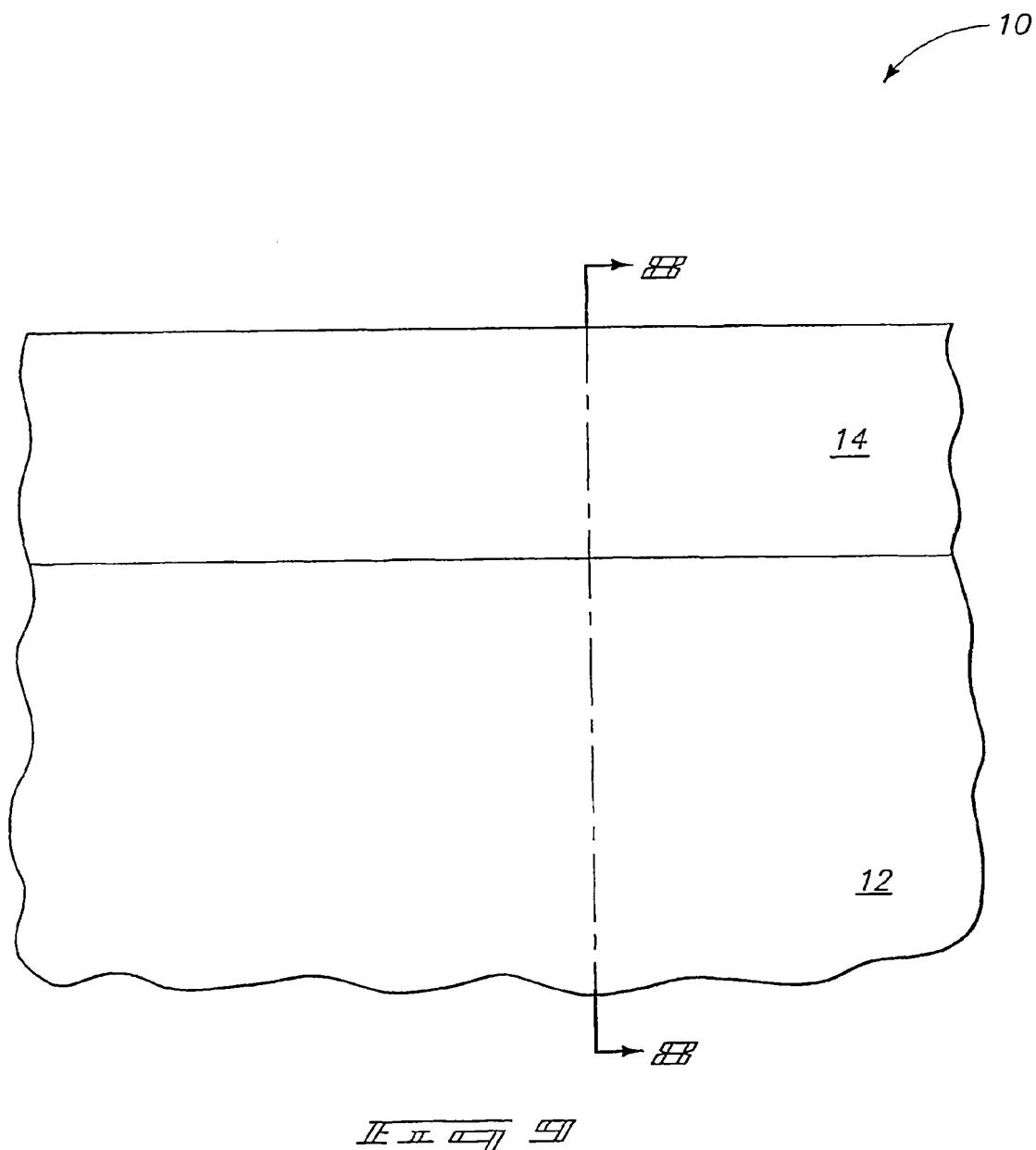




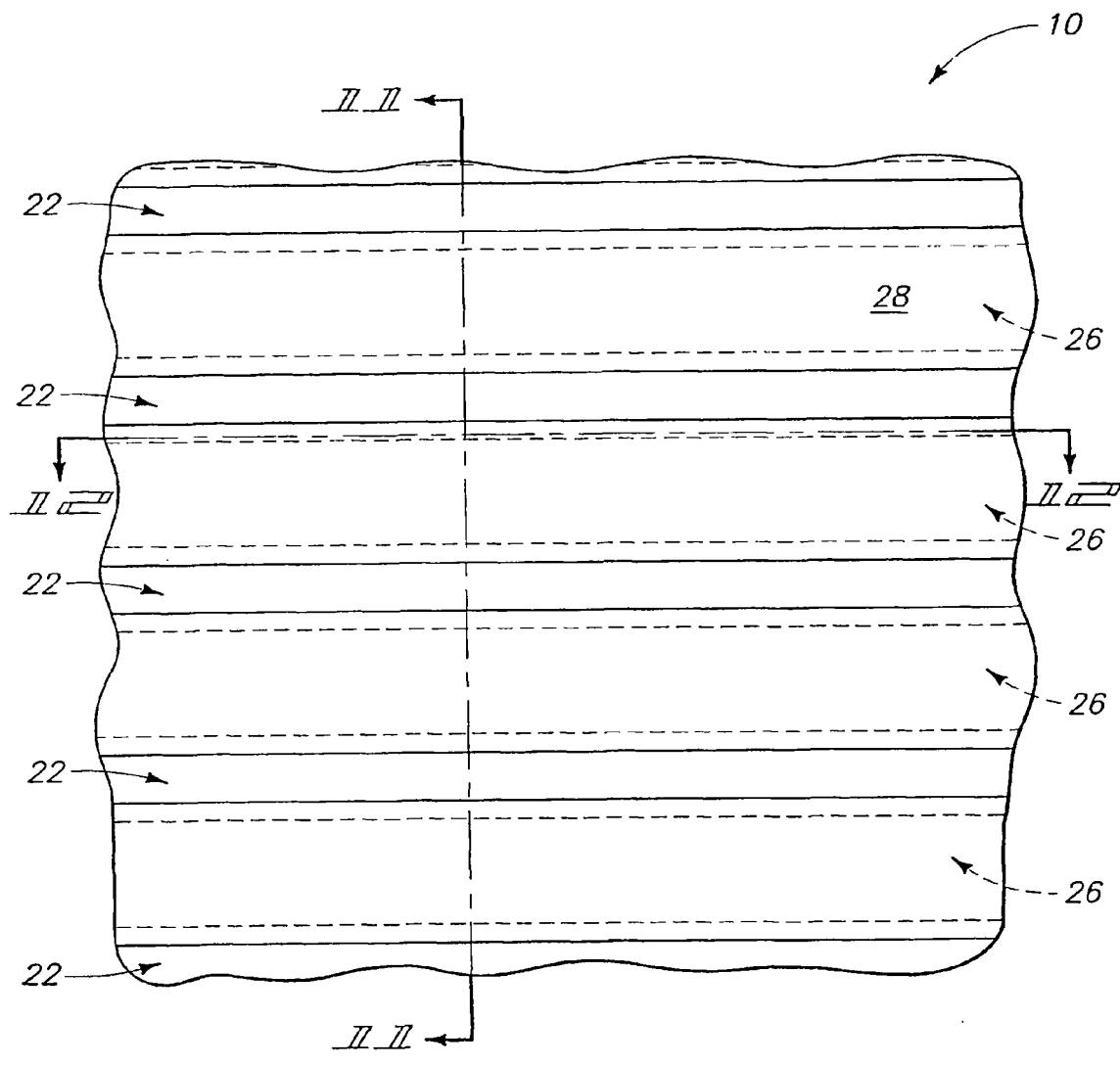




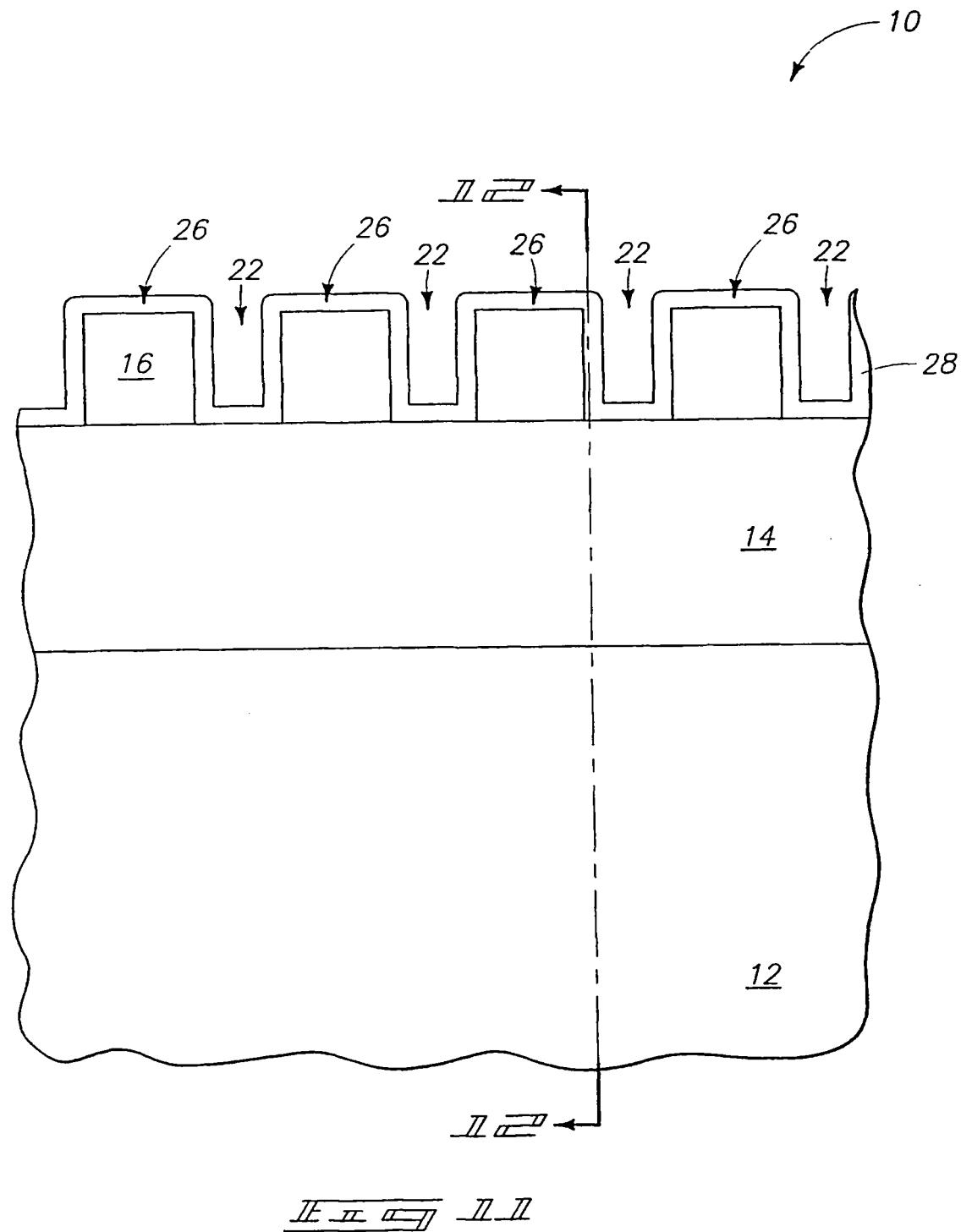


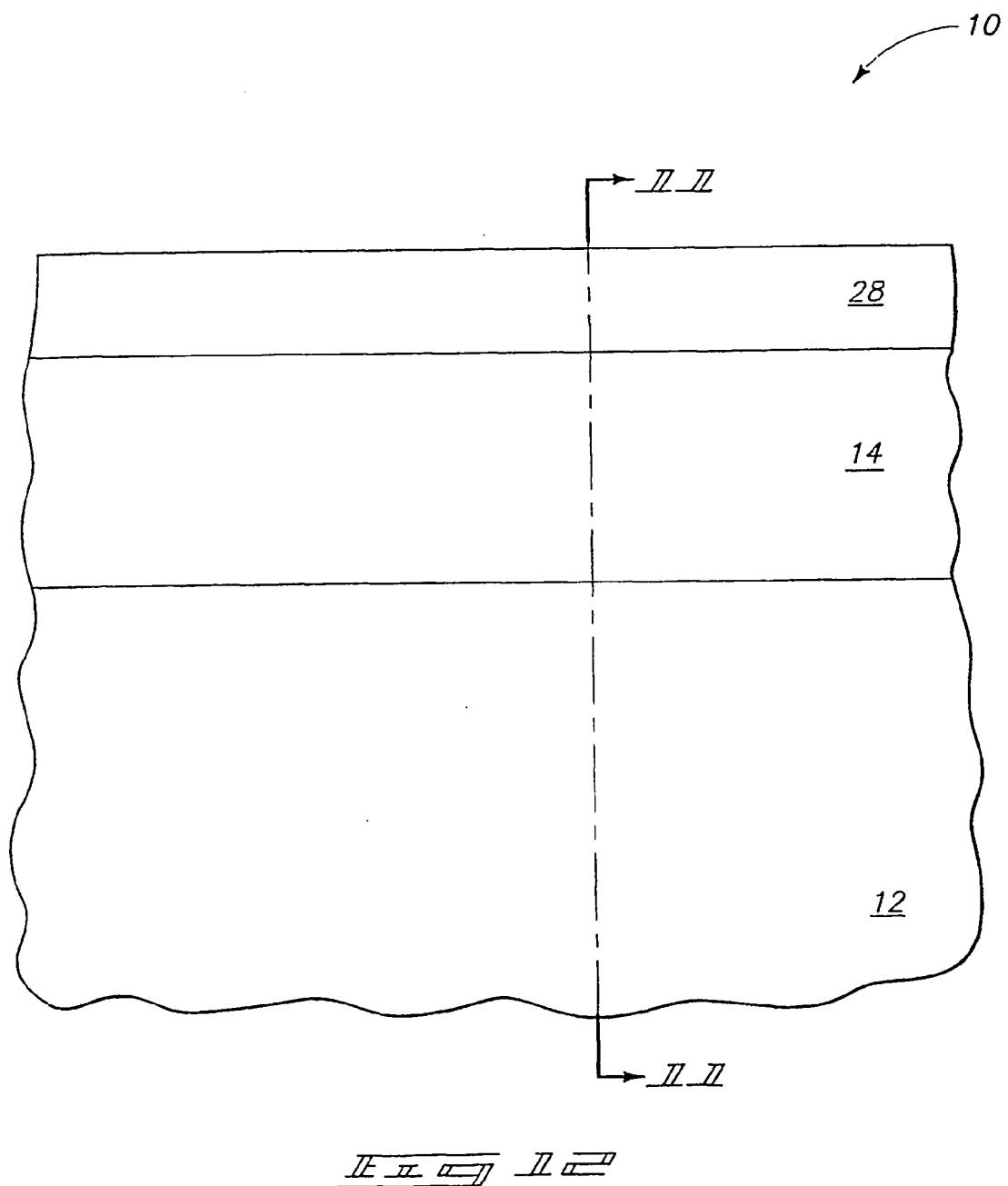


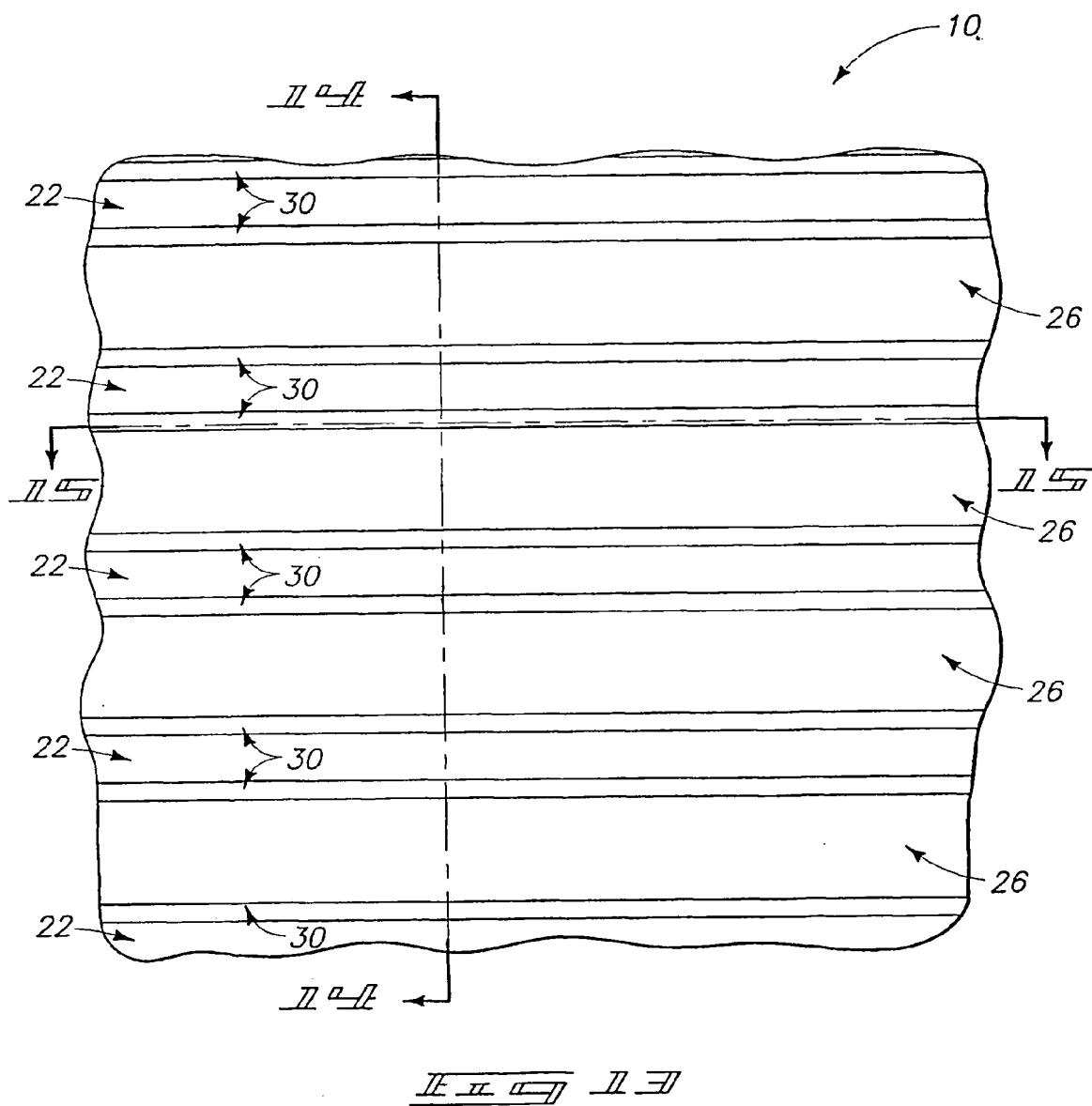
正立 侧

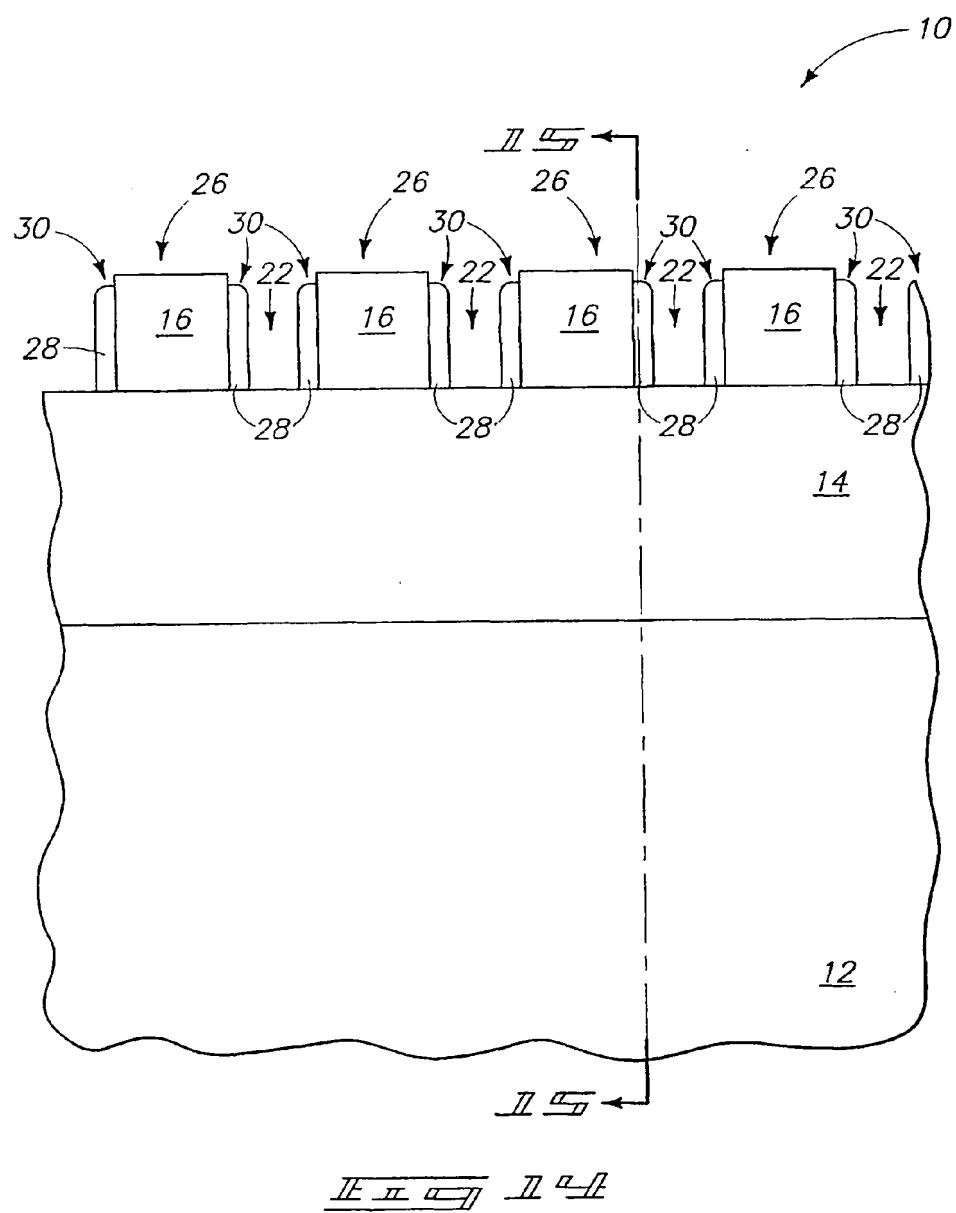


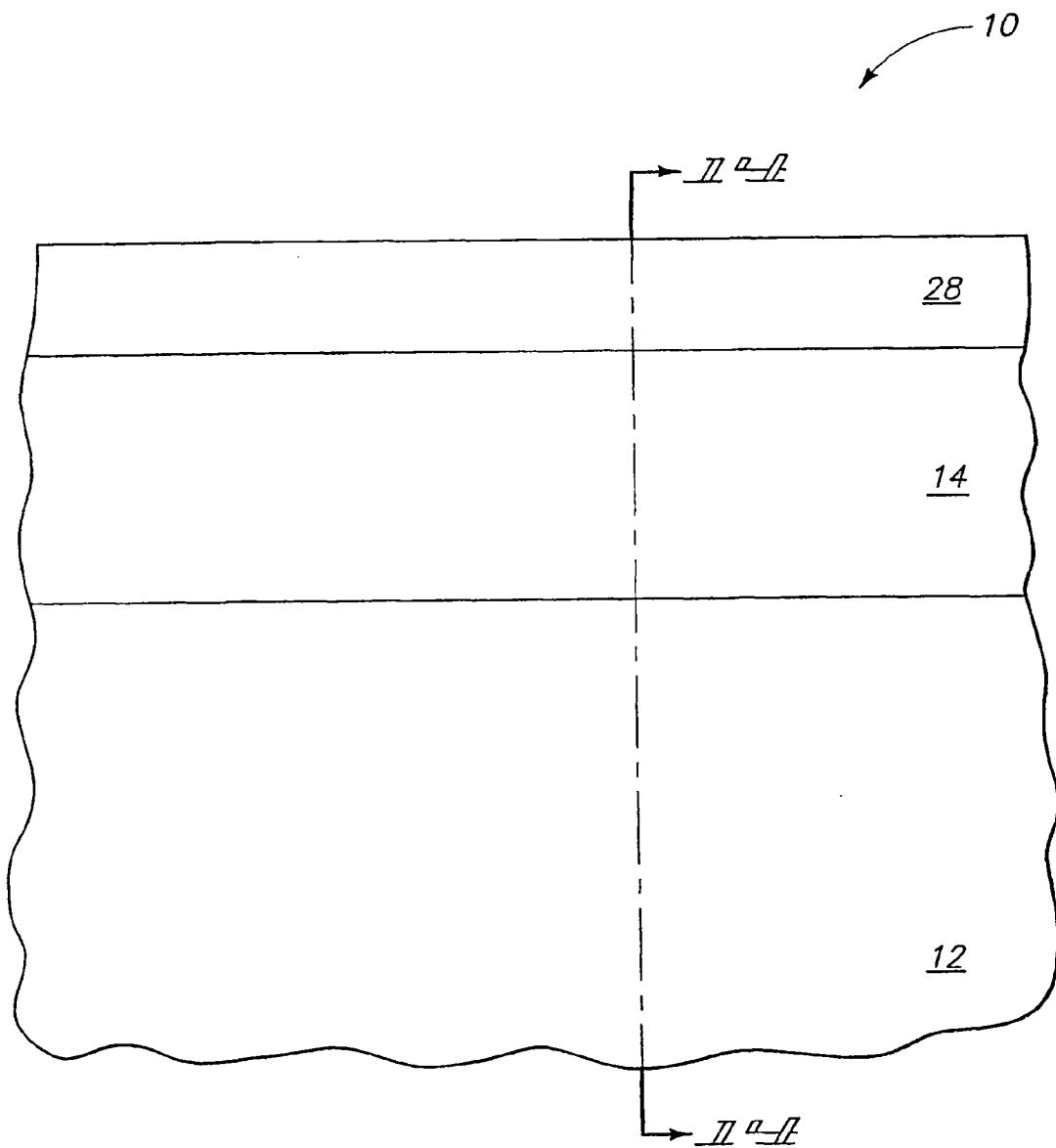
II II III



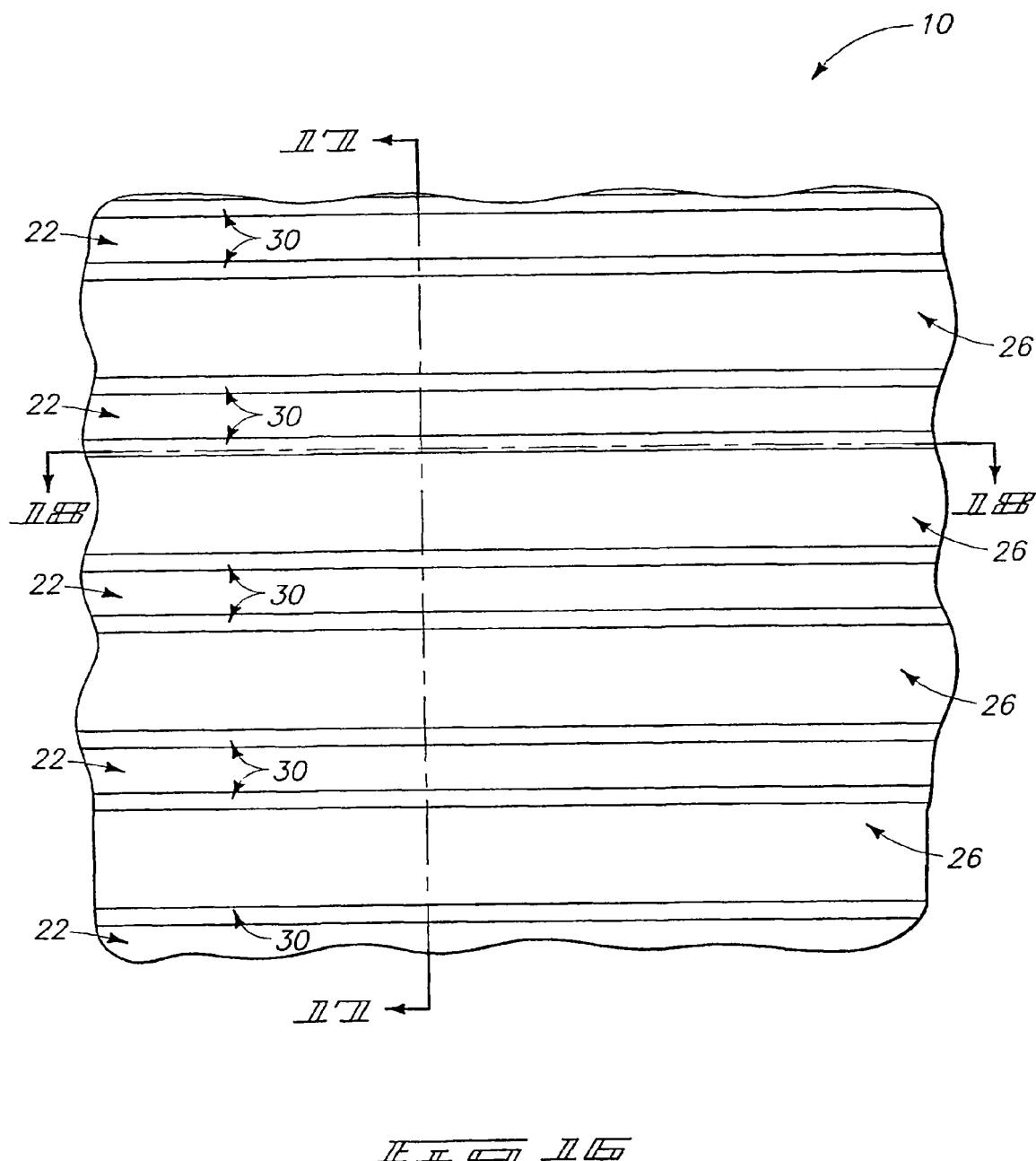




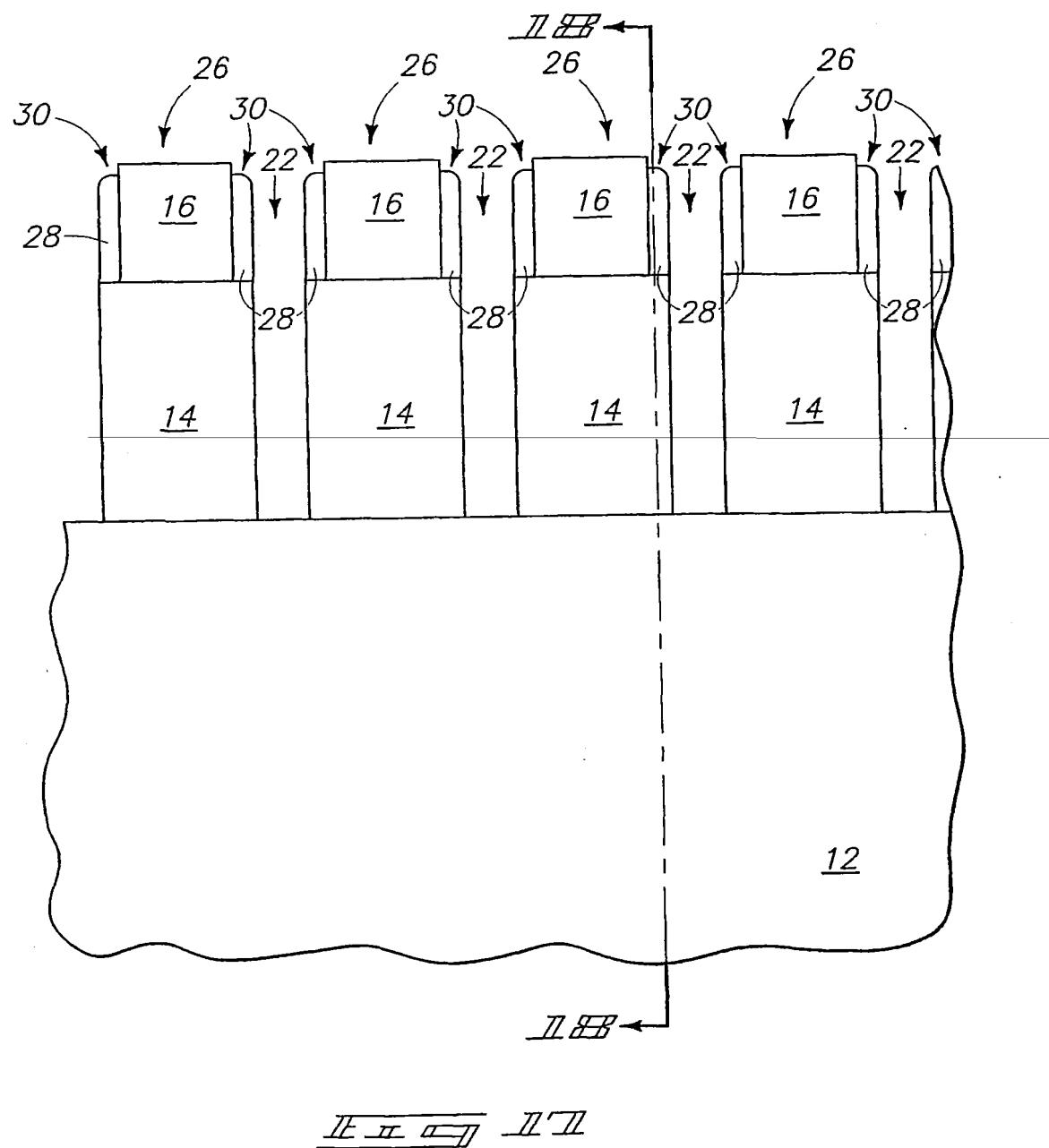


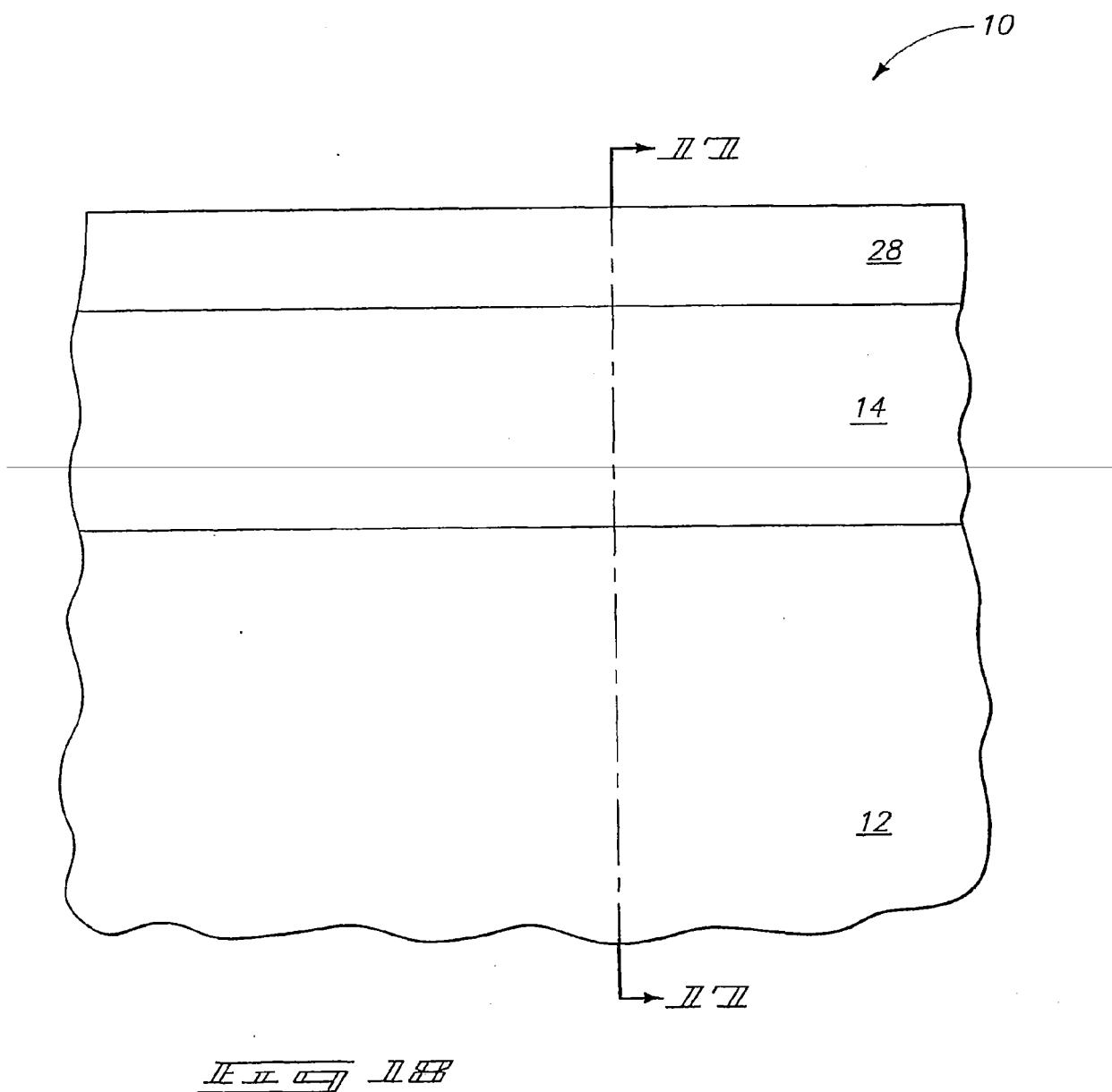


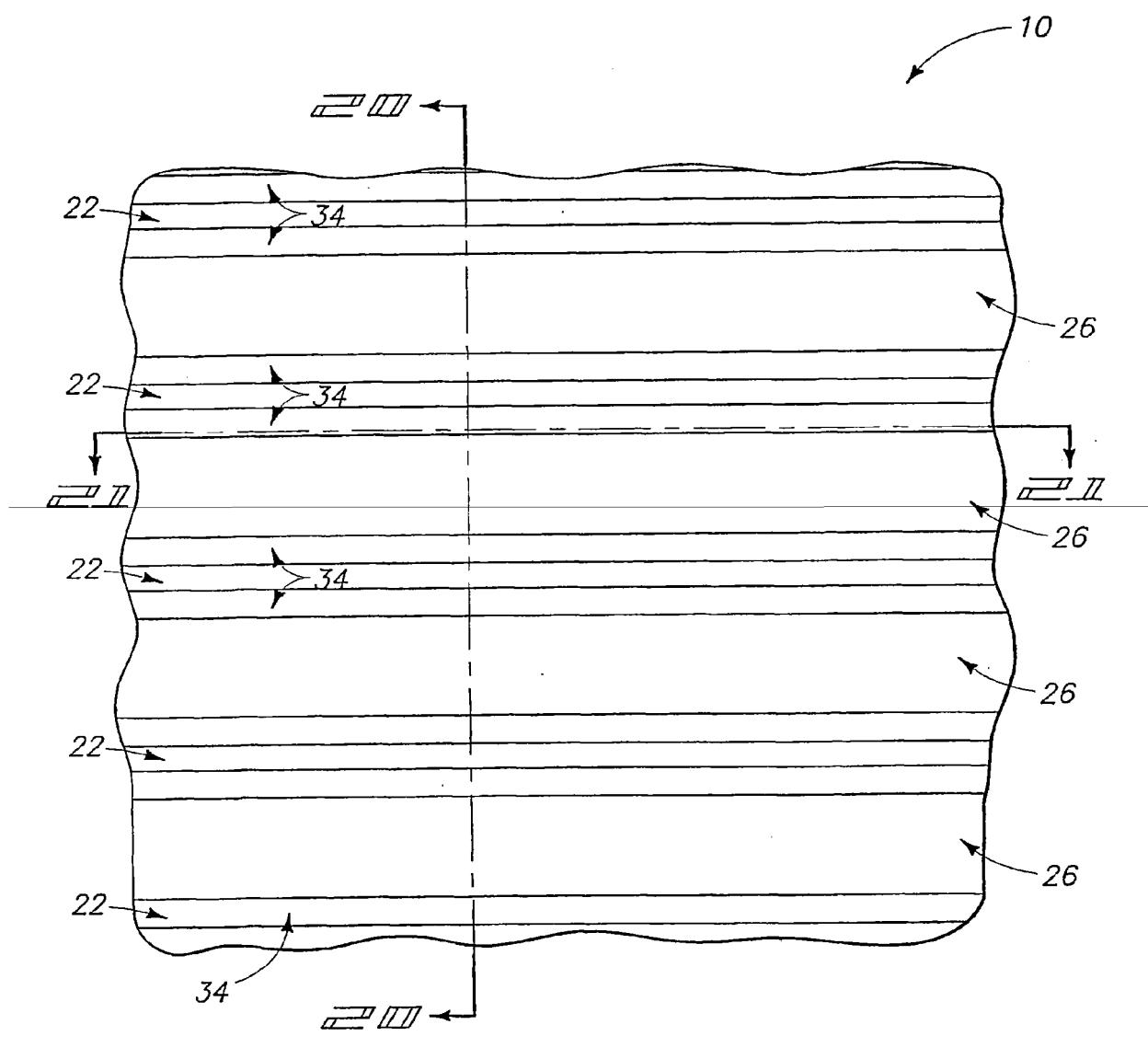
图二 图五



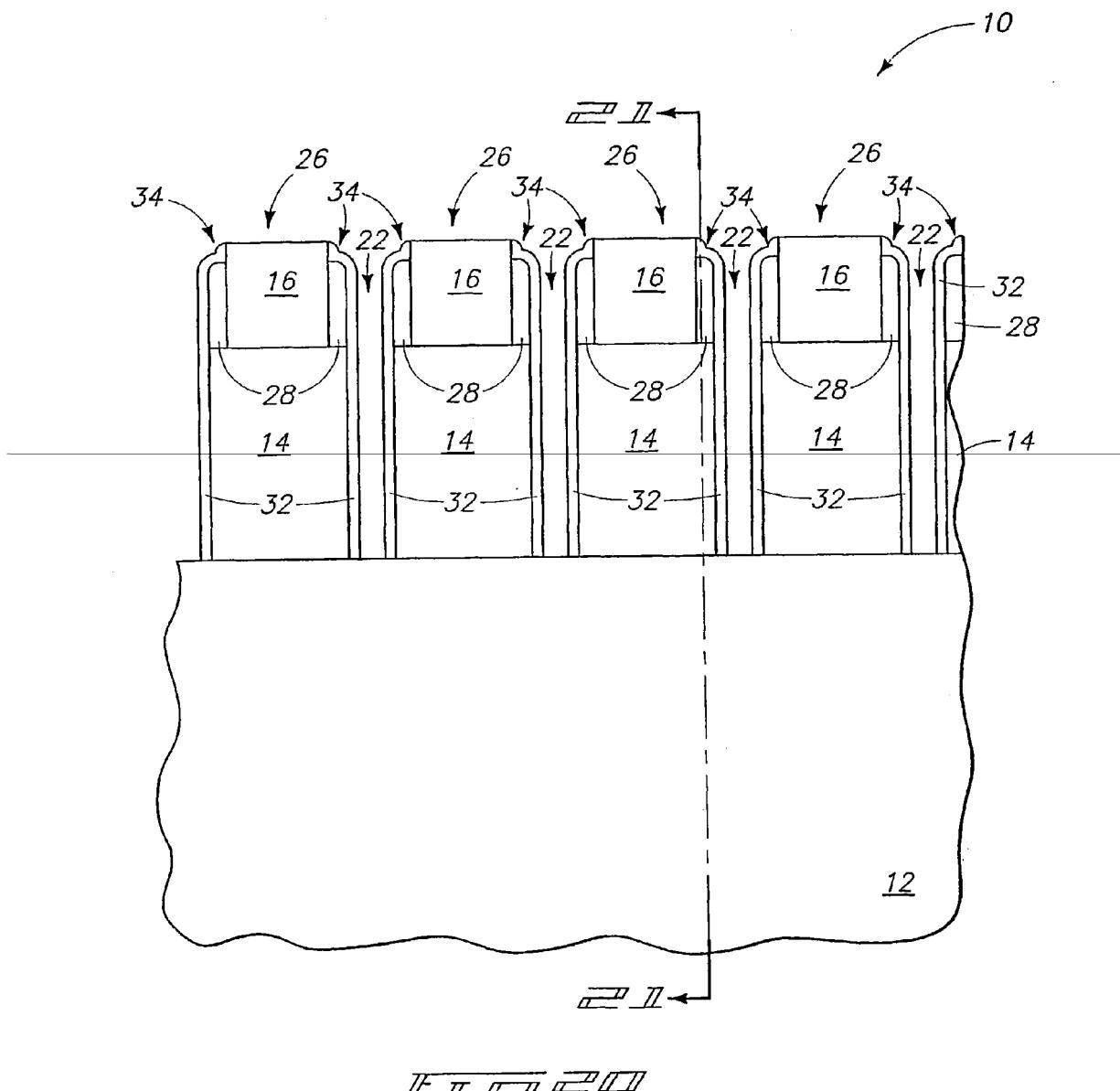
II'II II'II

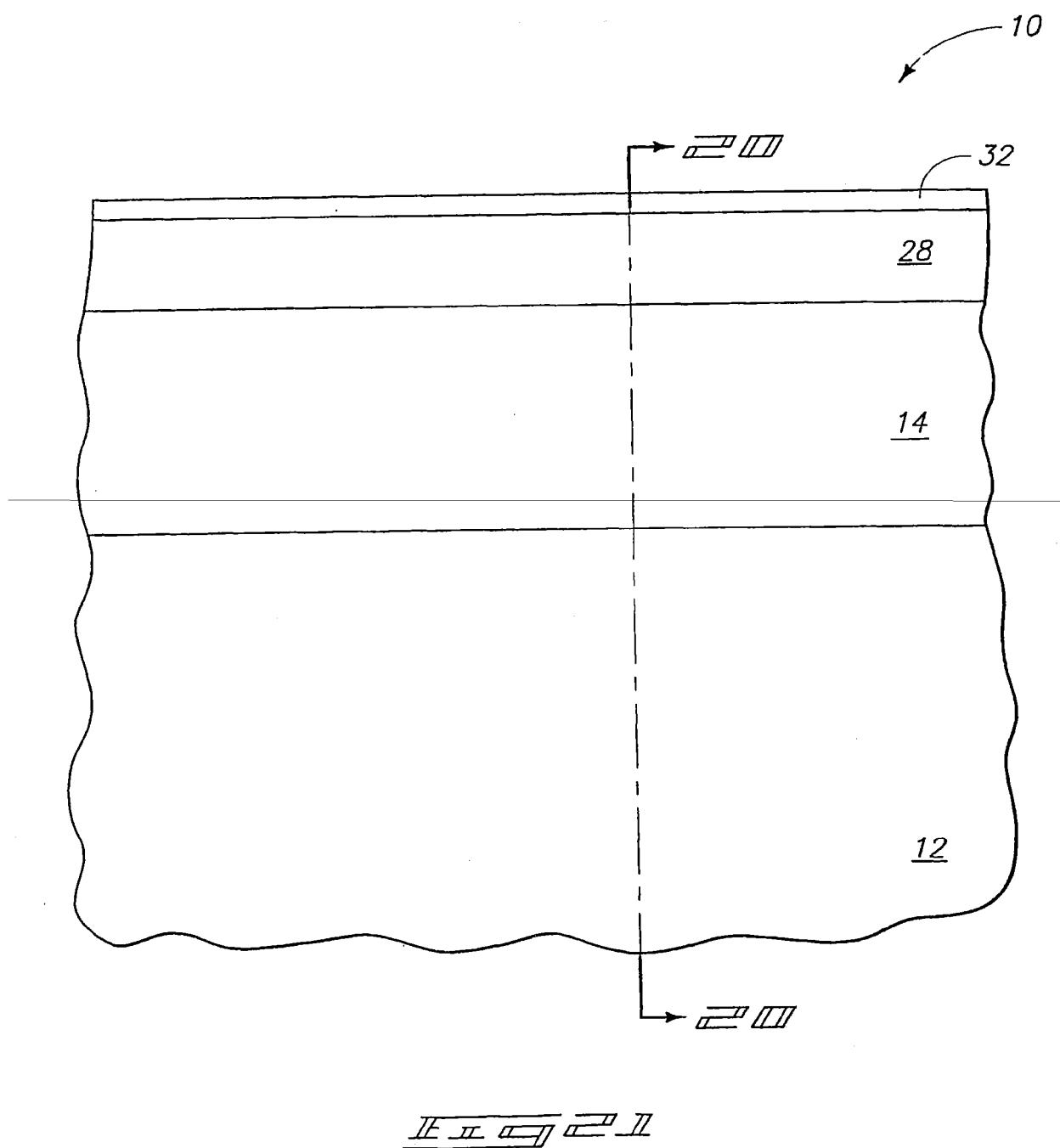


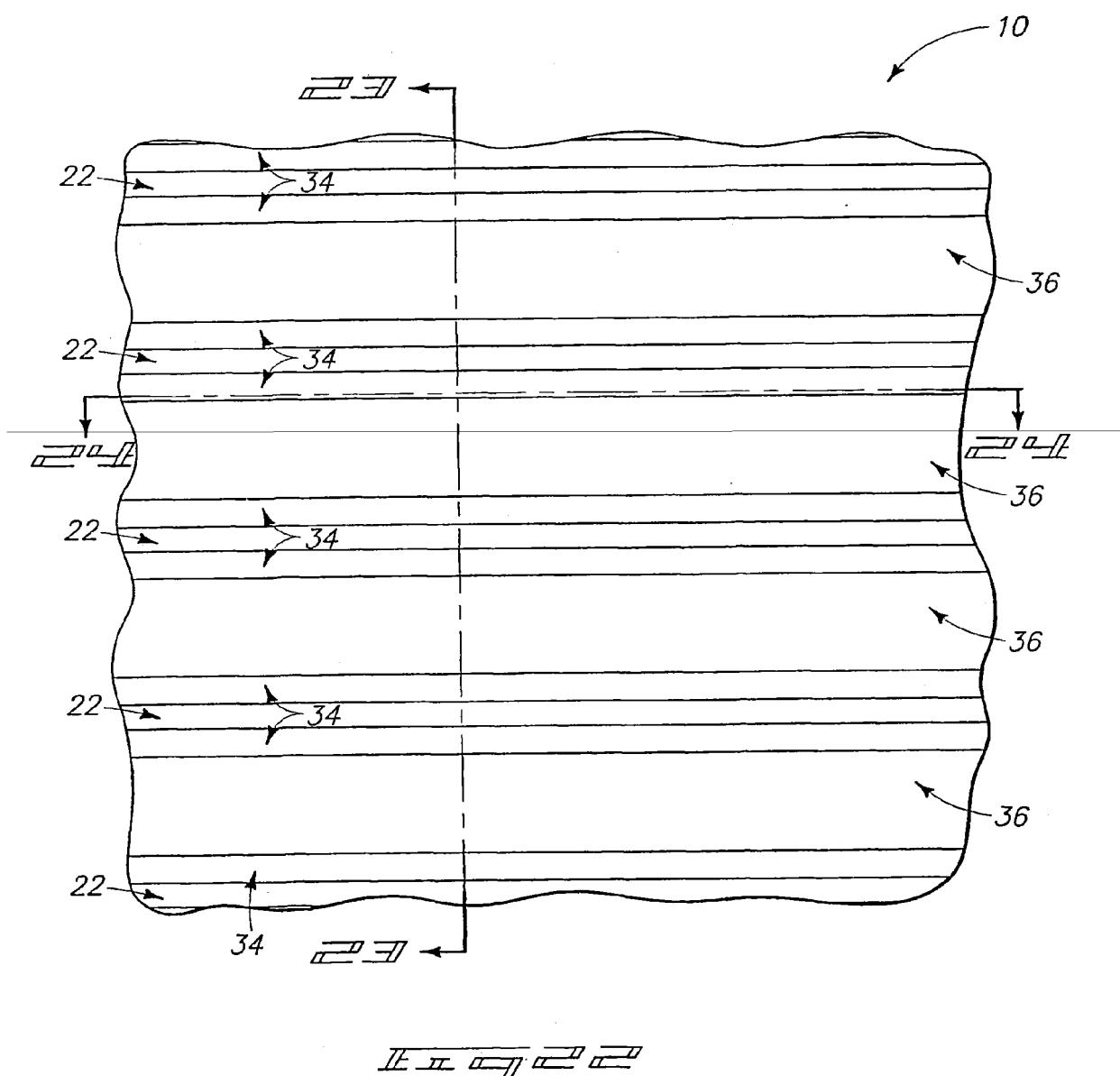


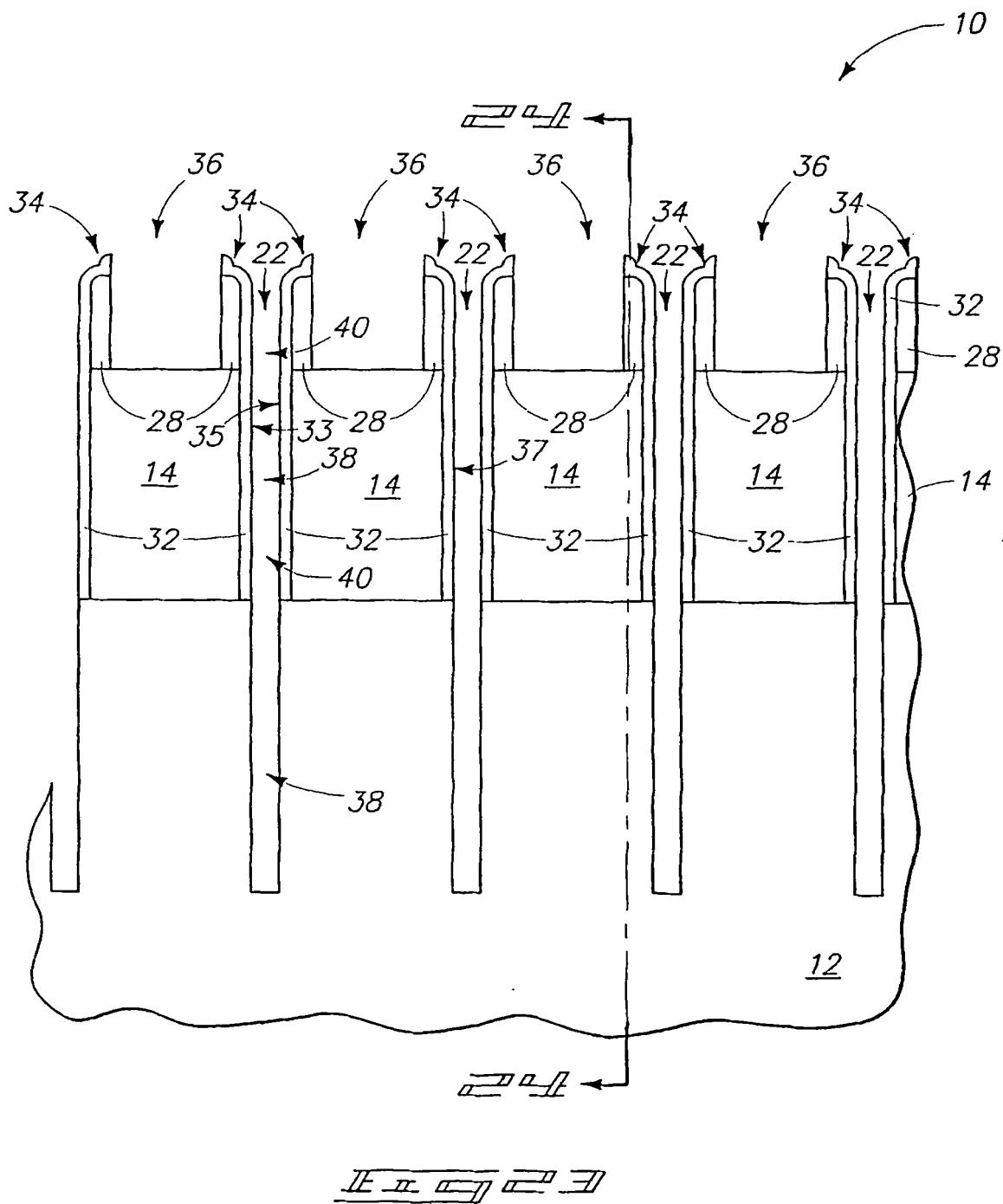


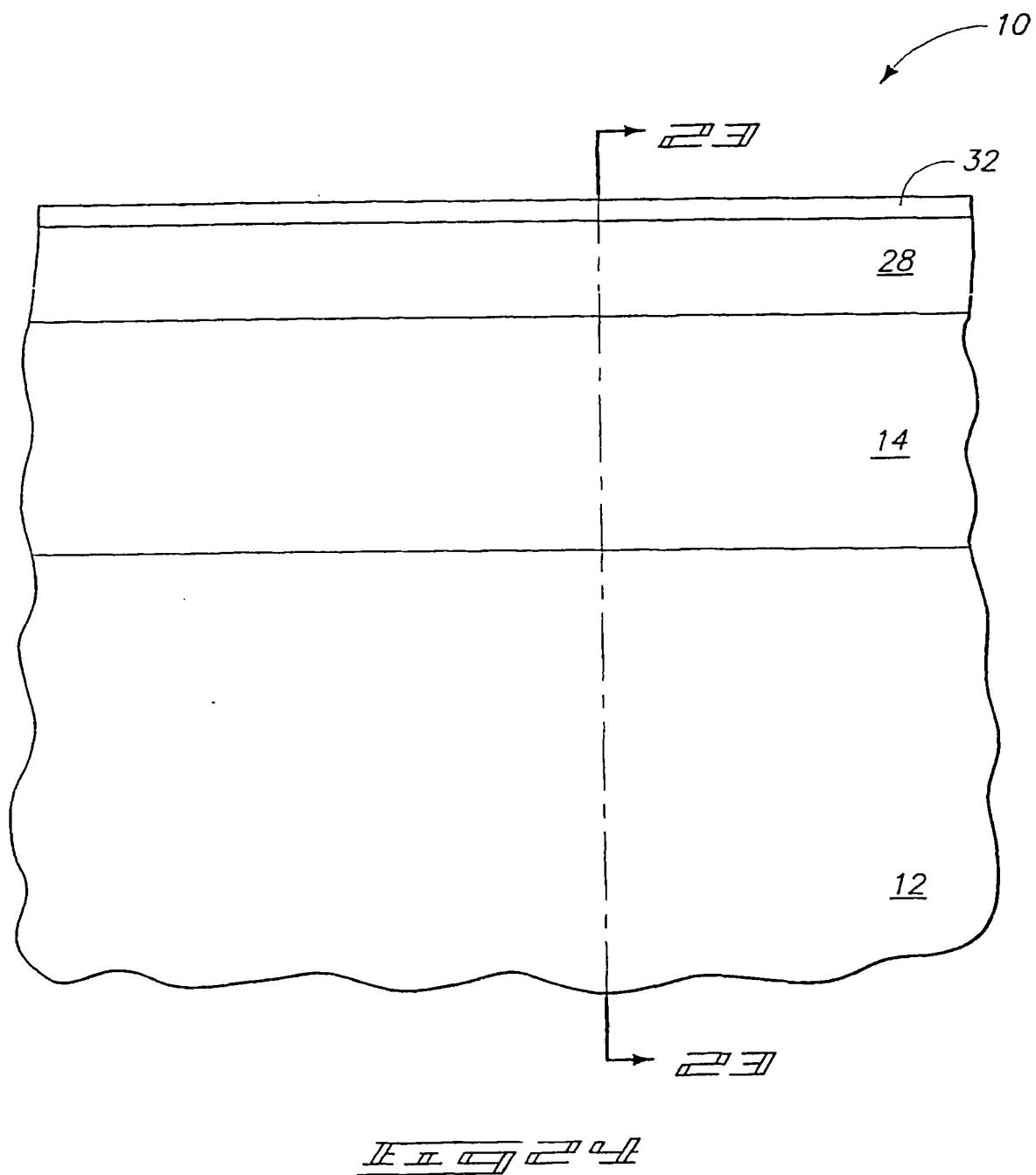
II II II — II II

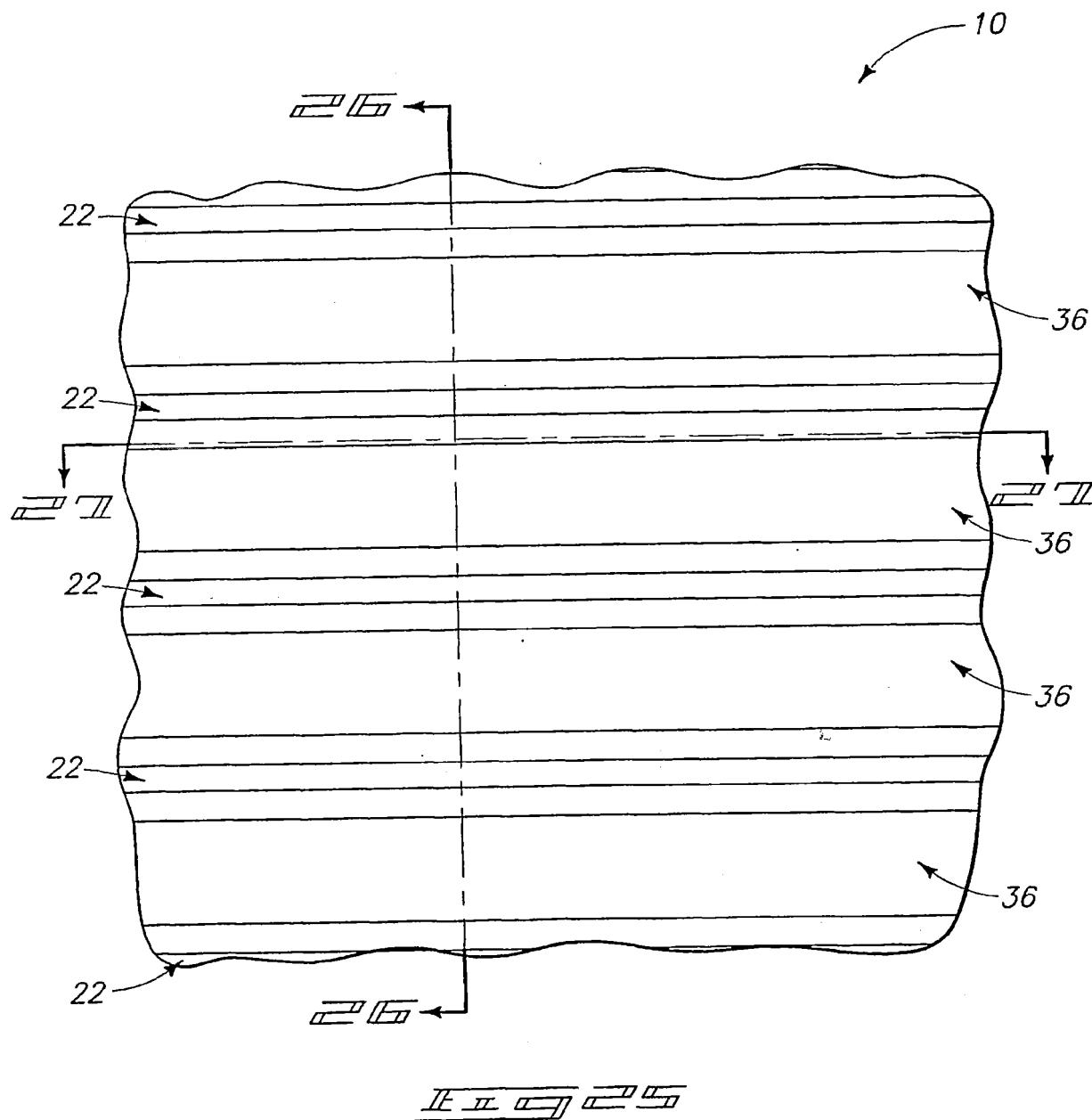


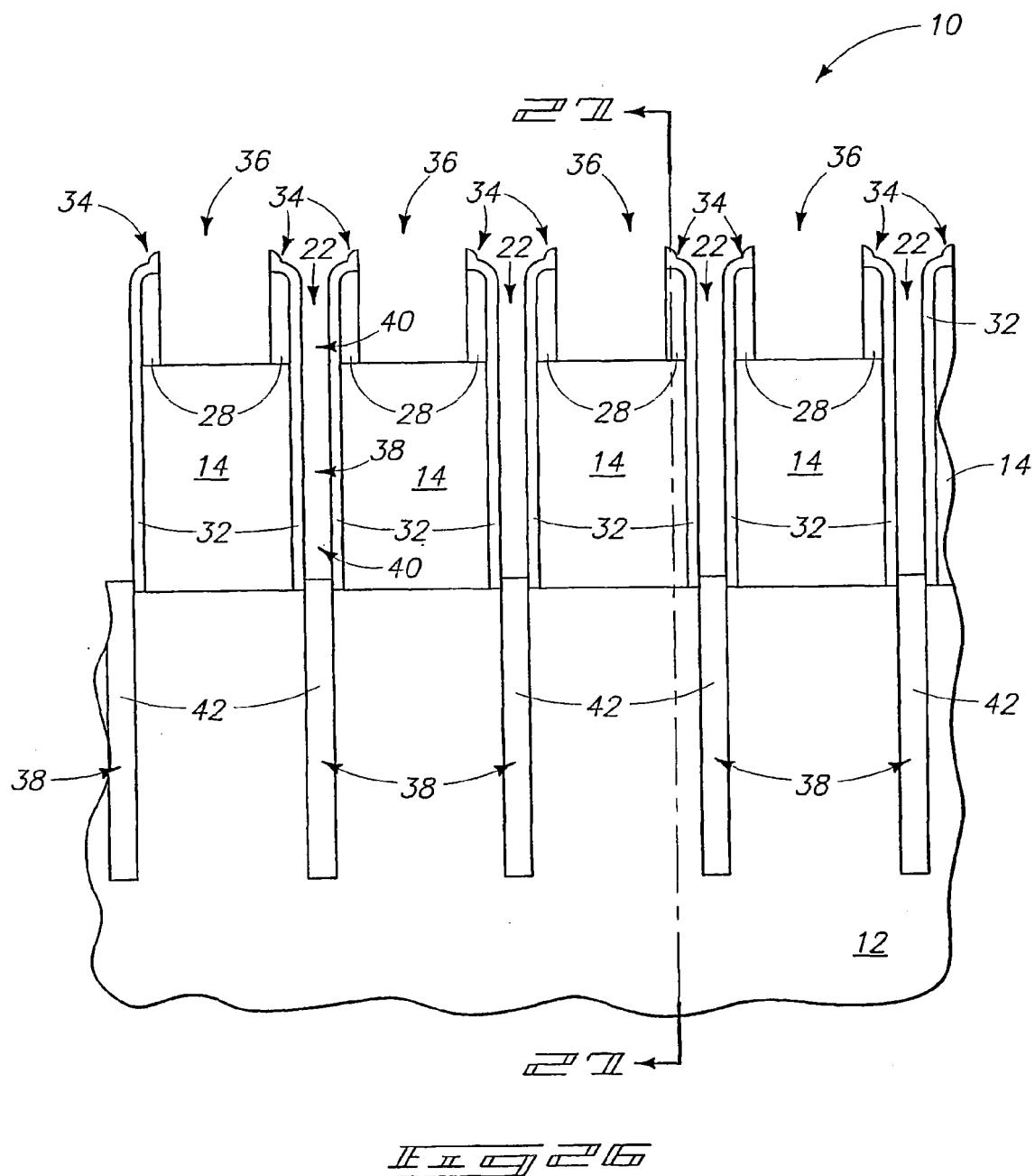


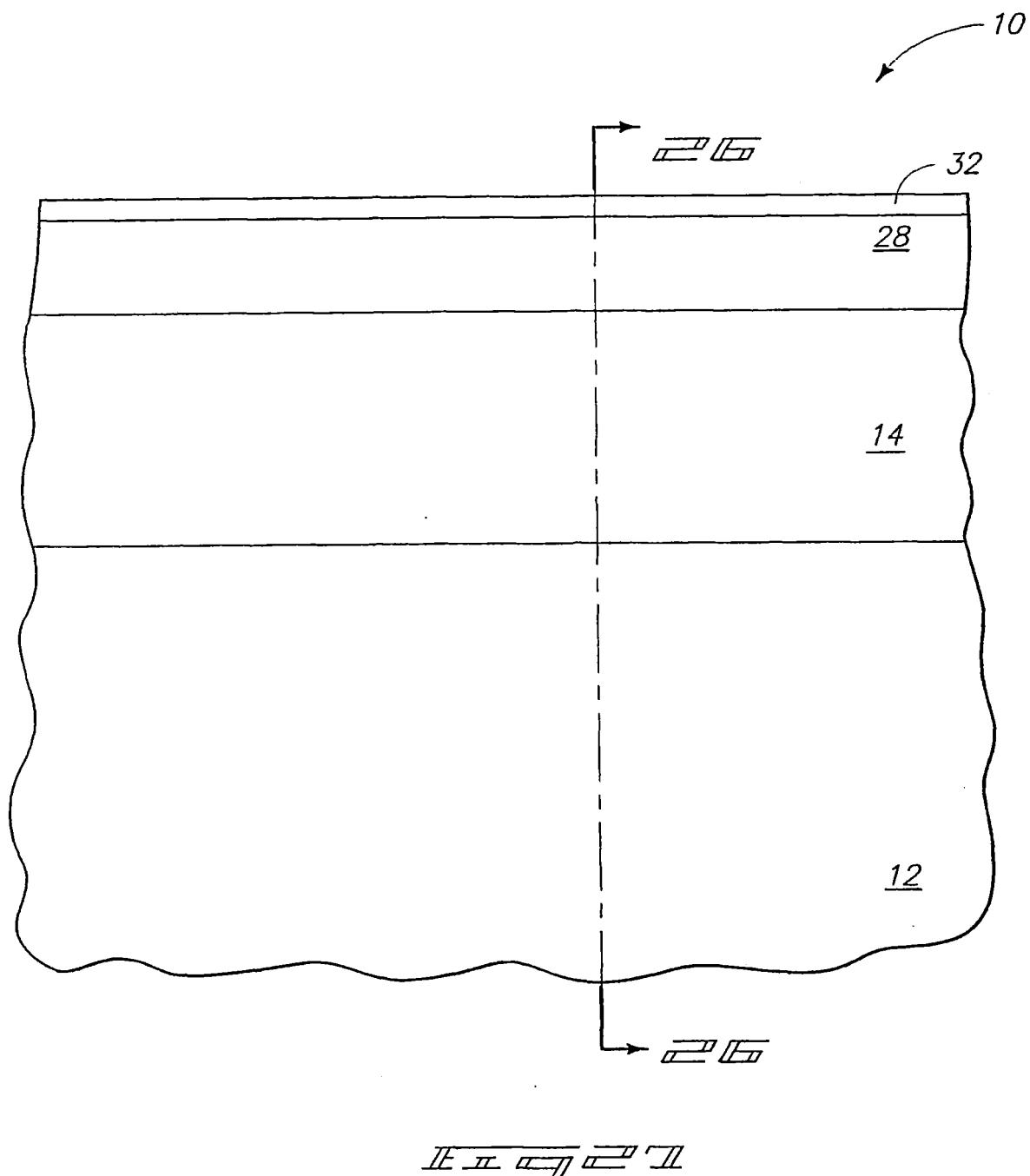


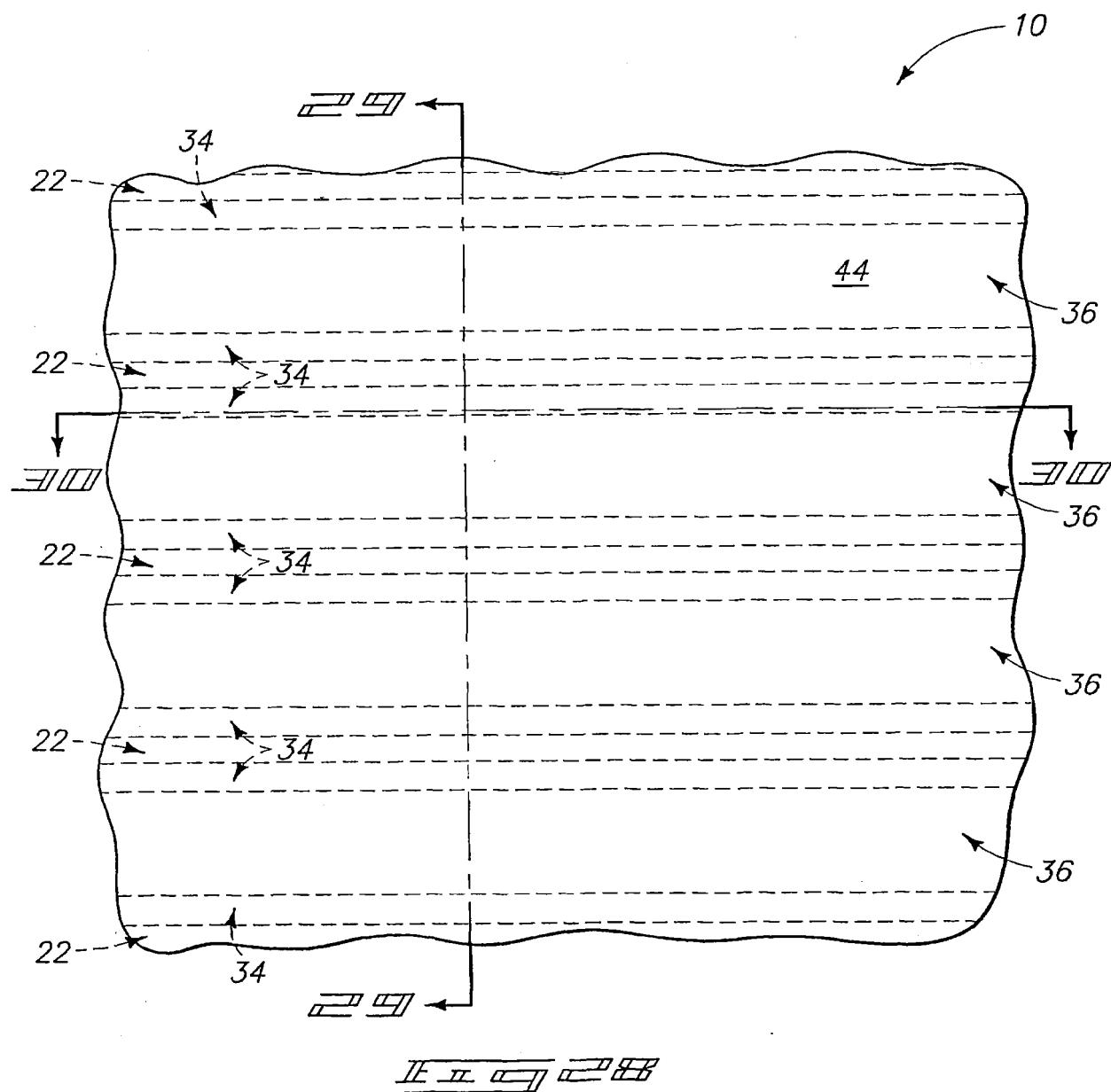


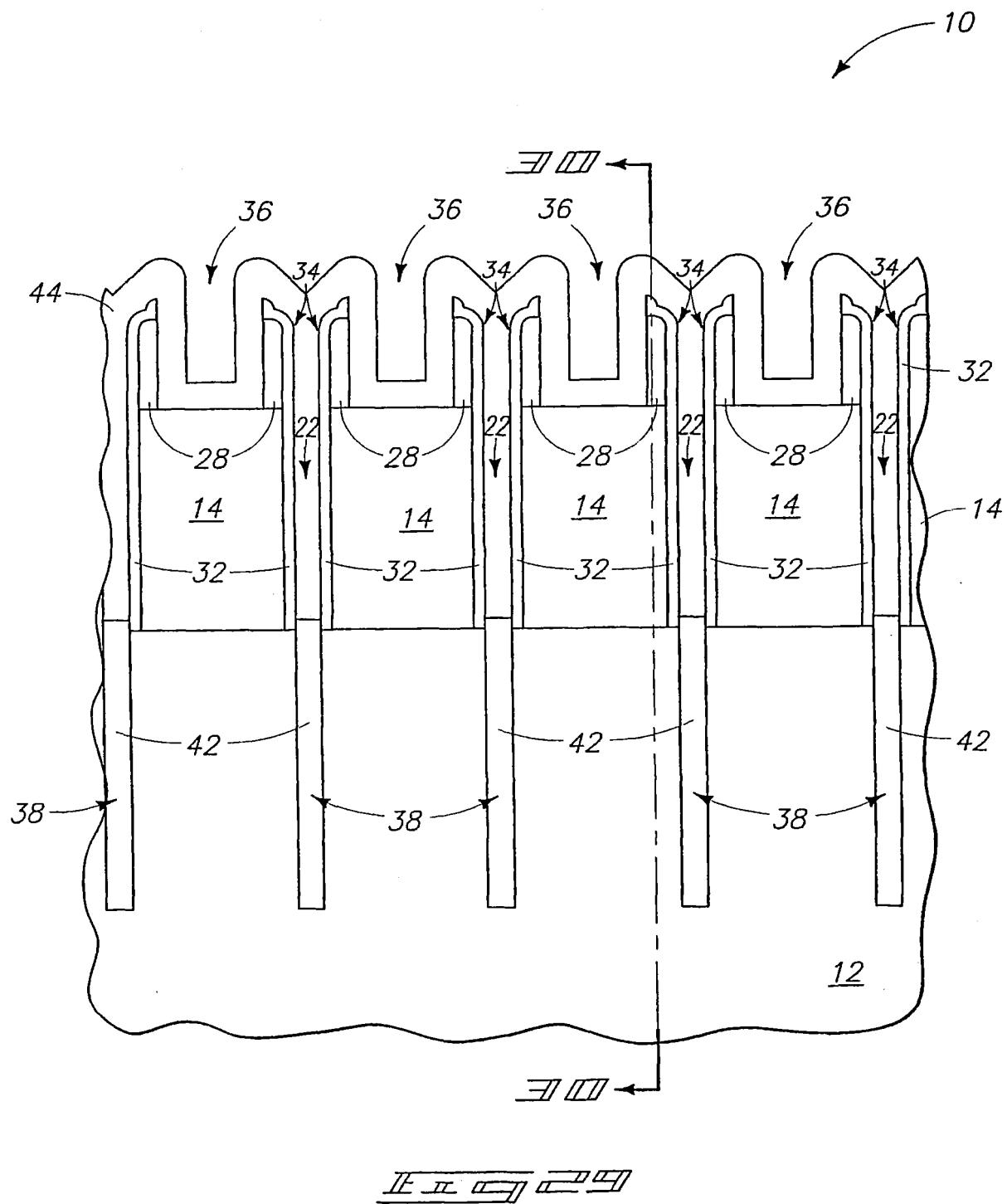


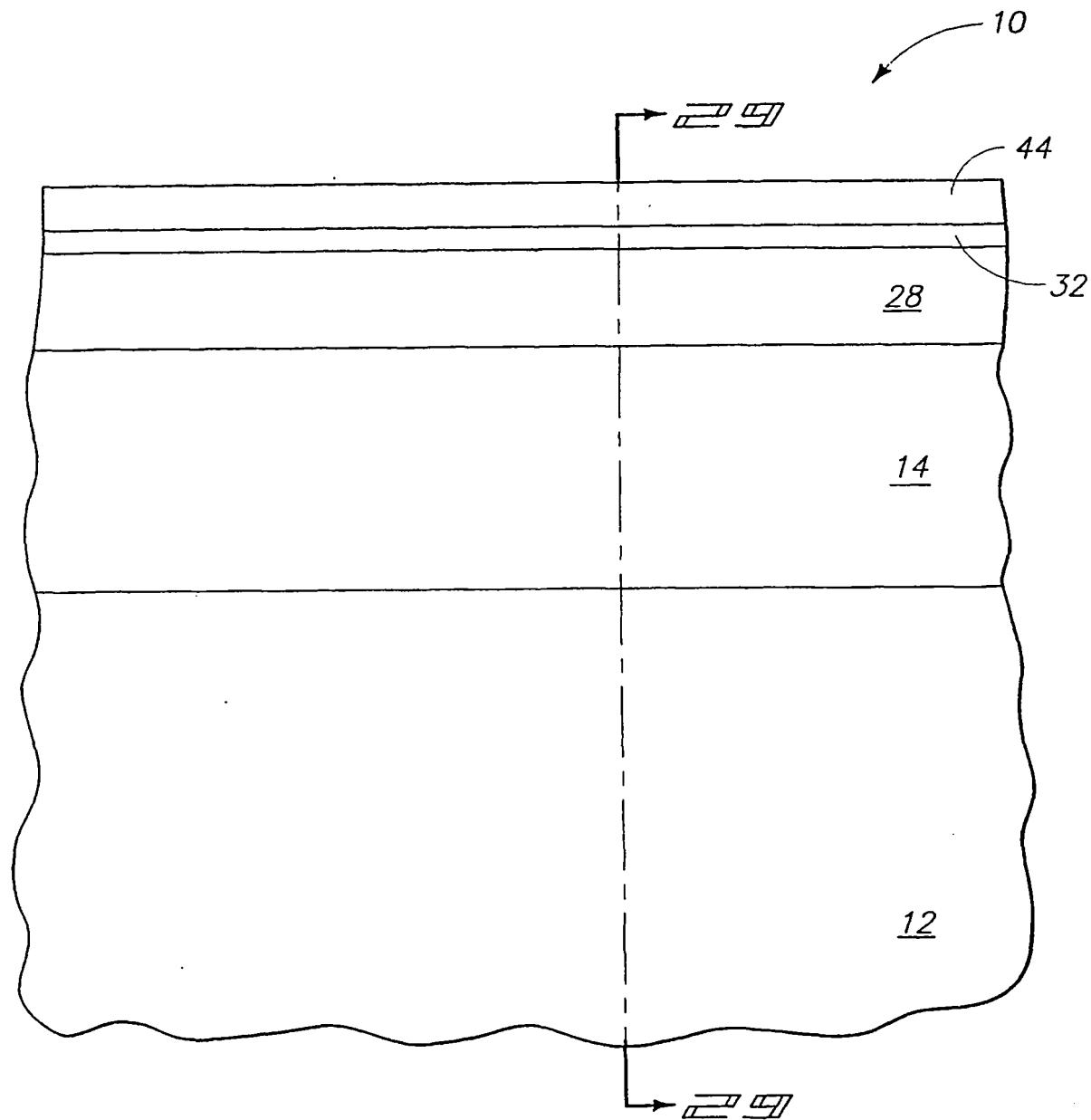




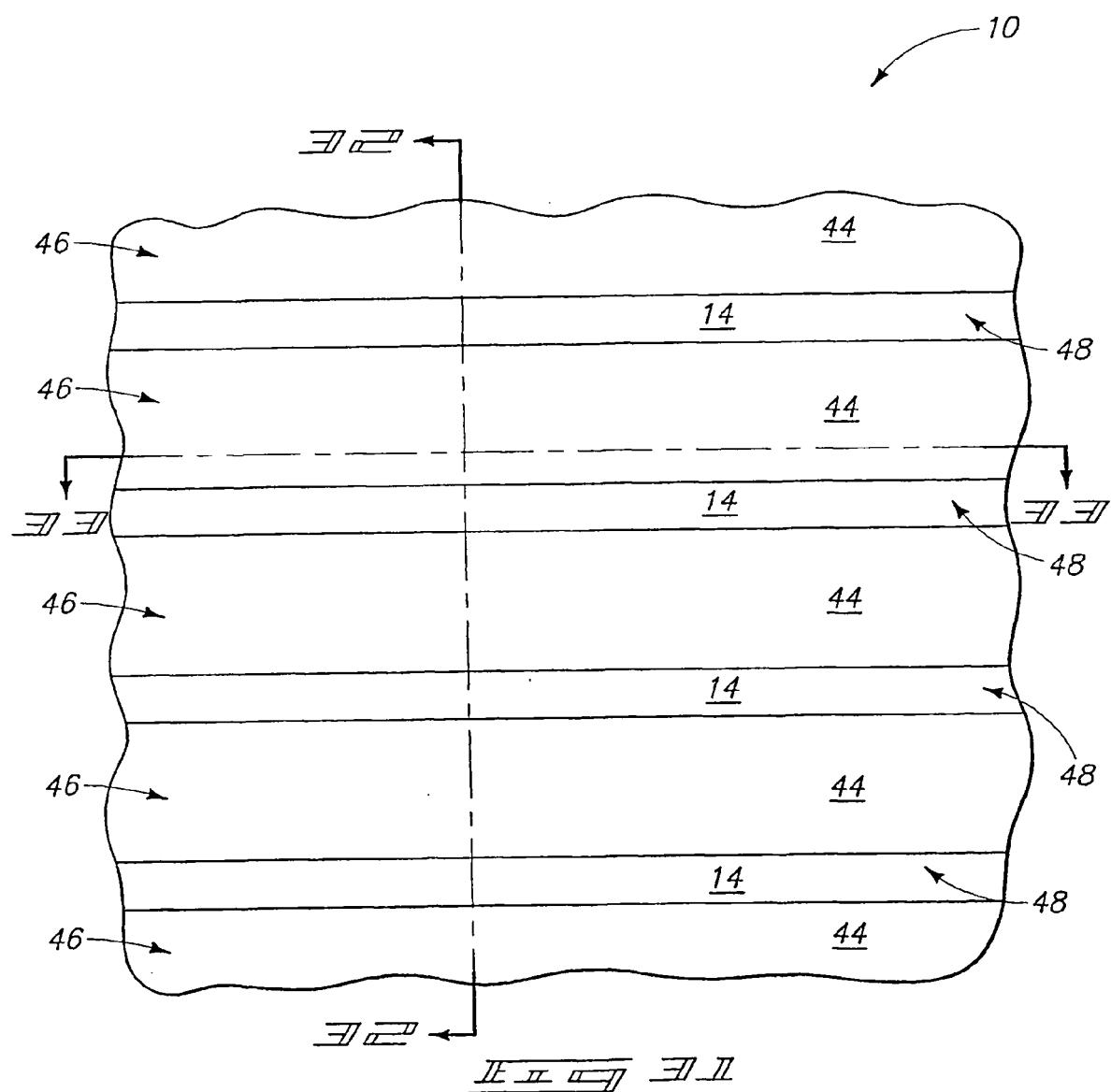


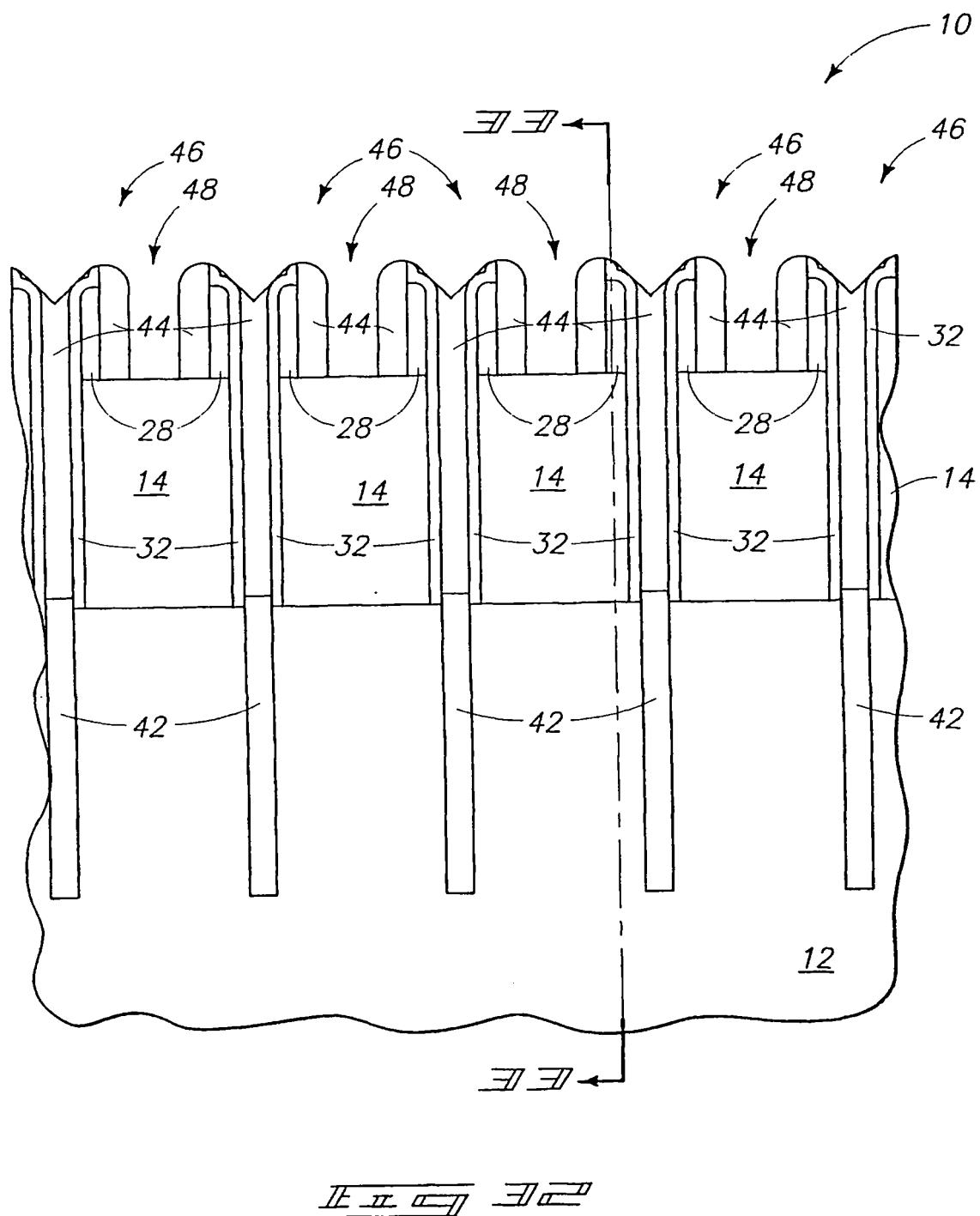


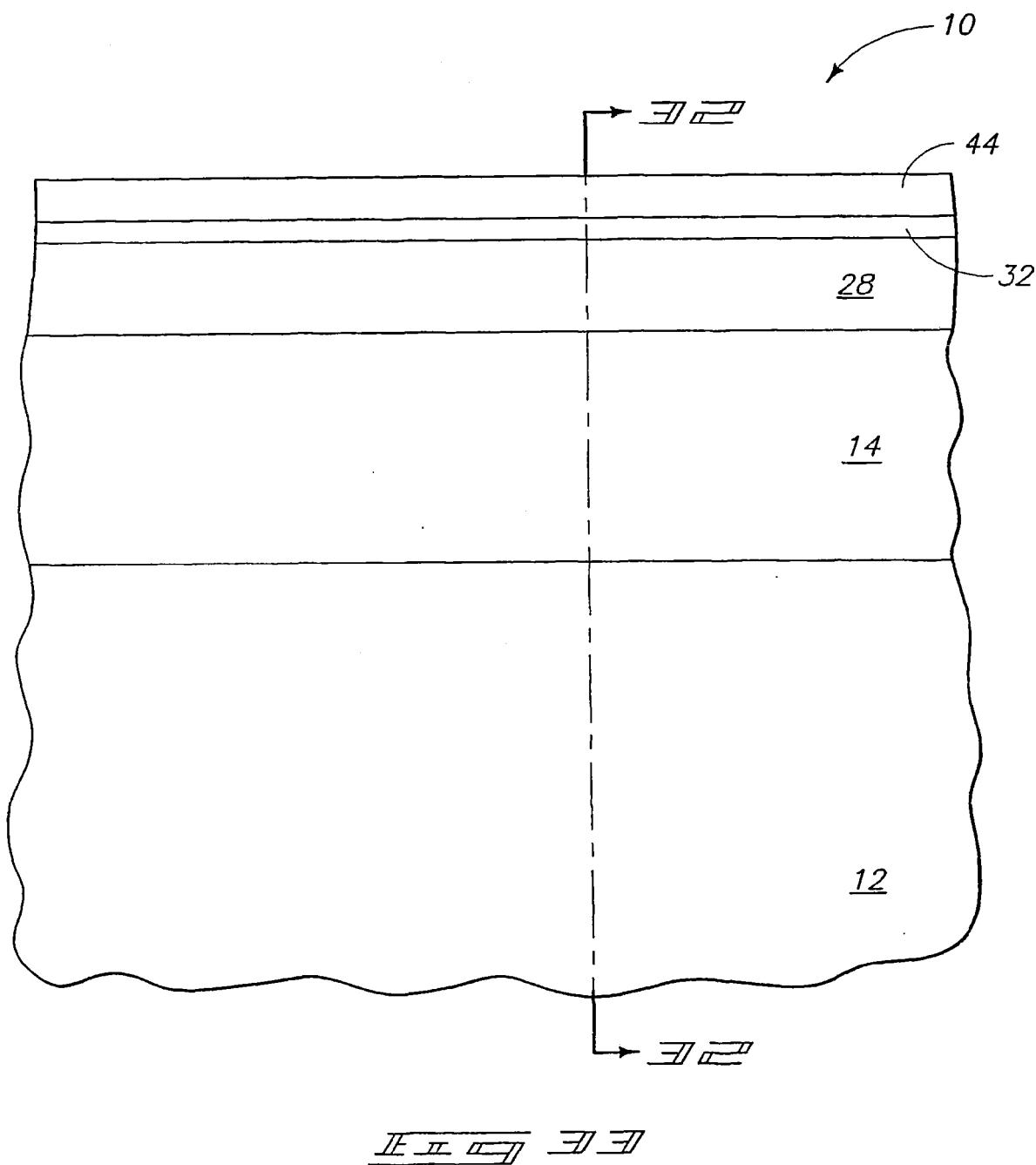


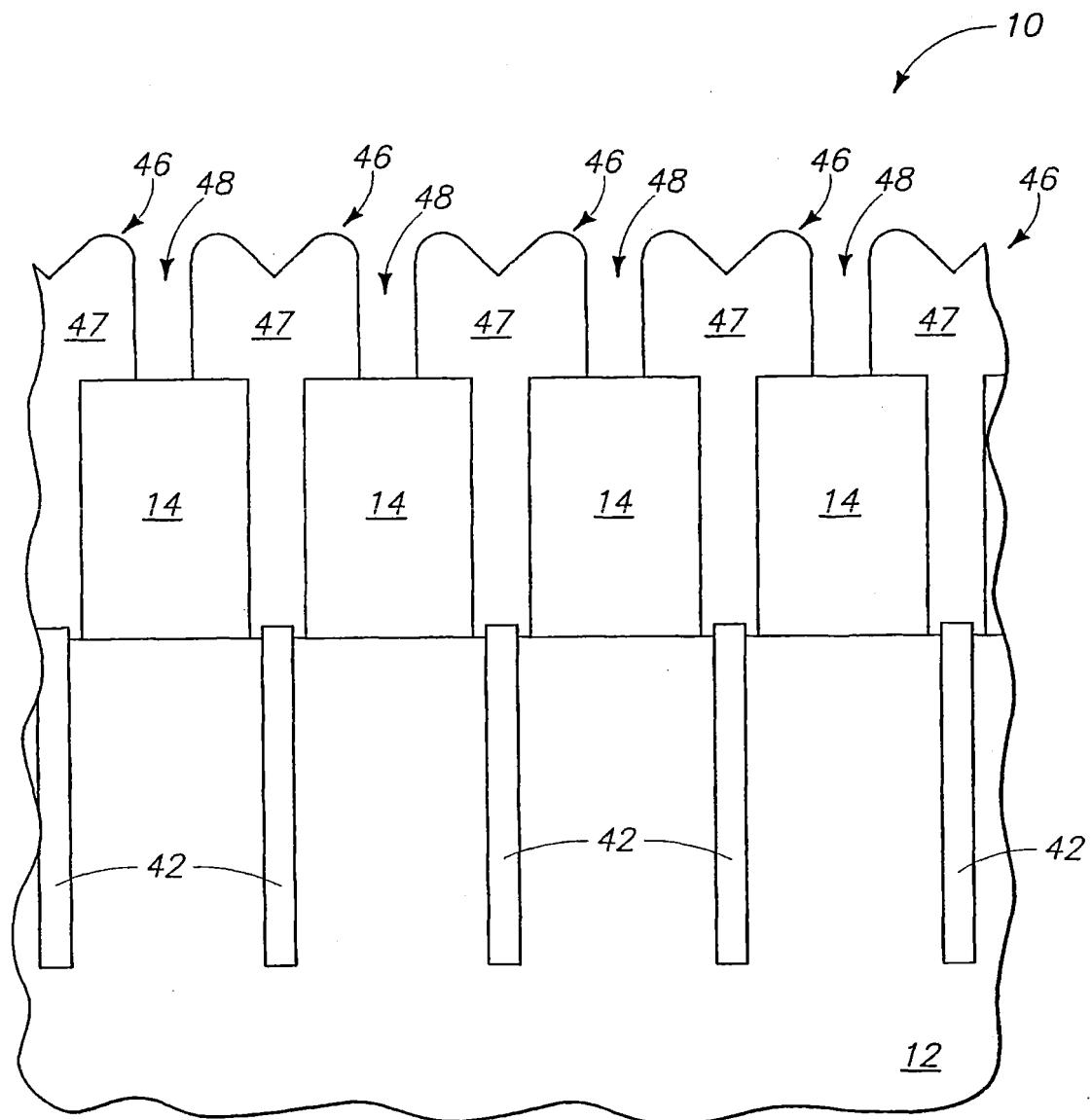


图示 三

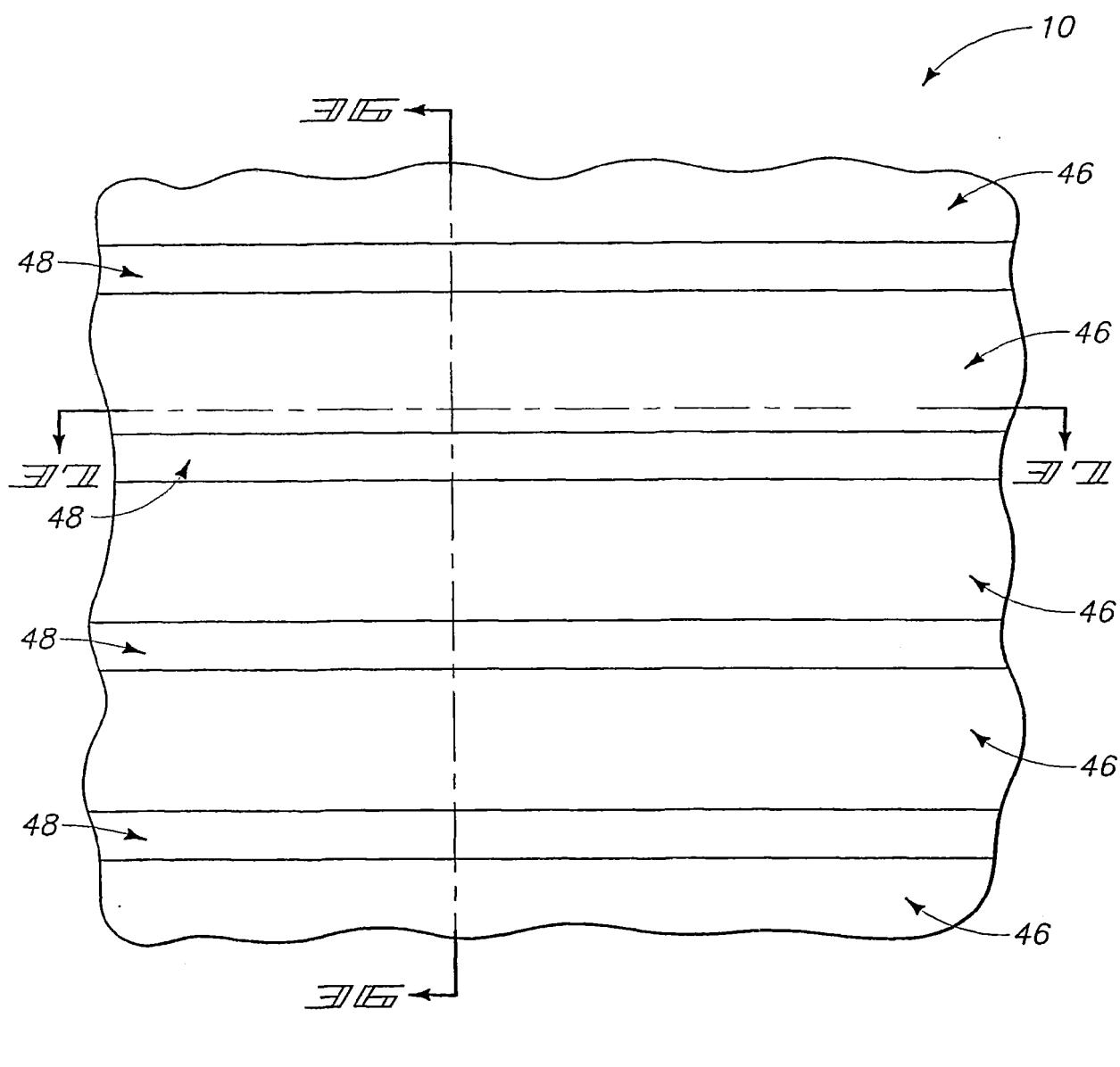




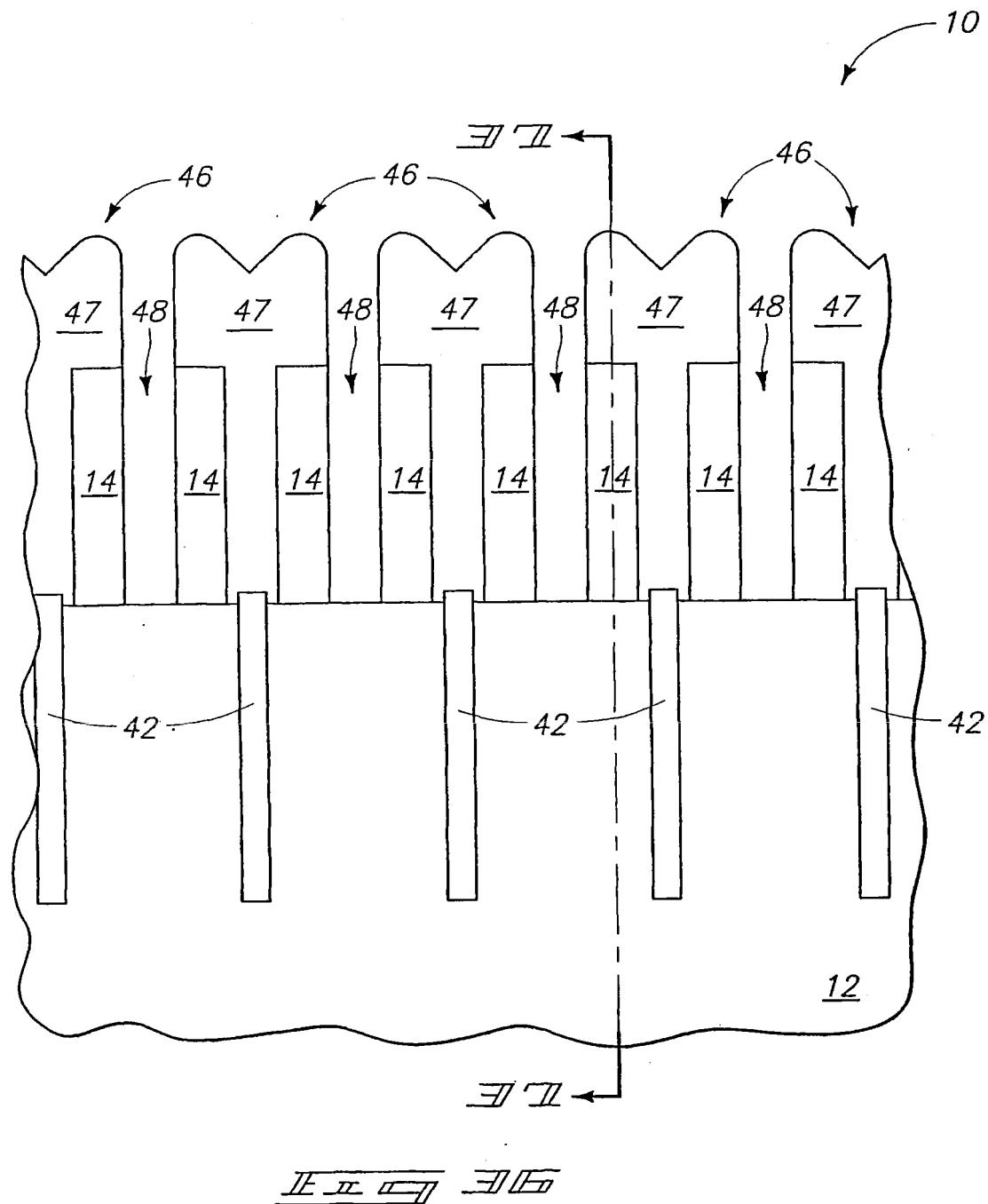


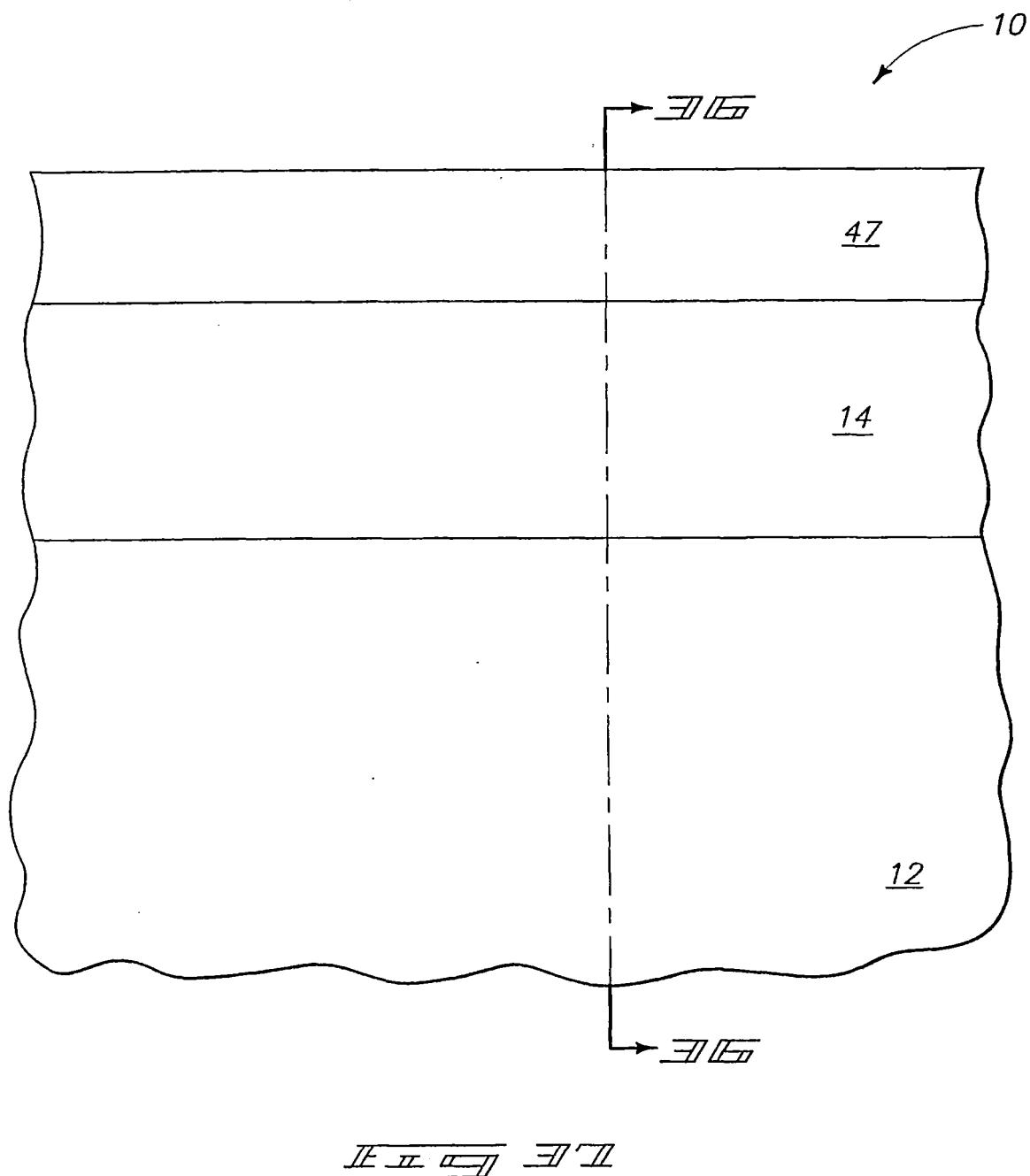


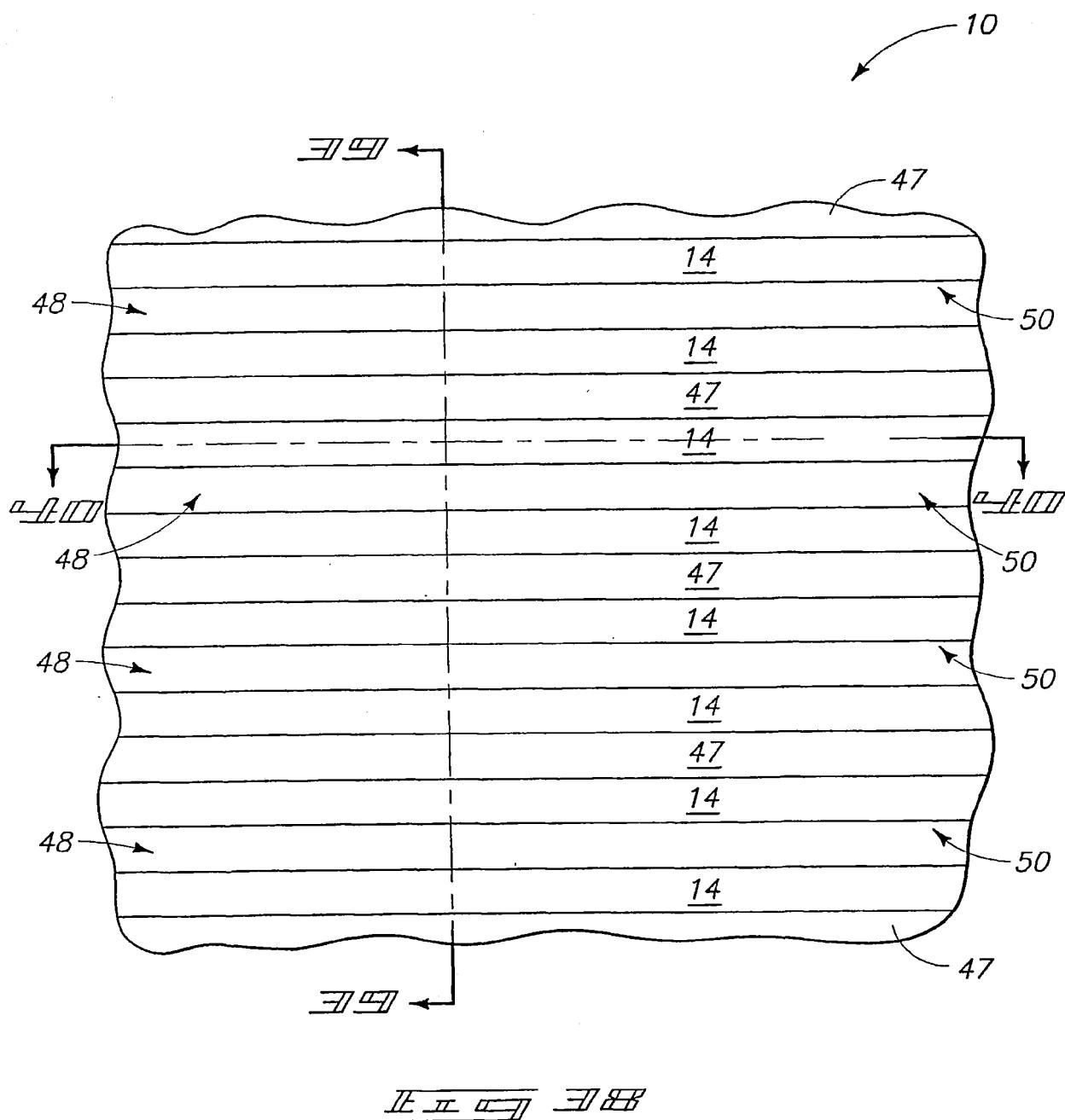
正 立 斜



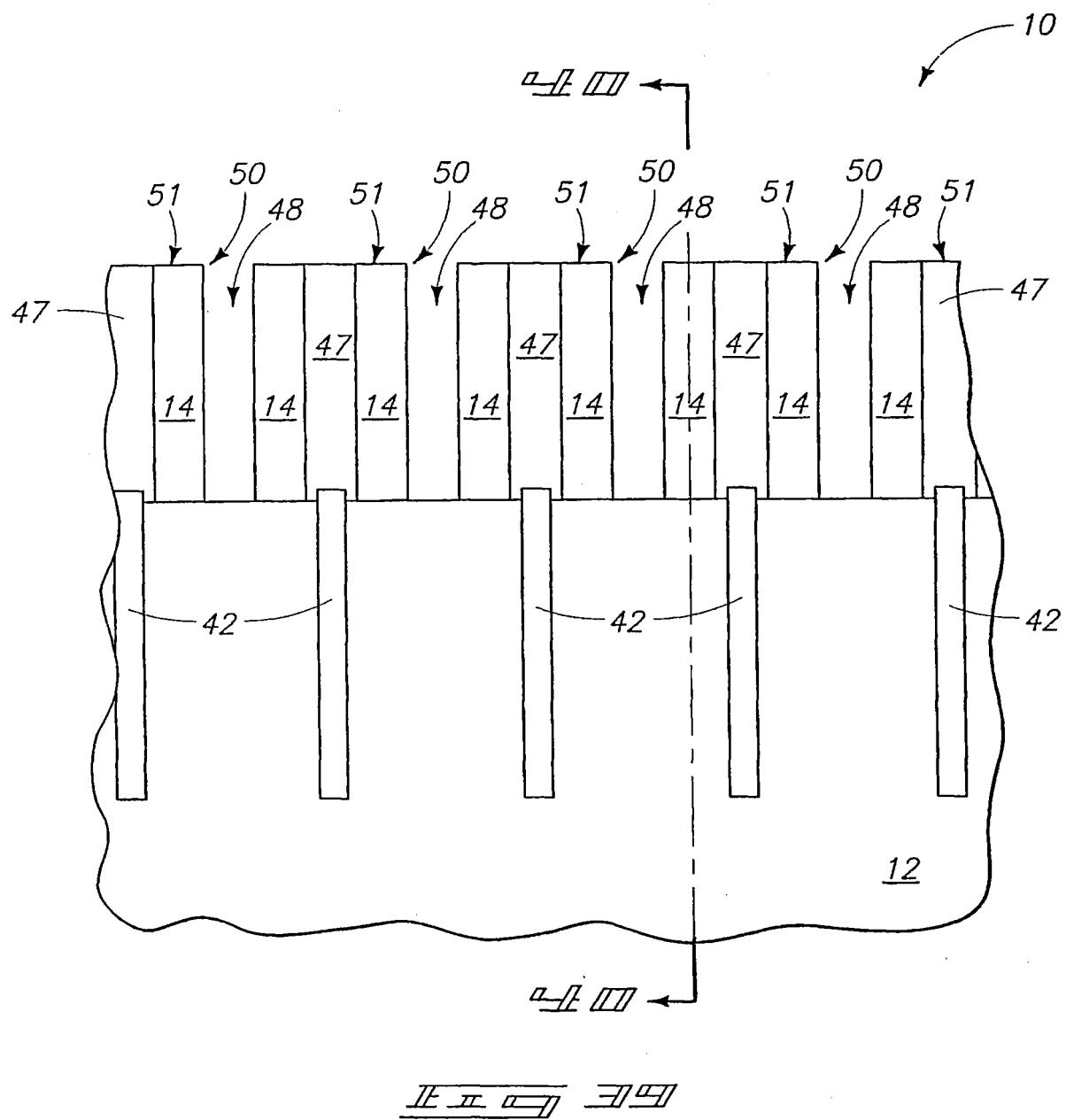
三八三八三八三八

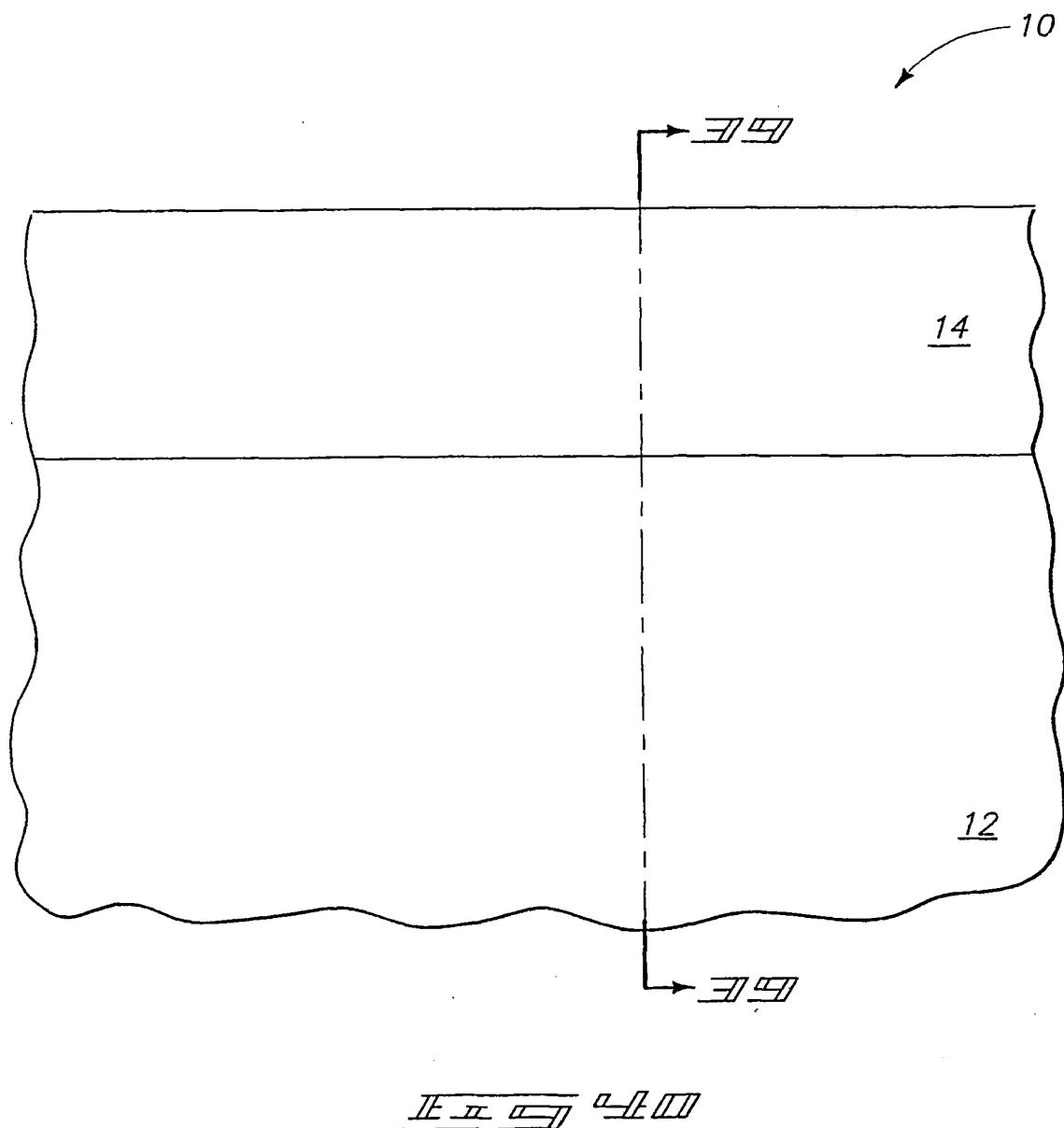


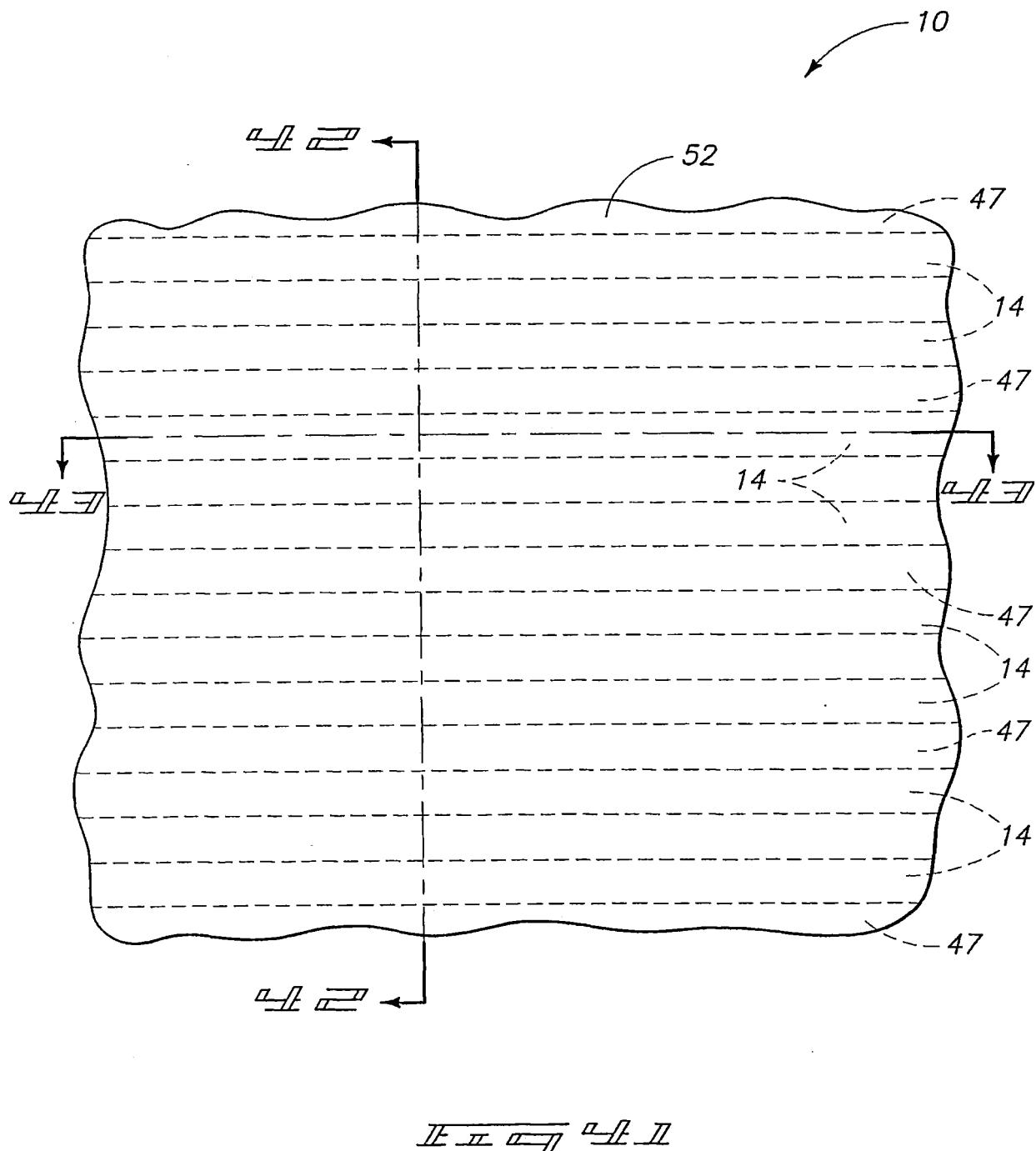


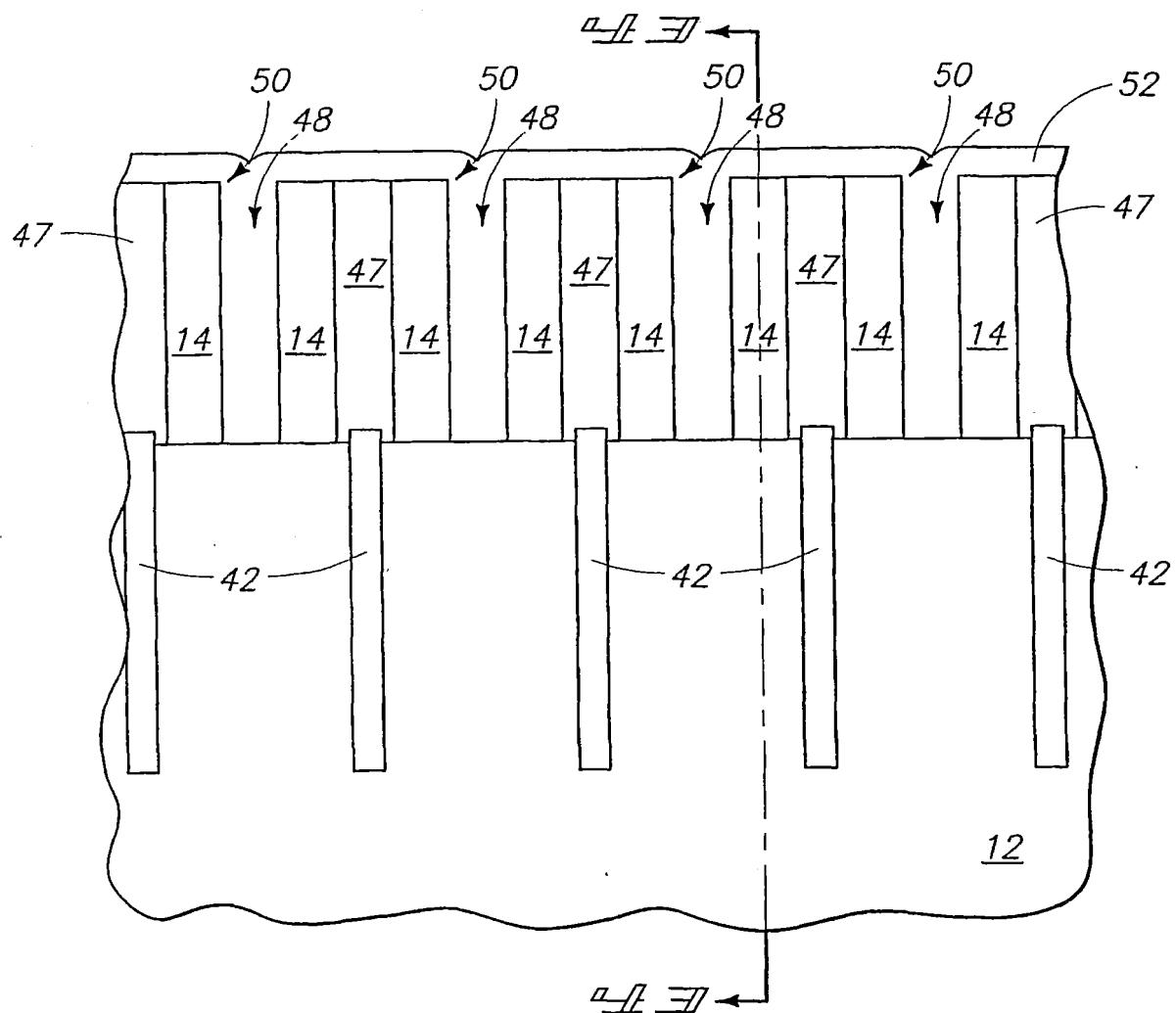


正 二 一 三 八

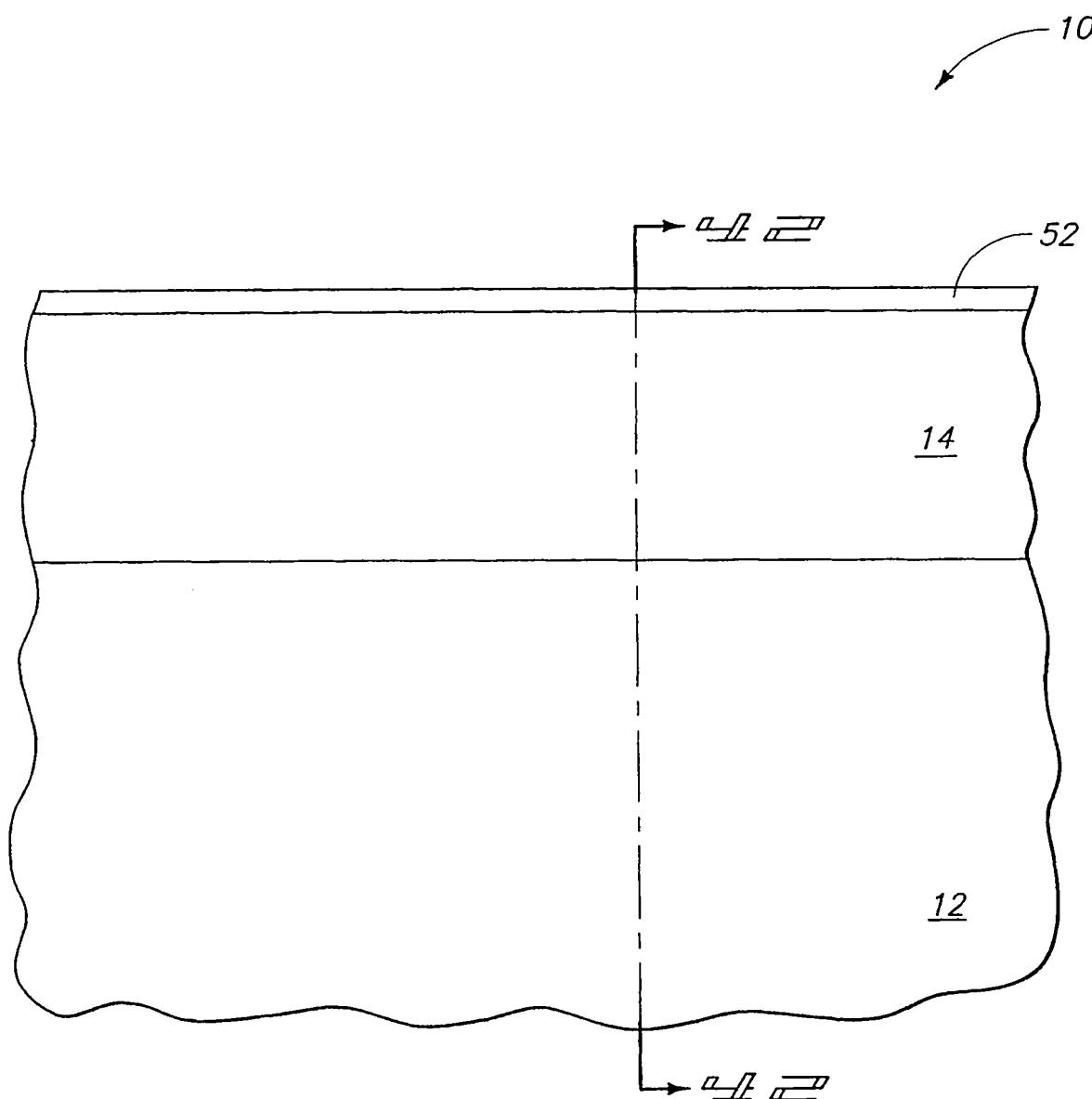


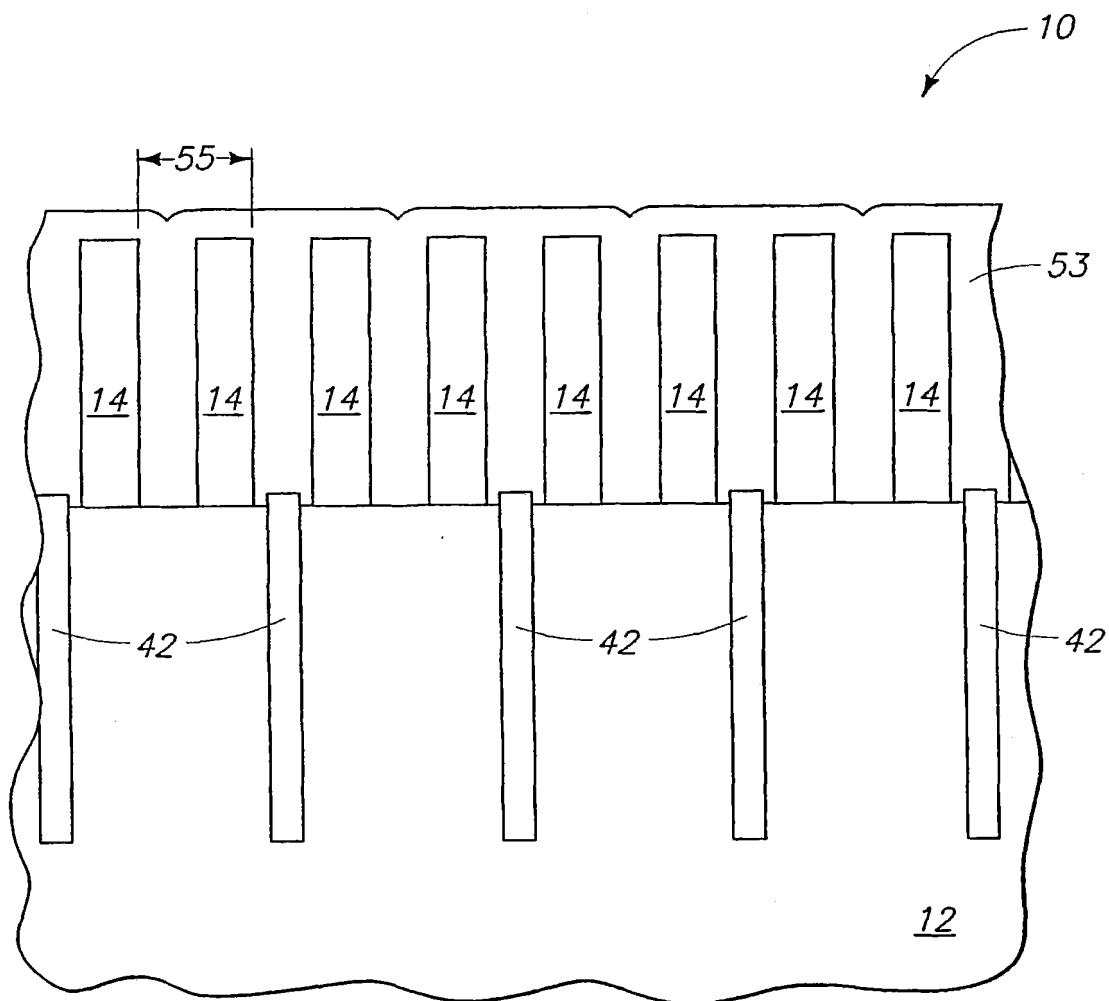




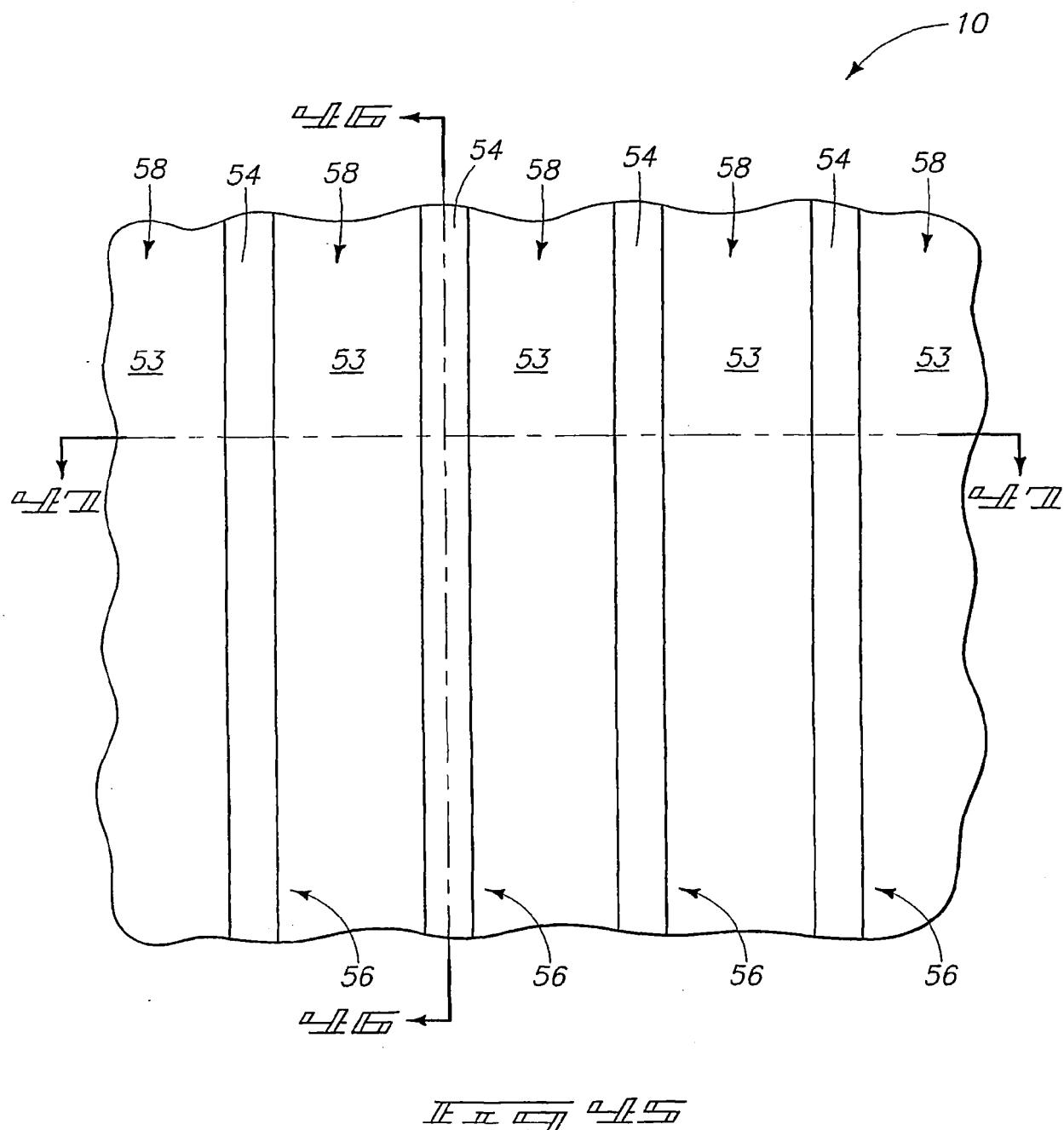


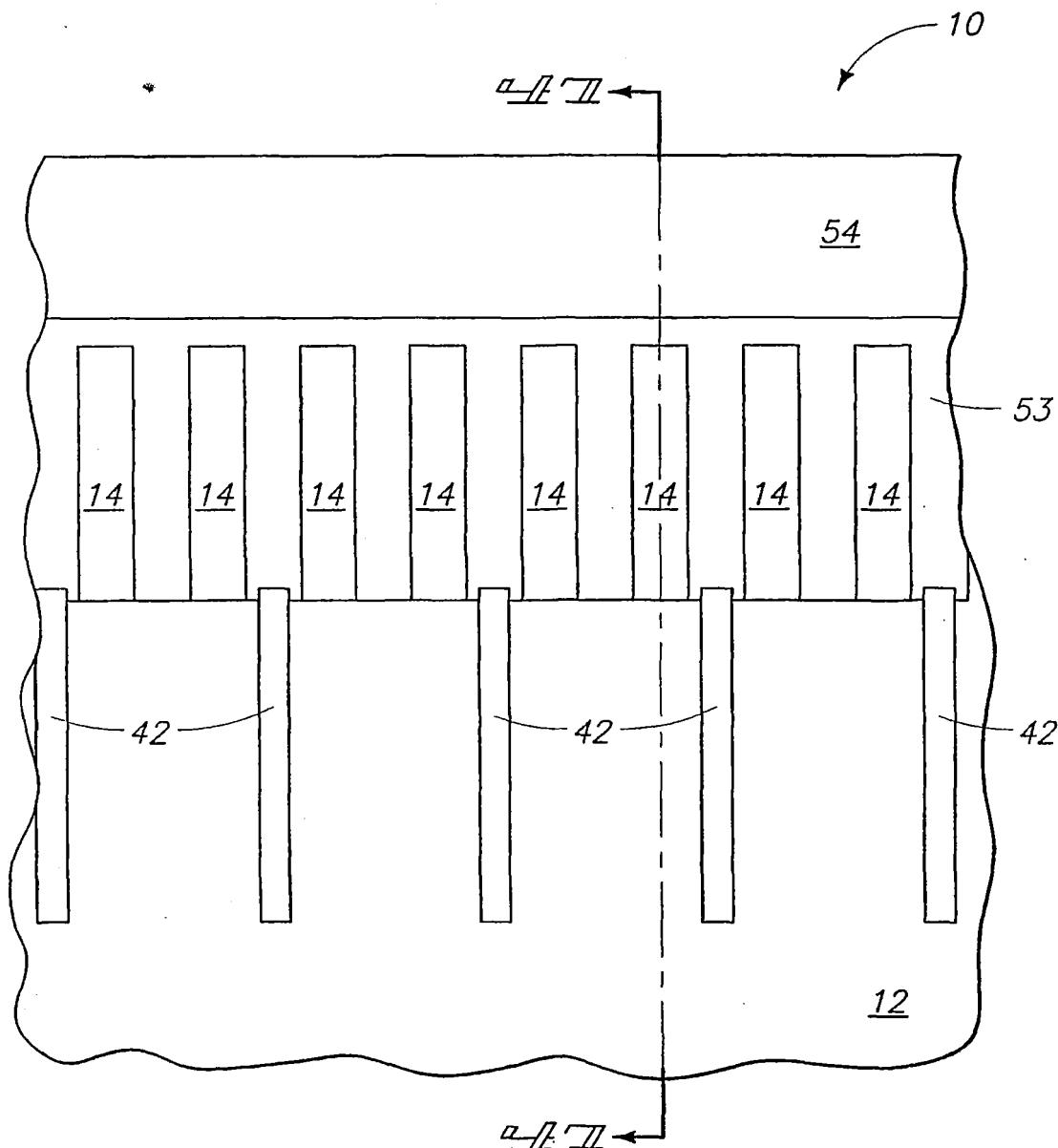
图二 图三



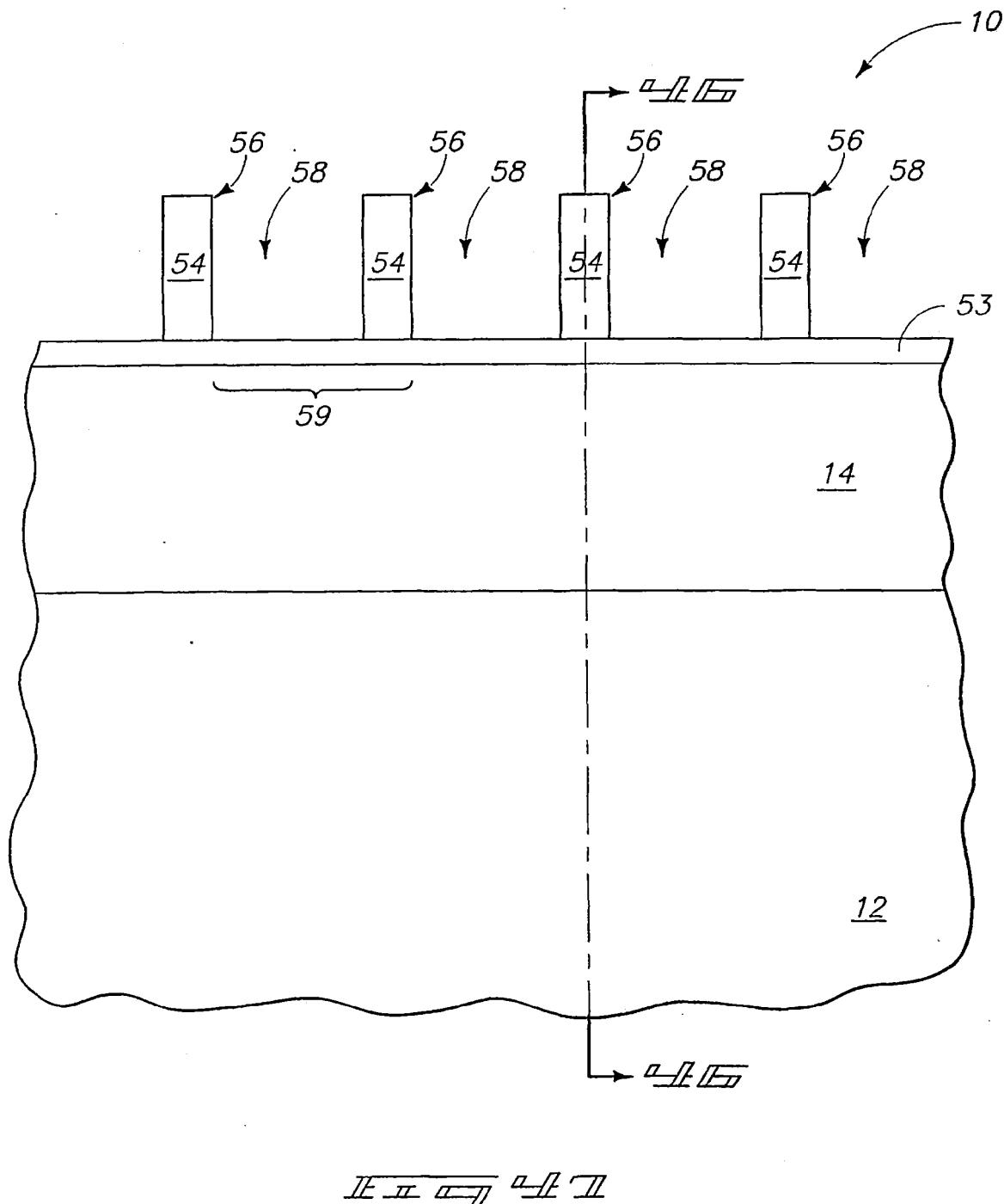


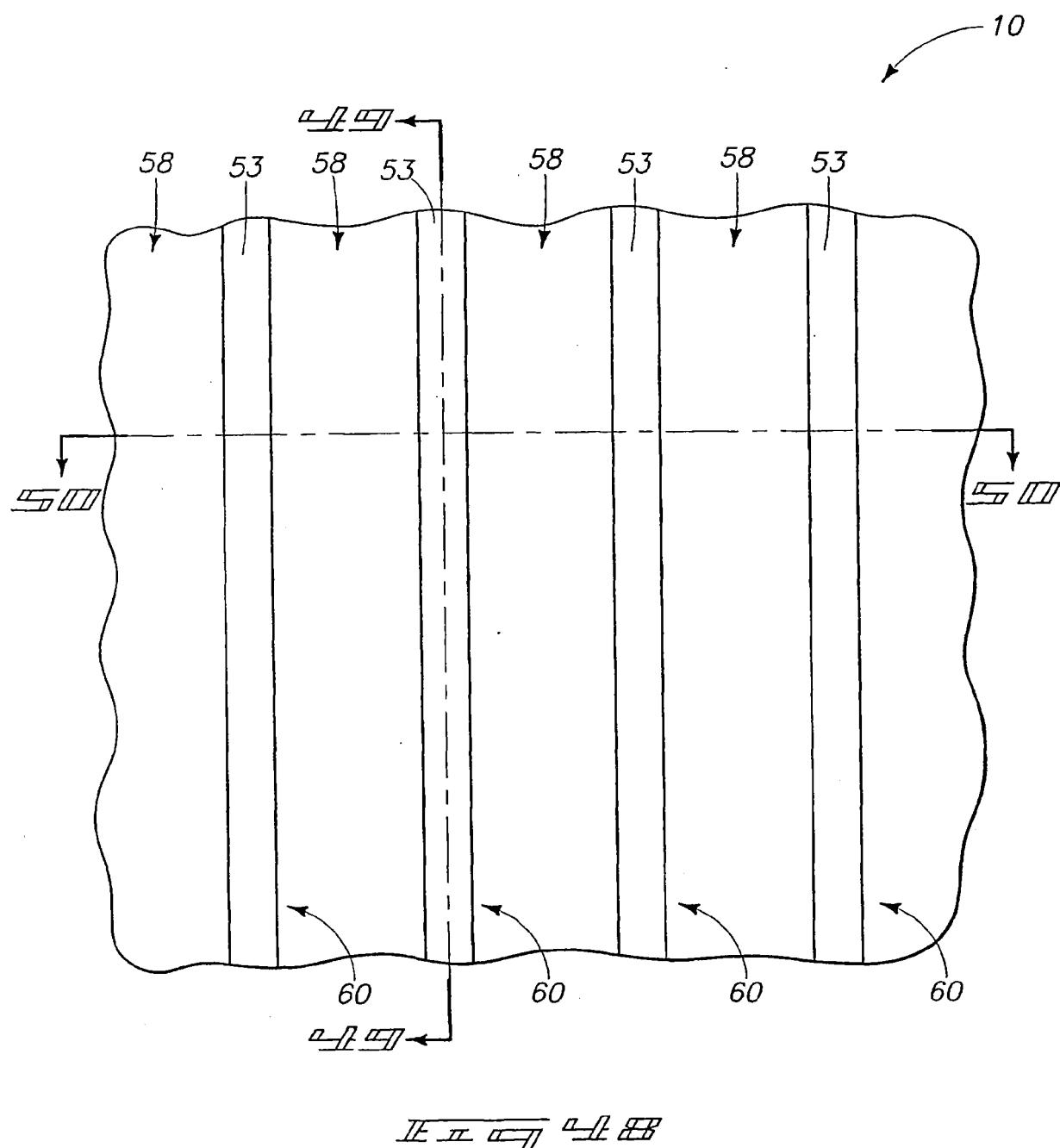
正 二 三 四 五 六

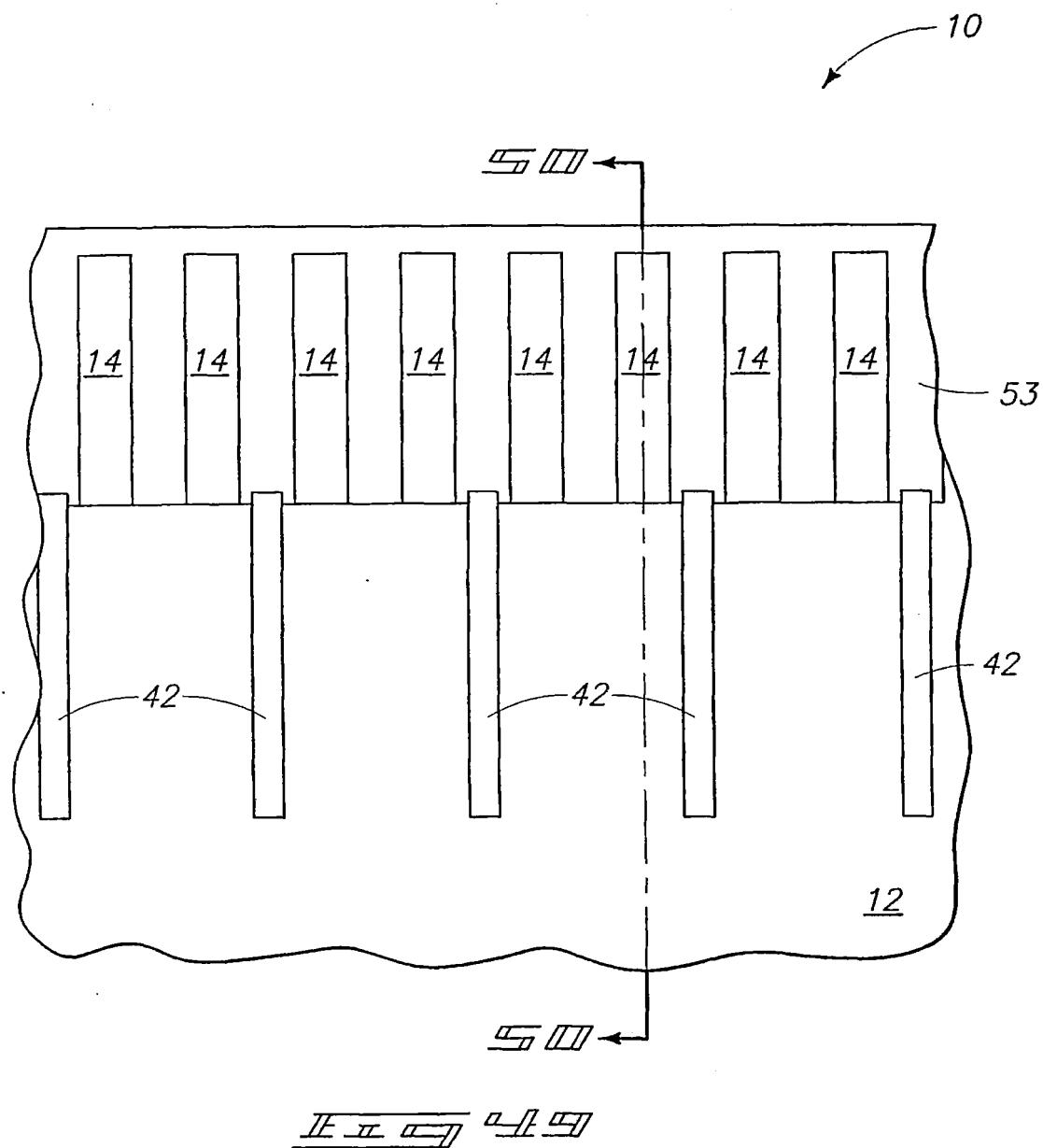


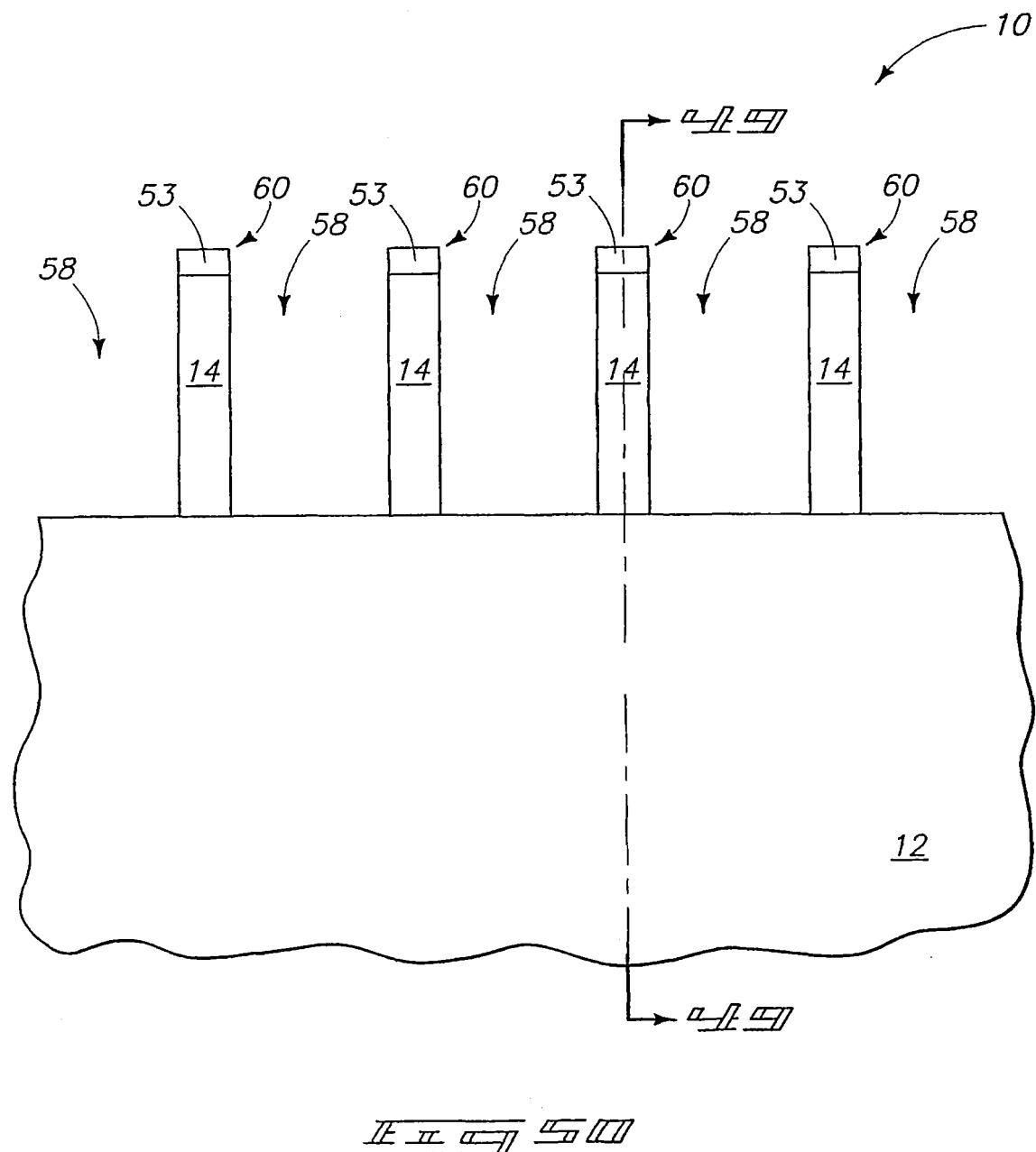


一一一 一一一

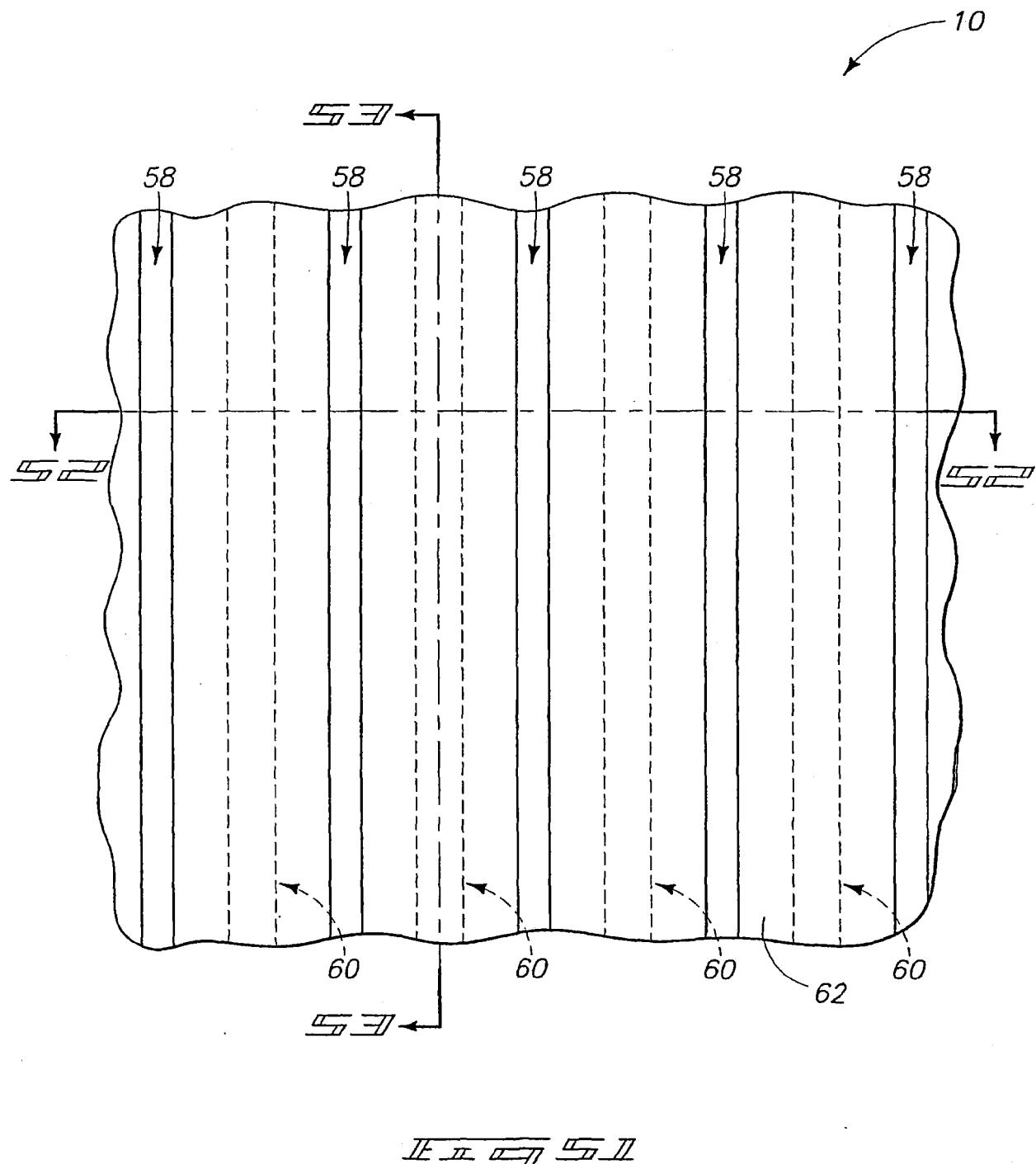


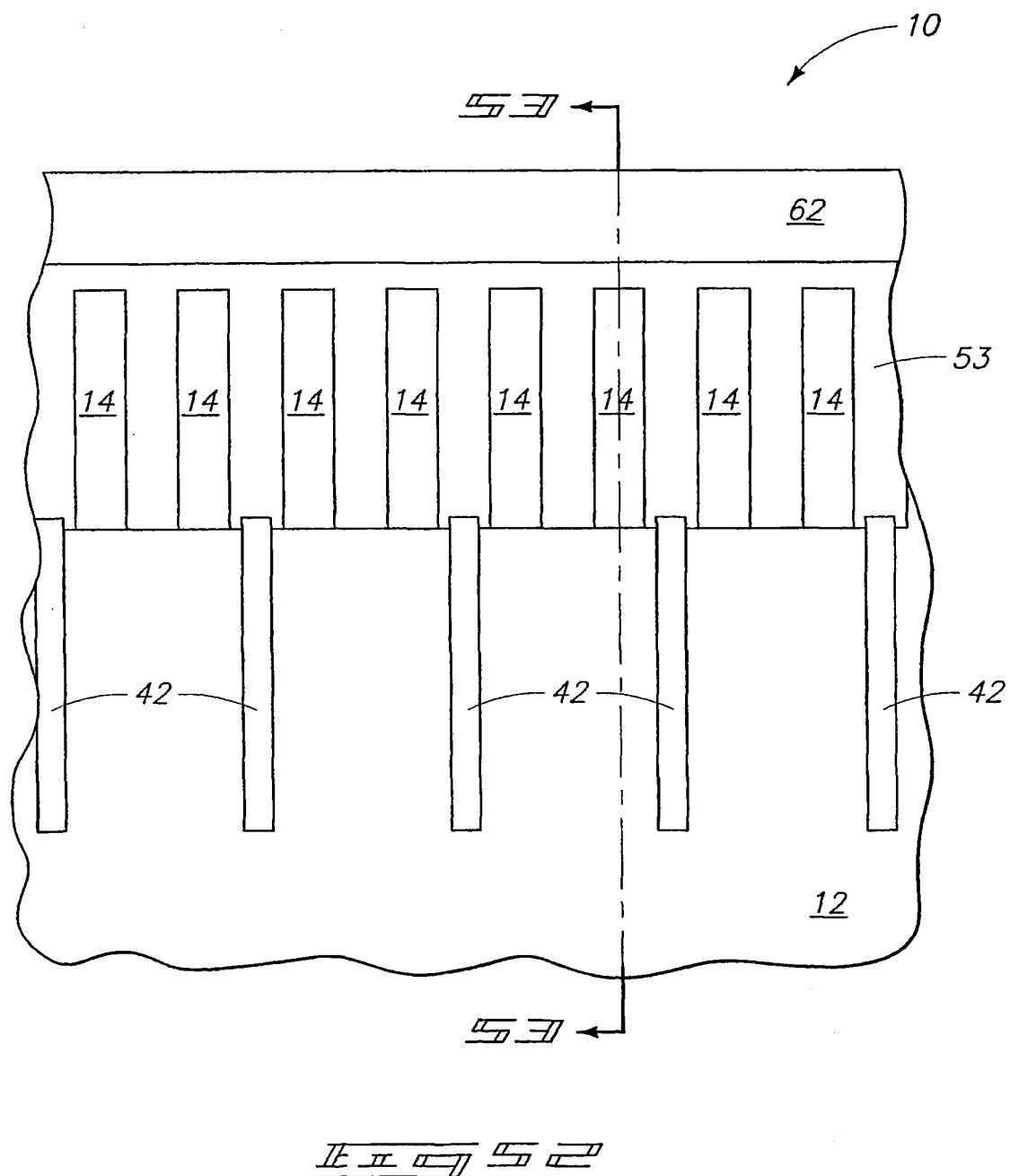


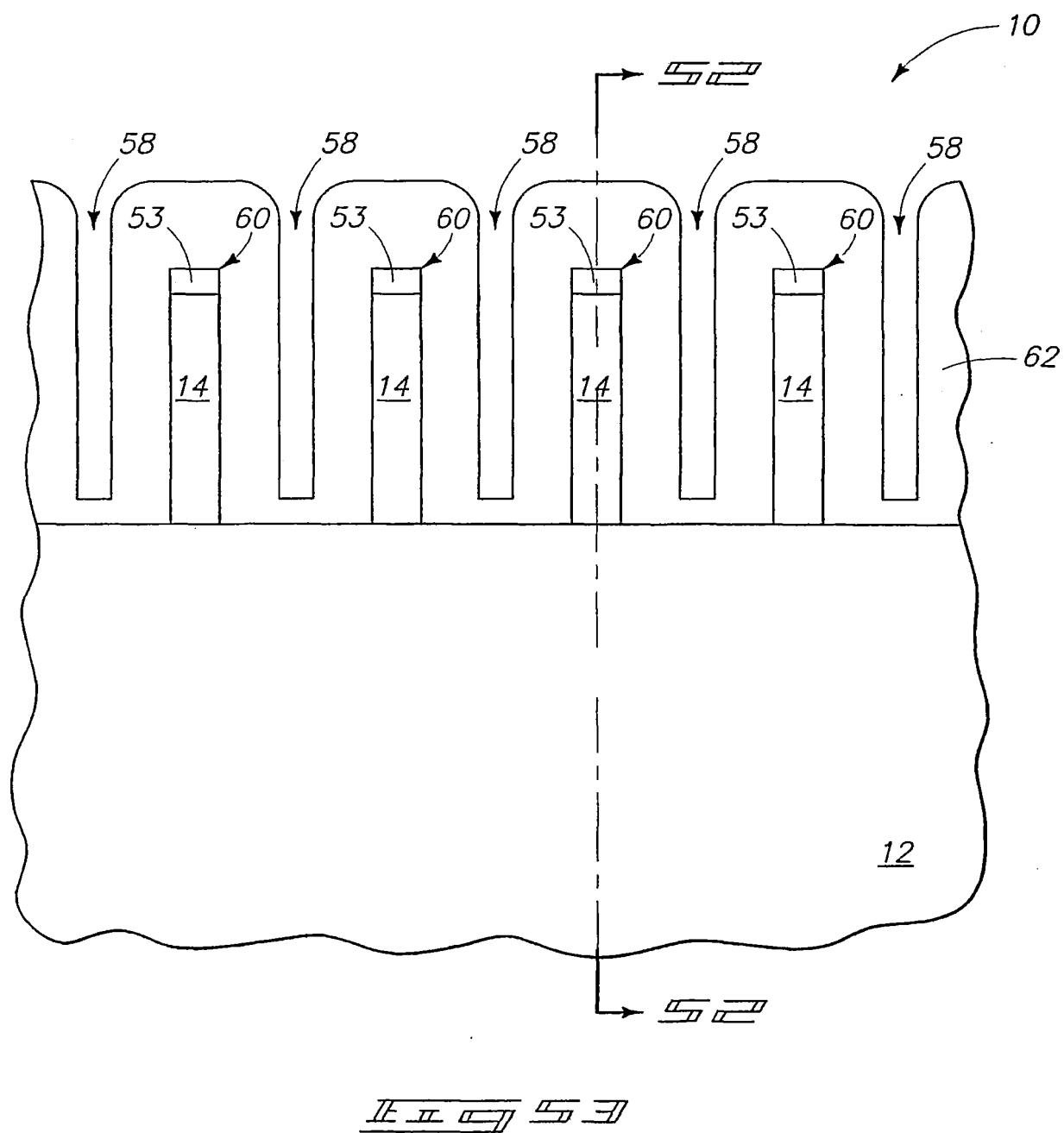


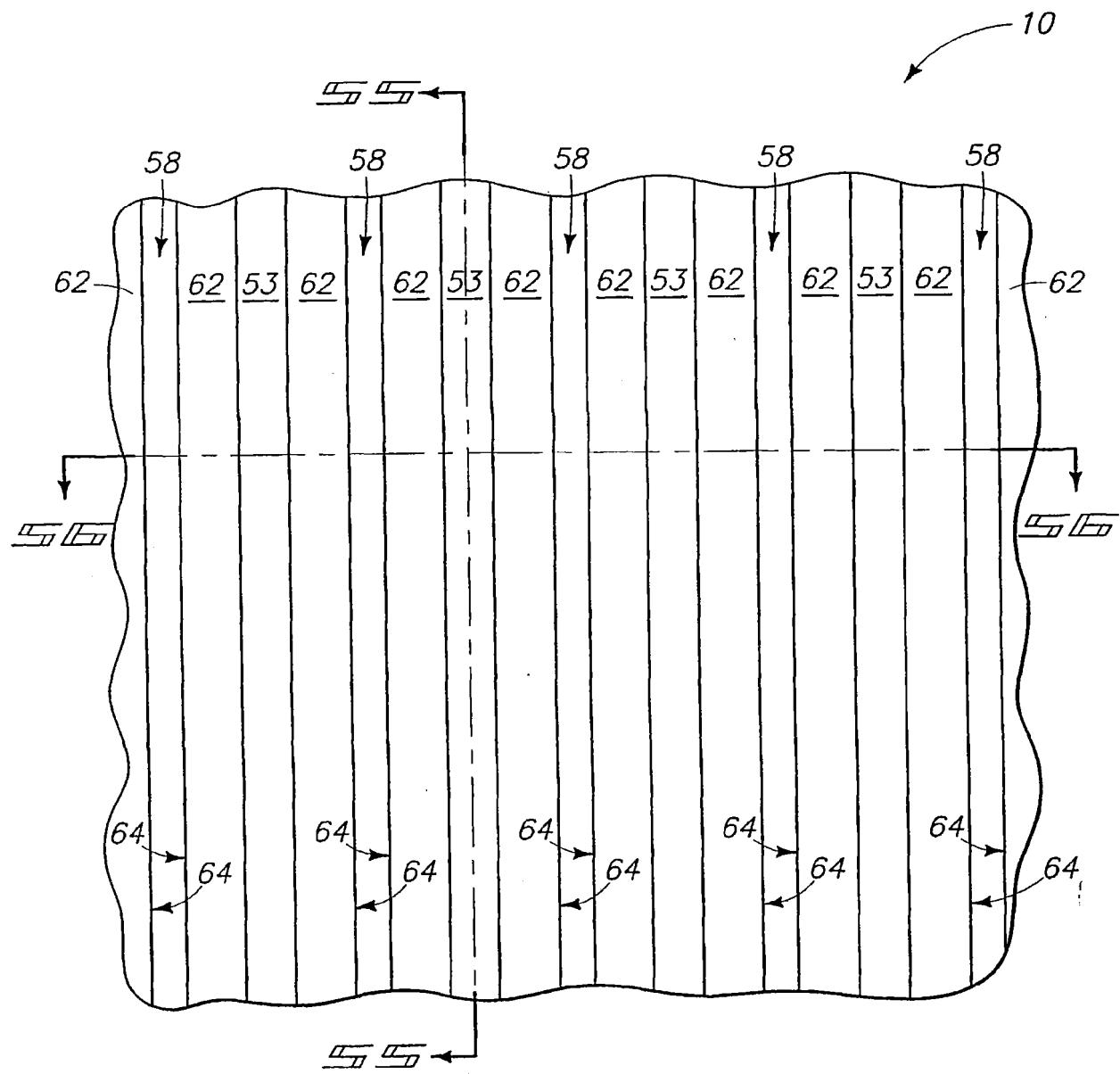


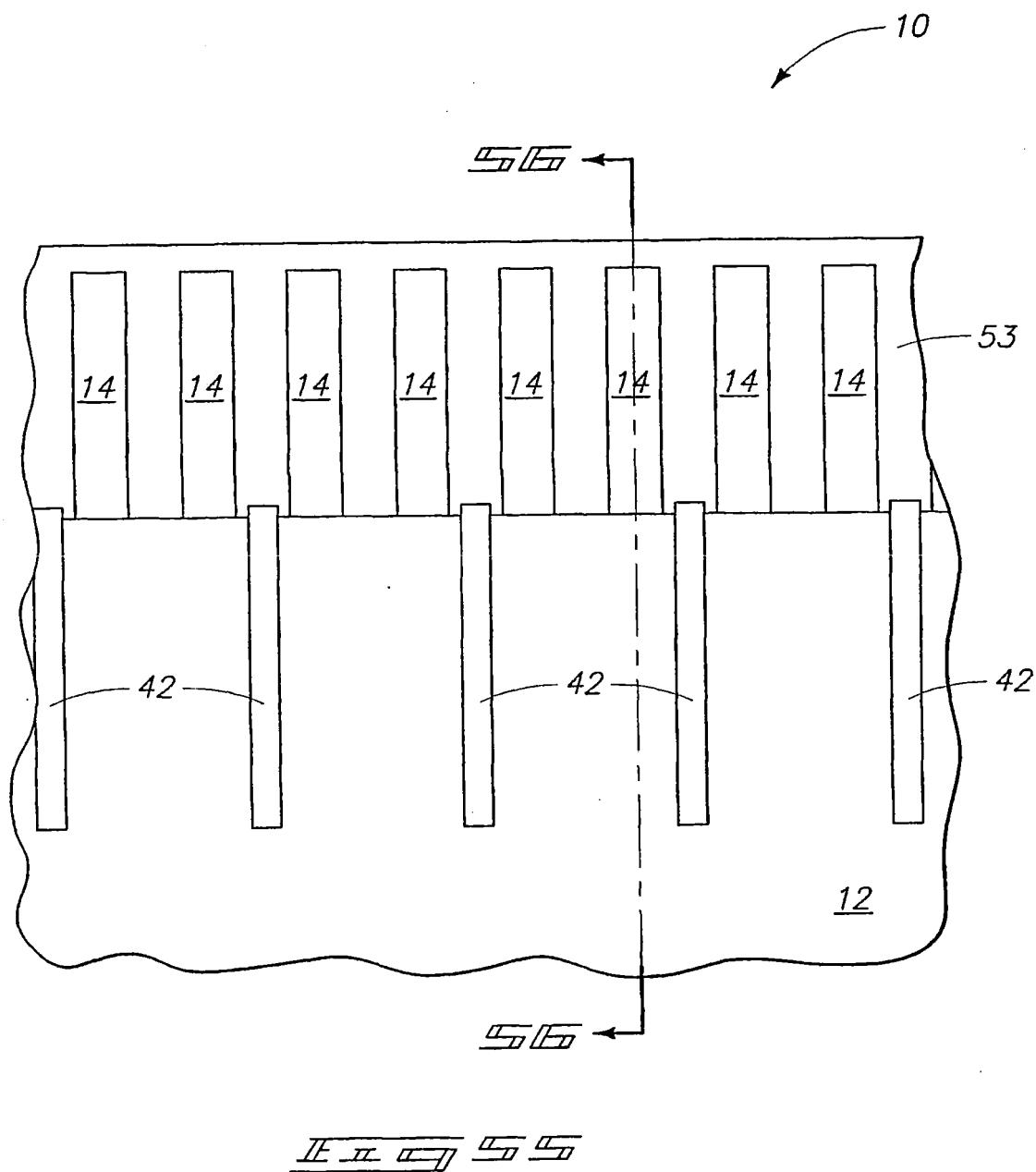
正立图 500

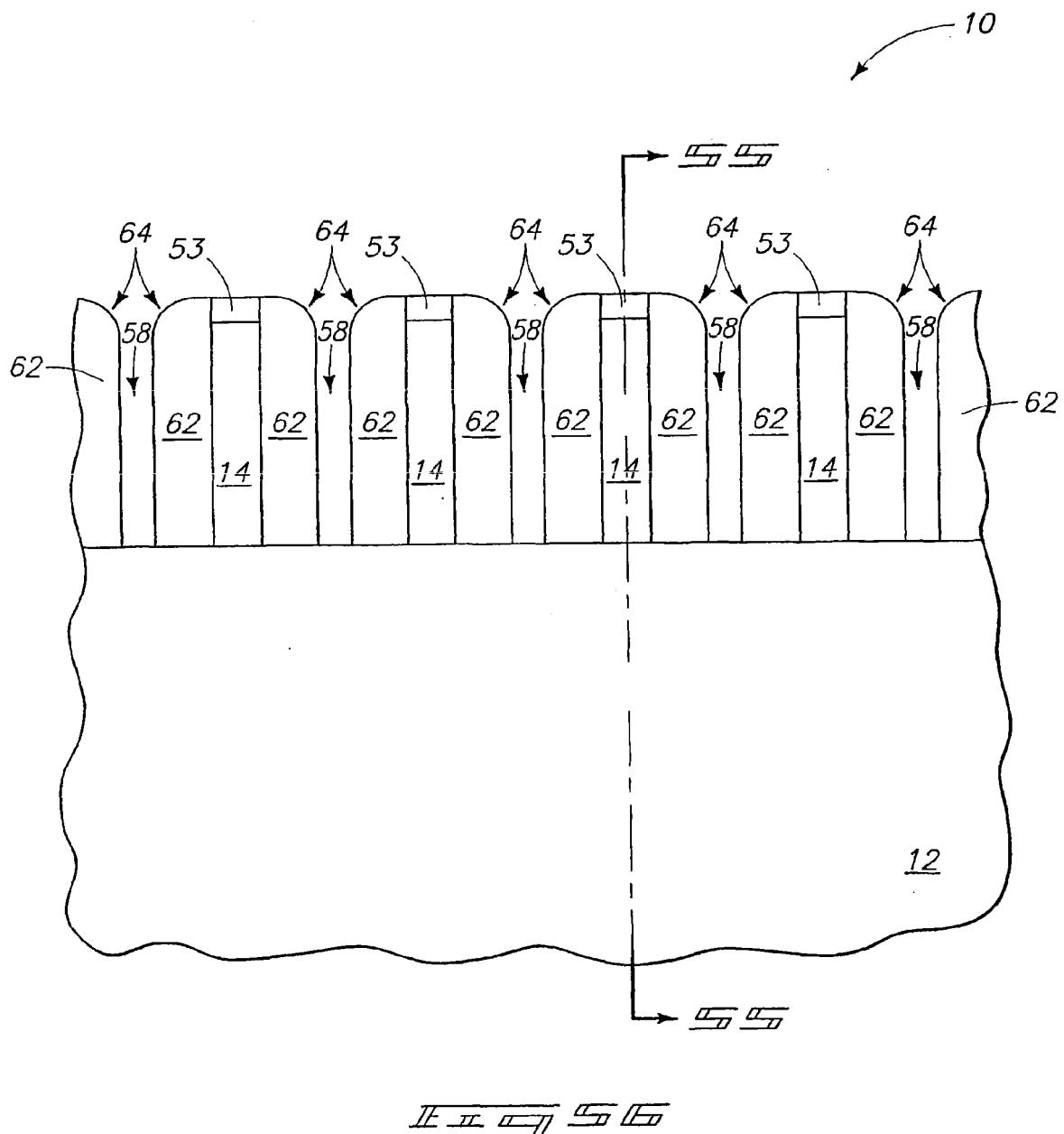


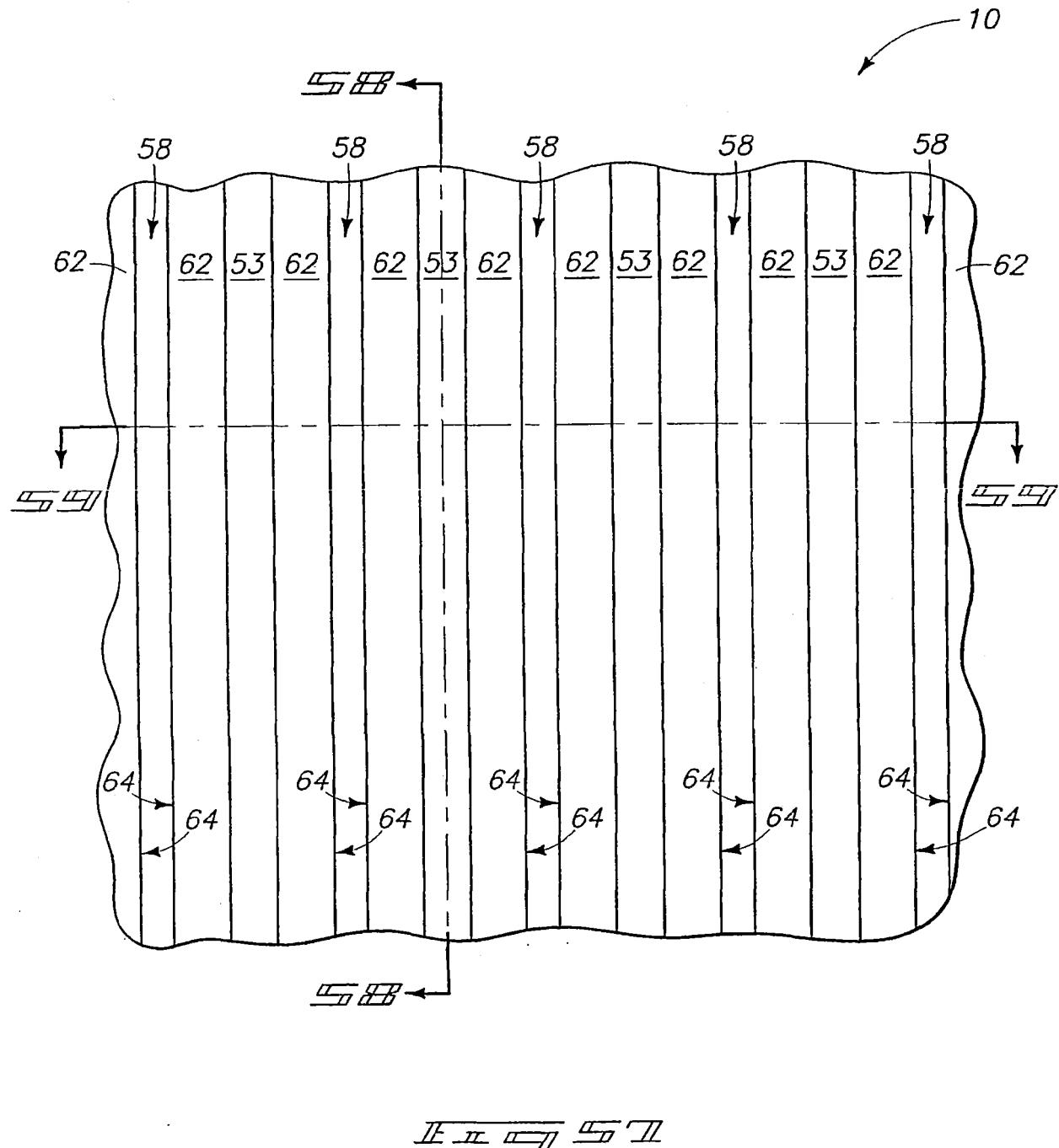


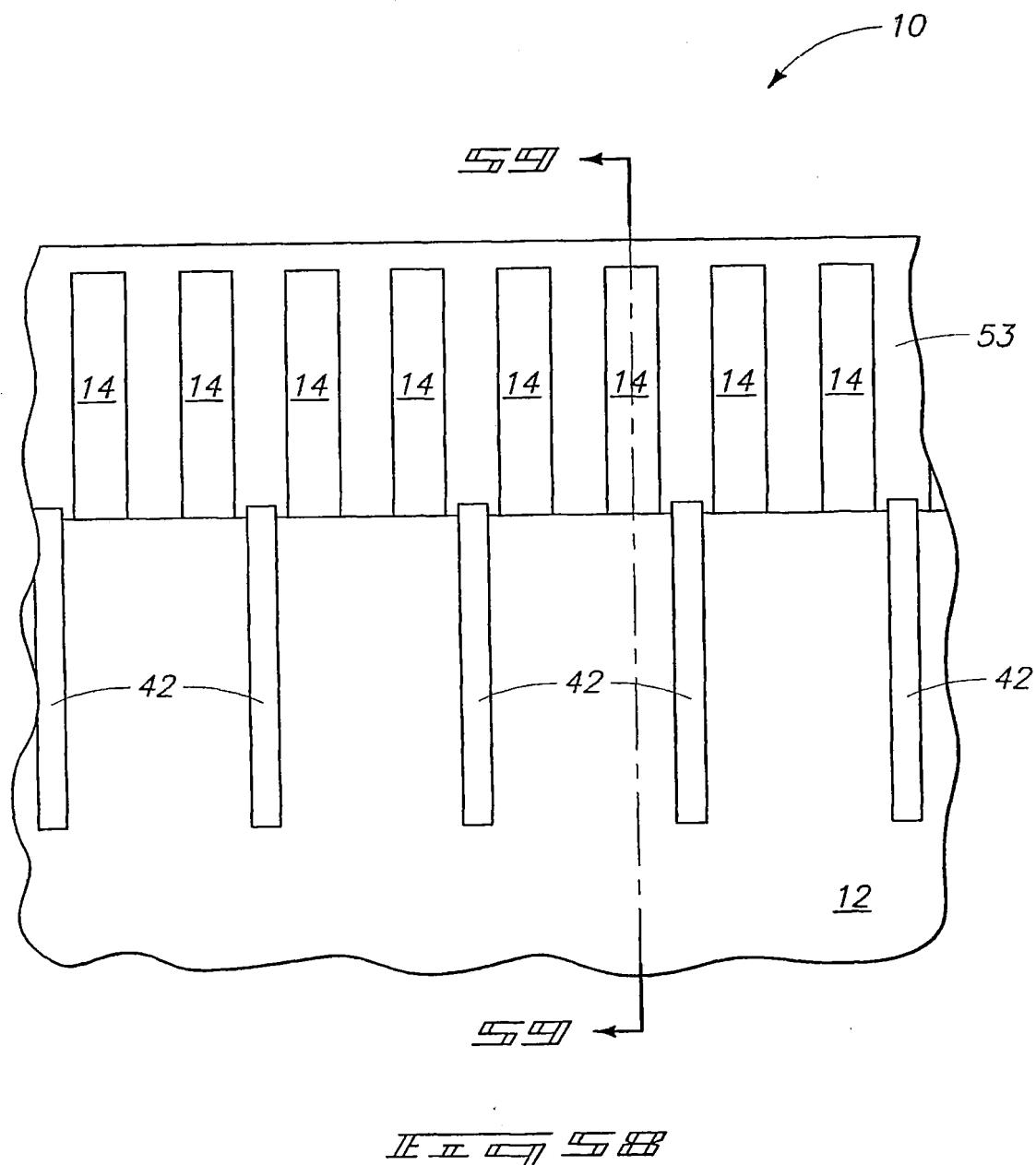


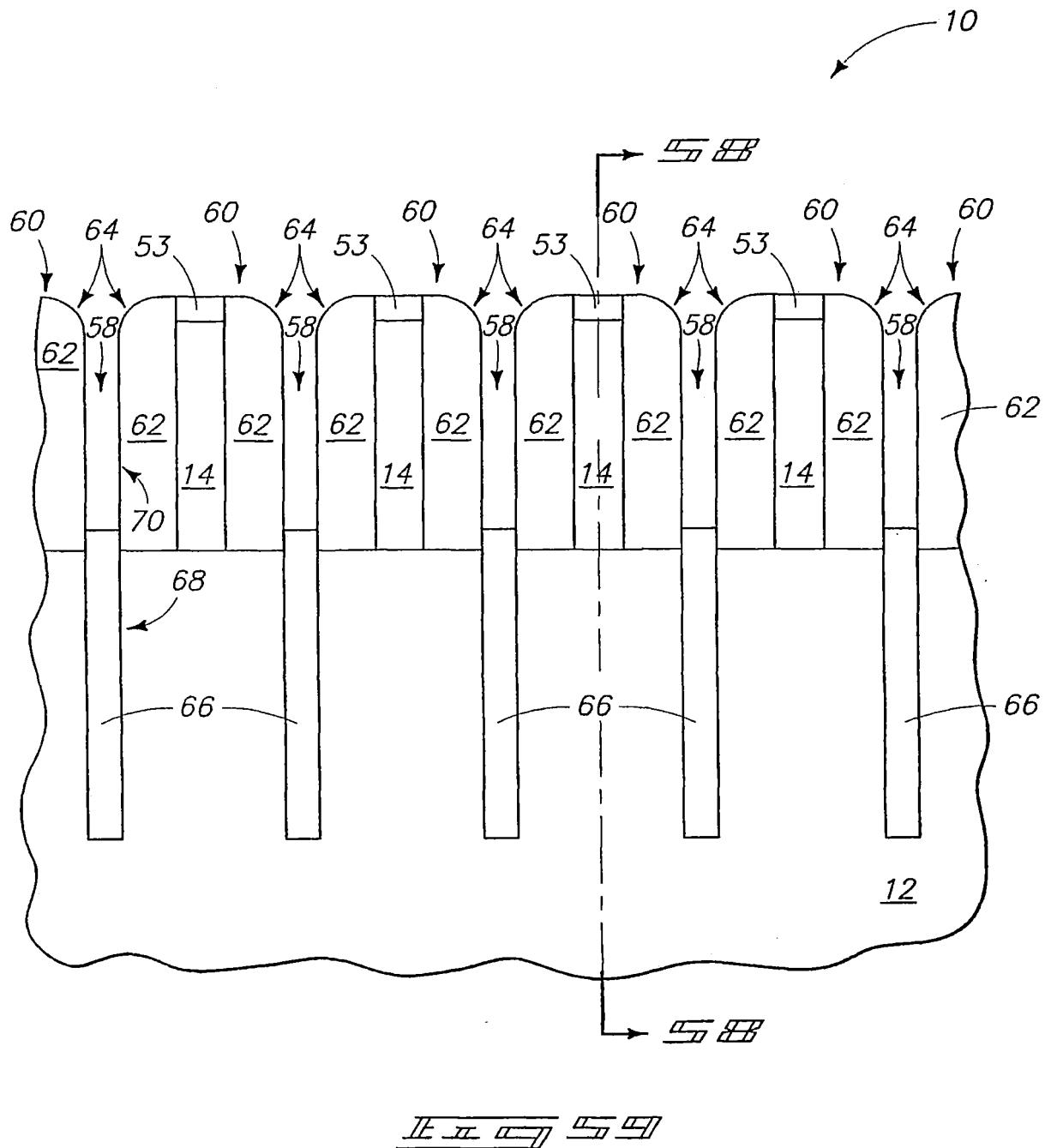


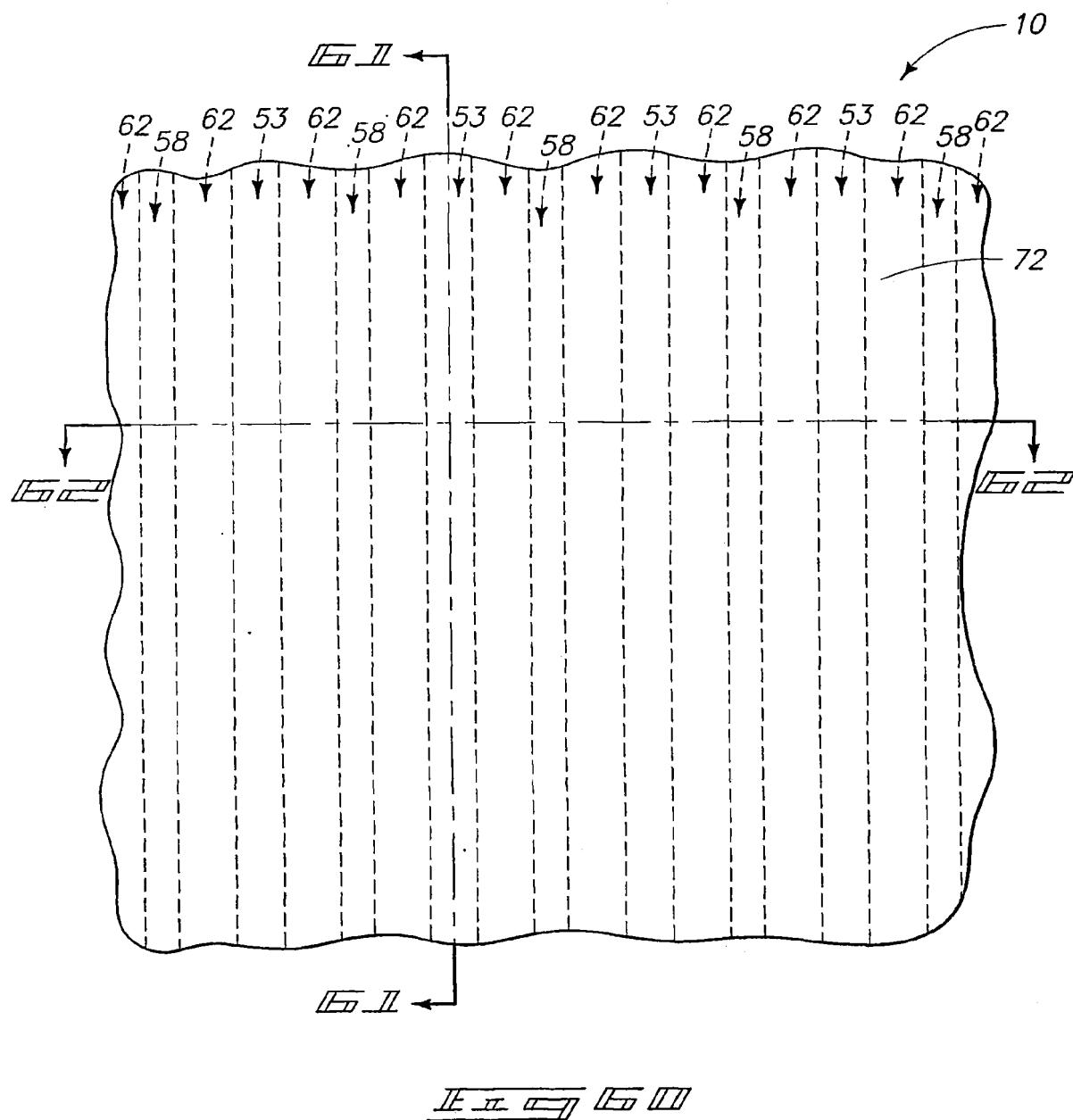


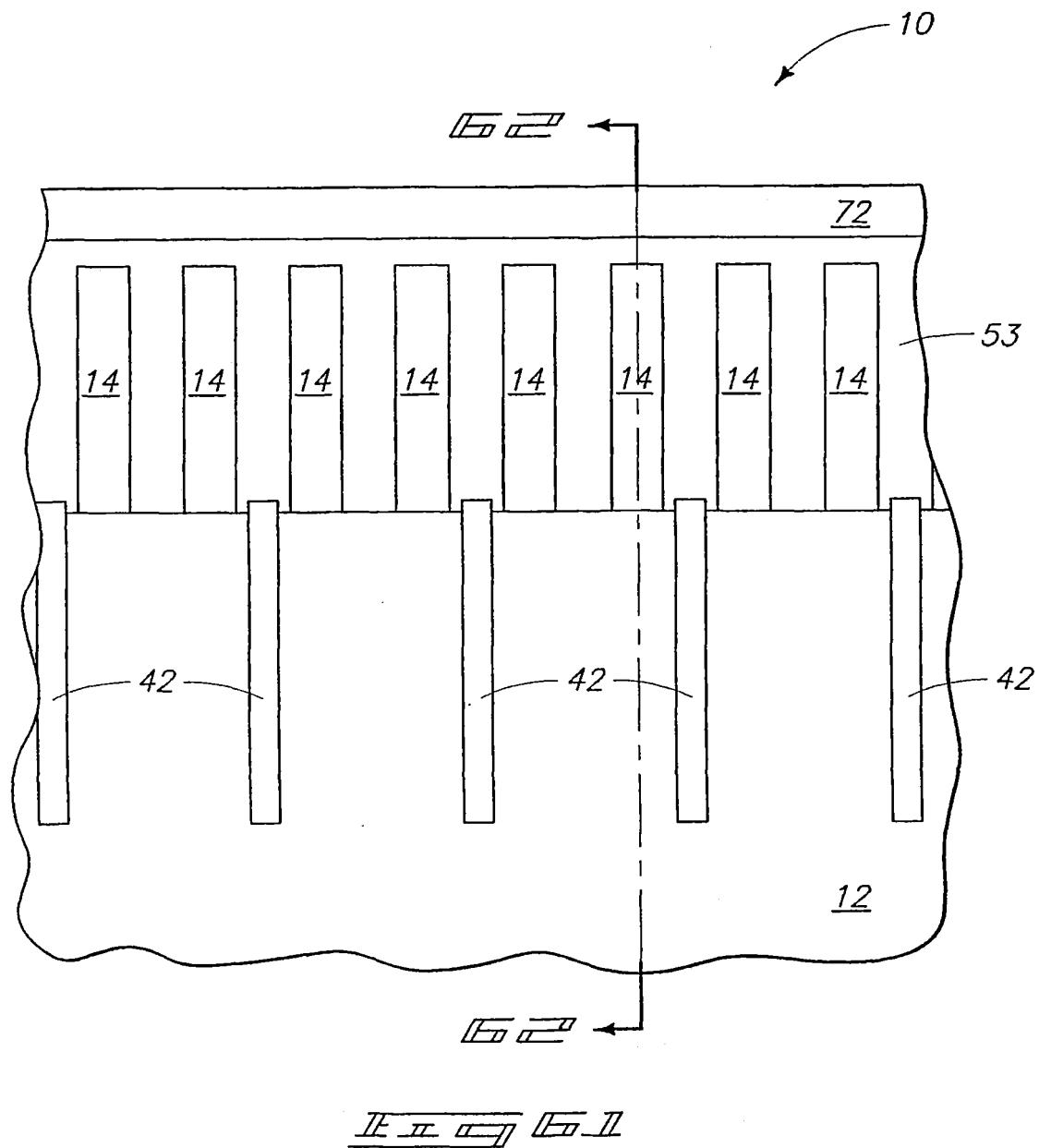


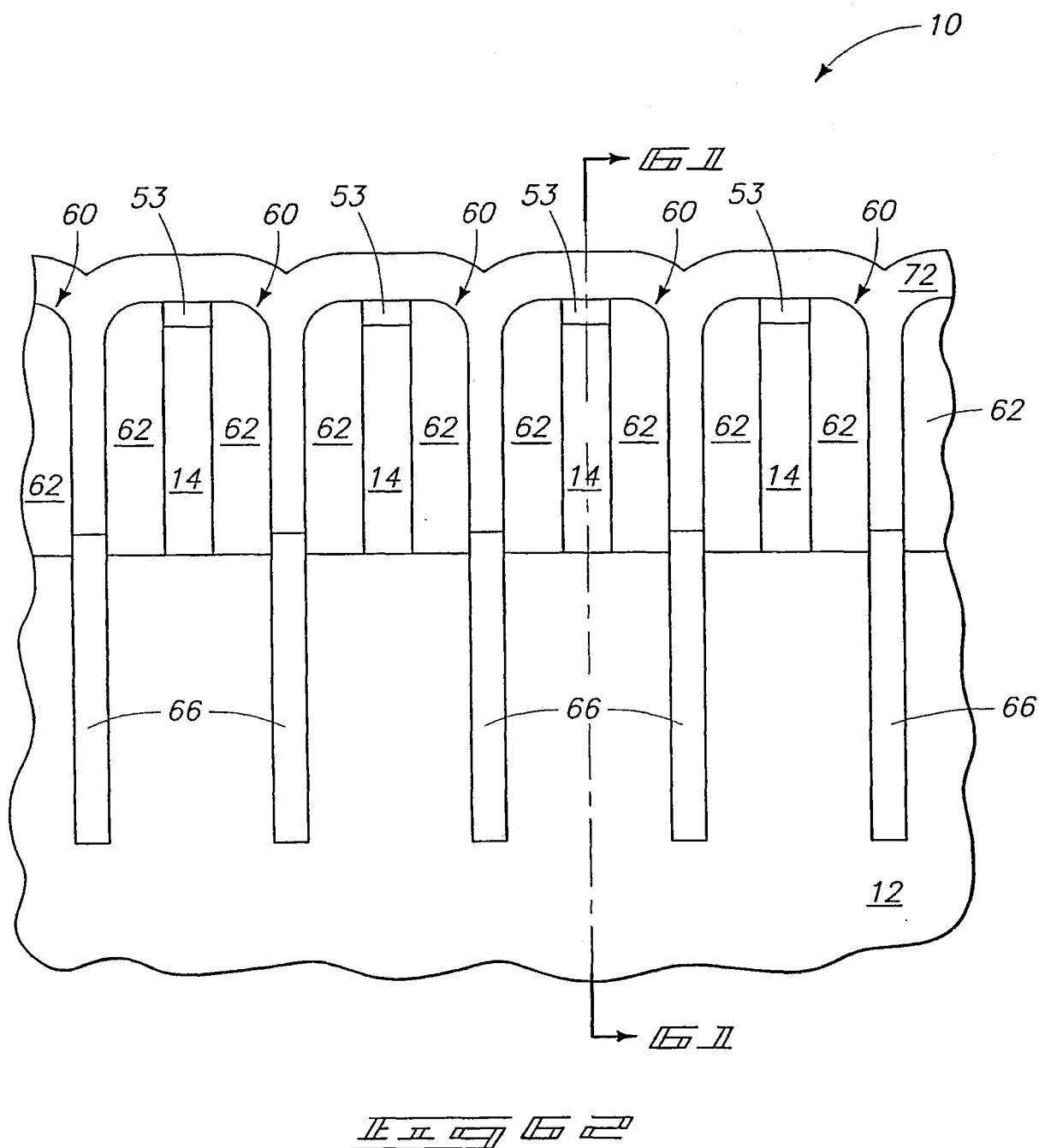


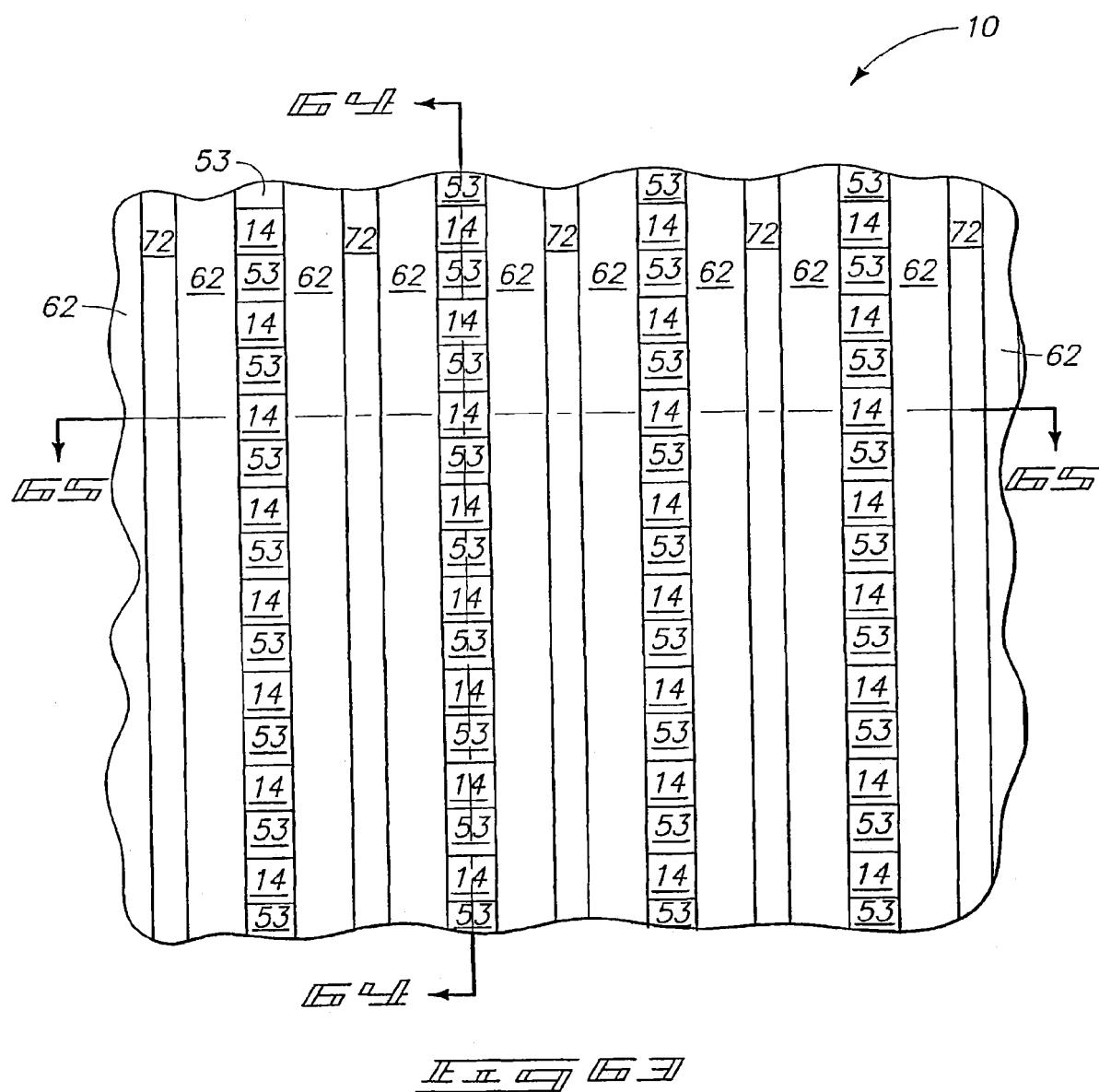


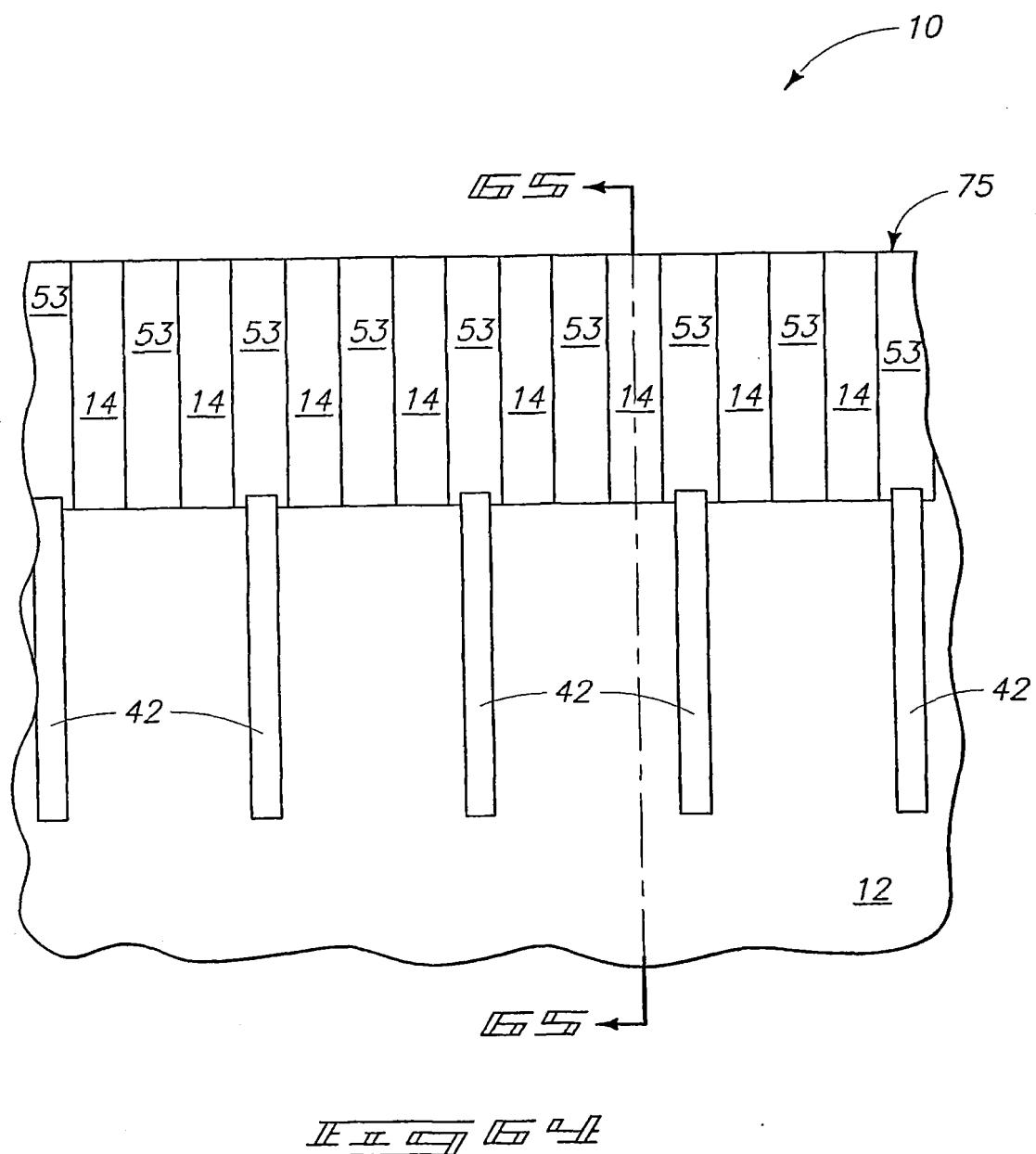


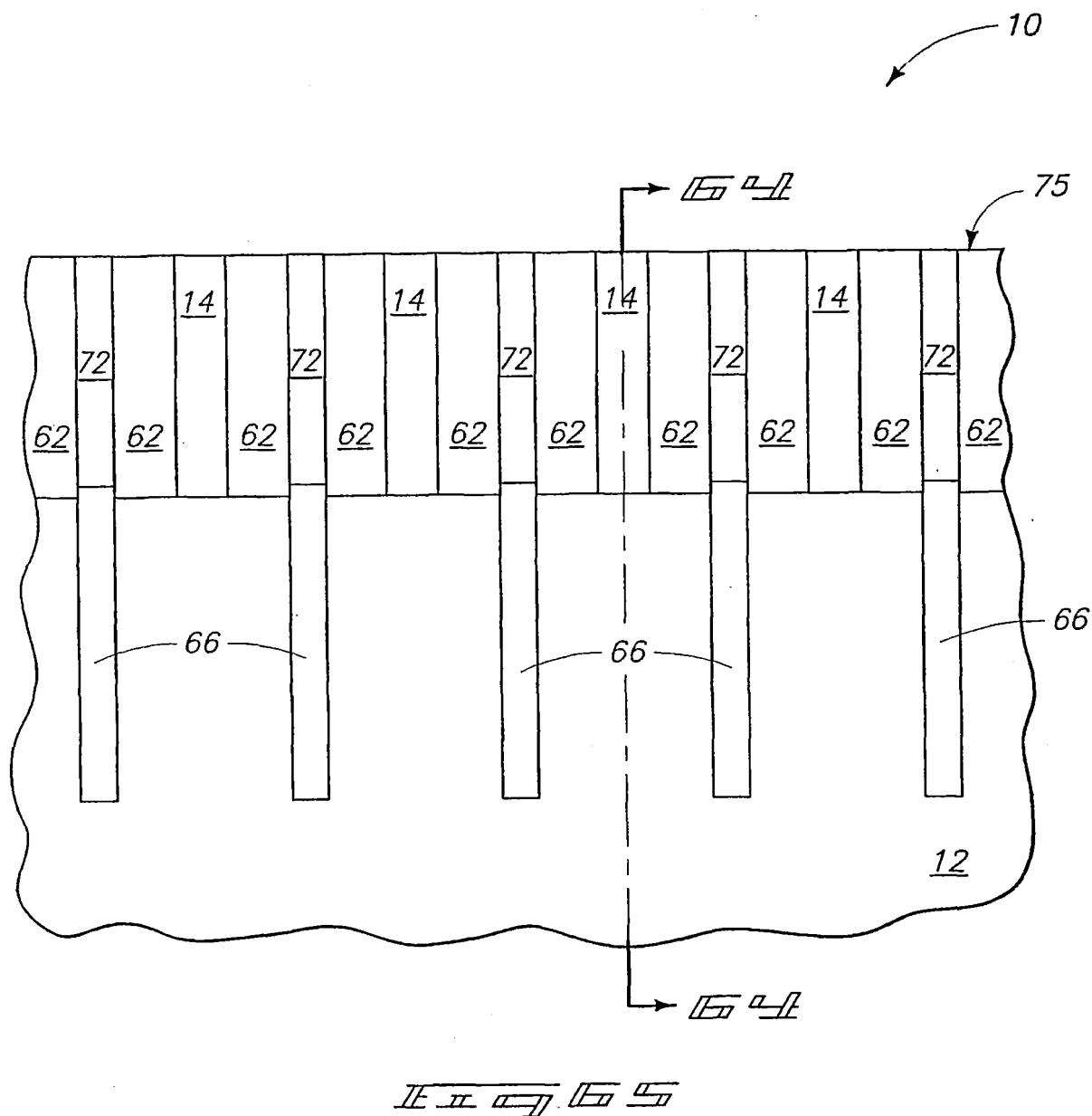


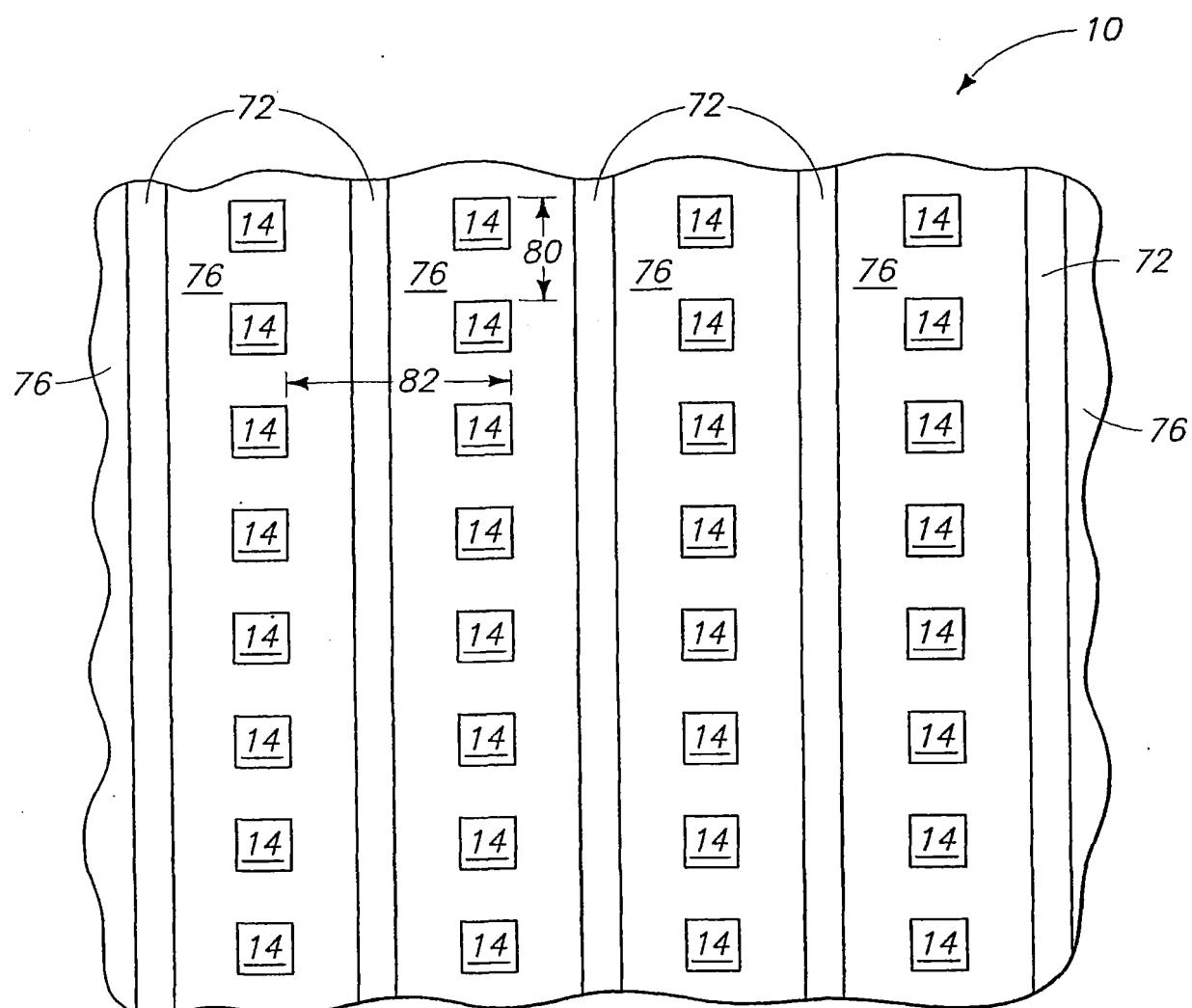




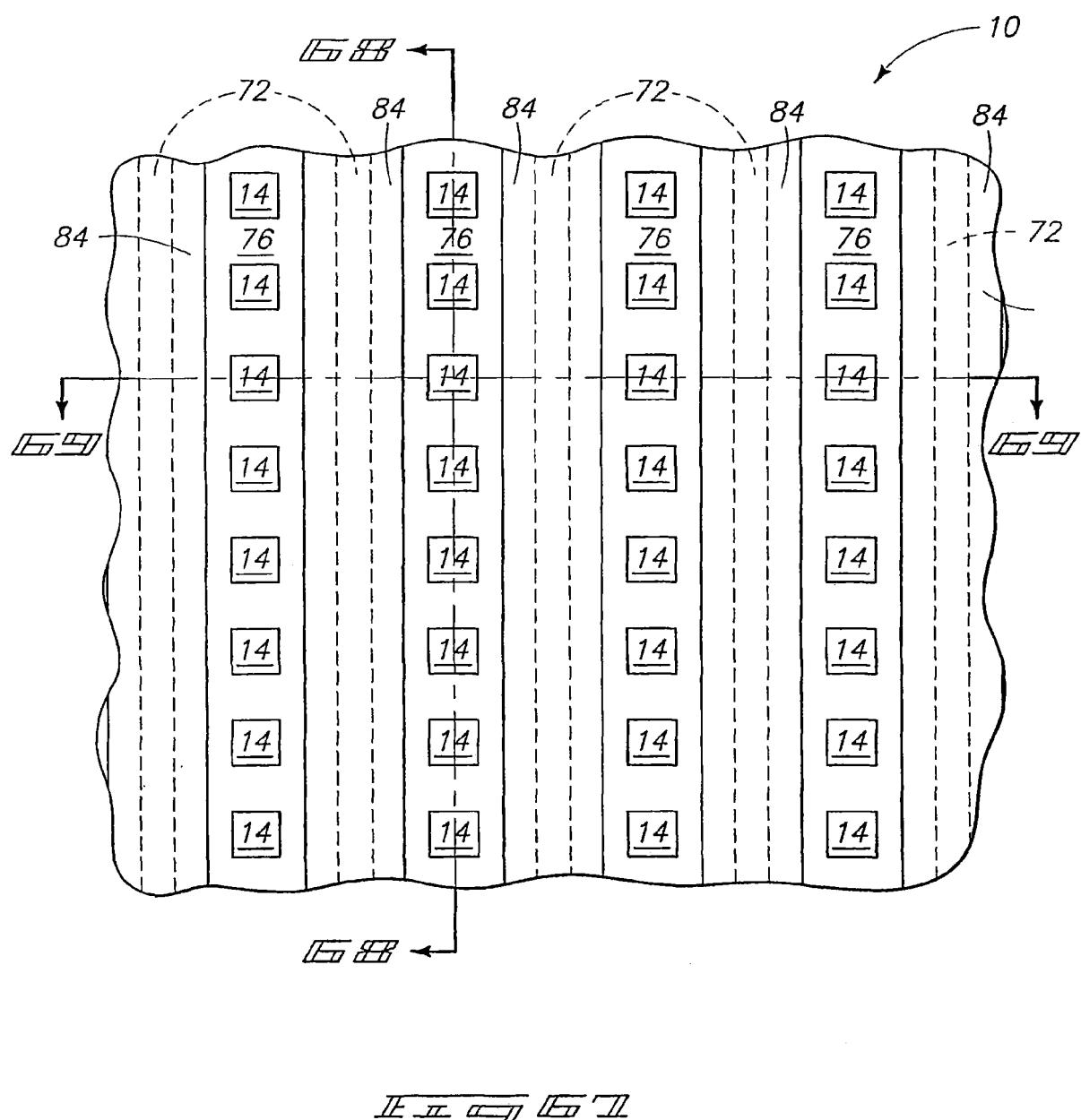


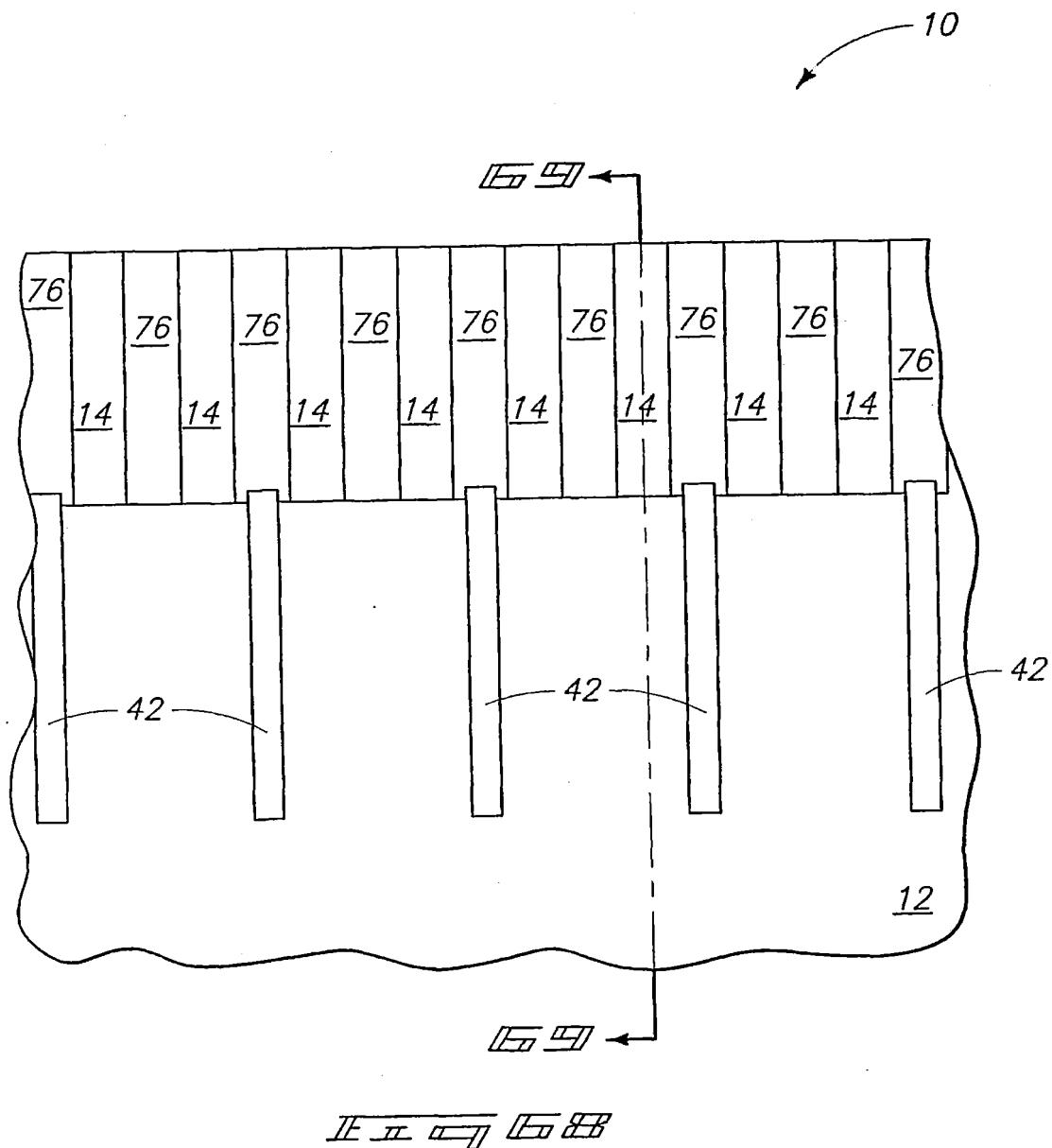


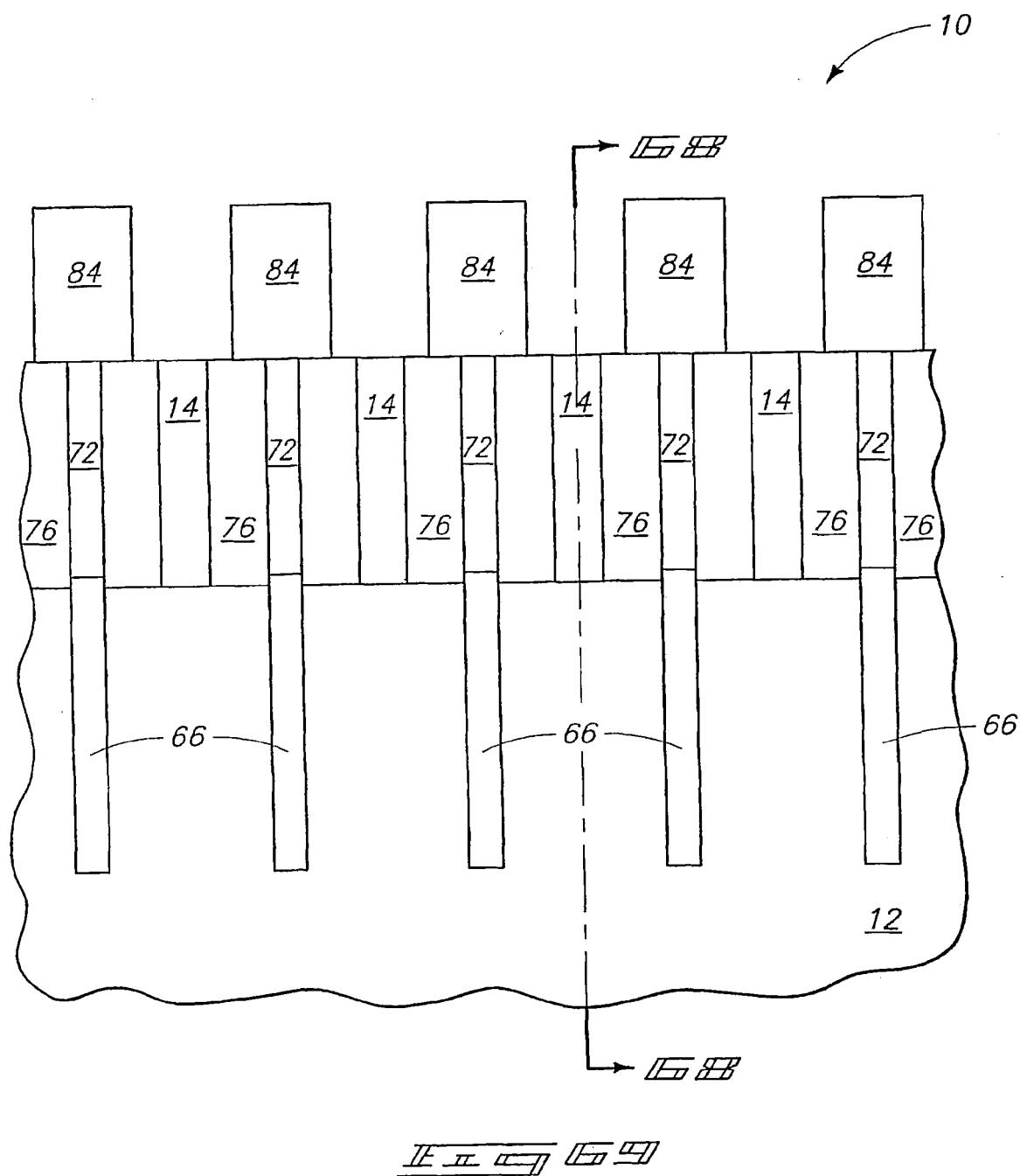


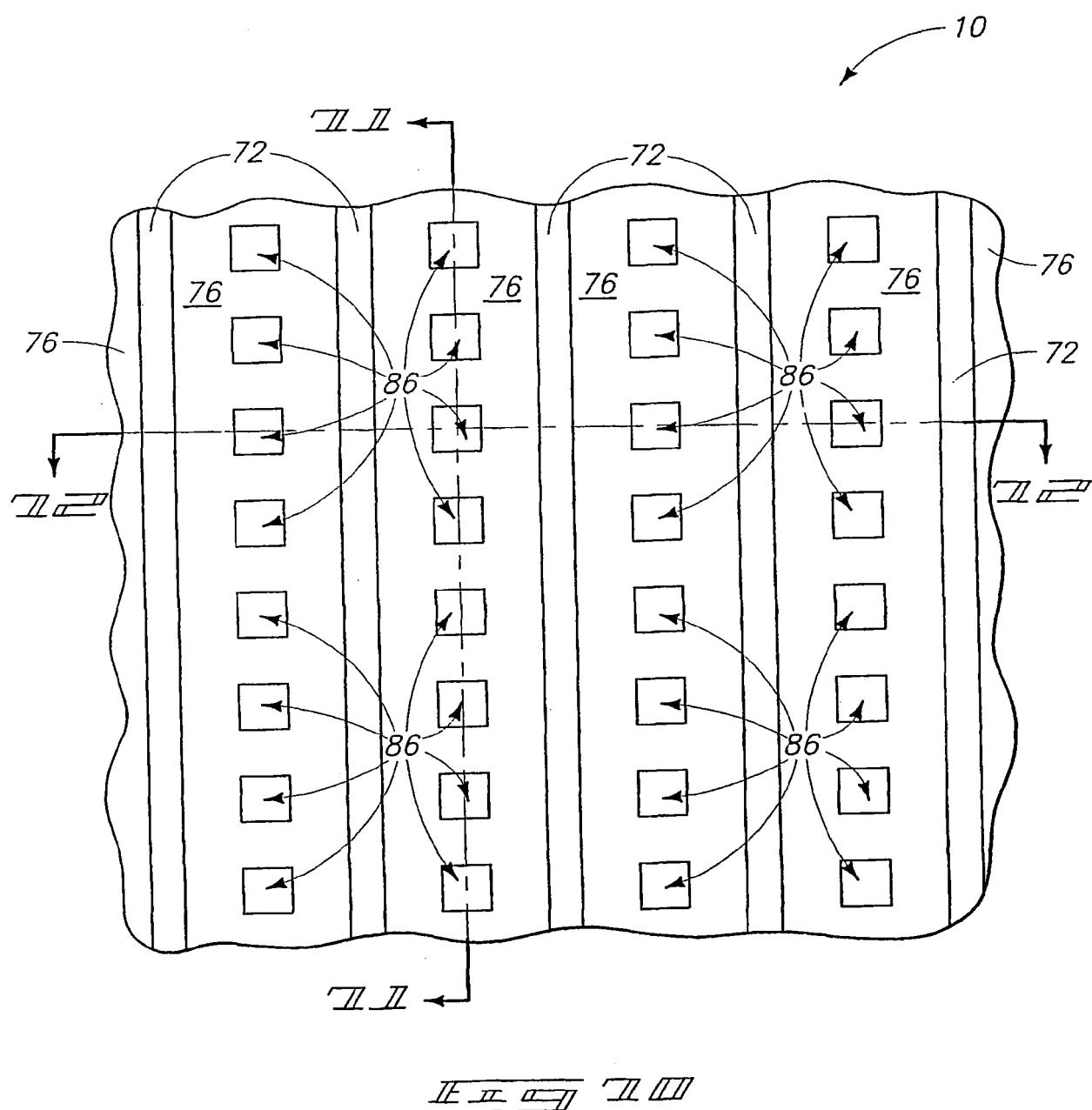


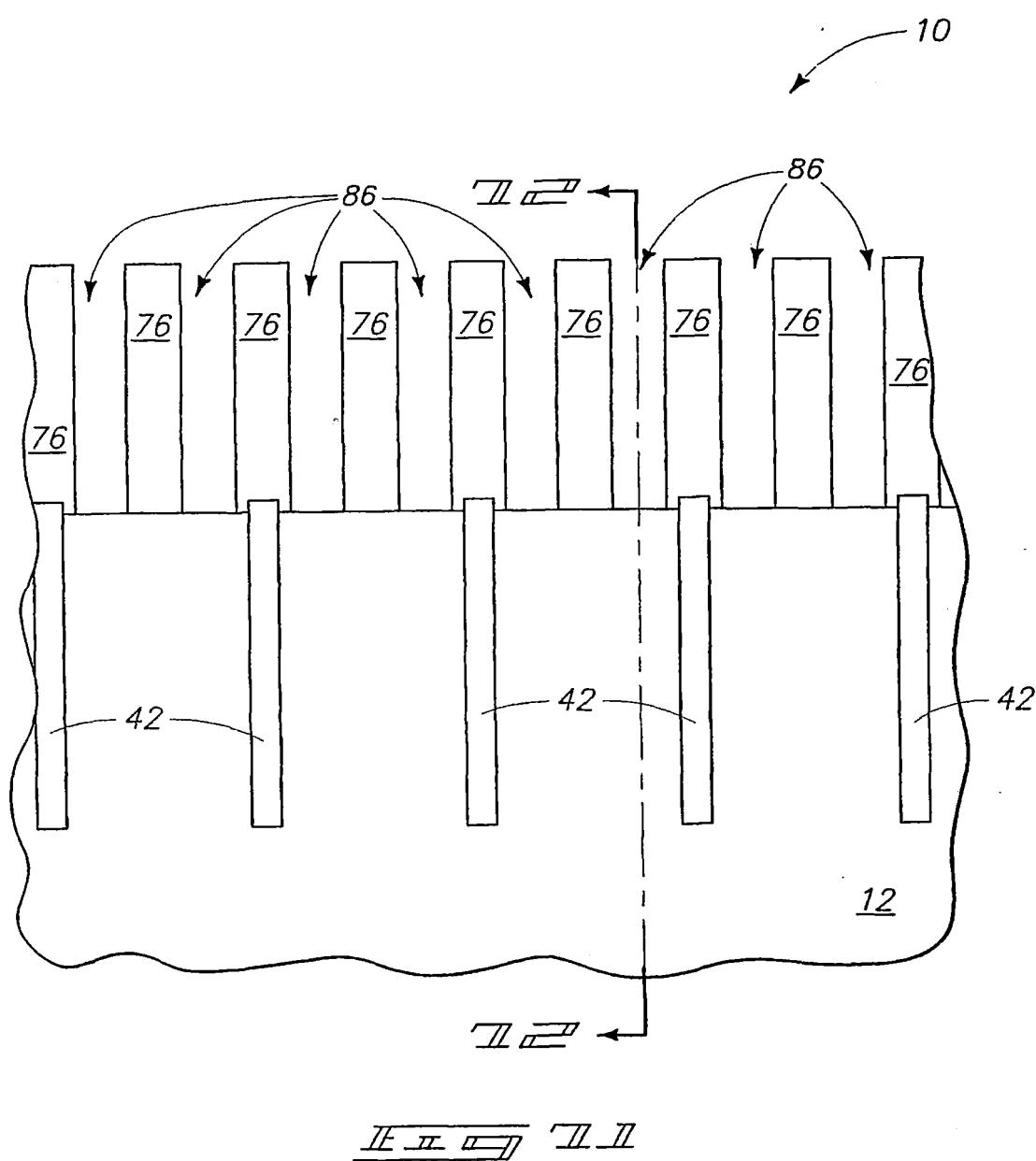
正立 正立

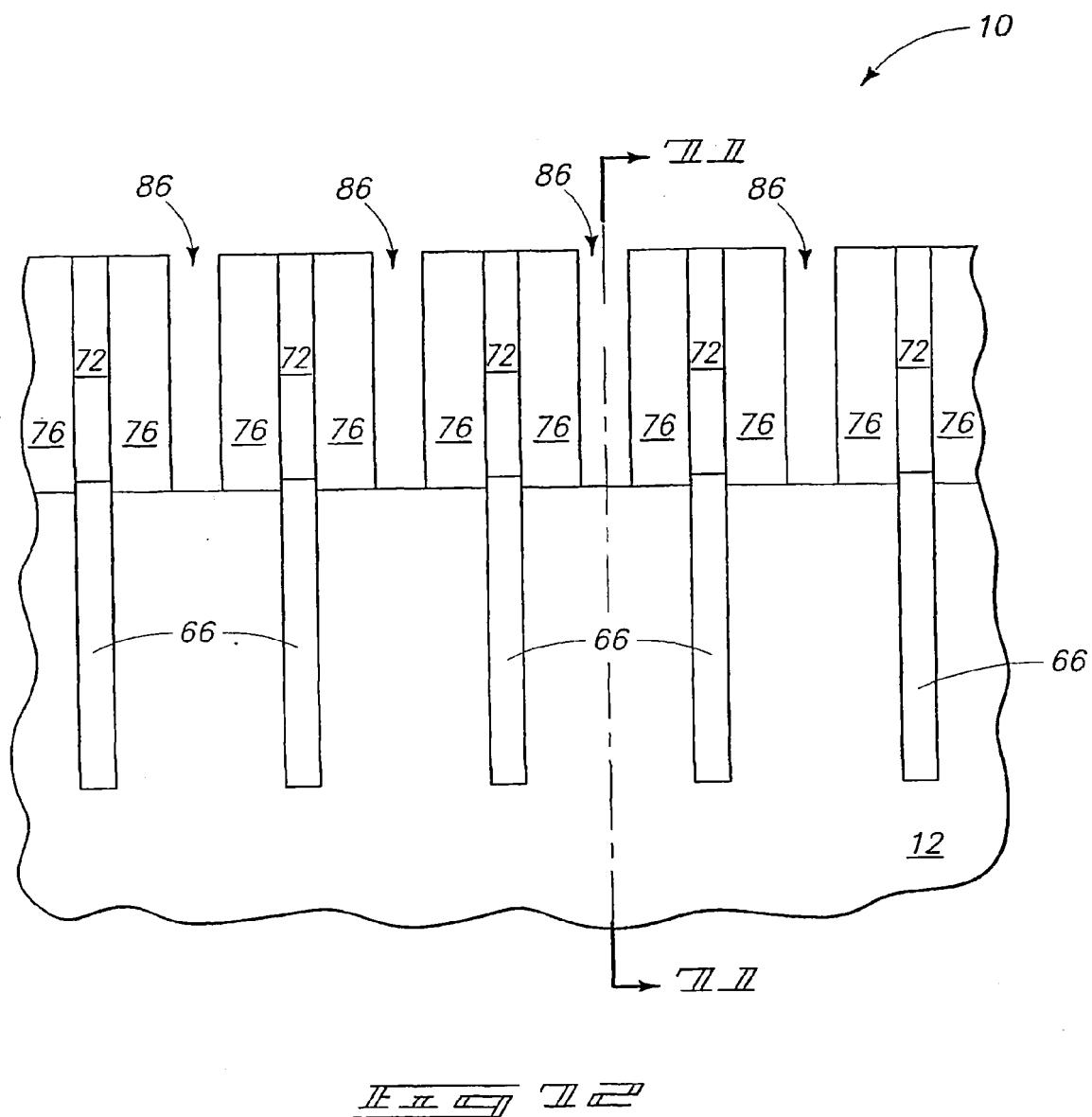


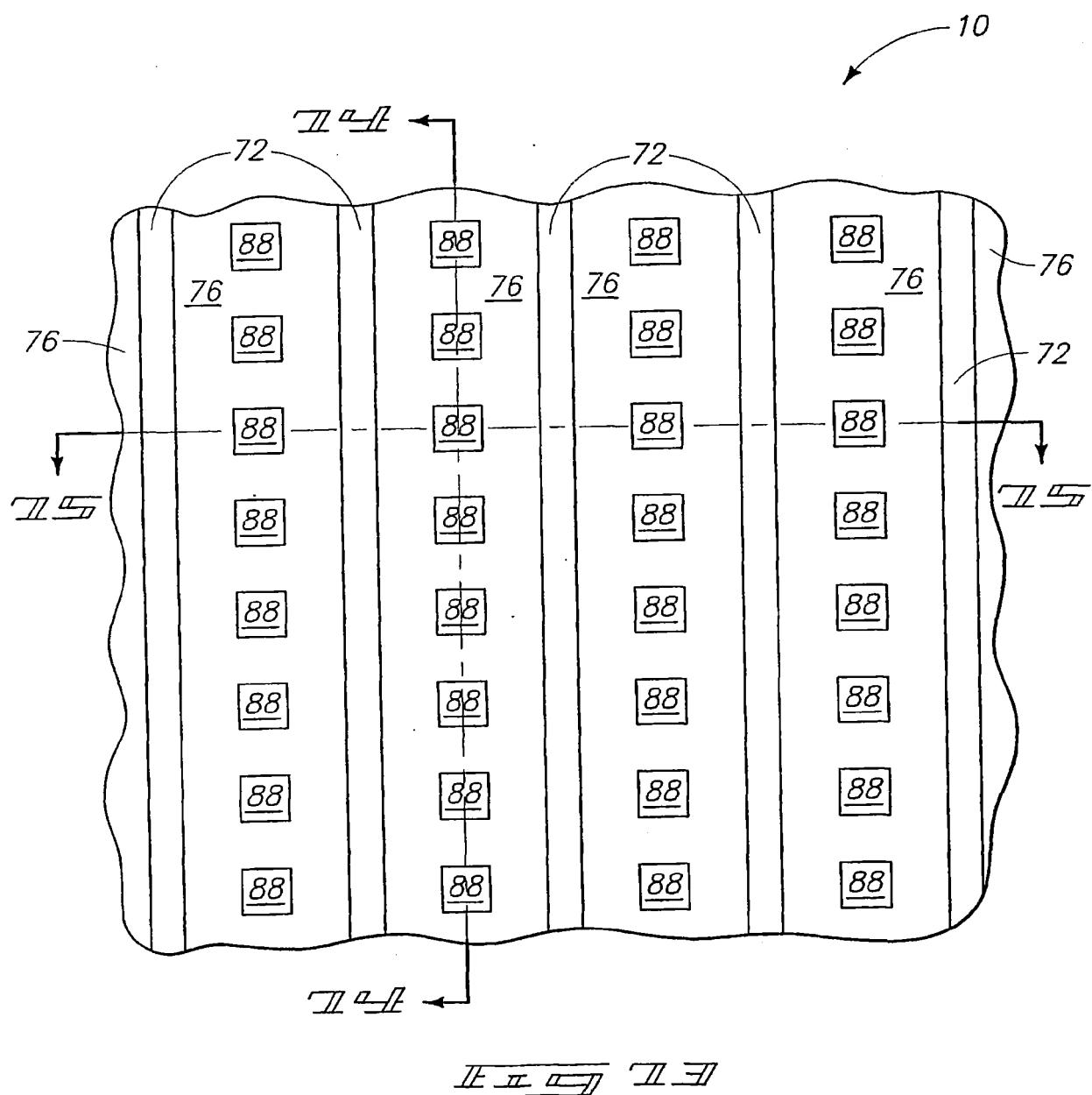


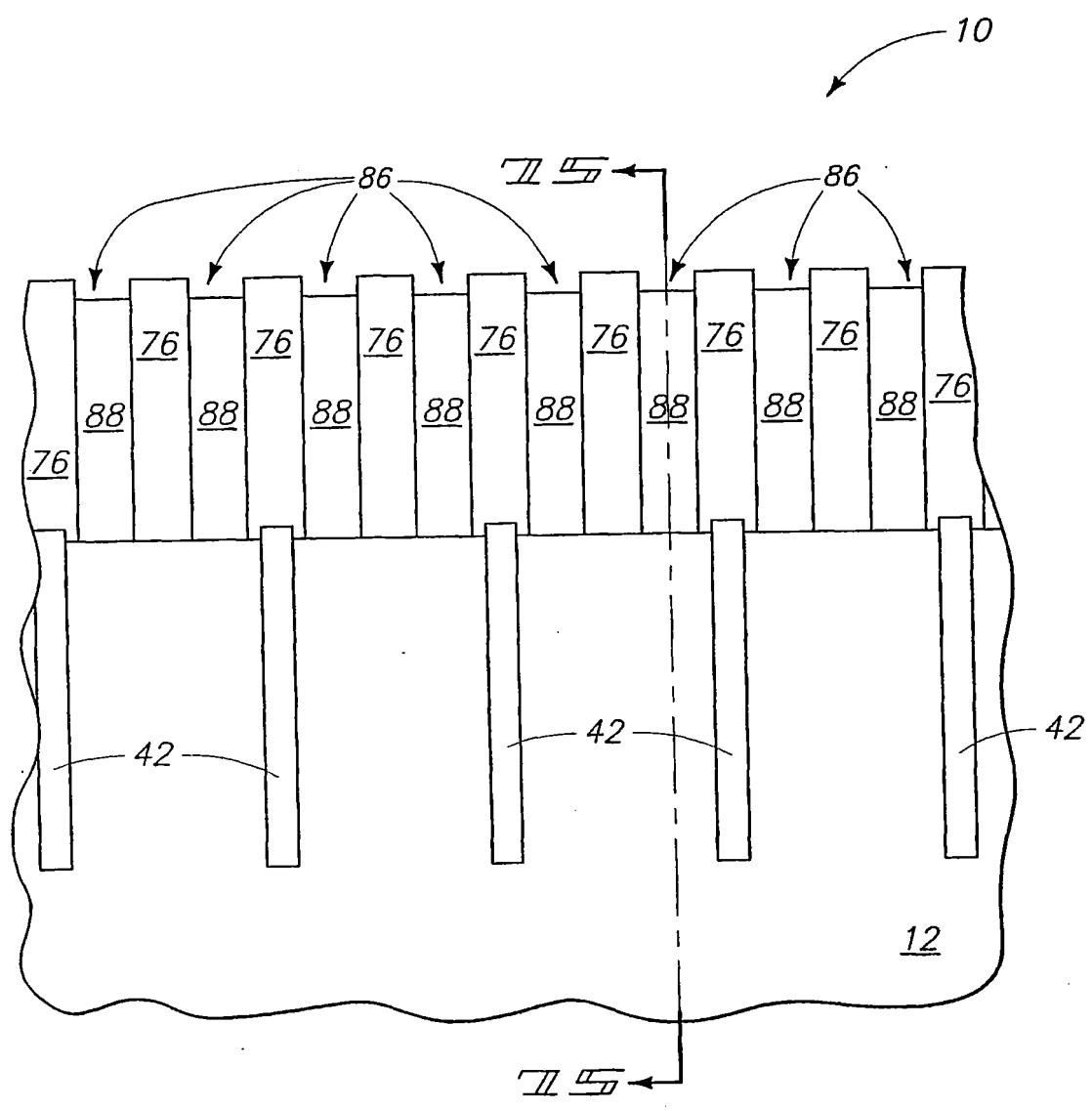












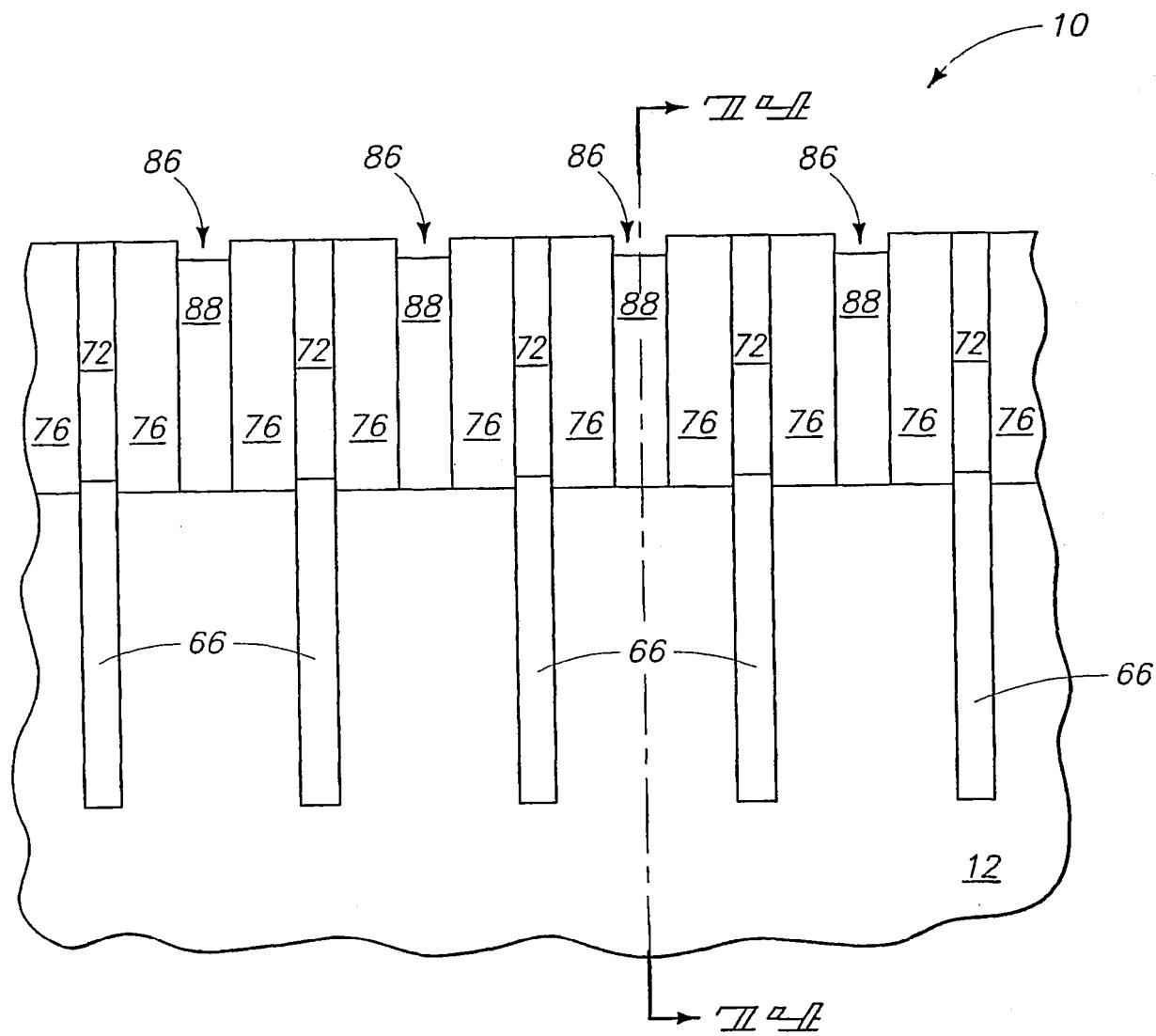
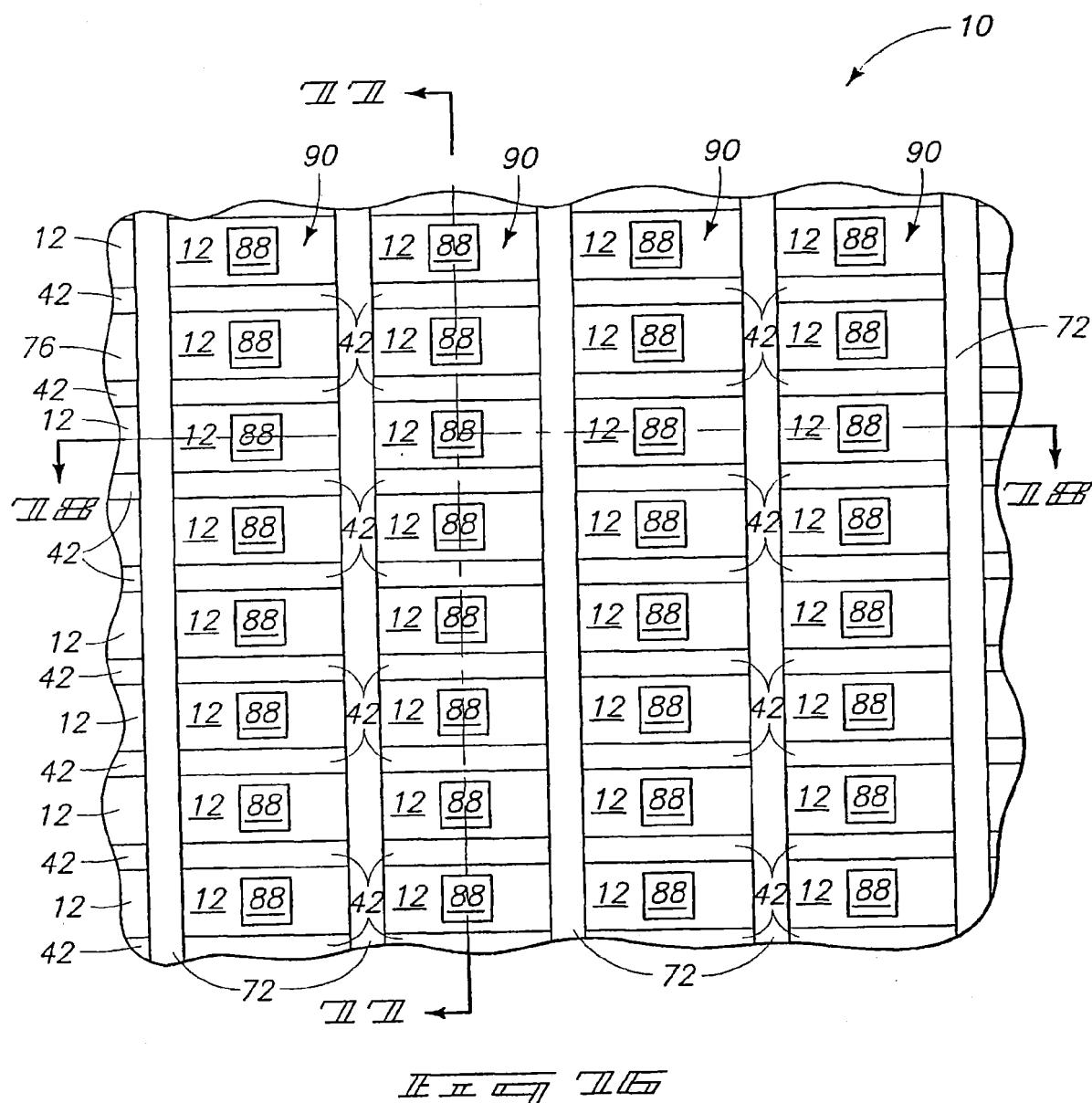
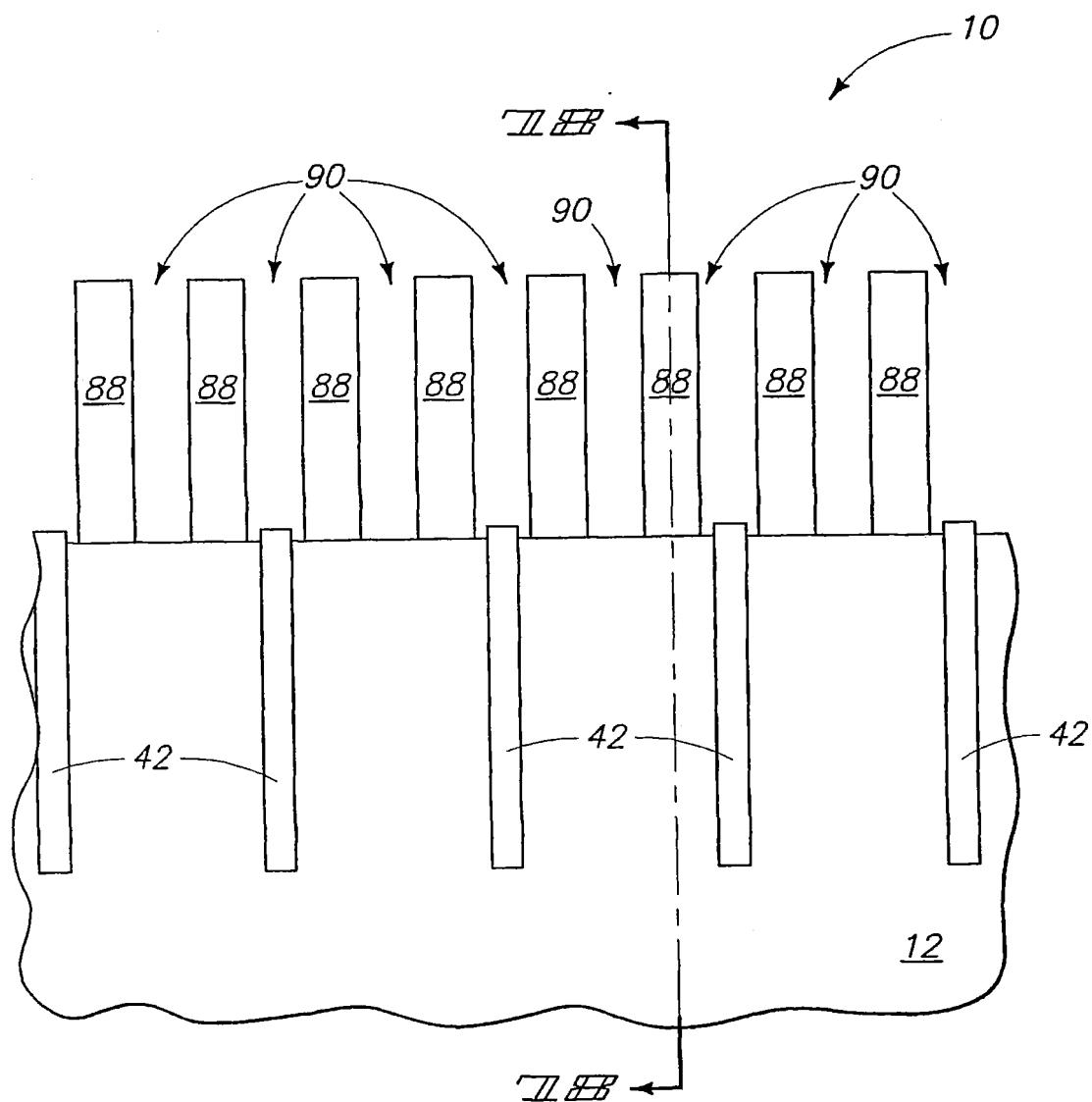
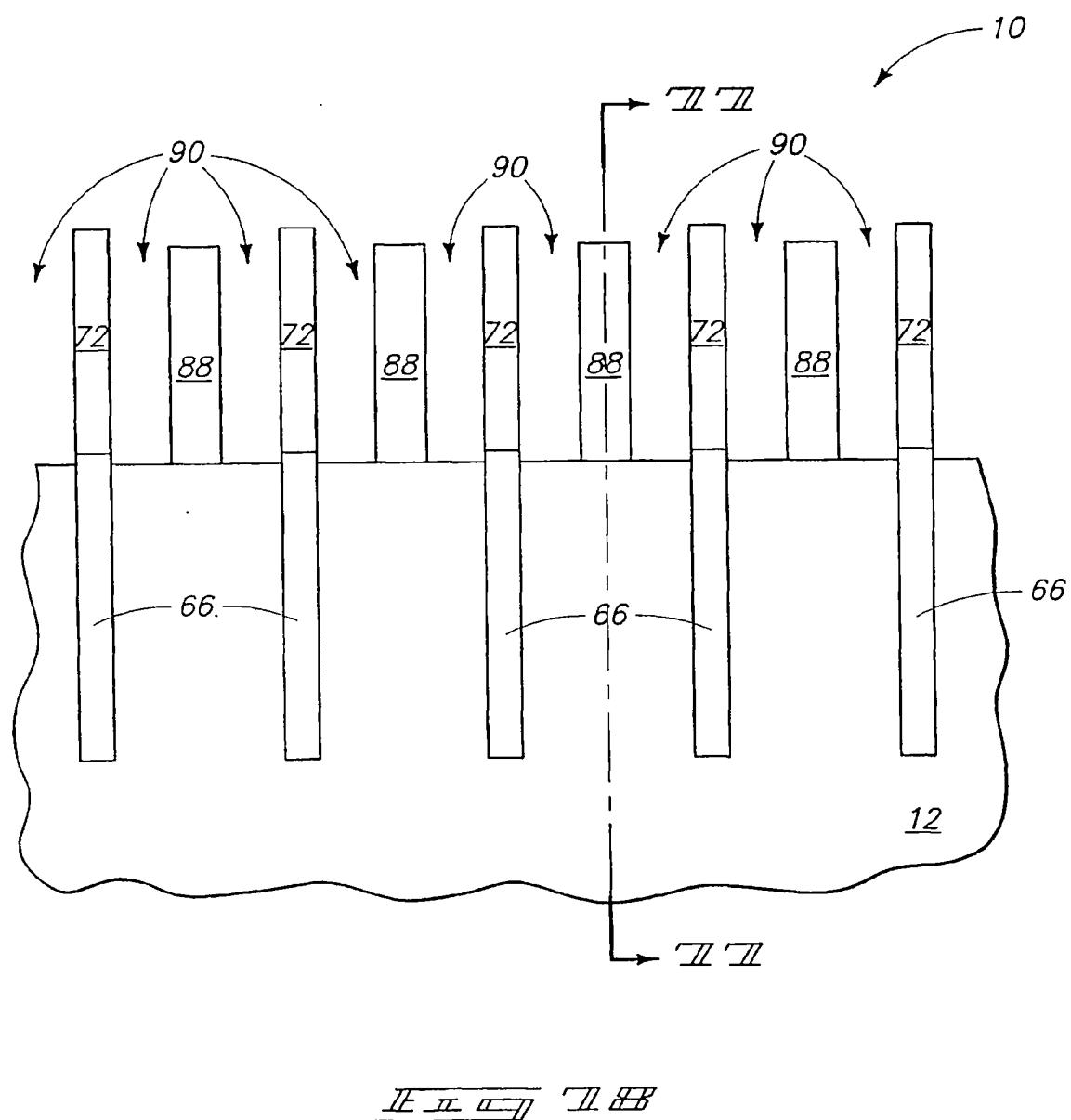


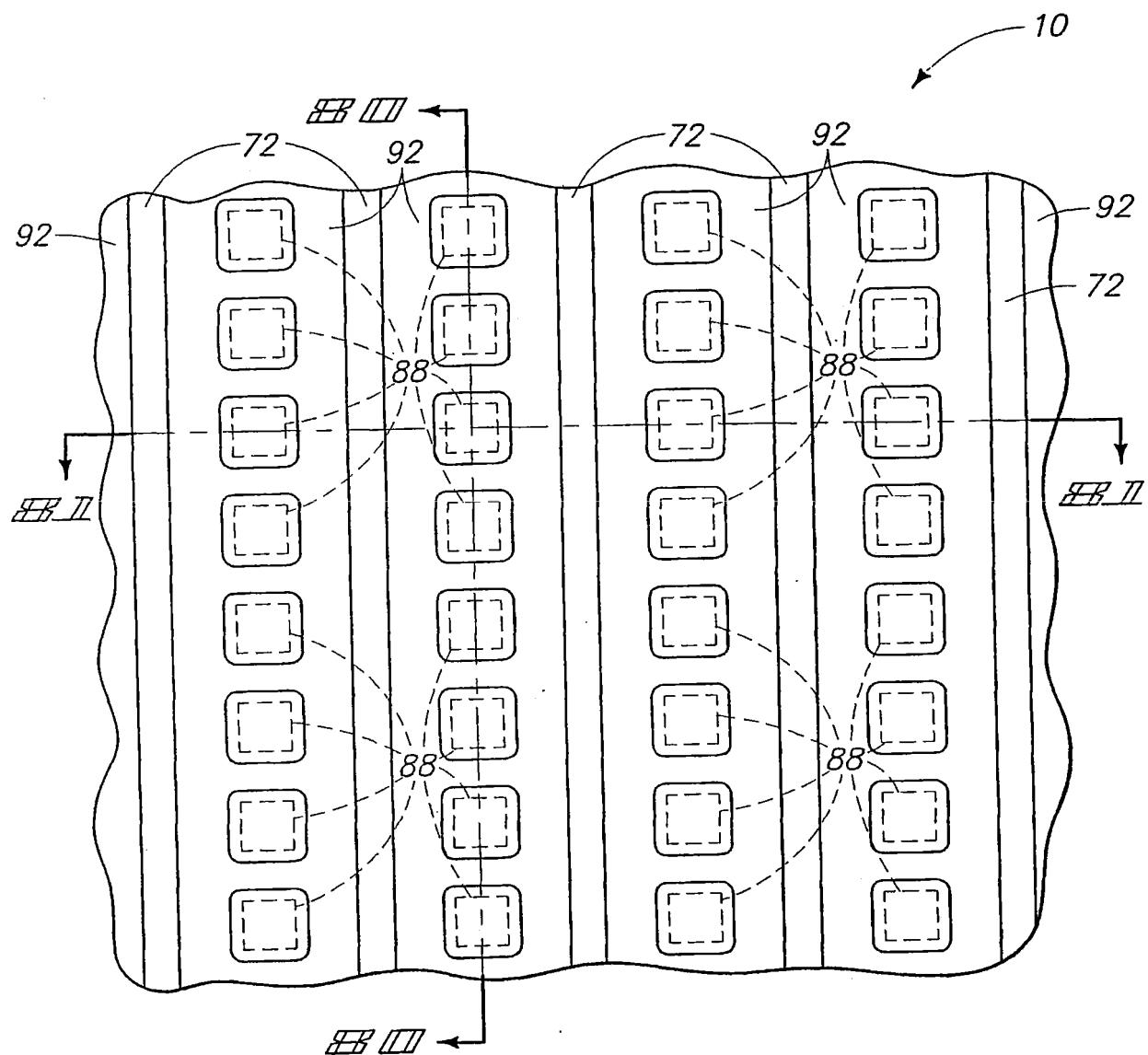
图 5

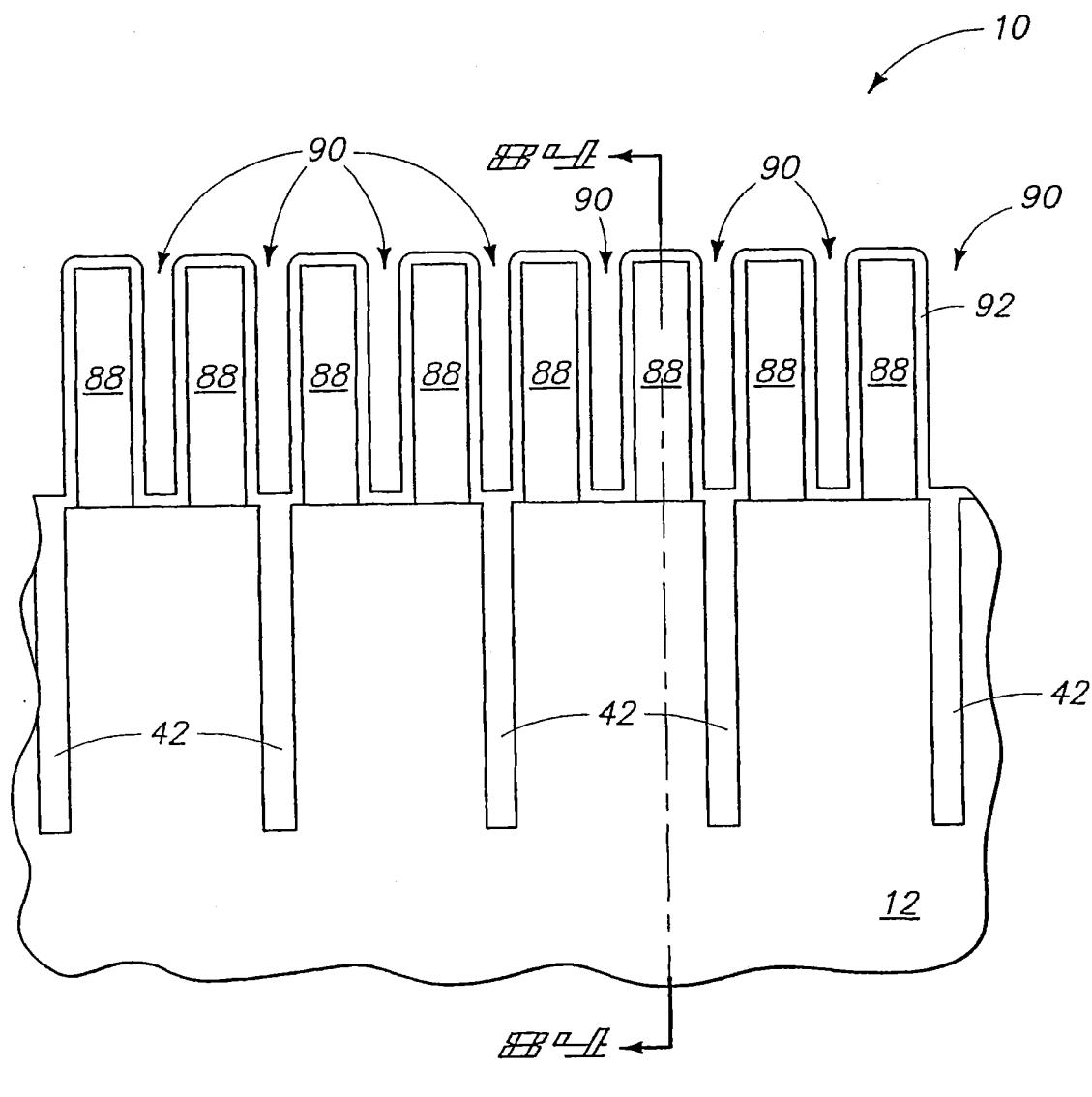




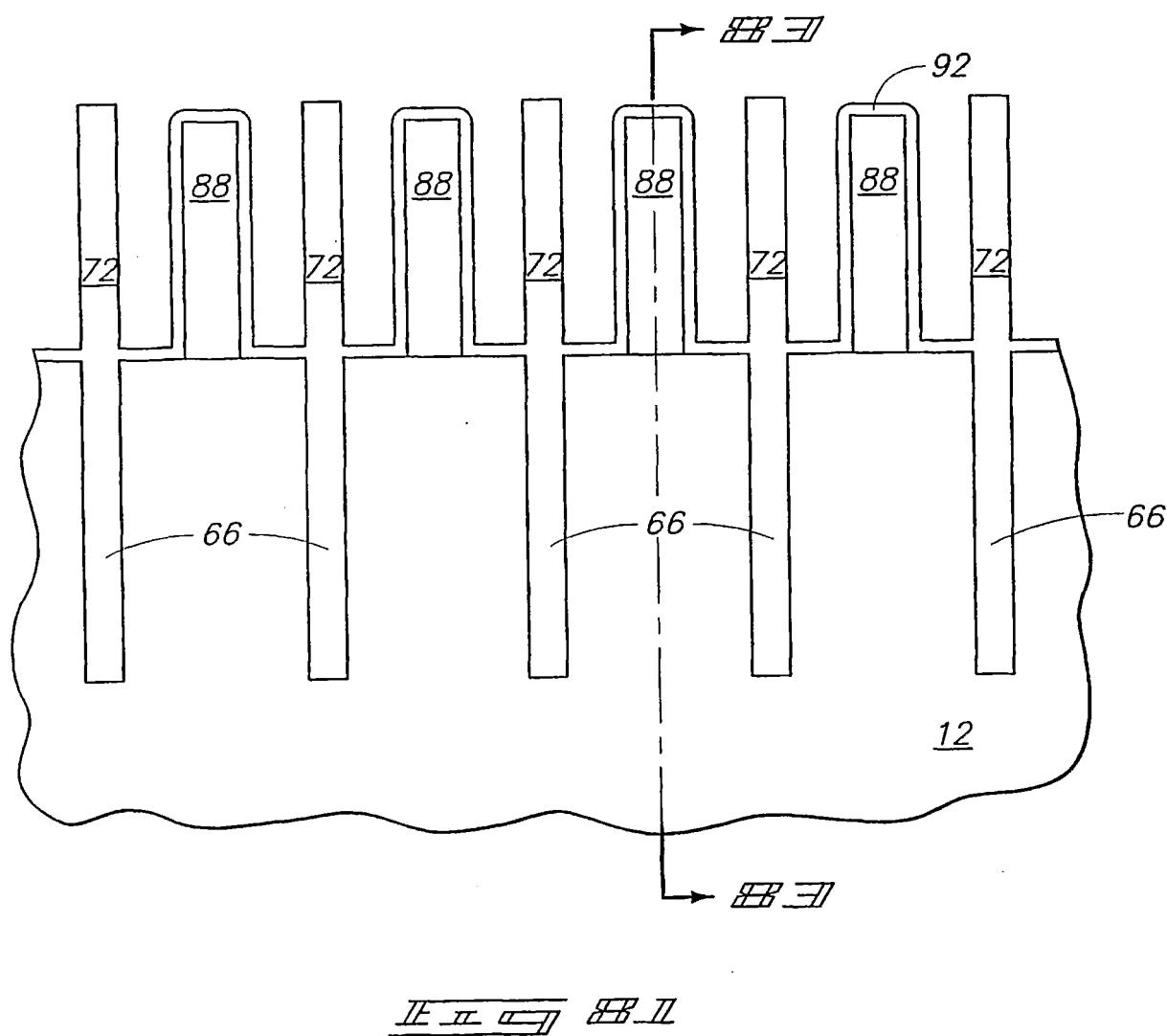
图示

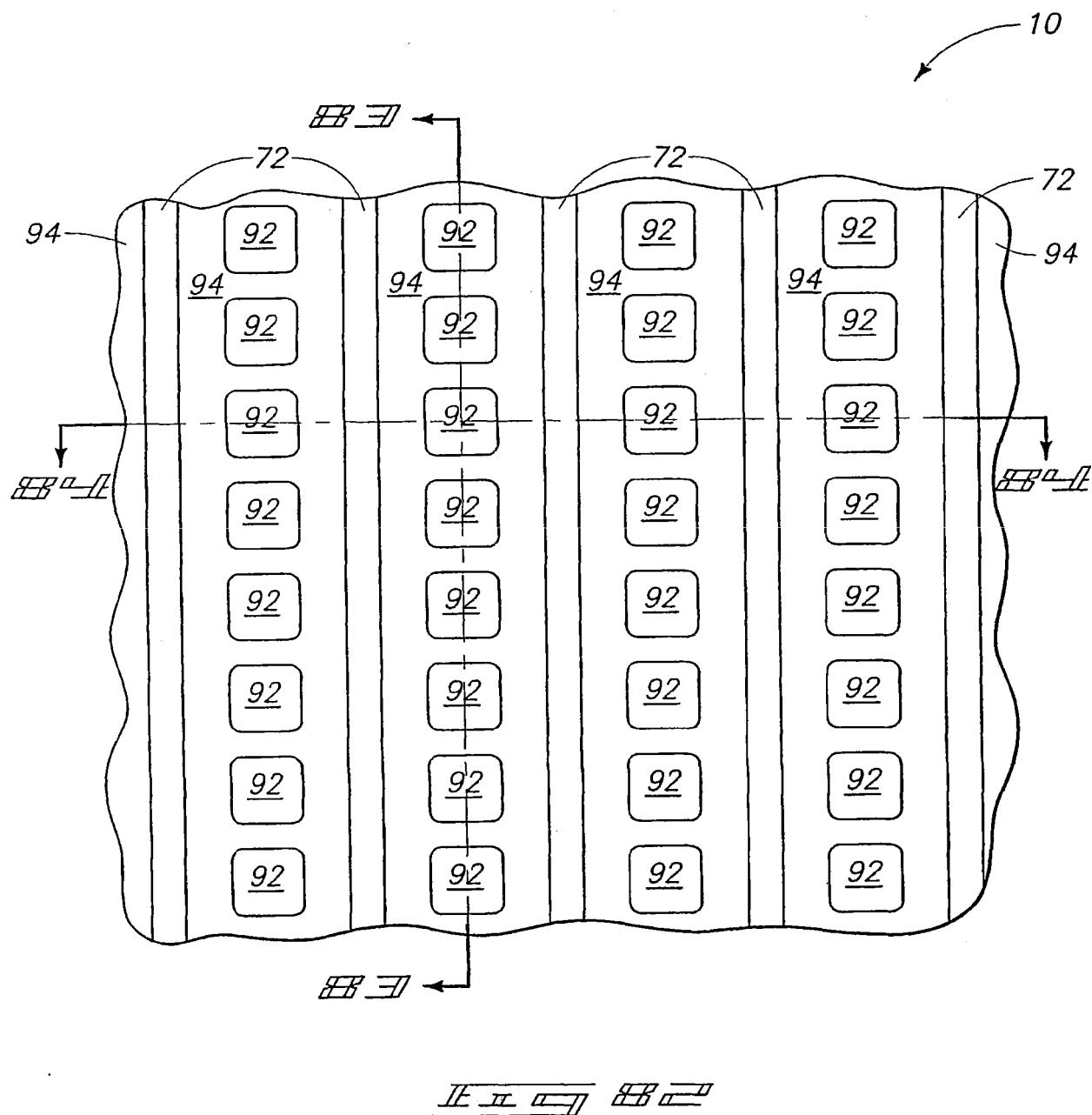


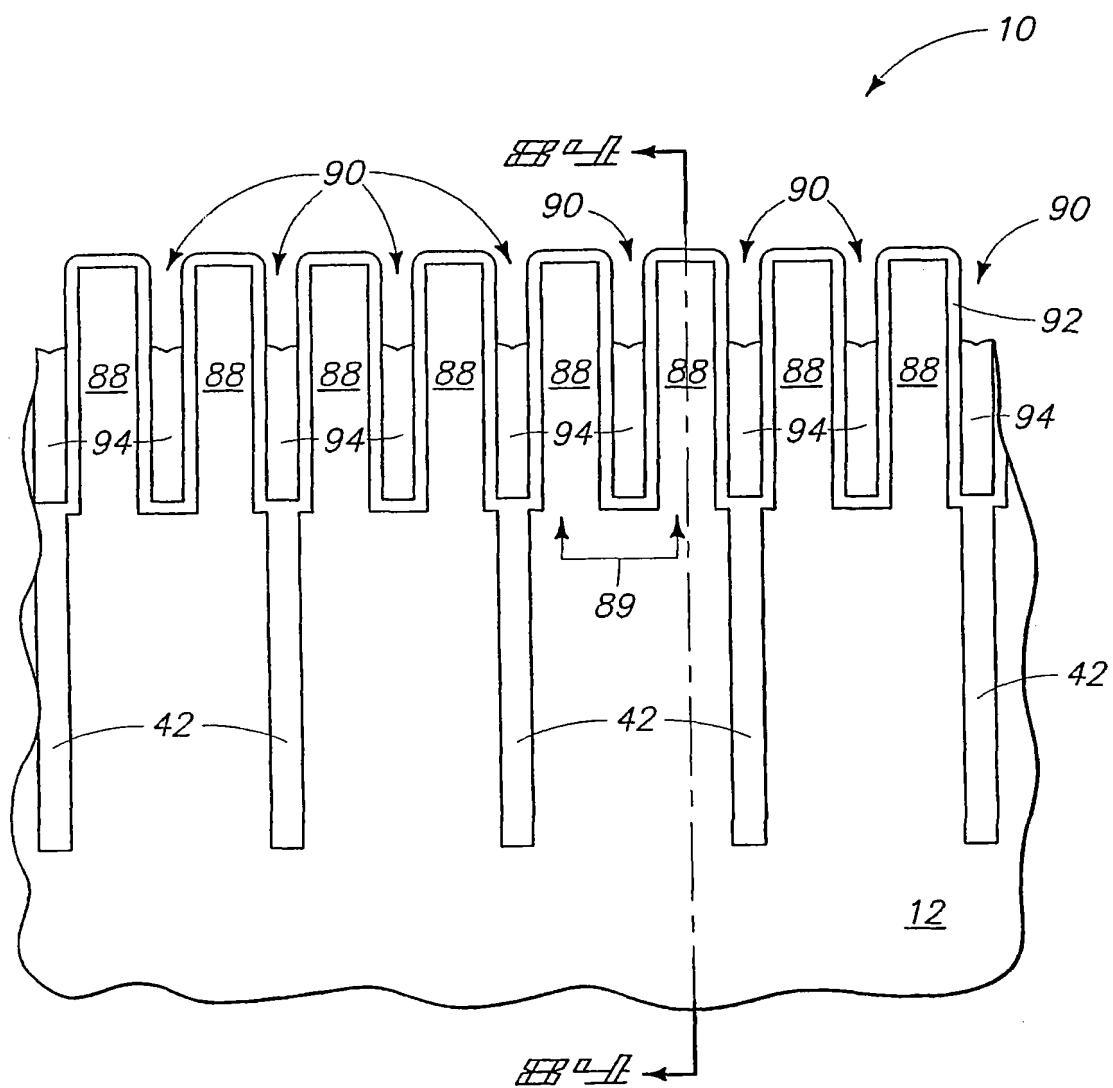




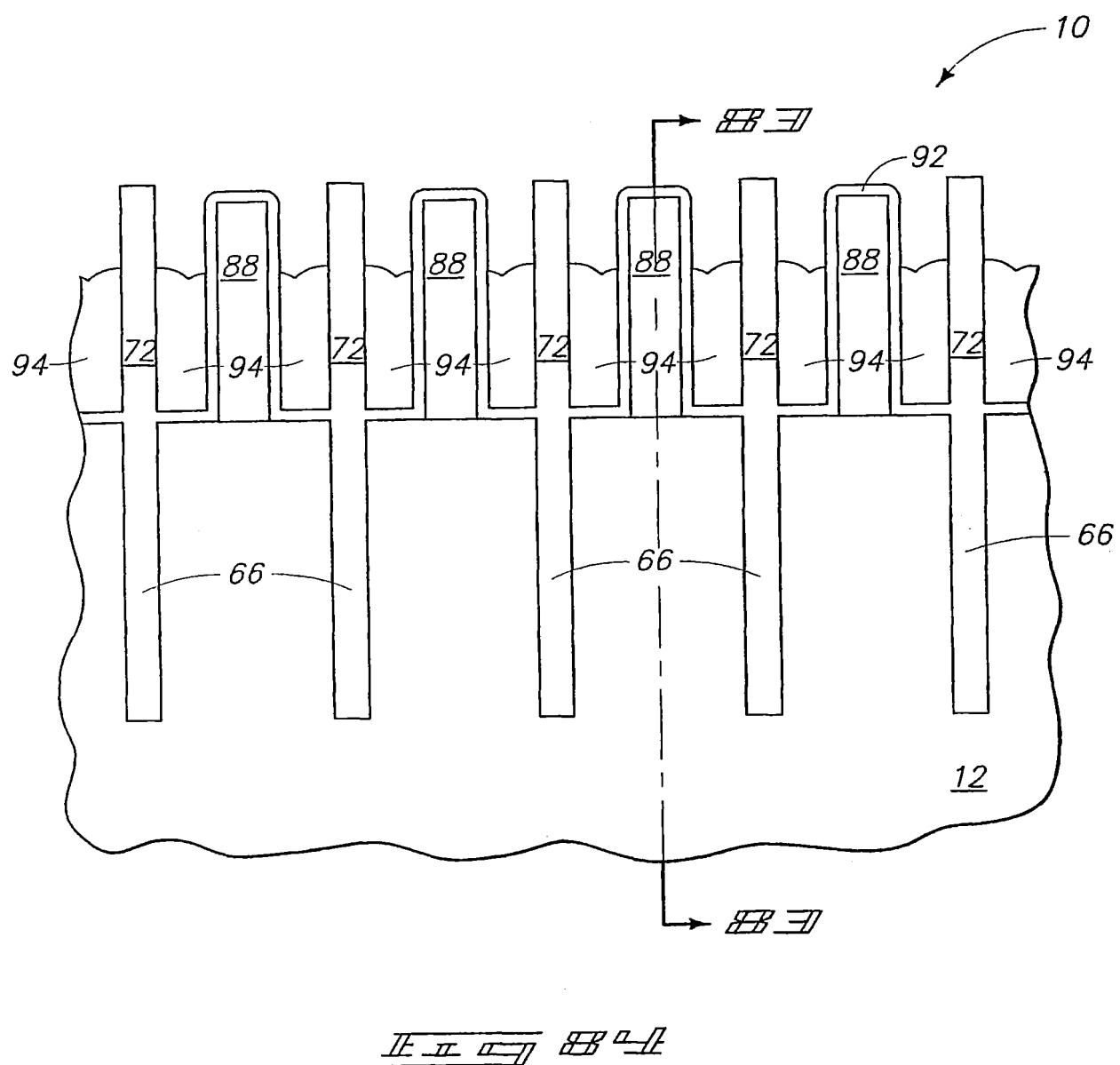
正视图 侧视图

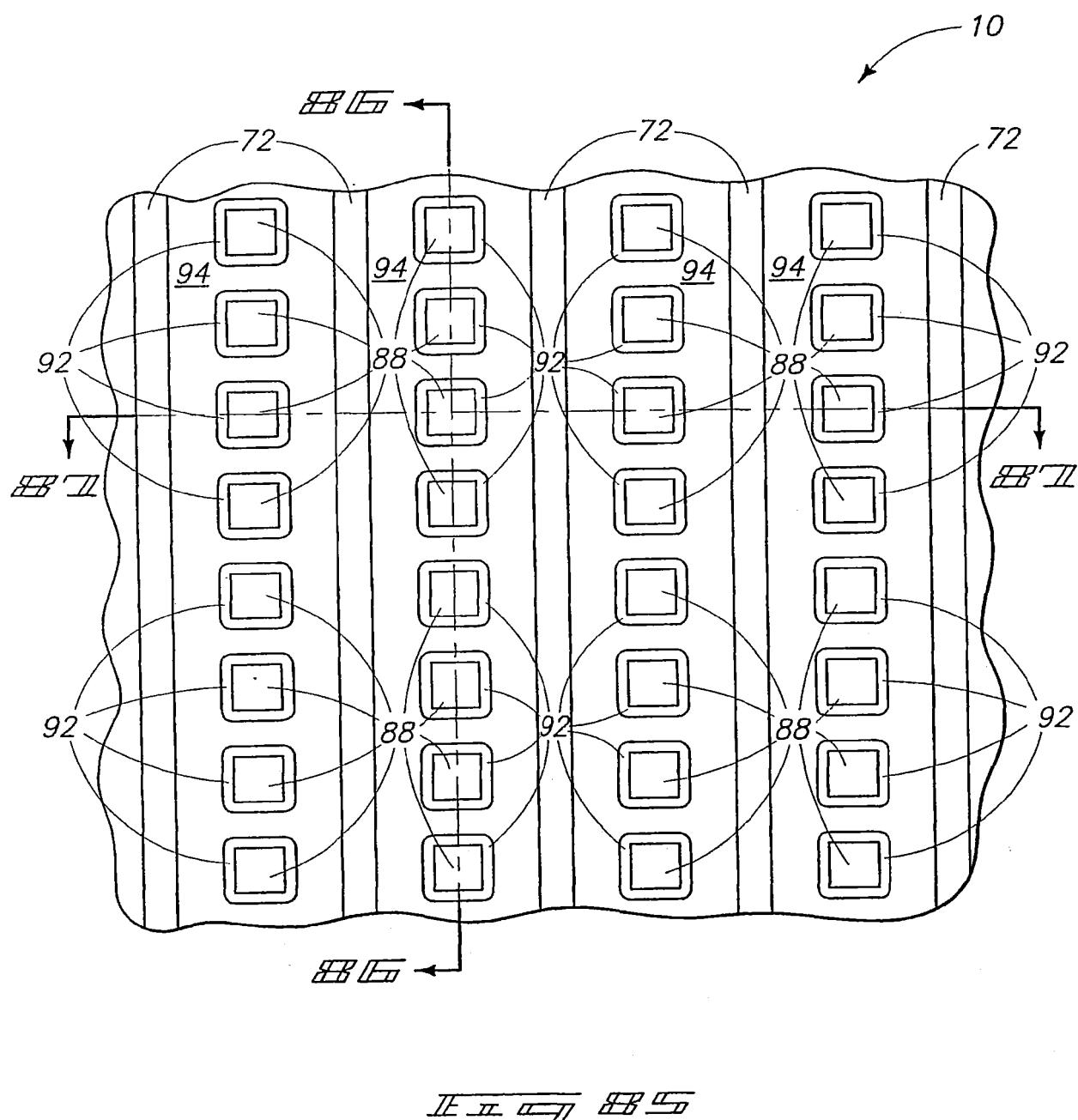


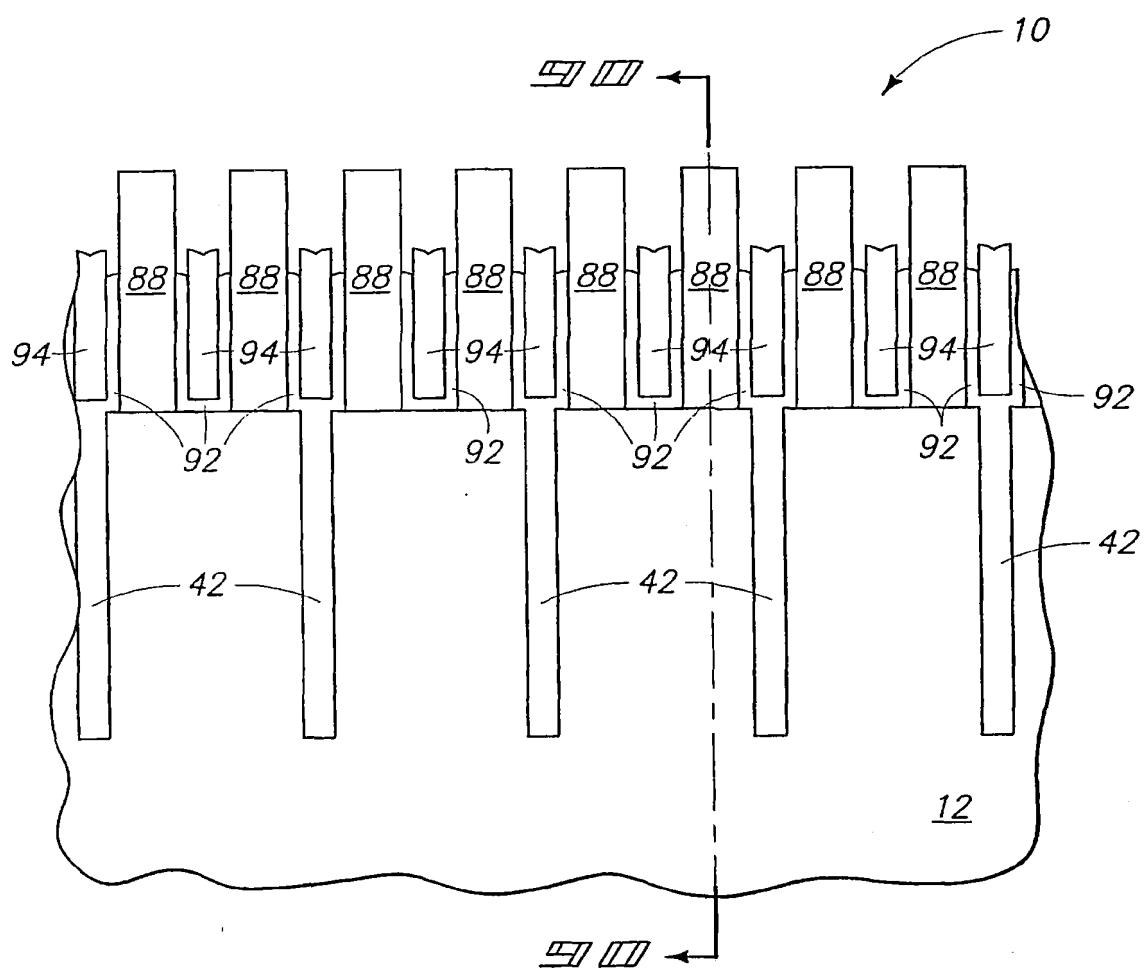




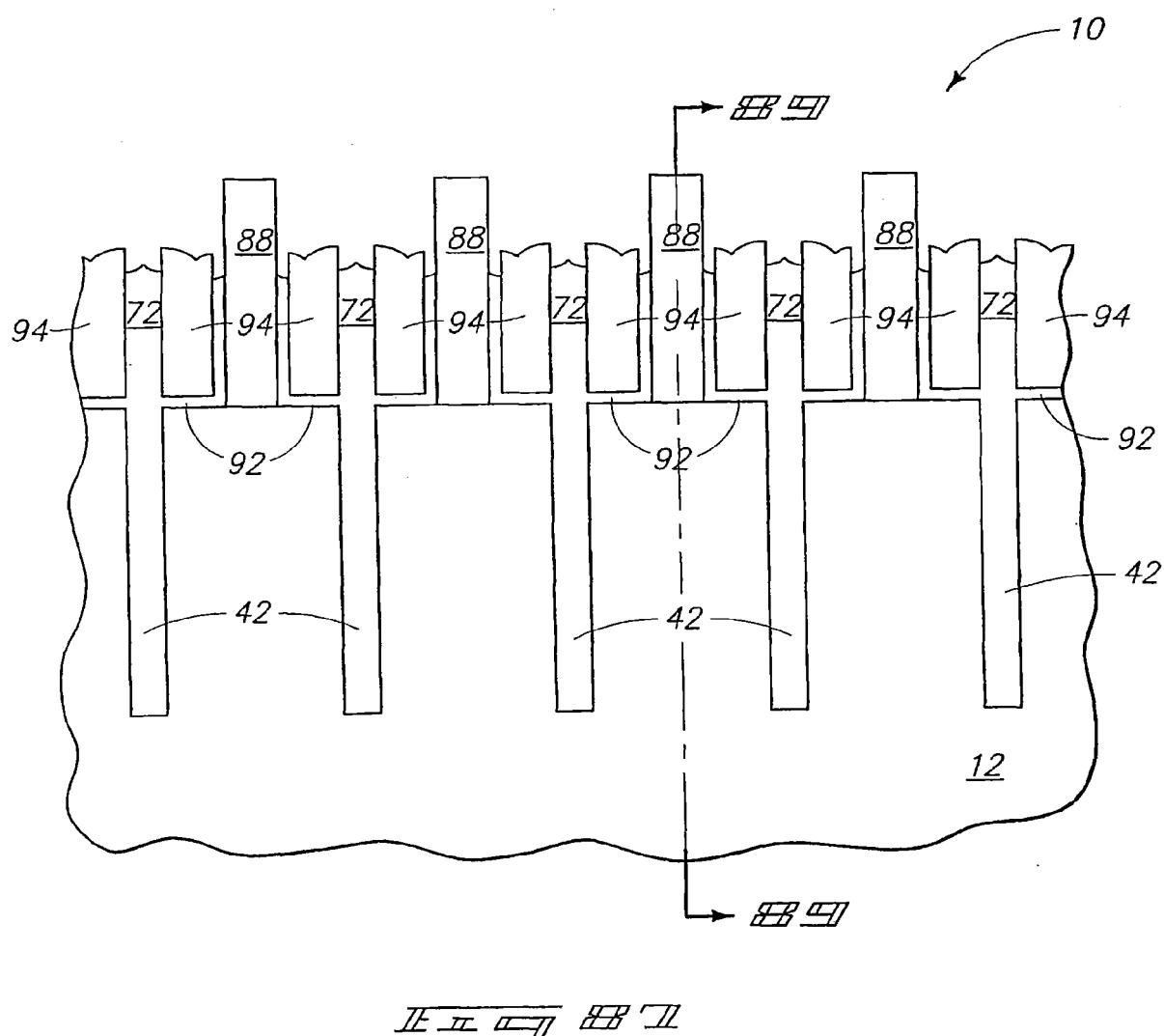
正 立 斜 立

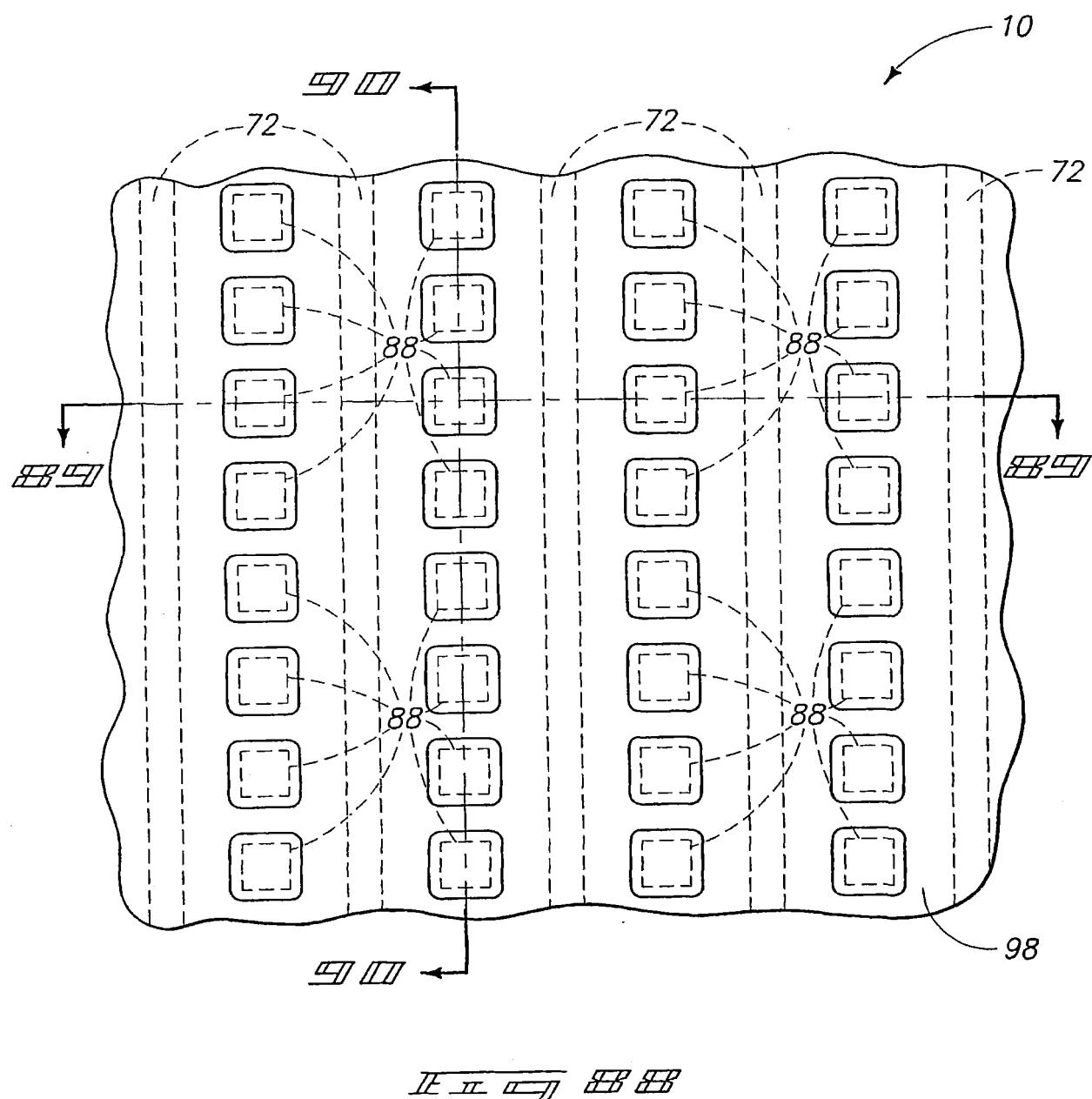


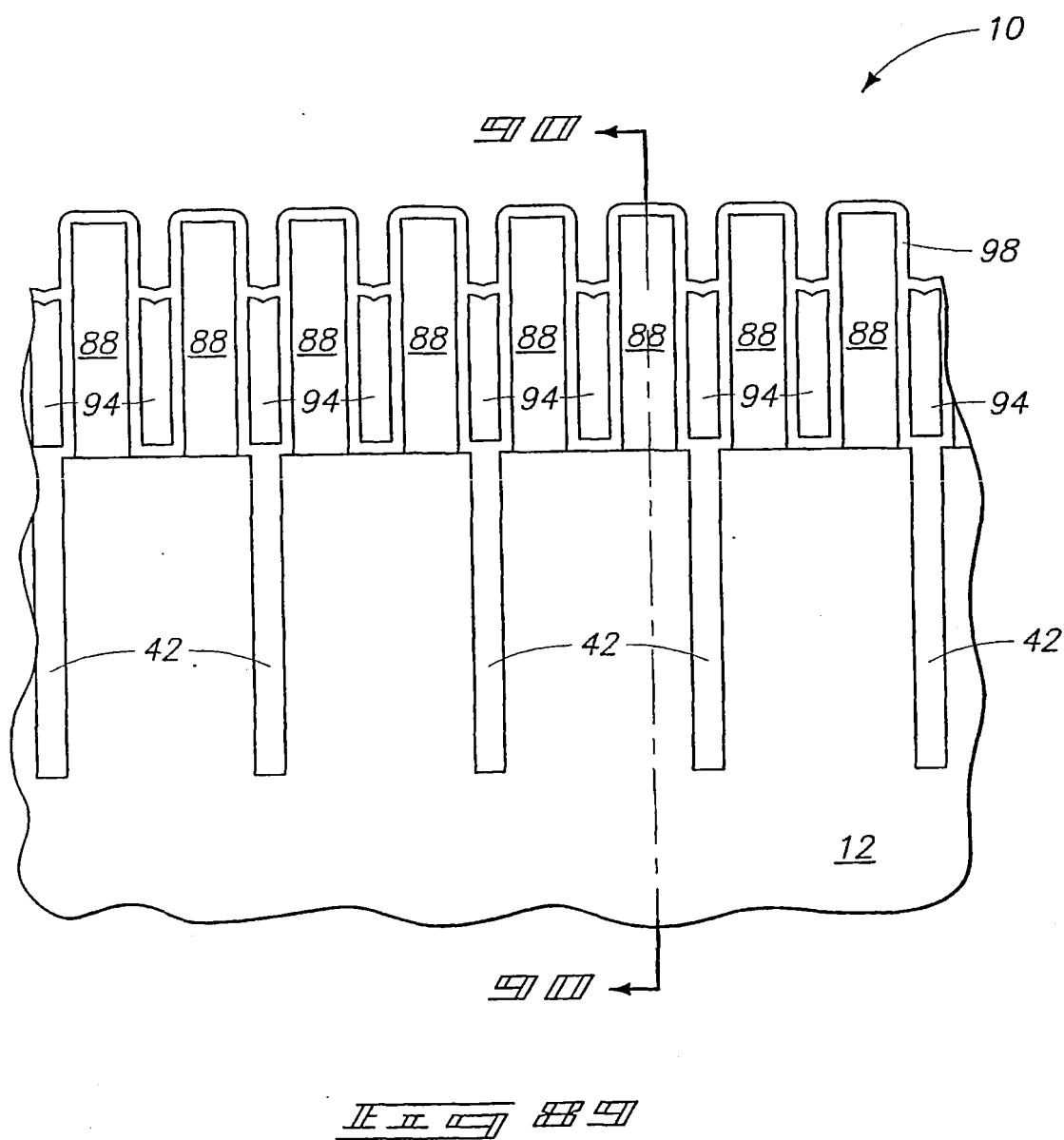


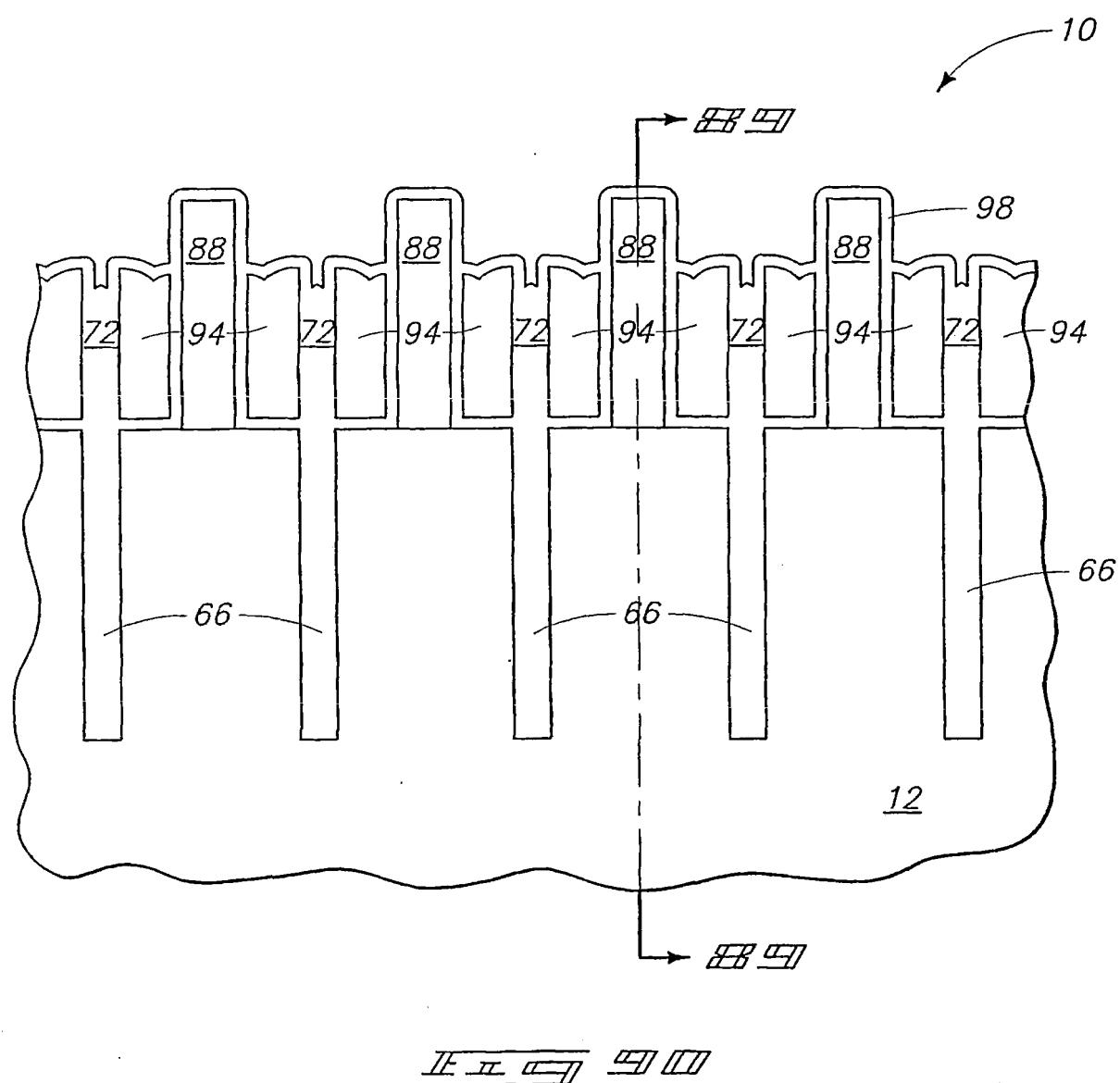


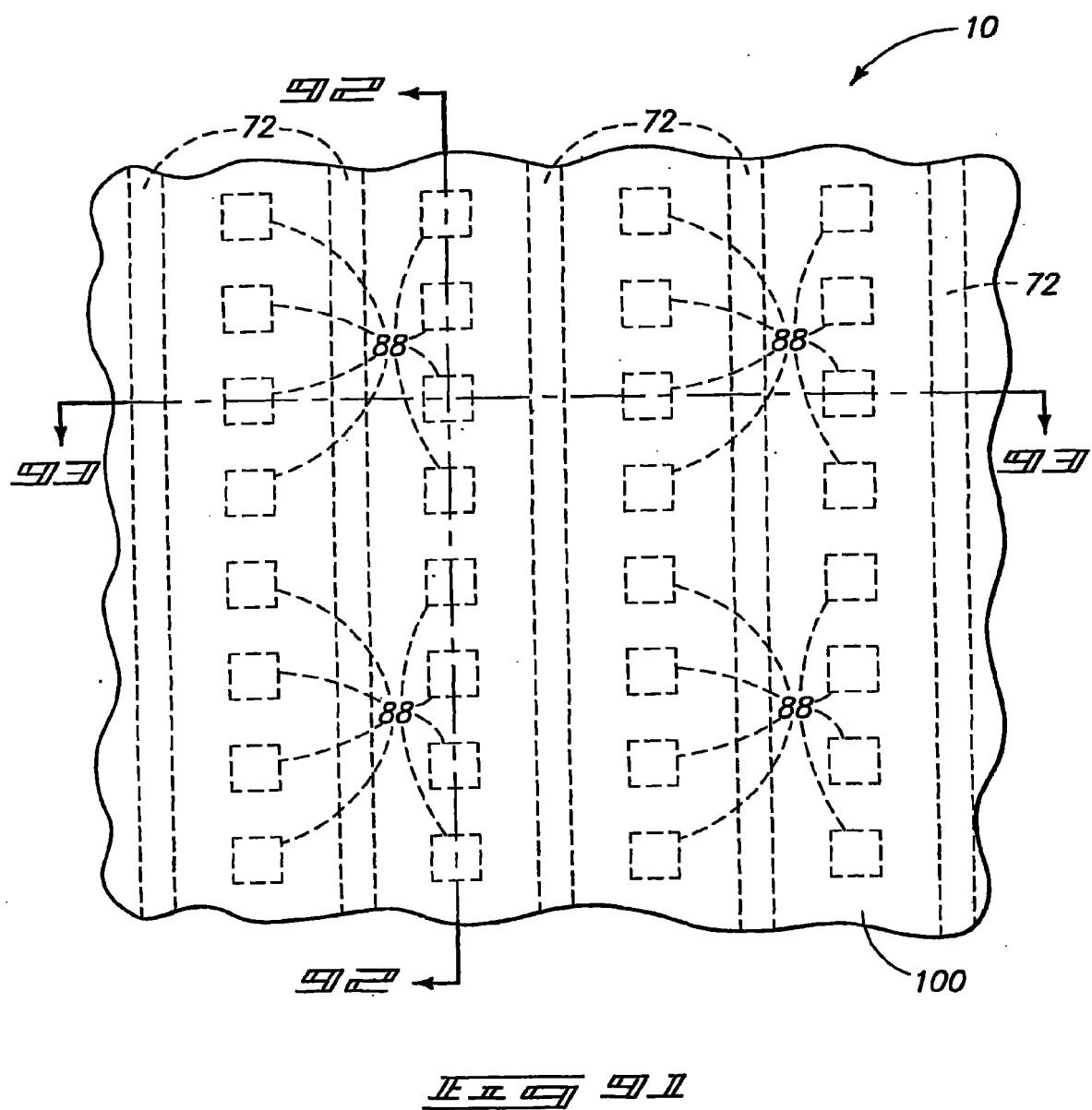
正五正五

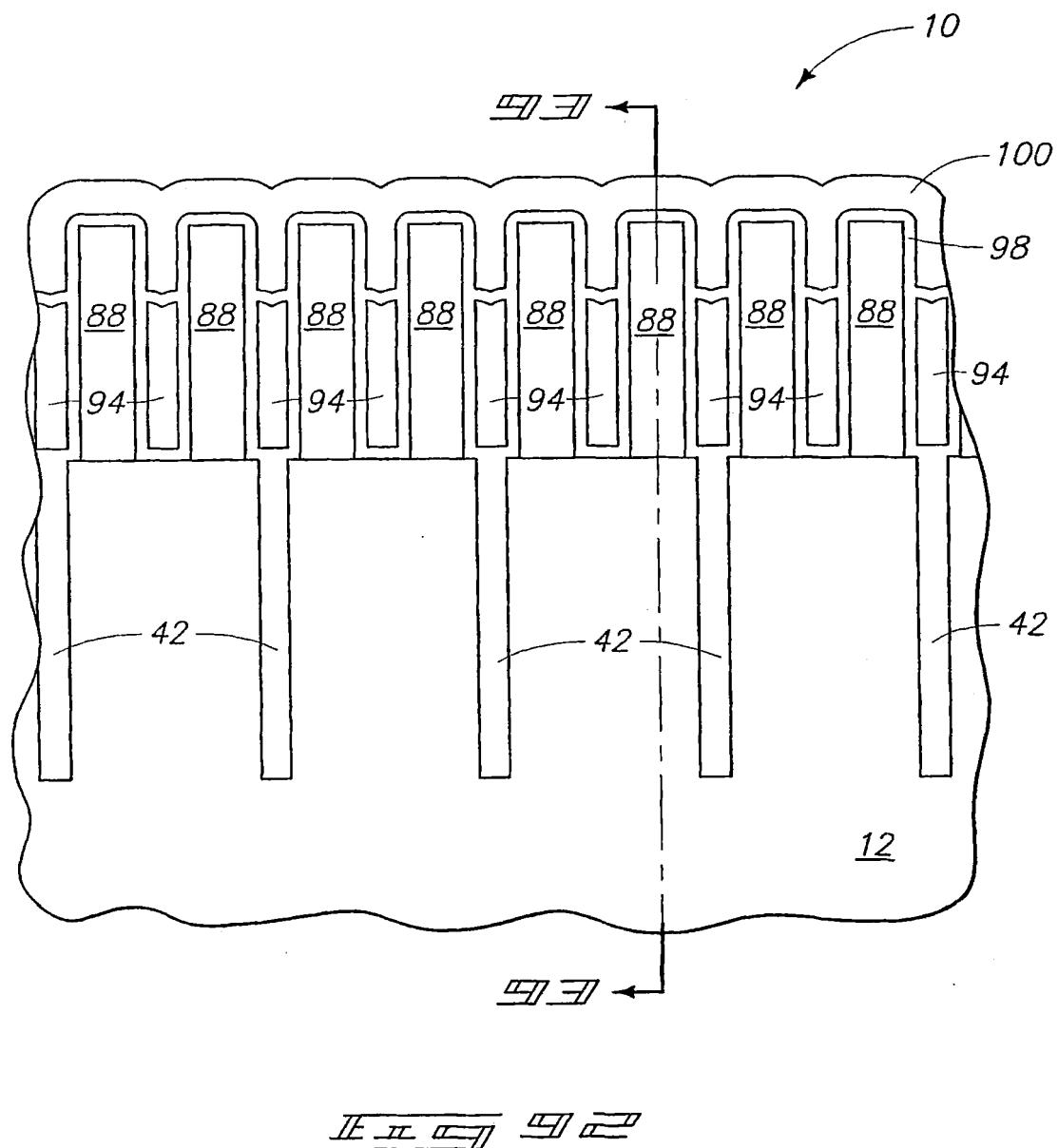


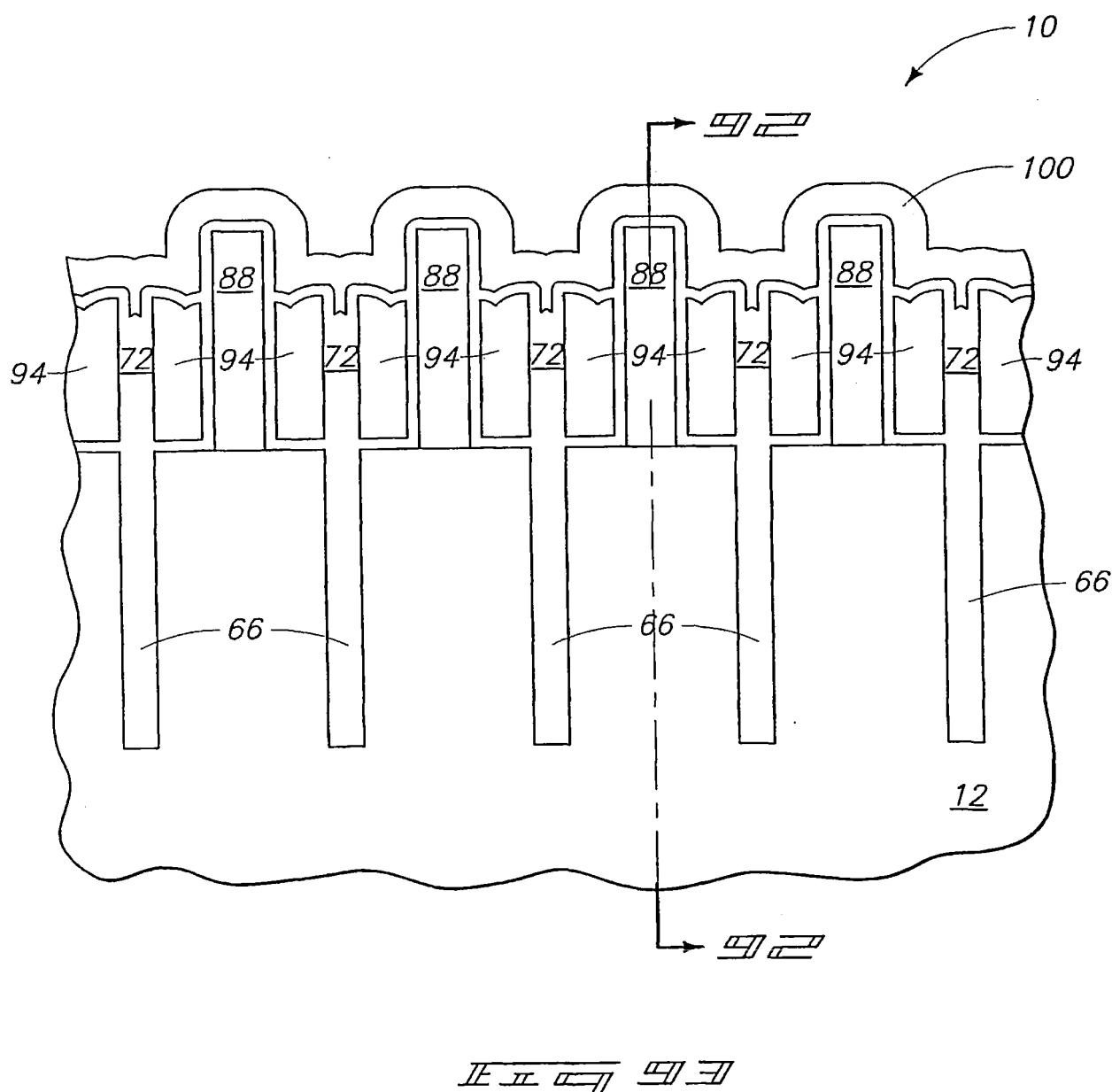


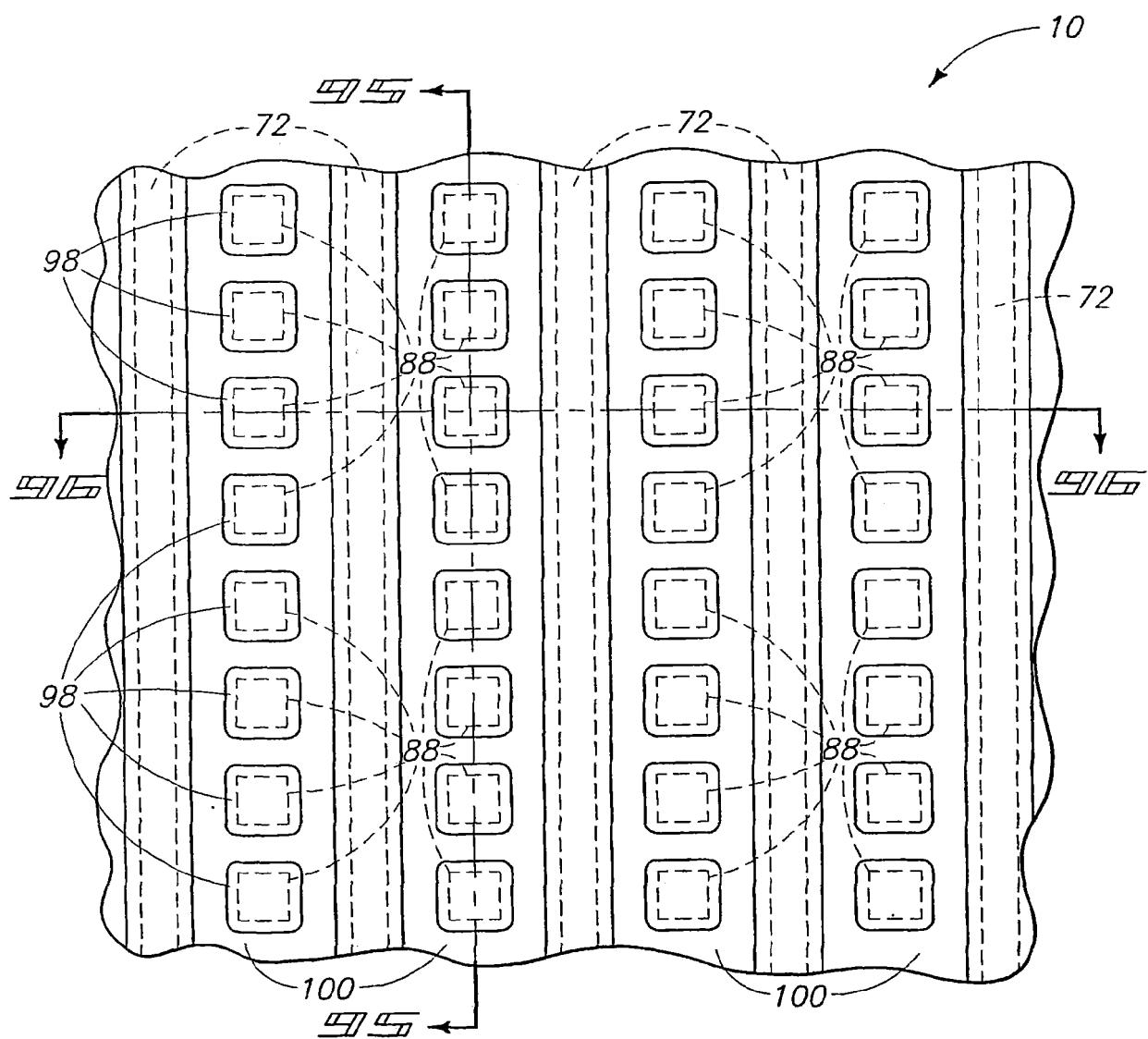




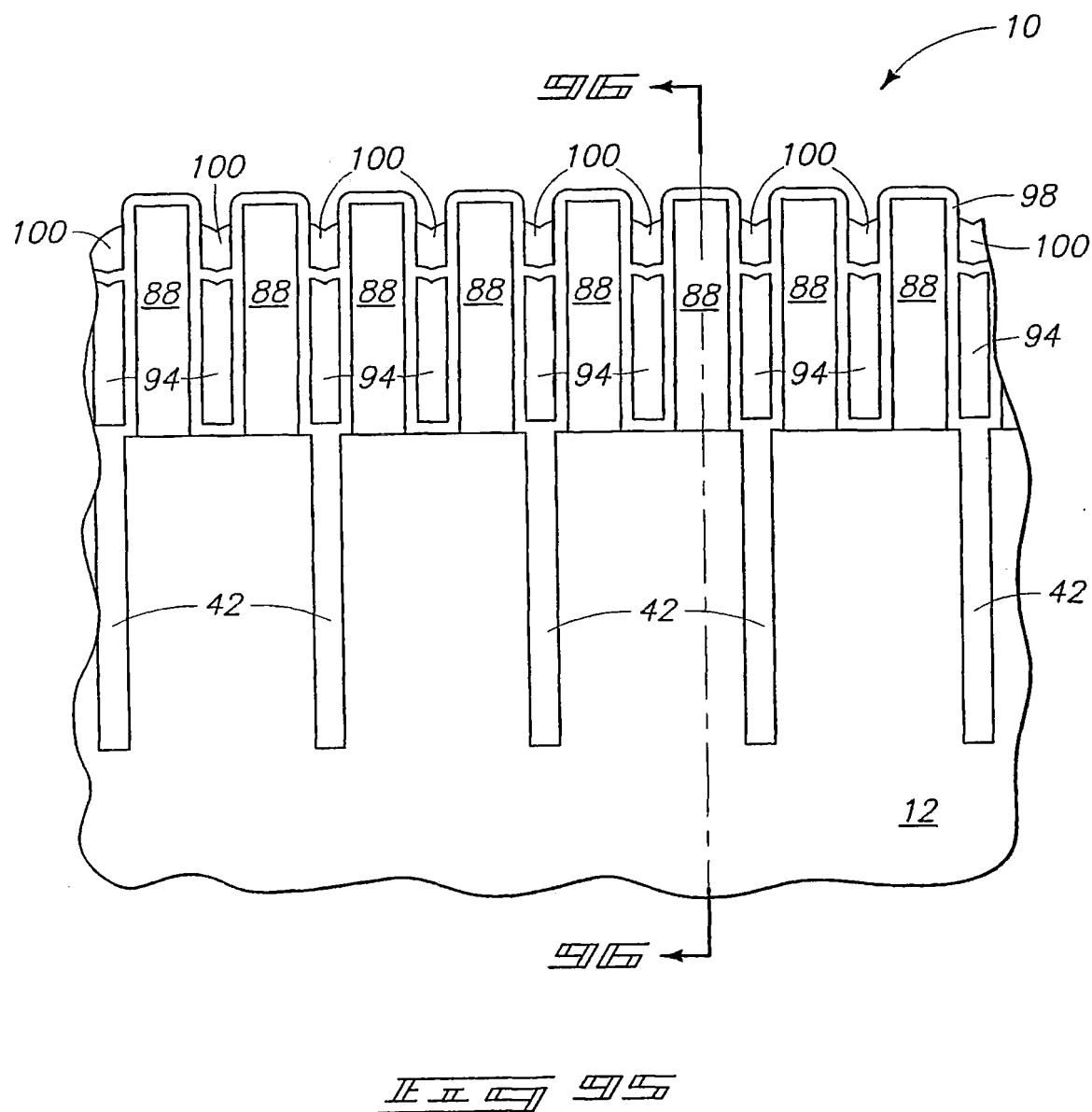


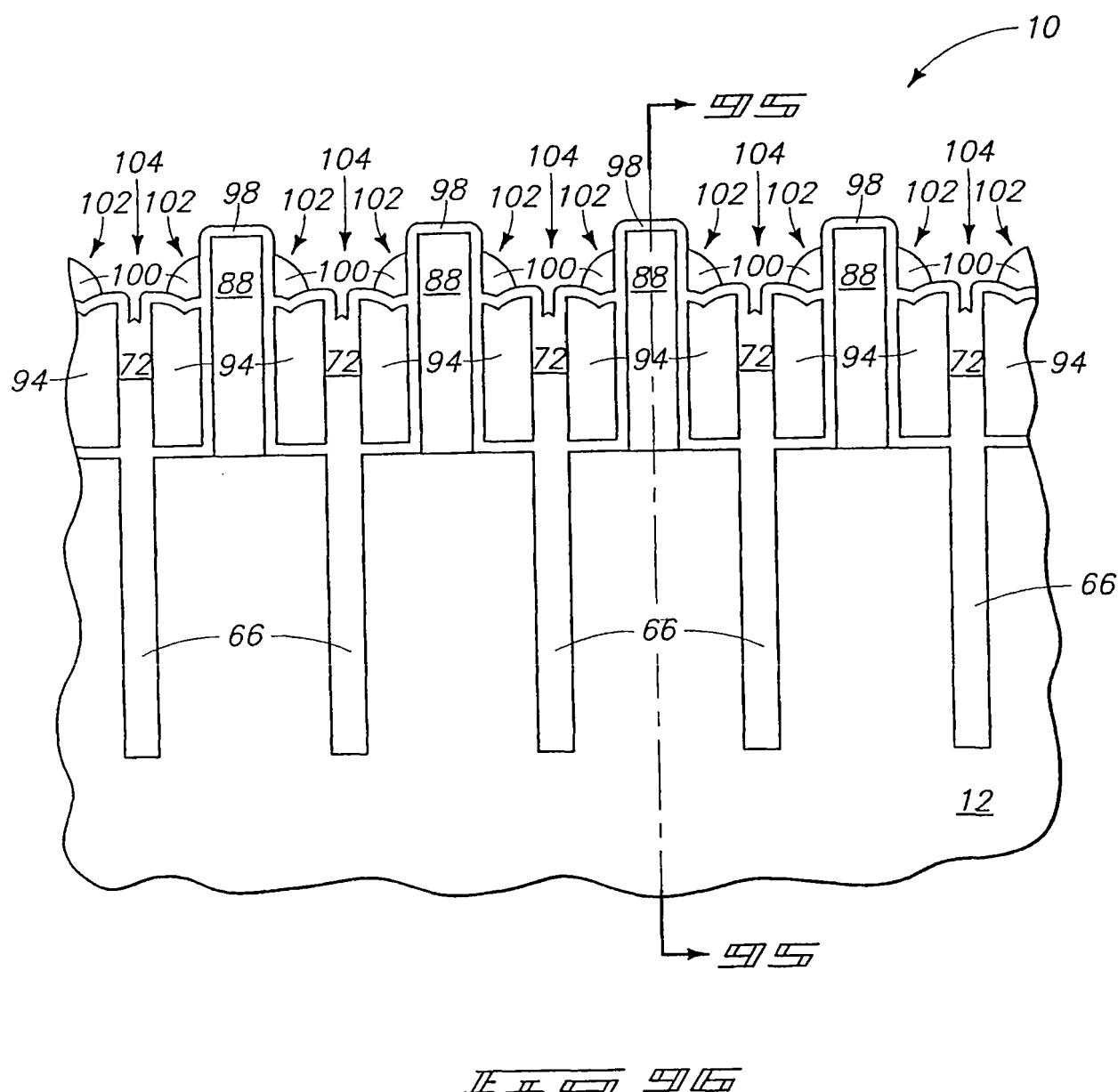


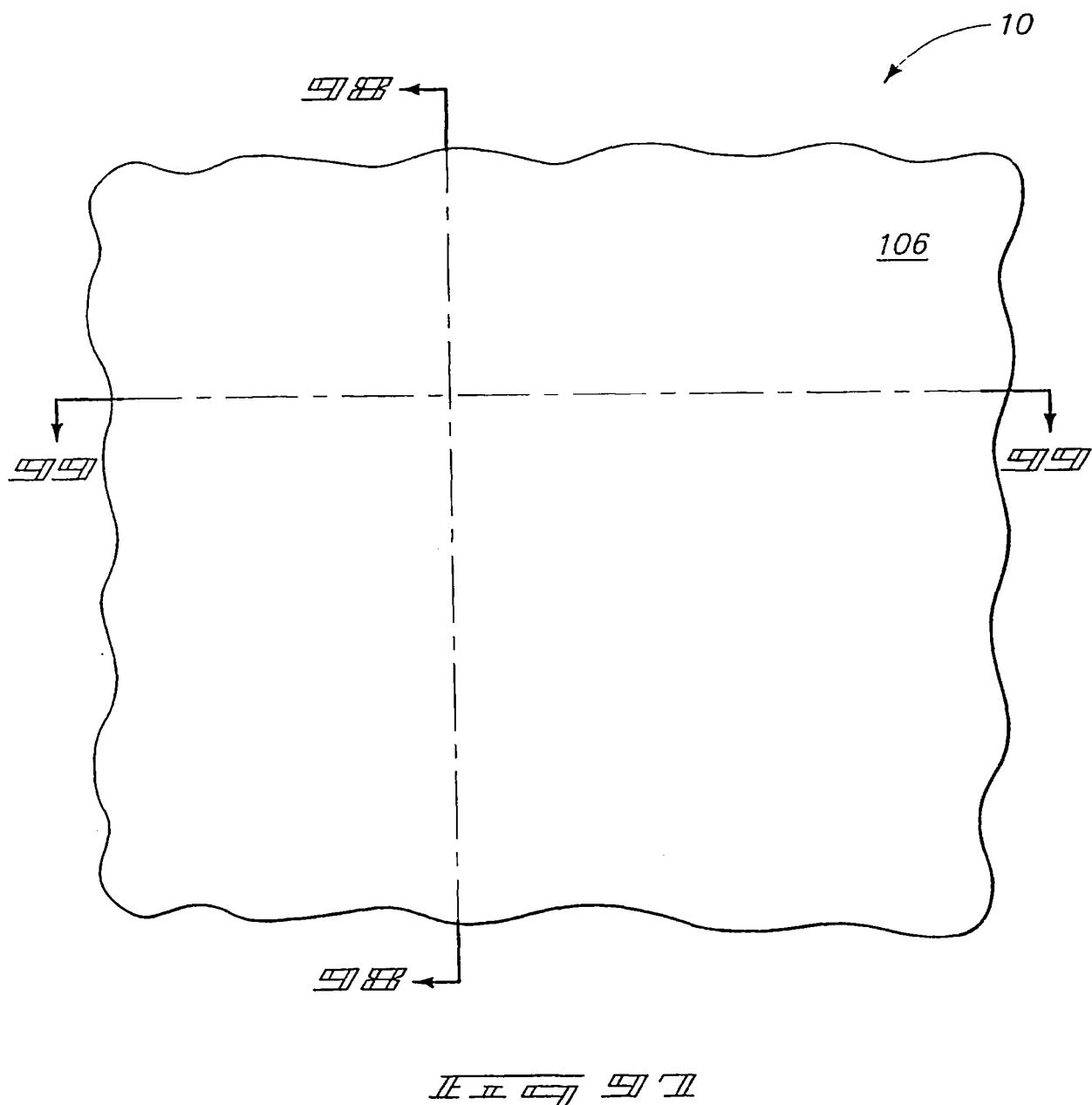


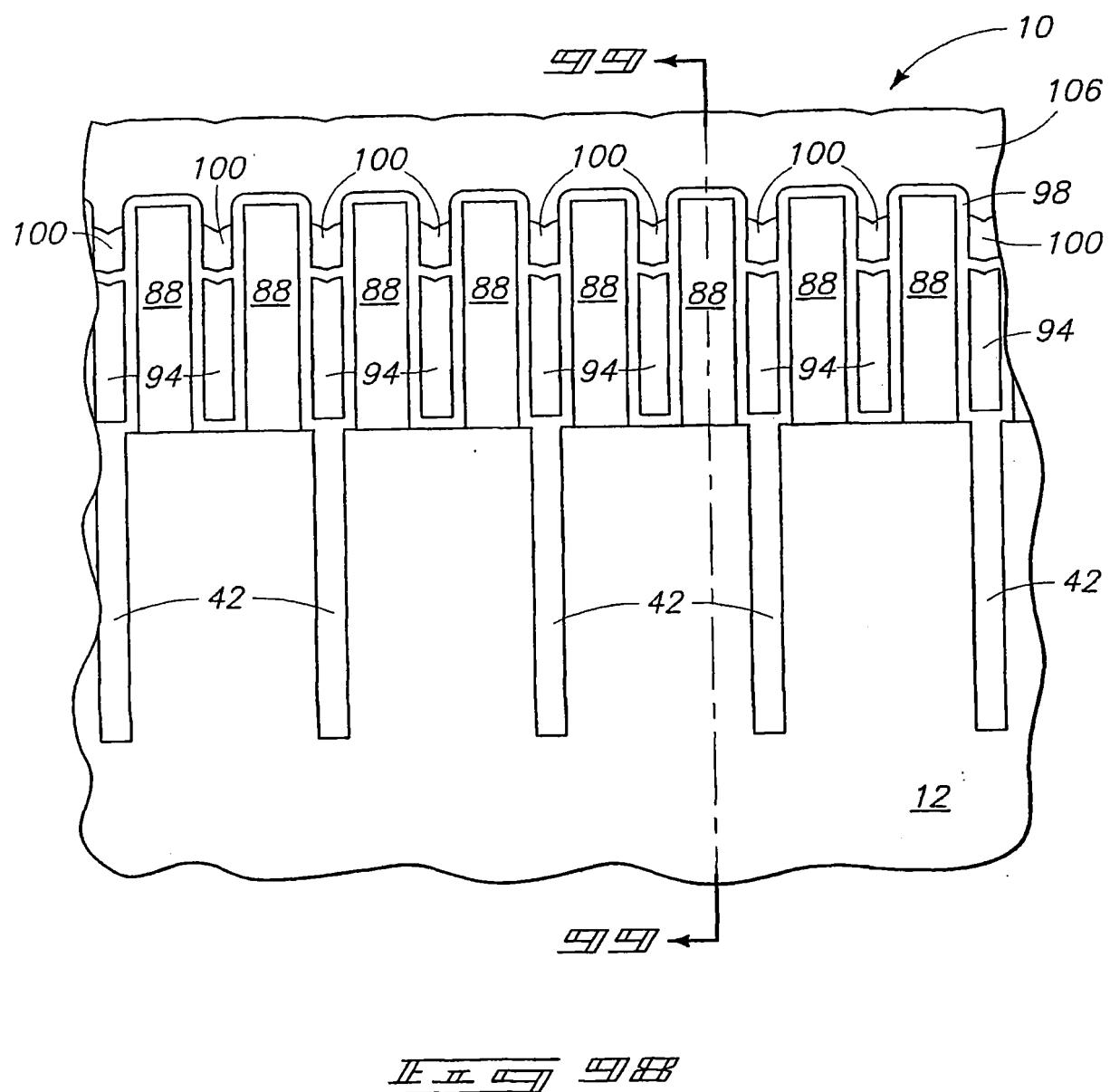


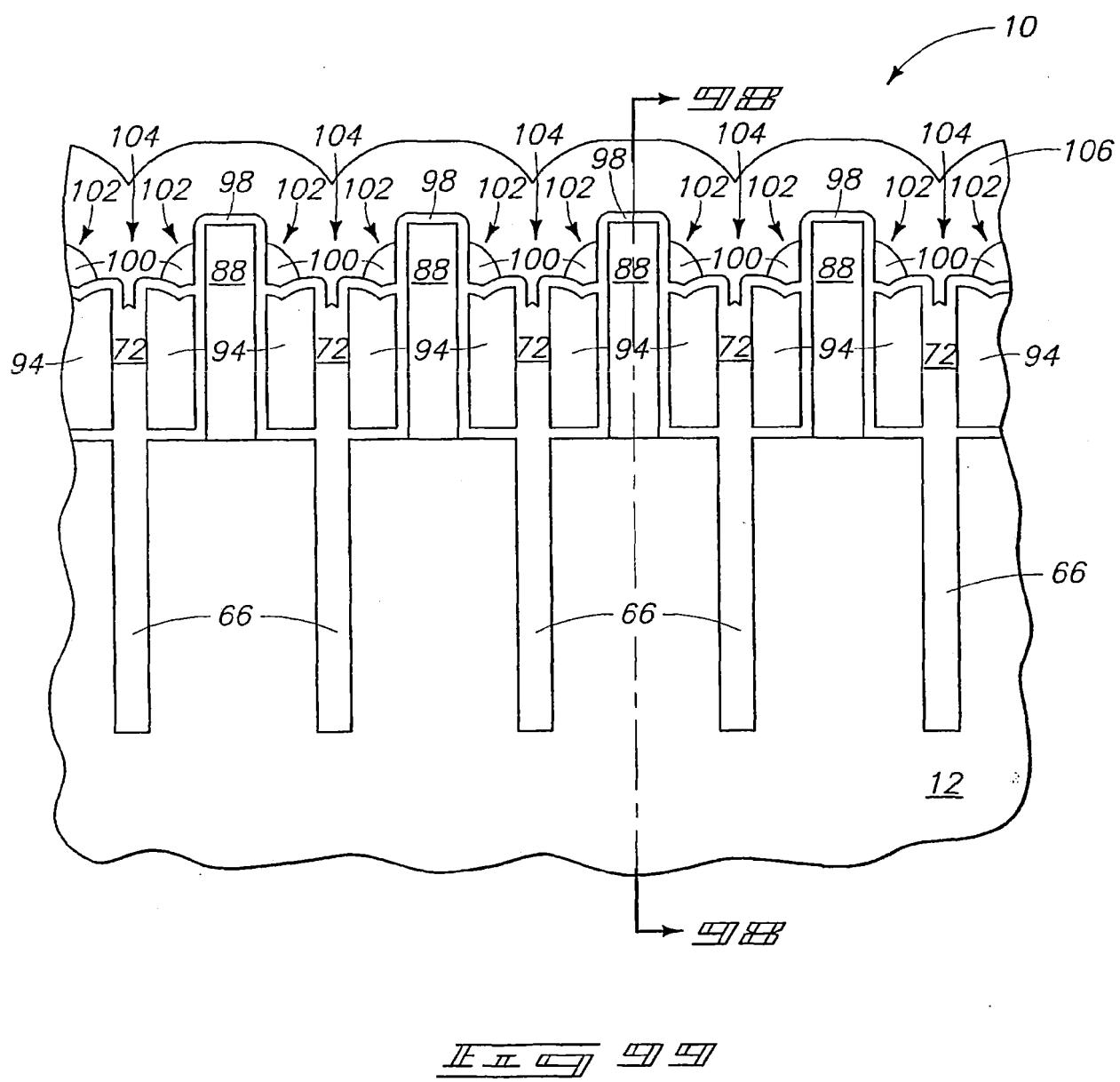
正五五 正四四

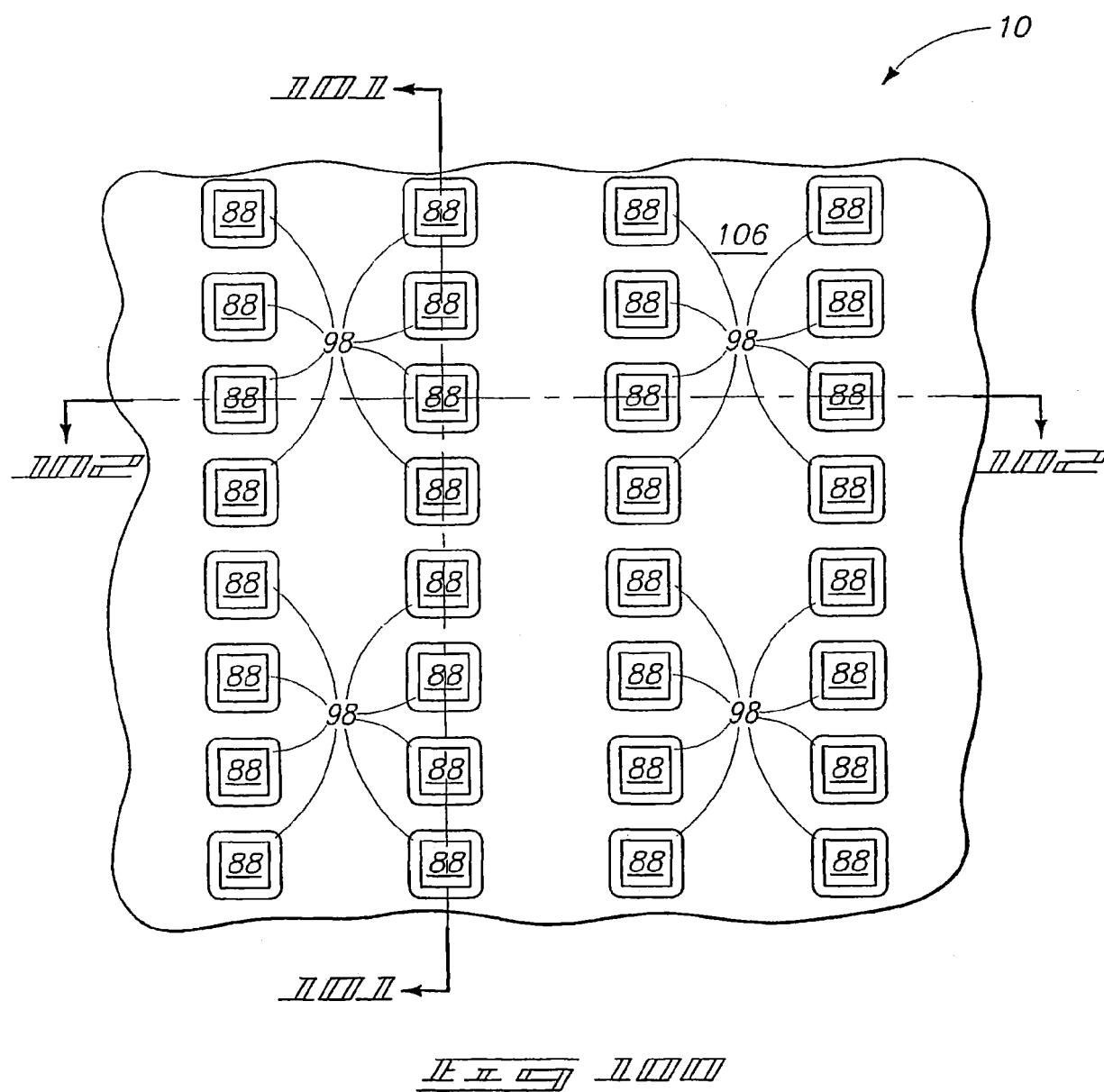


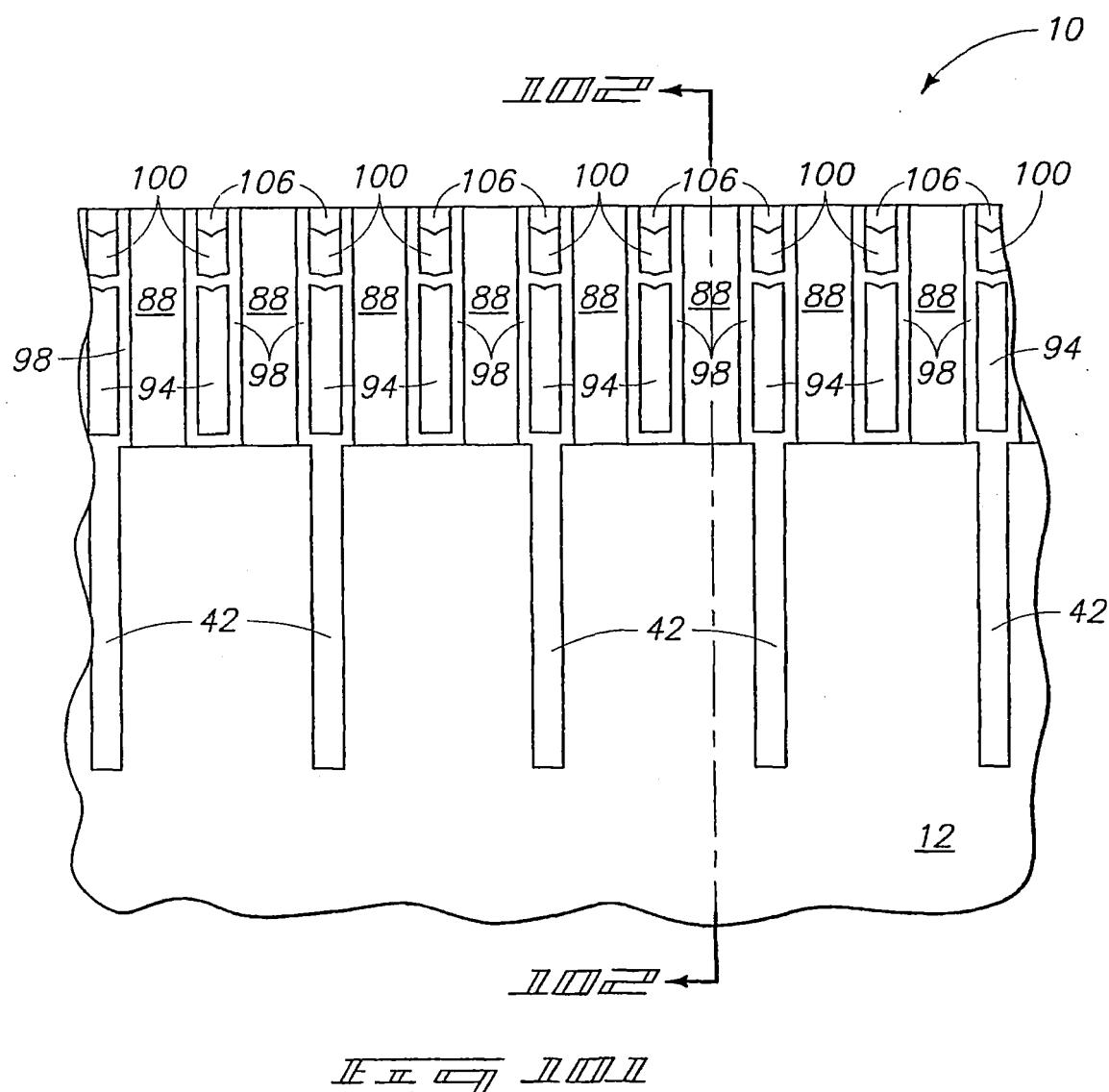


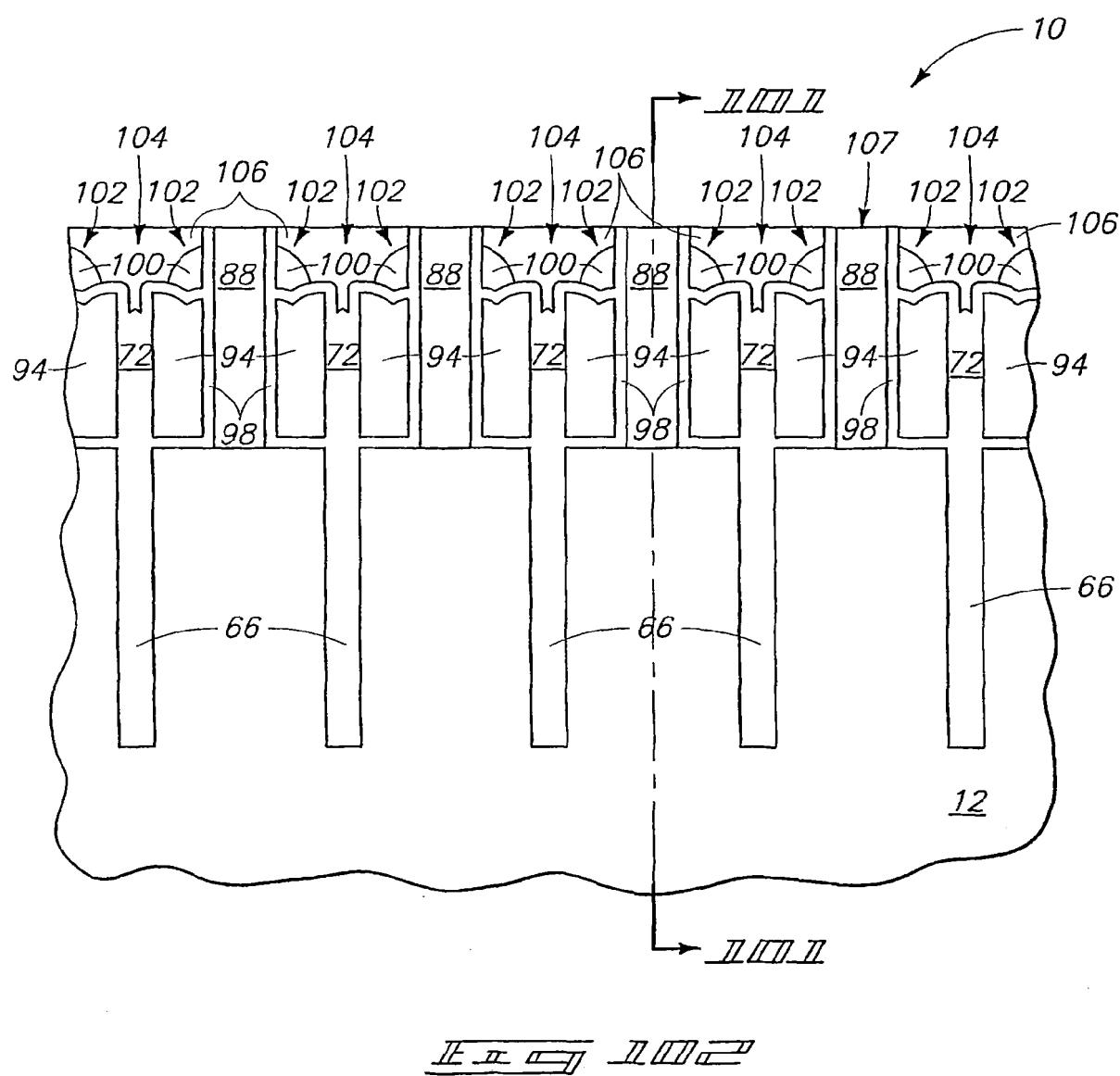


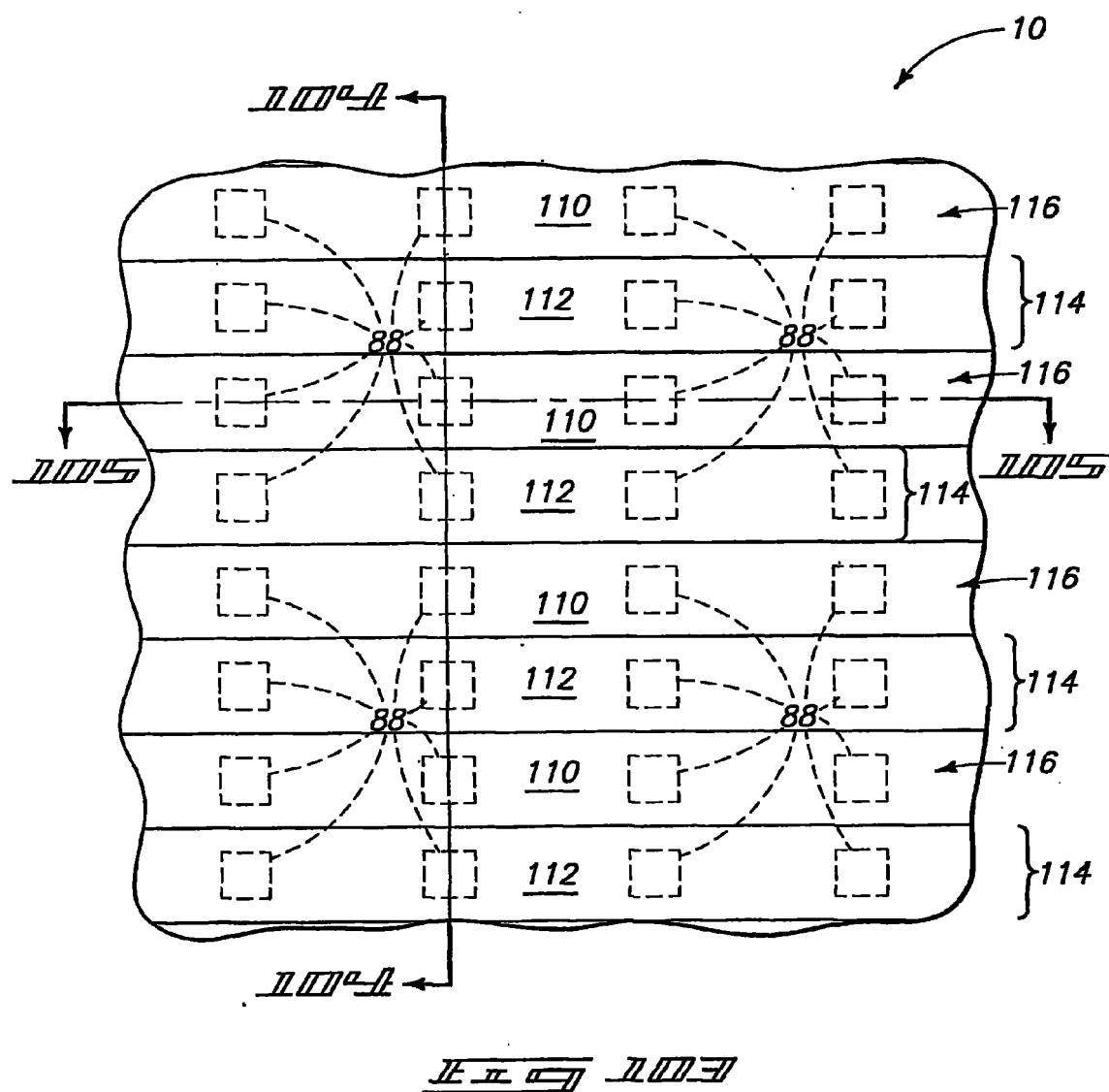


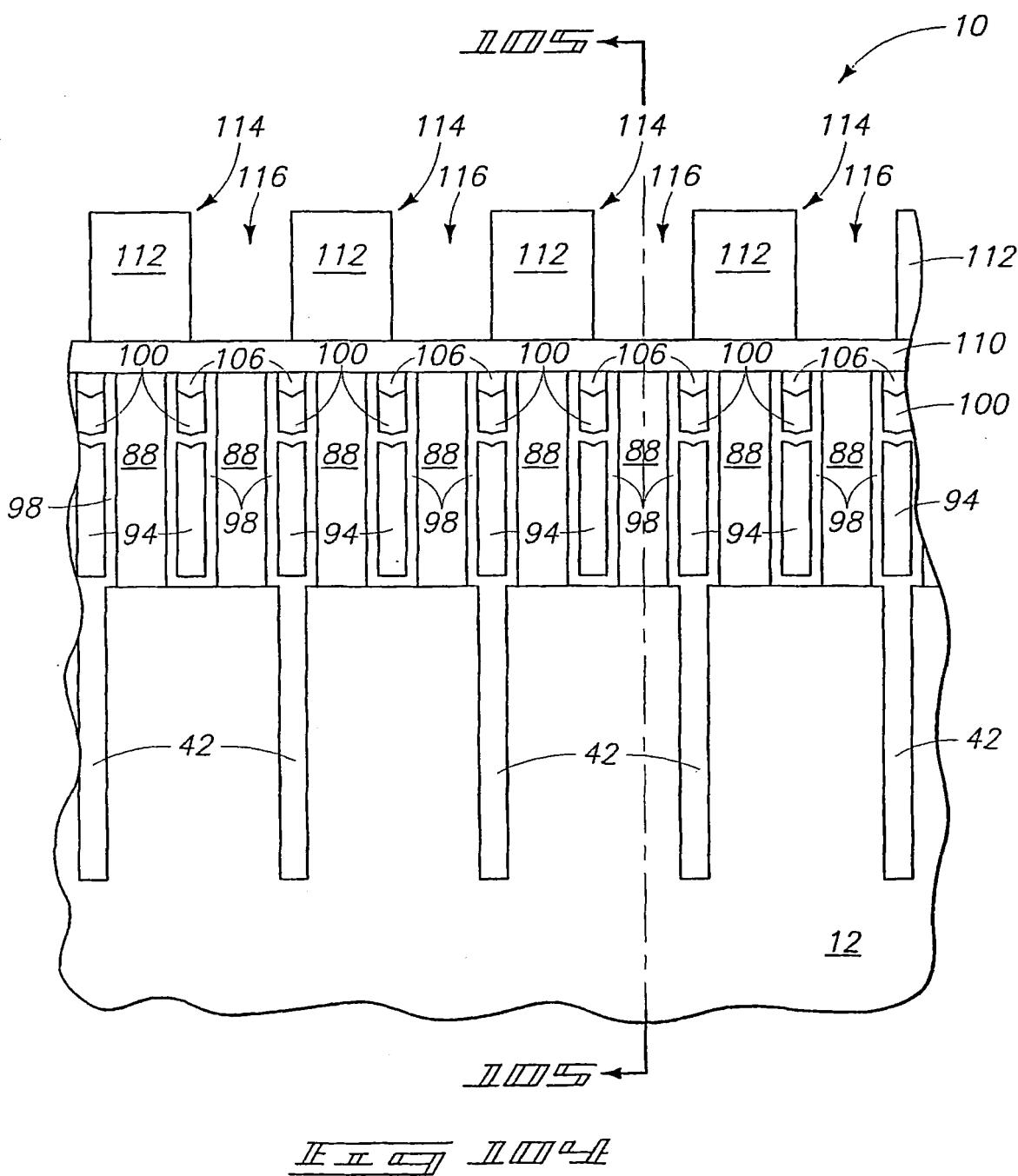


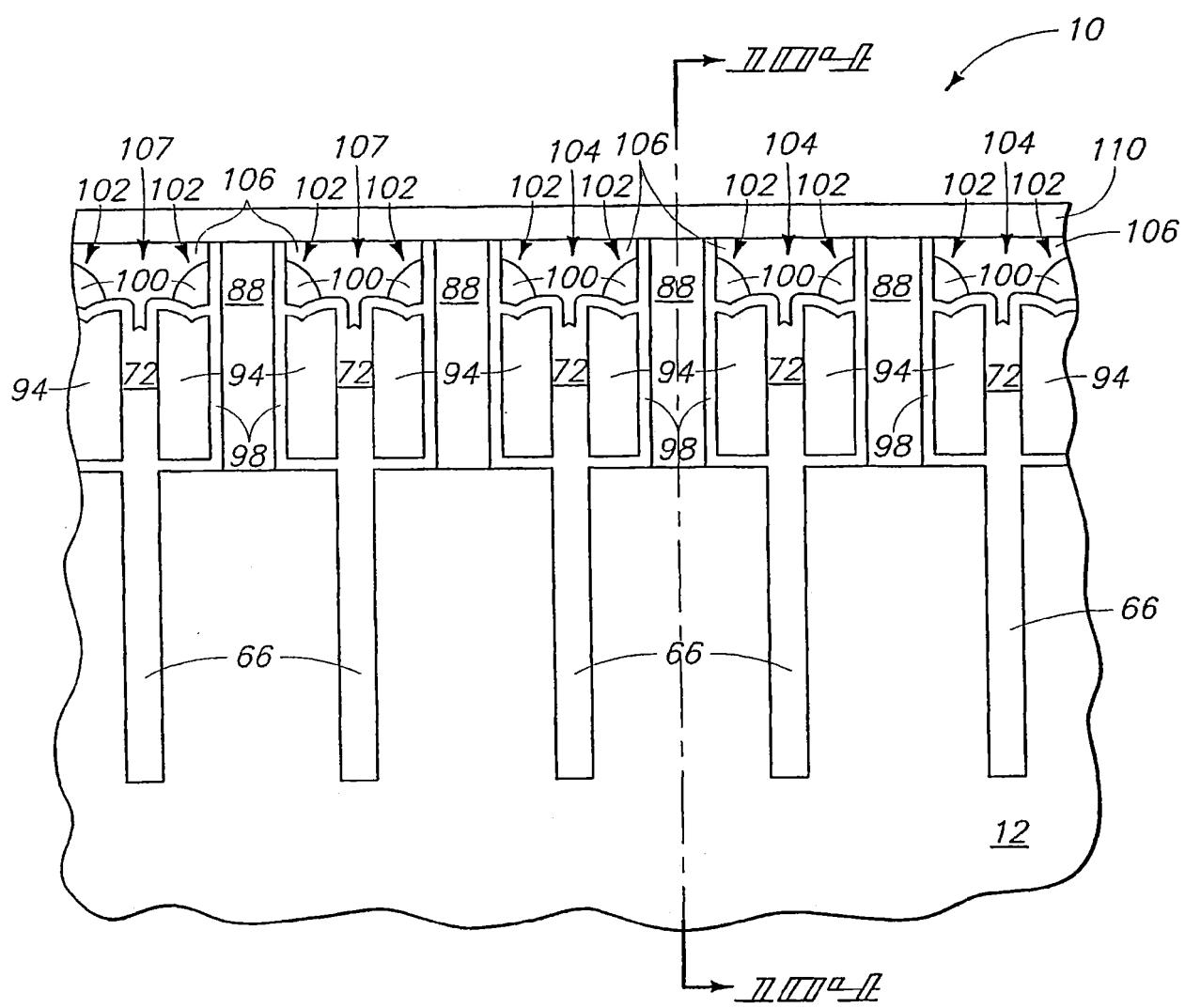




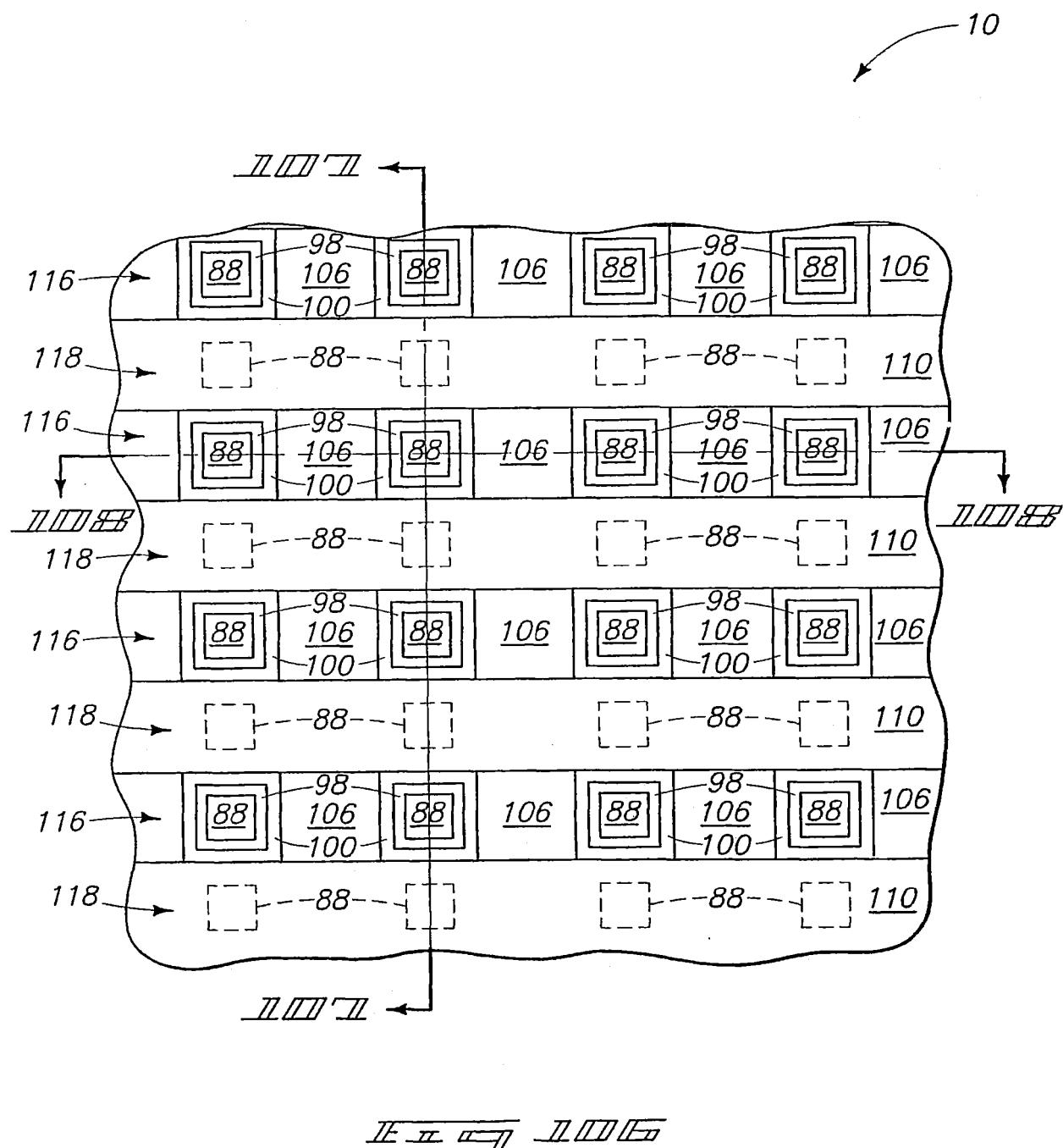


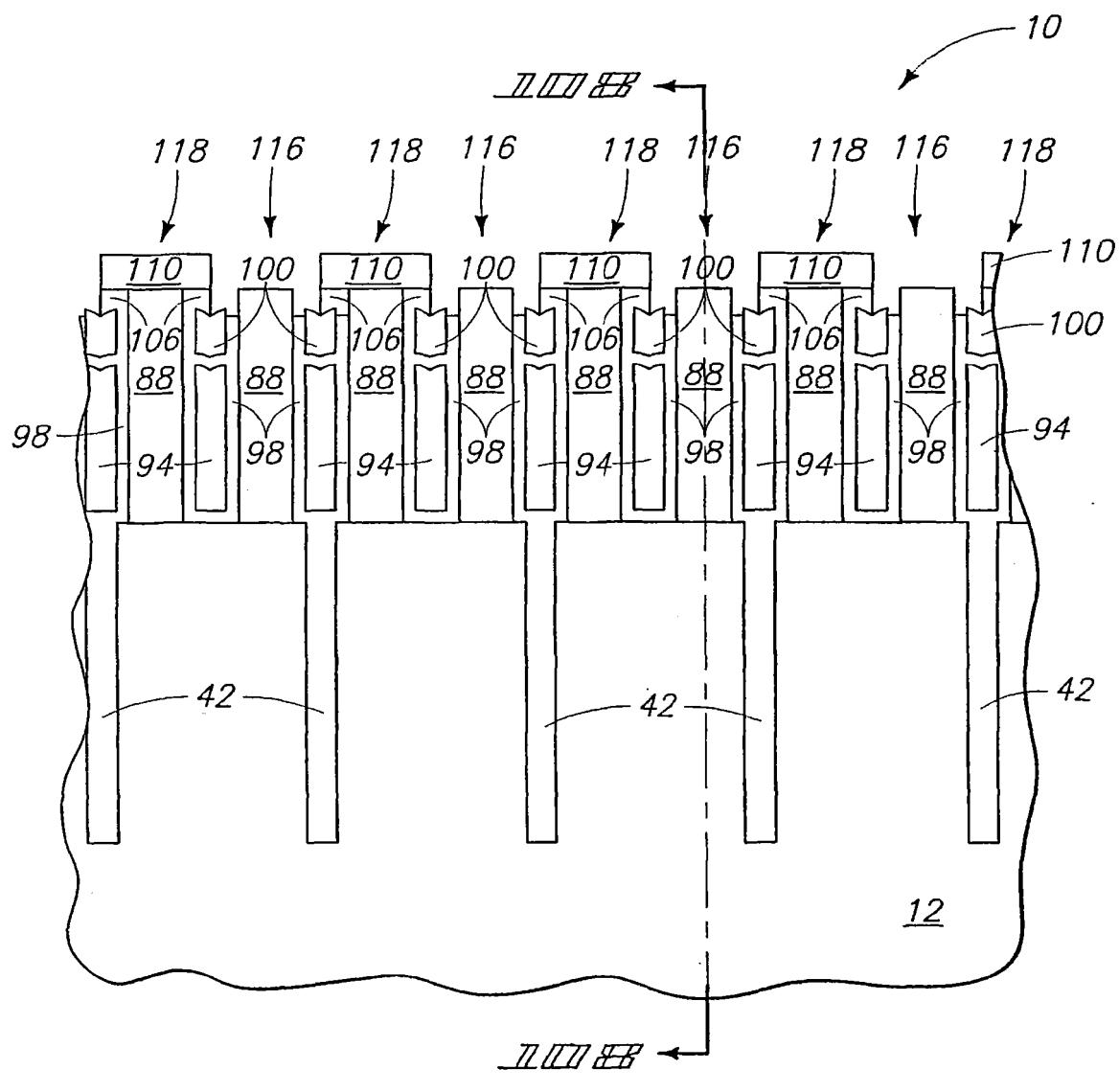


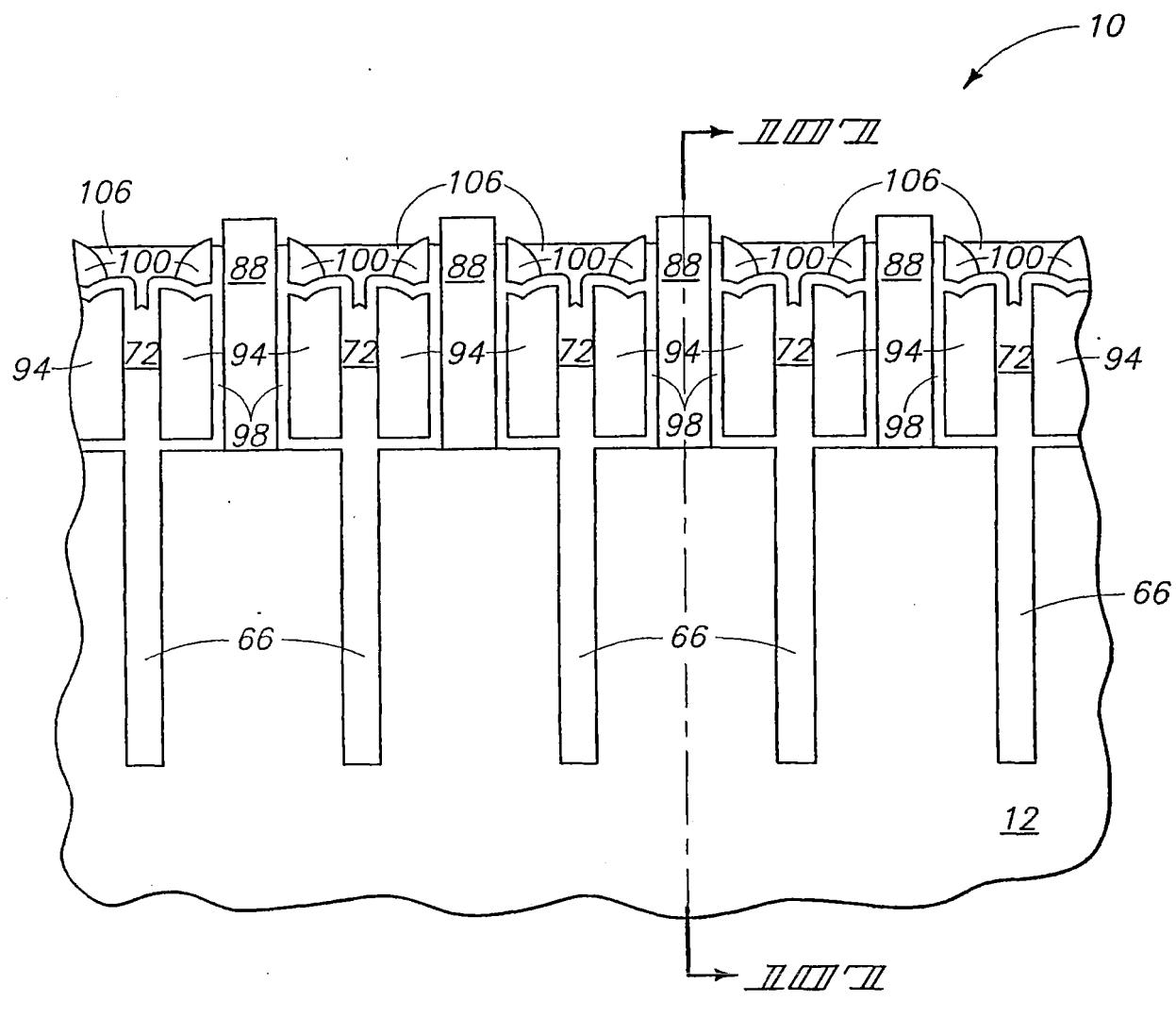




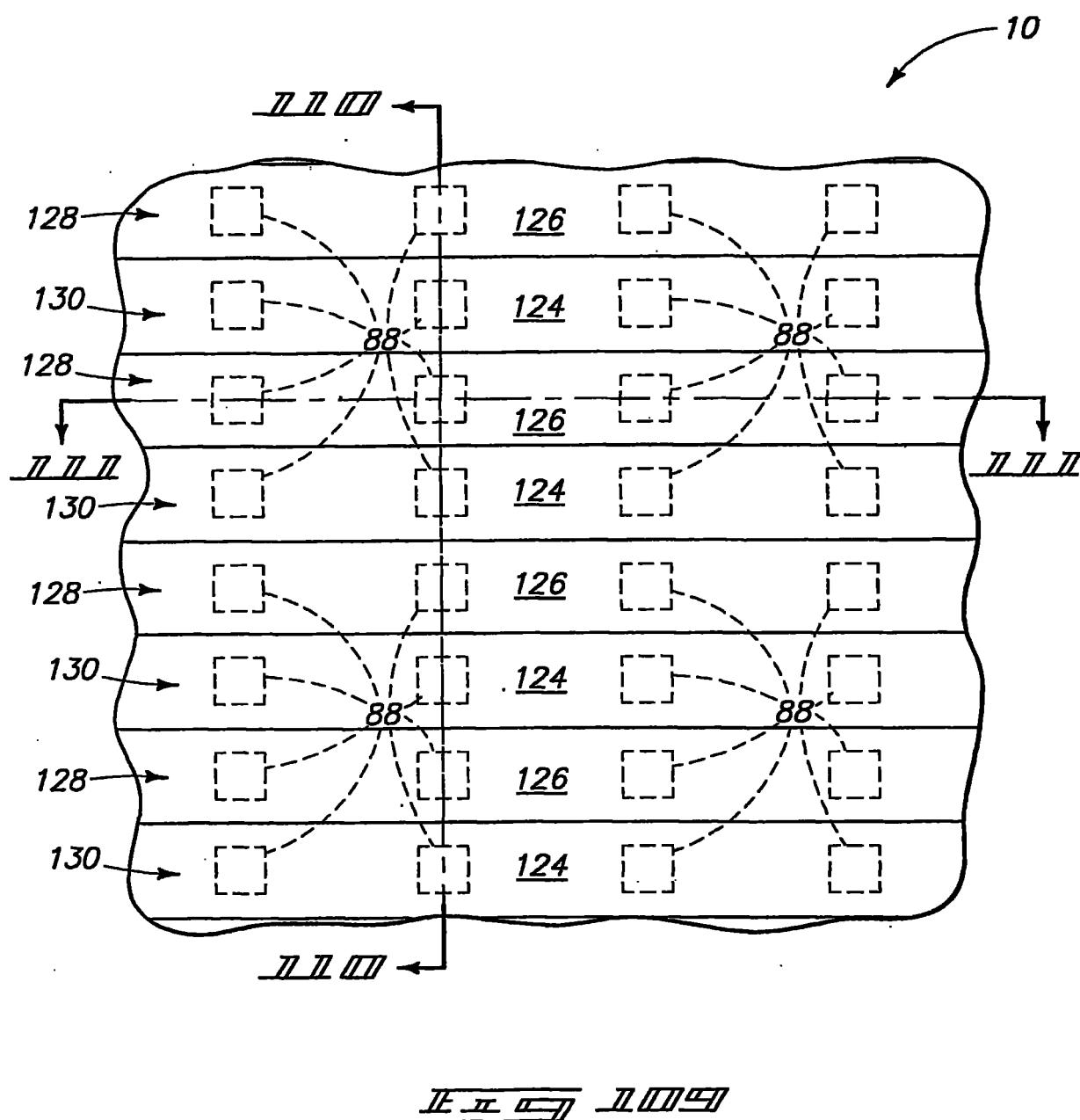
图二

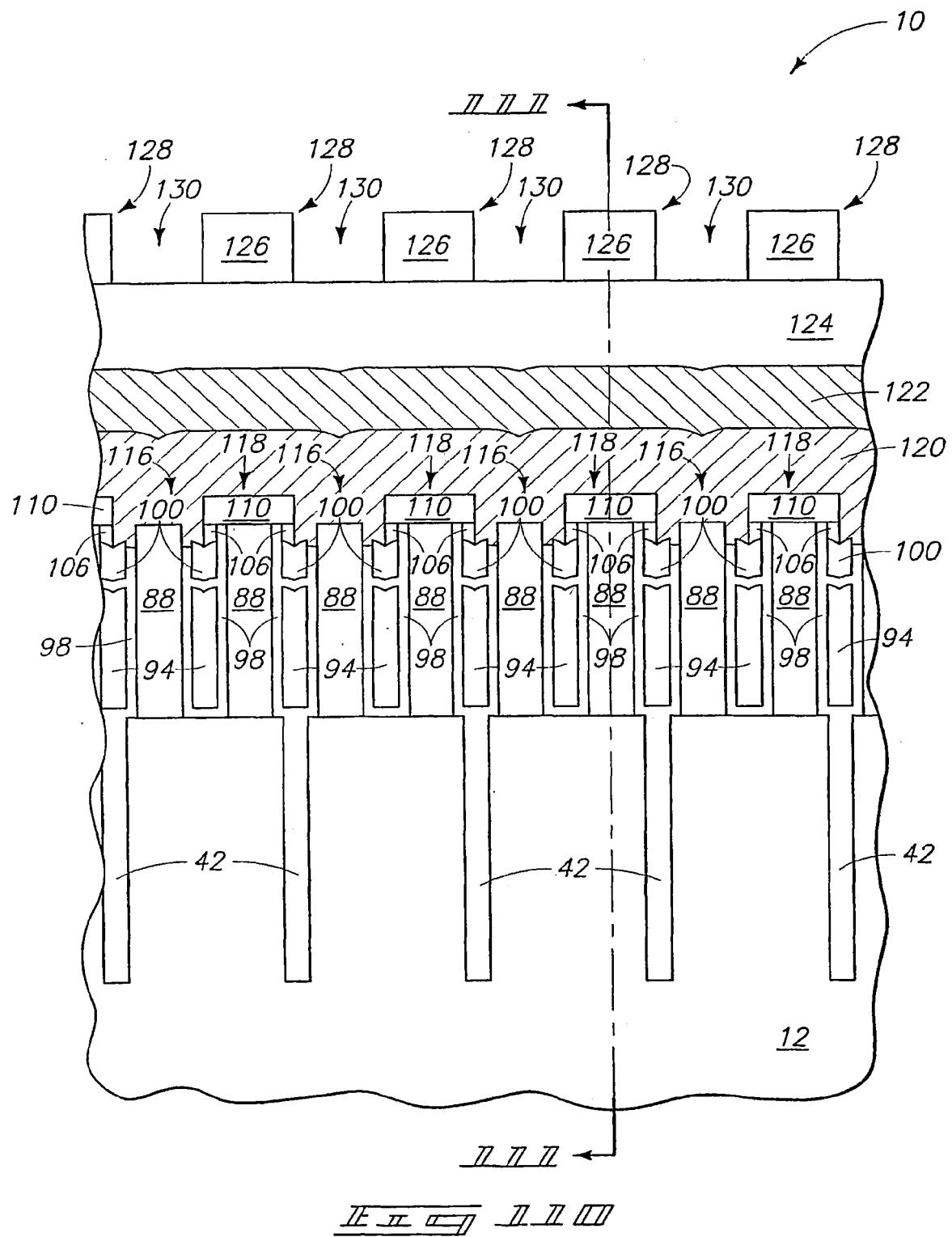


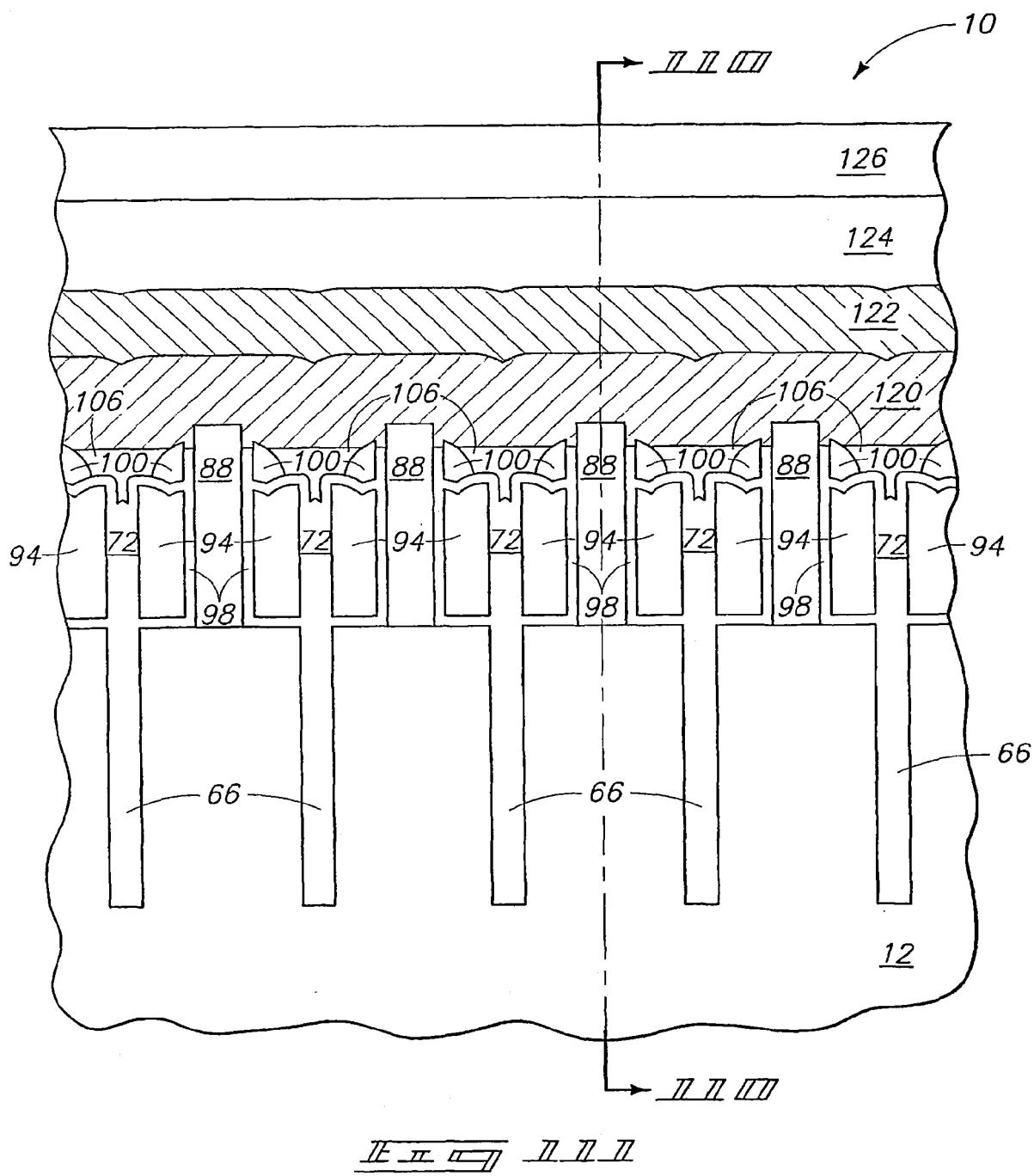


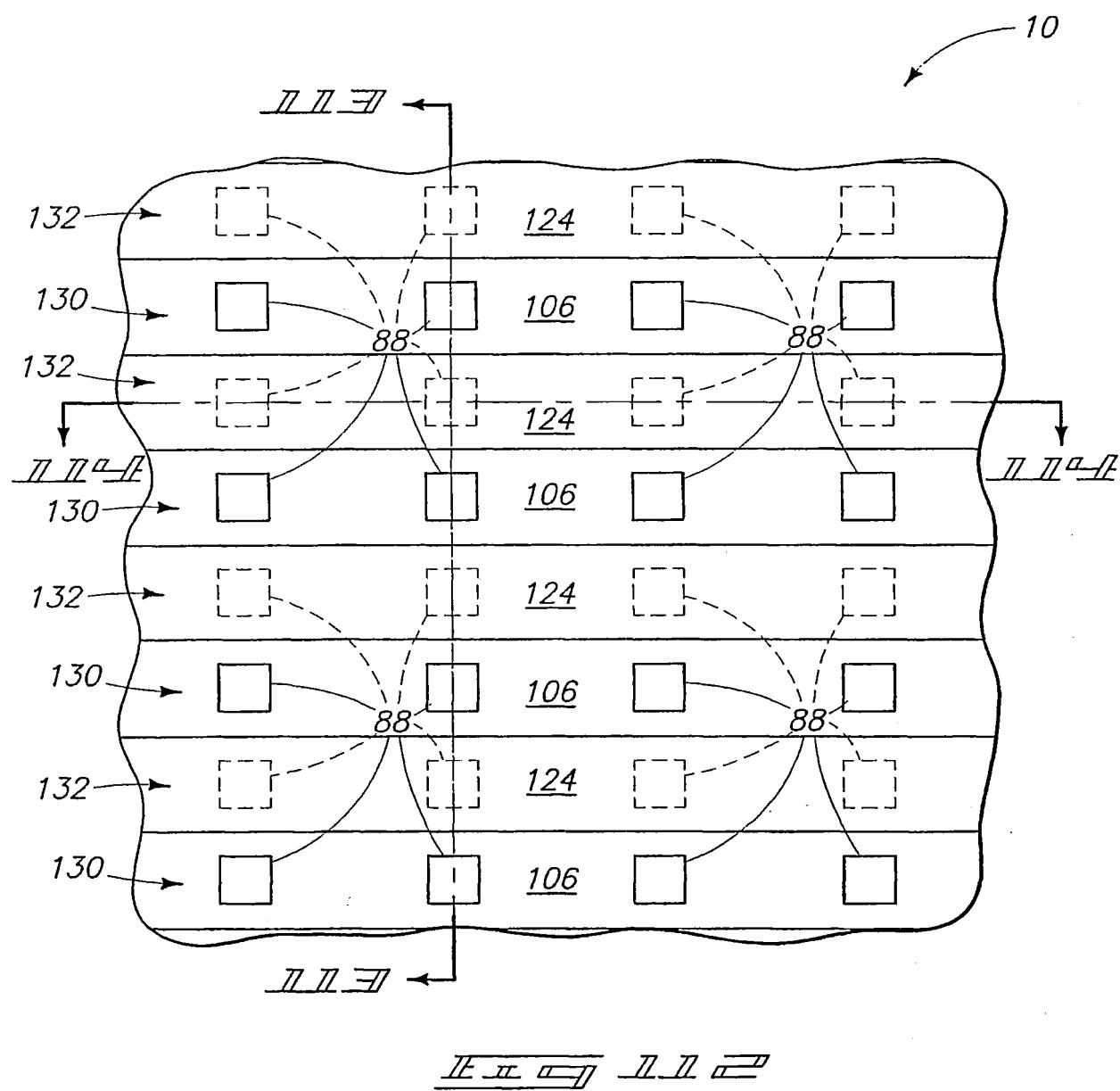


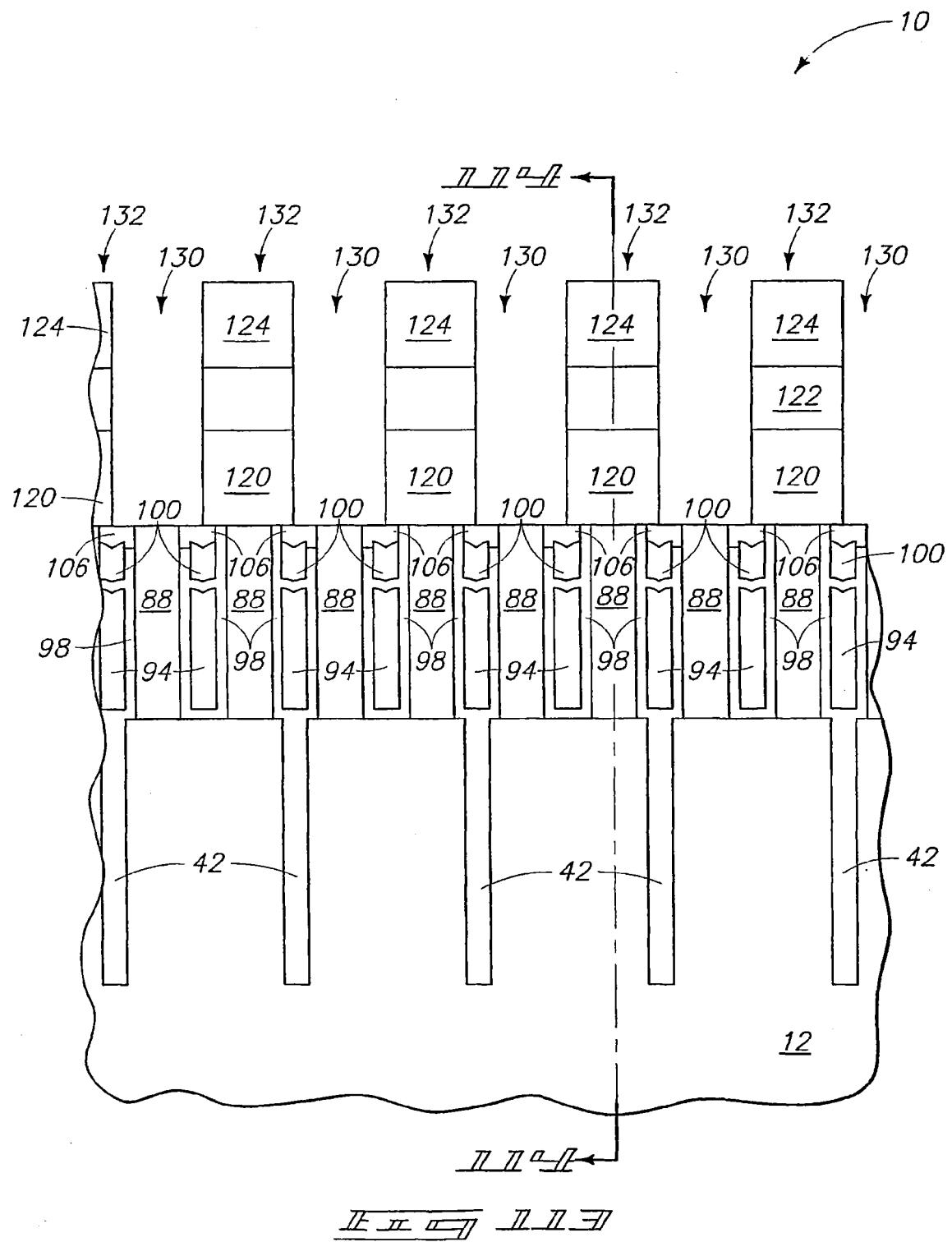
II II II II II III III III

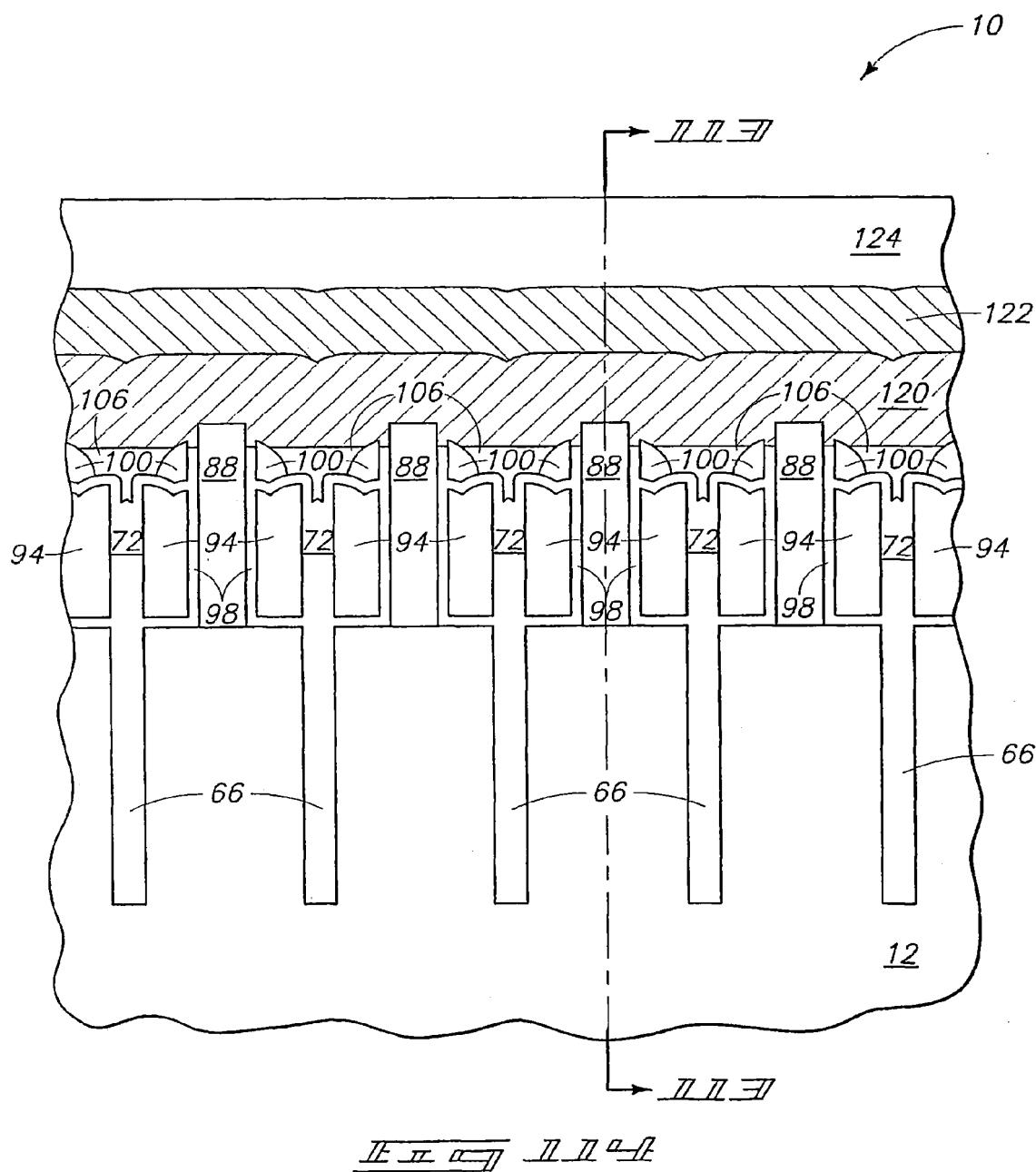


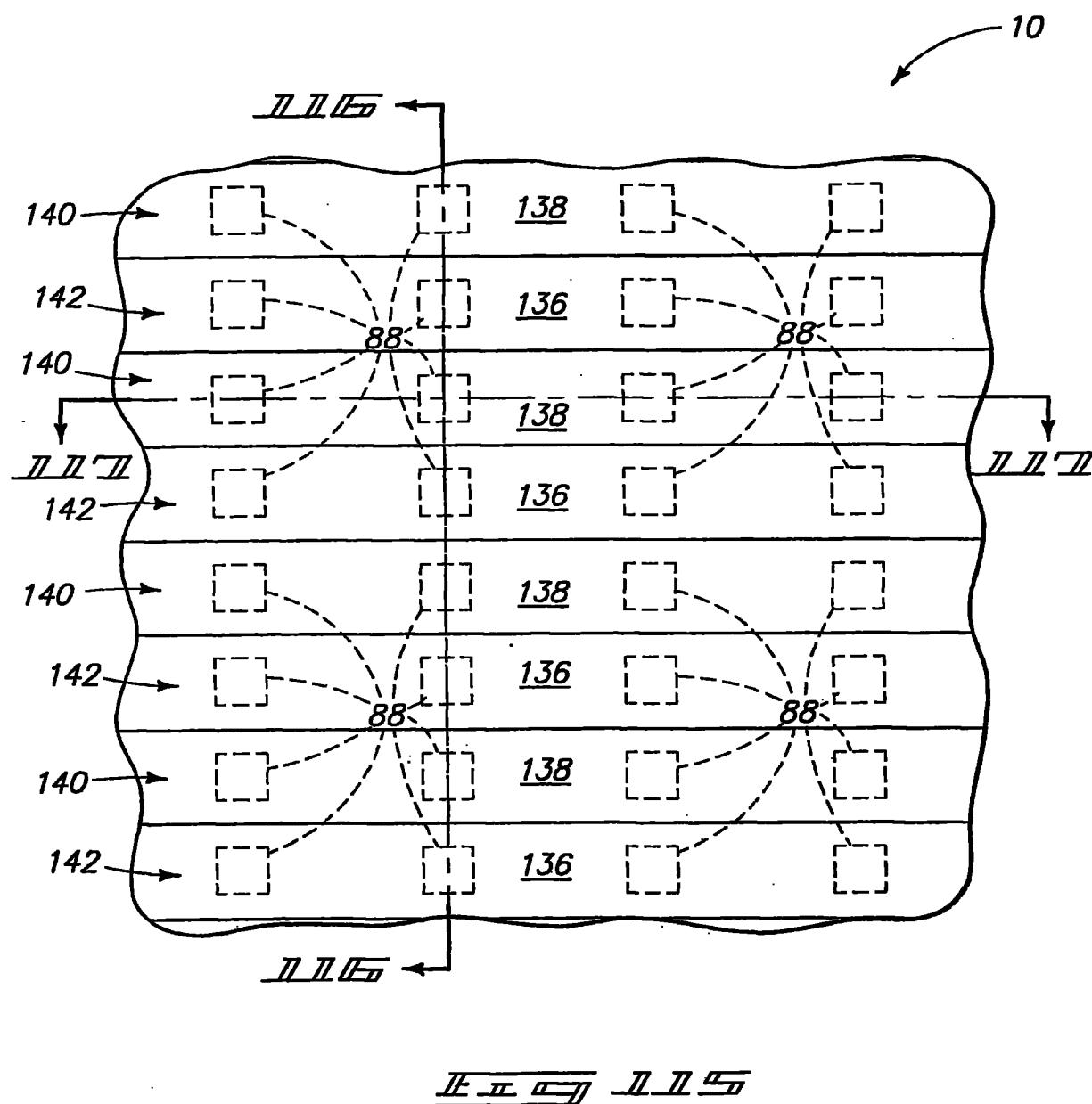


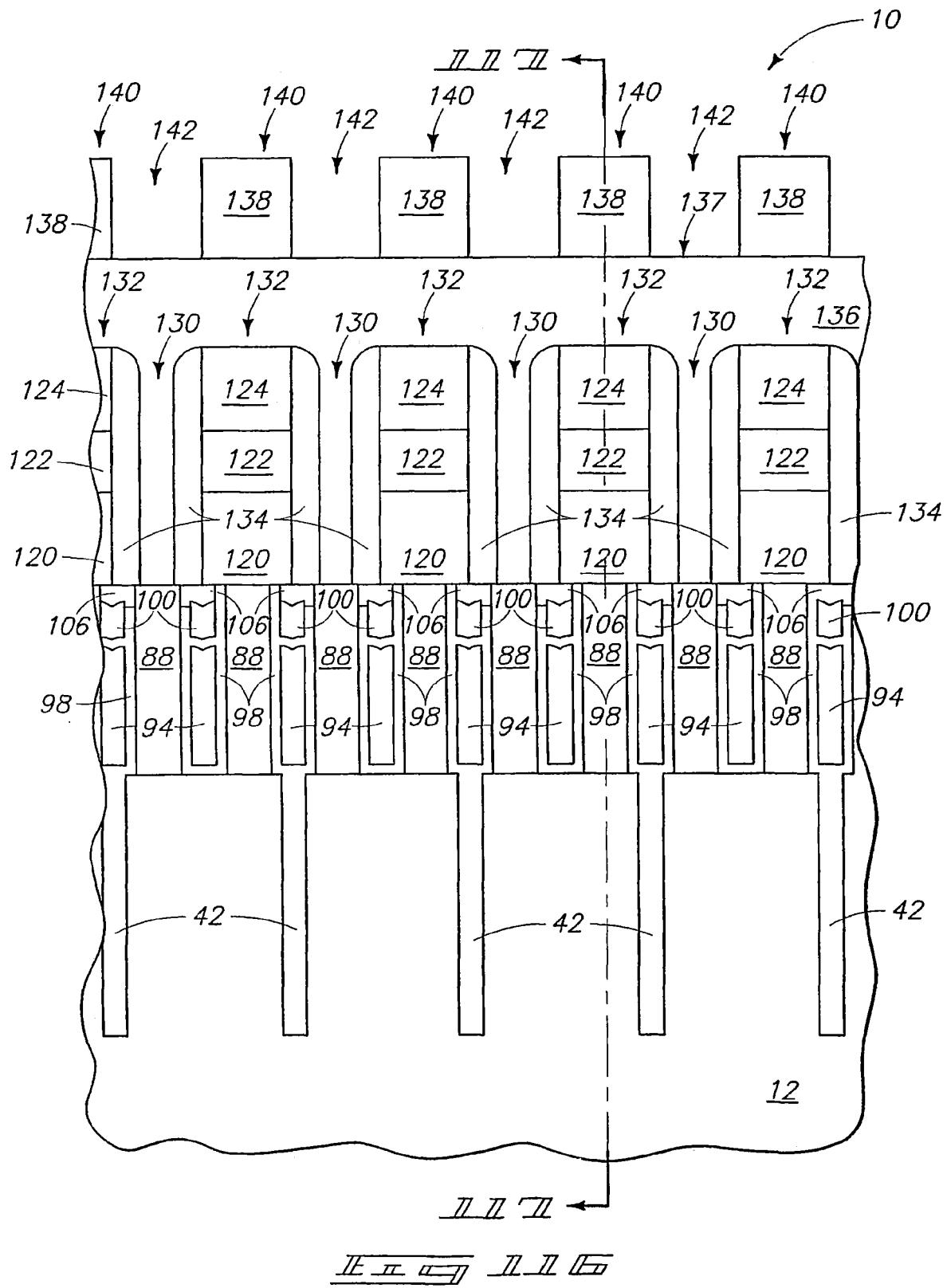


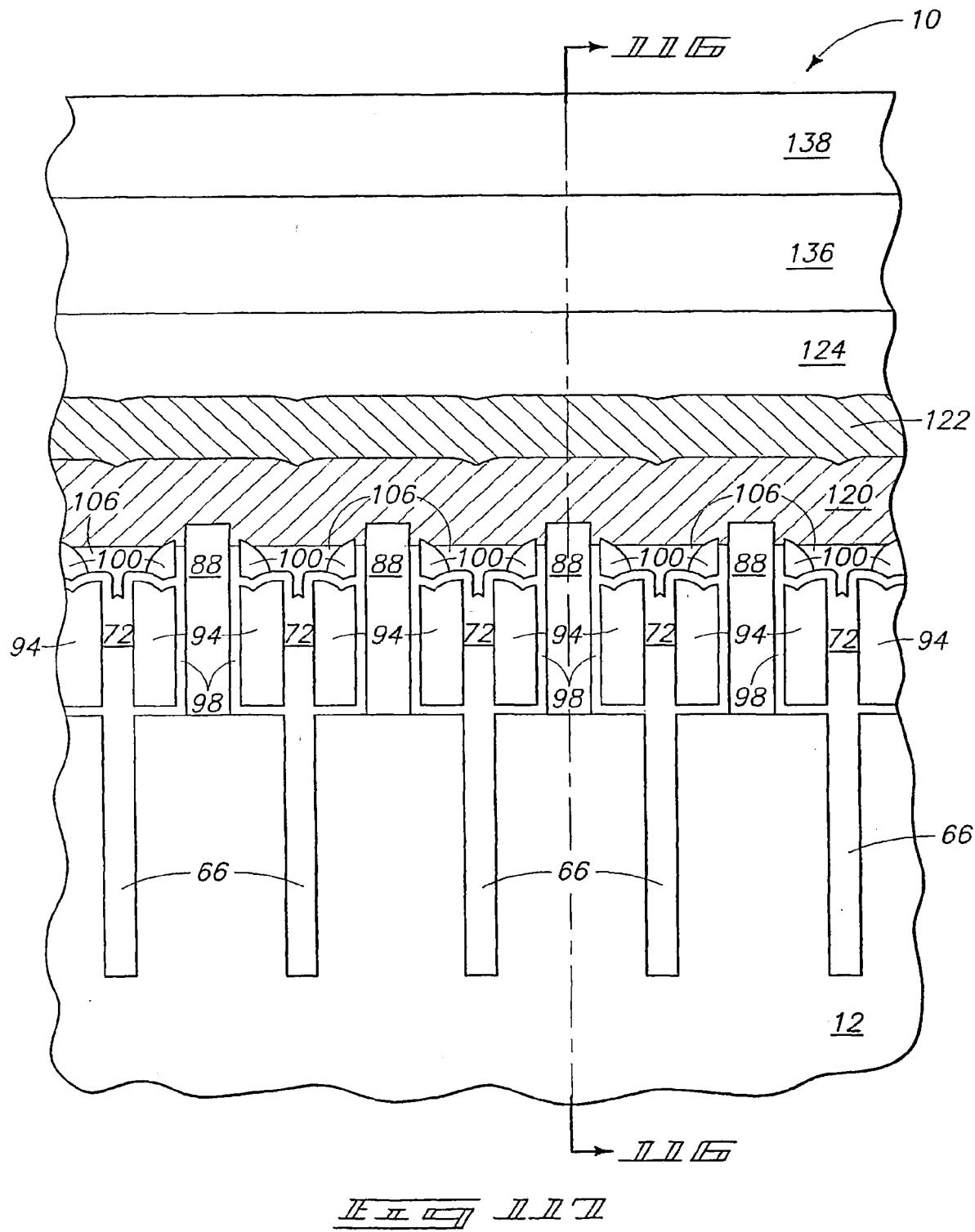


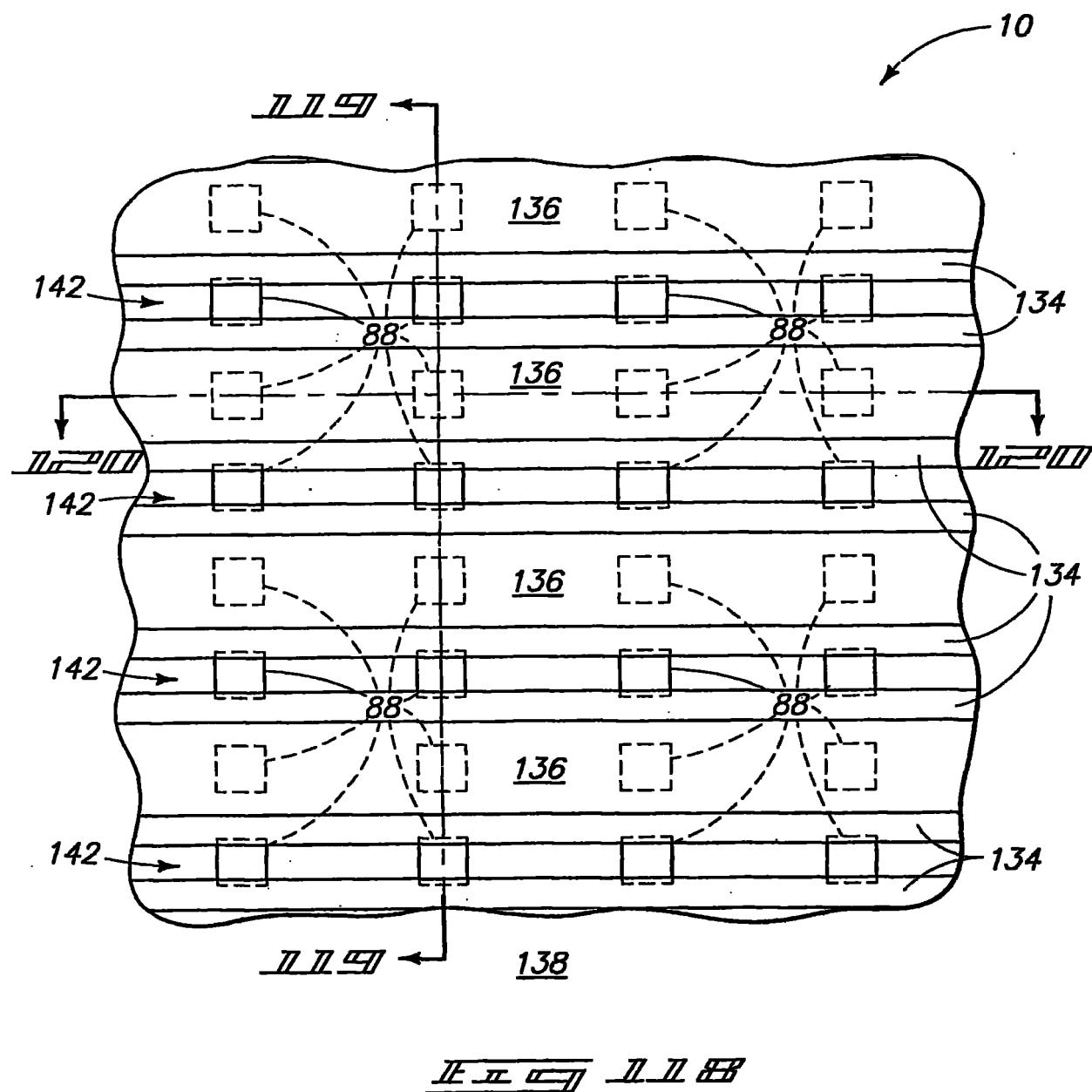


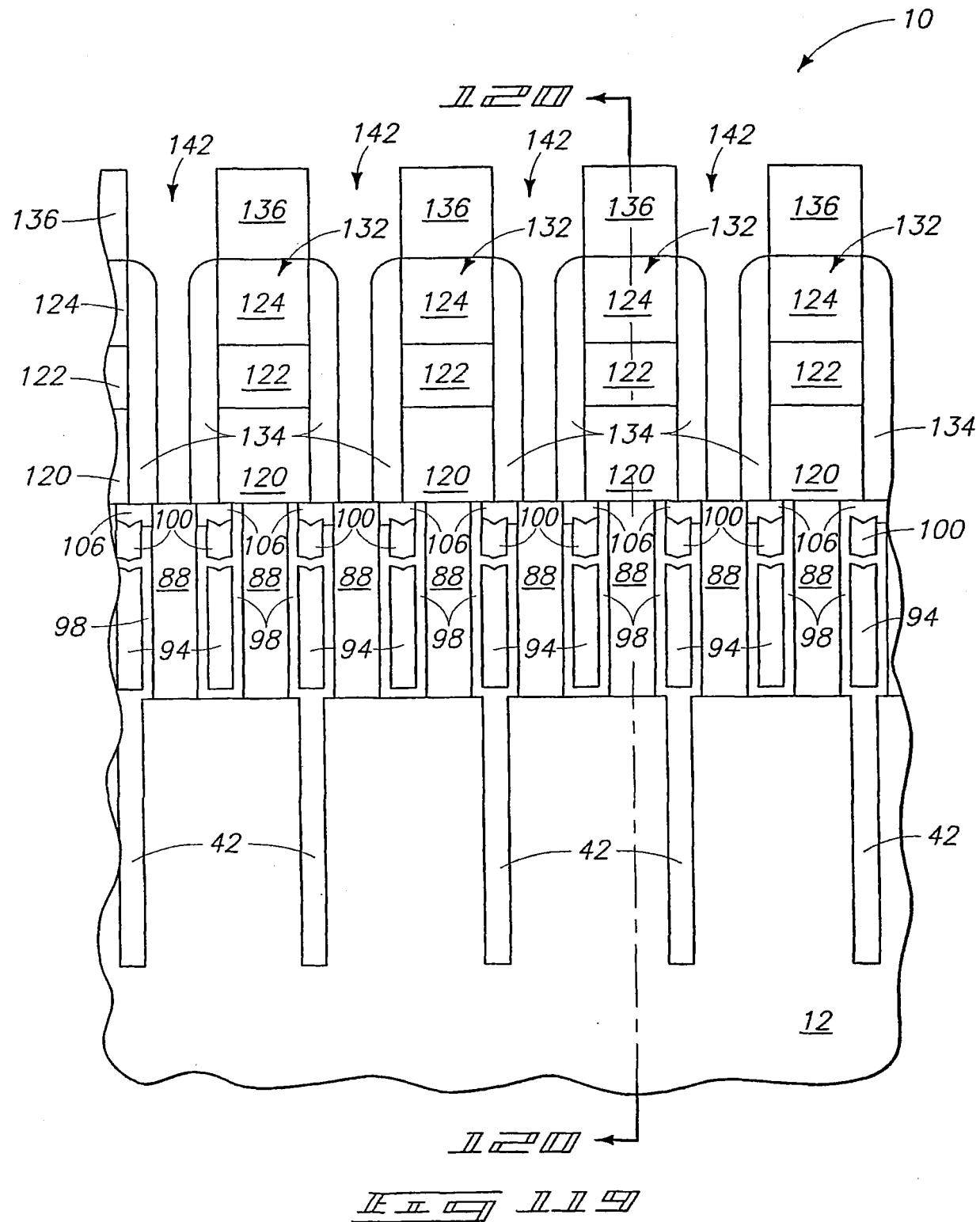


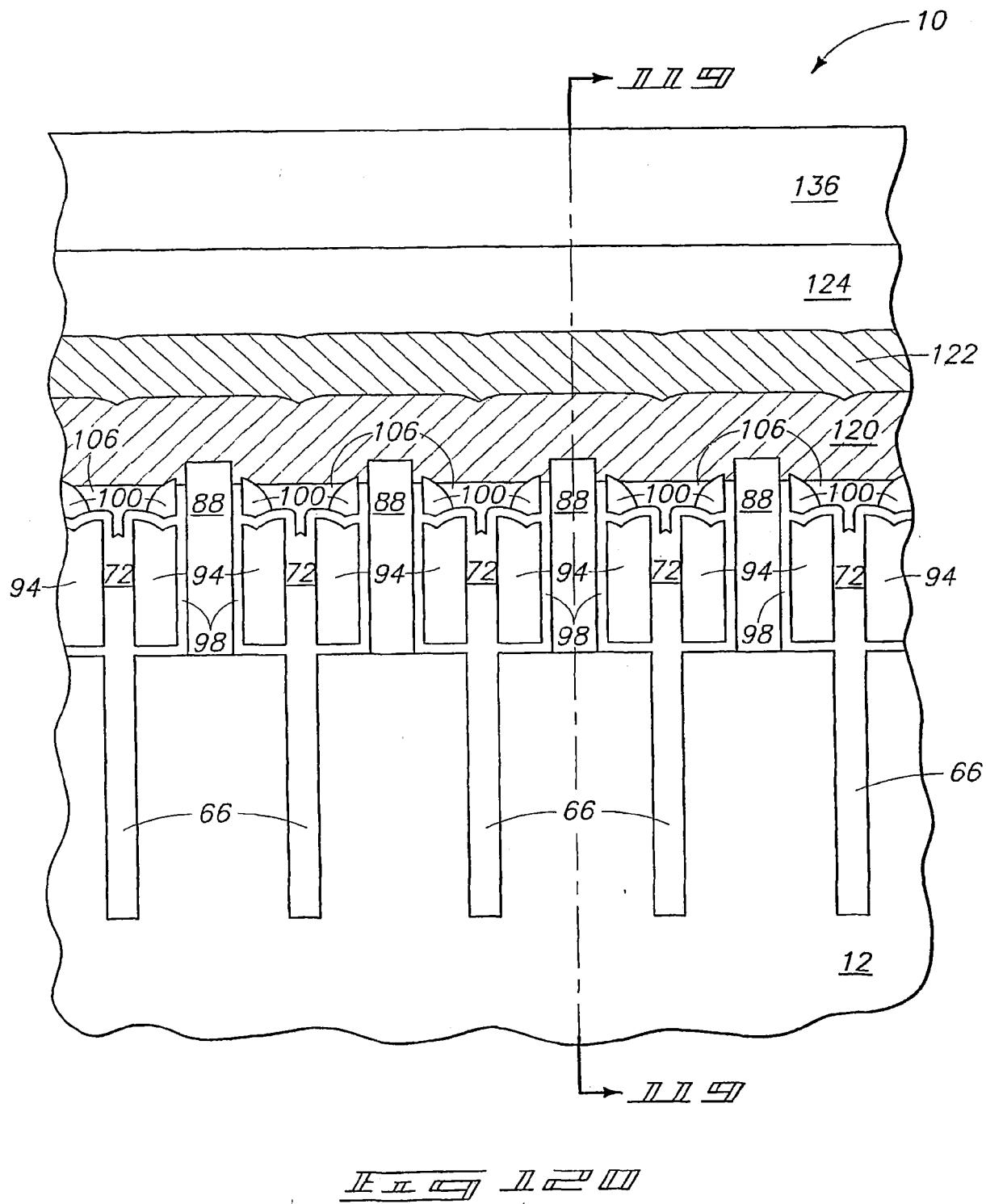


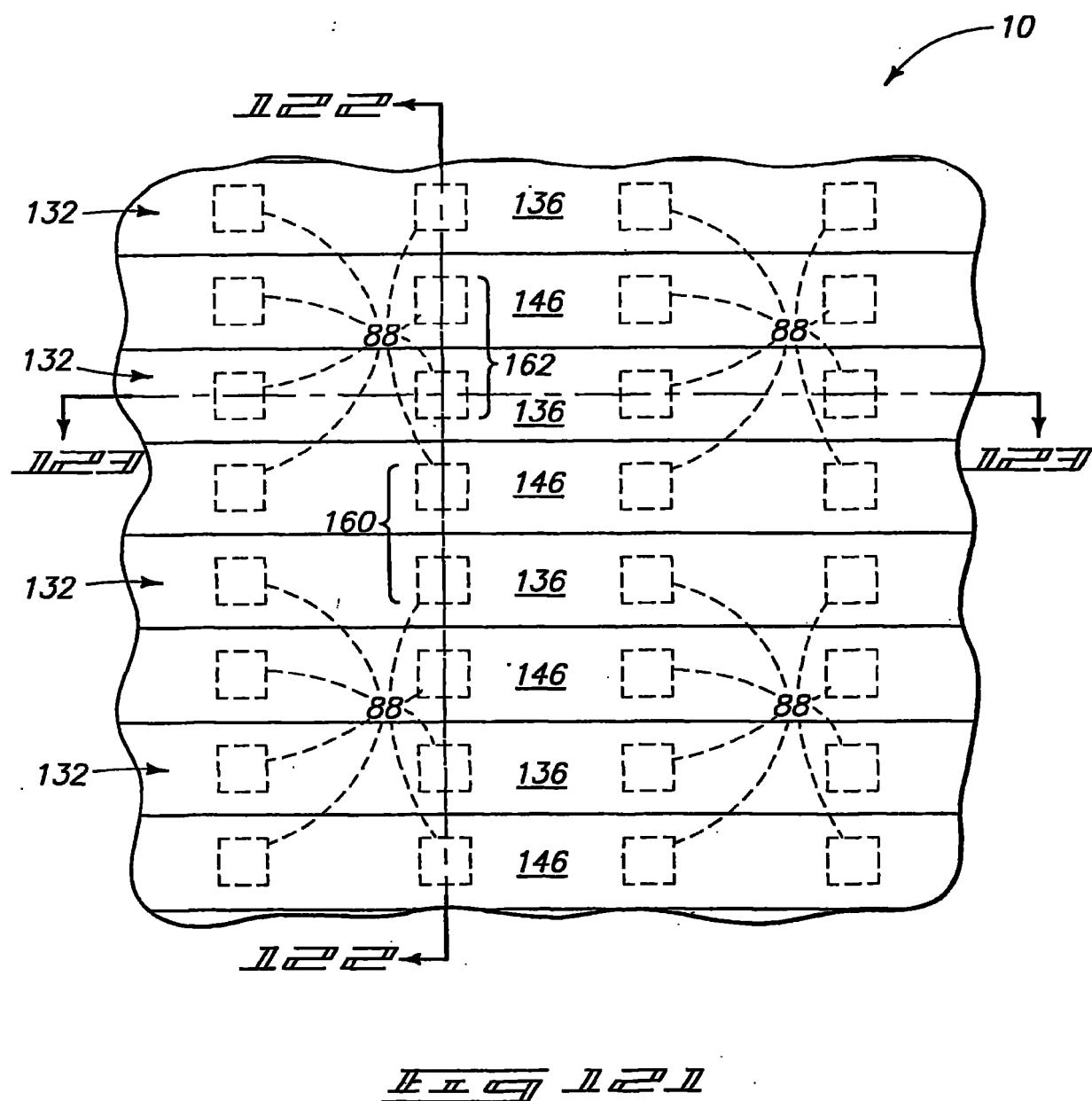


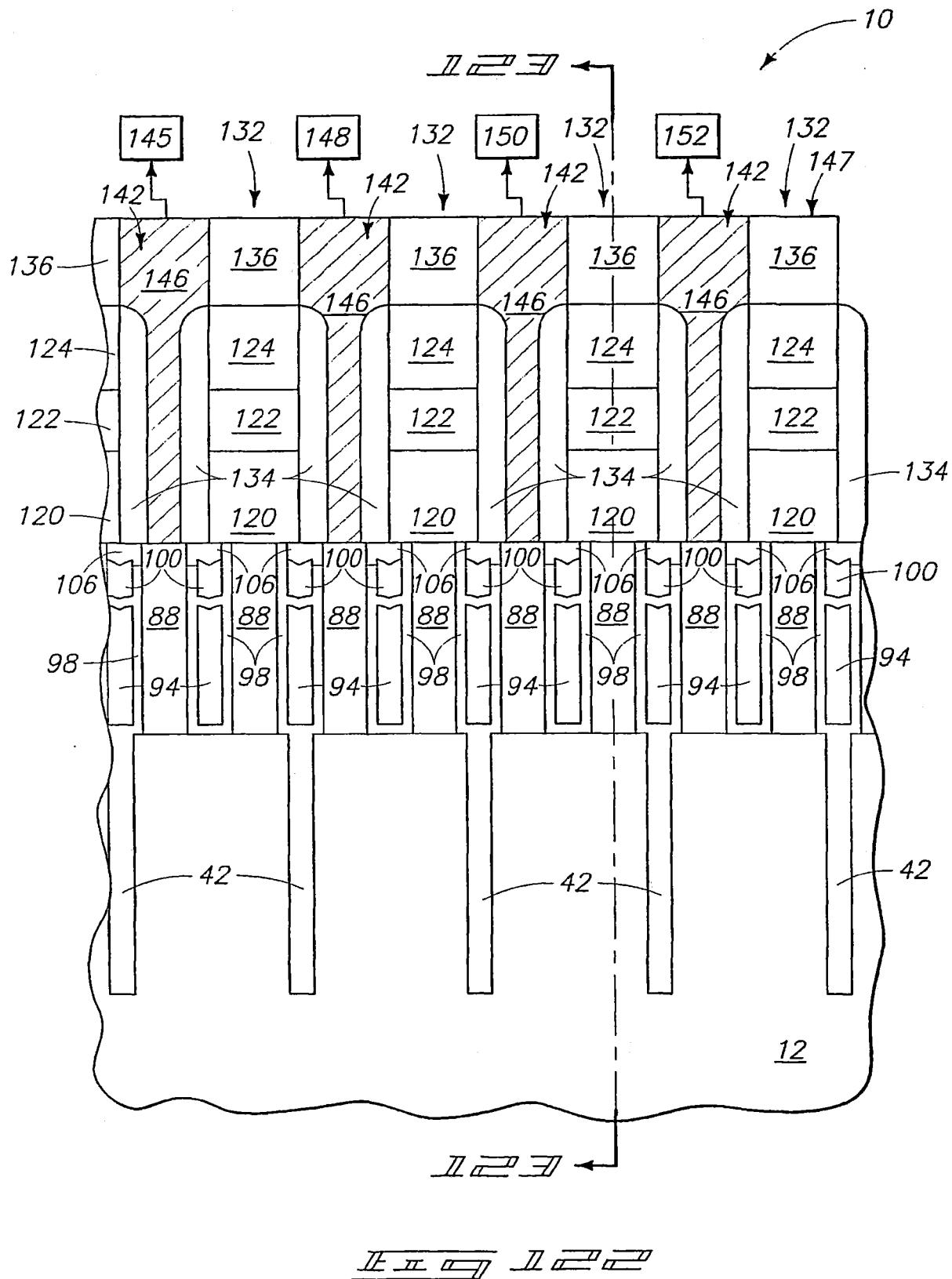


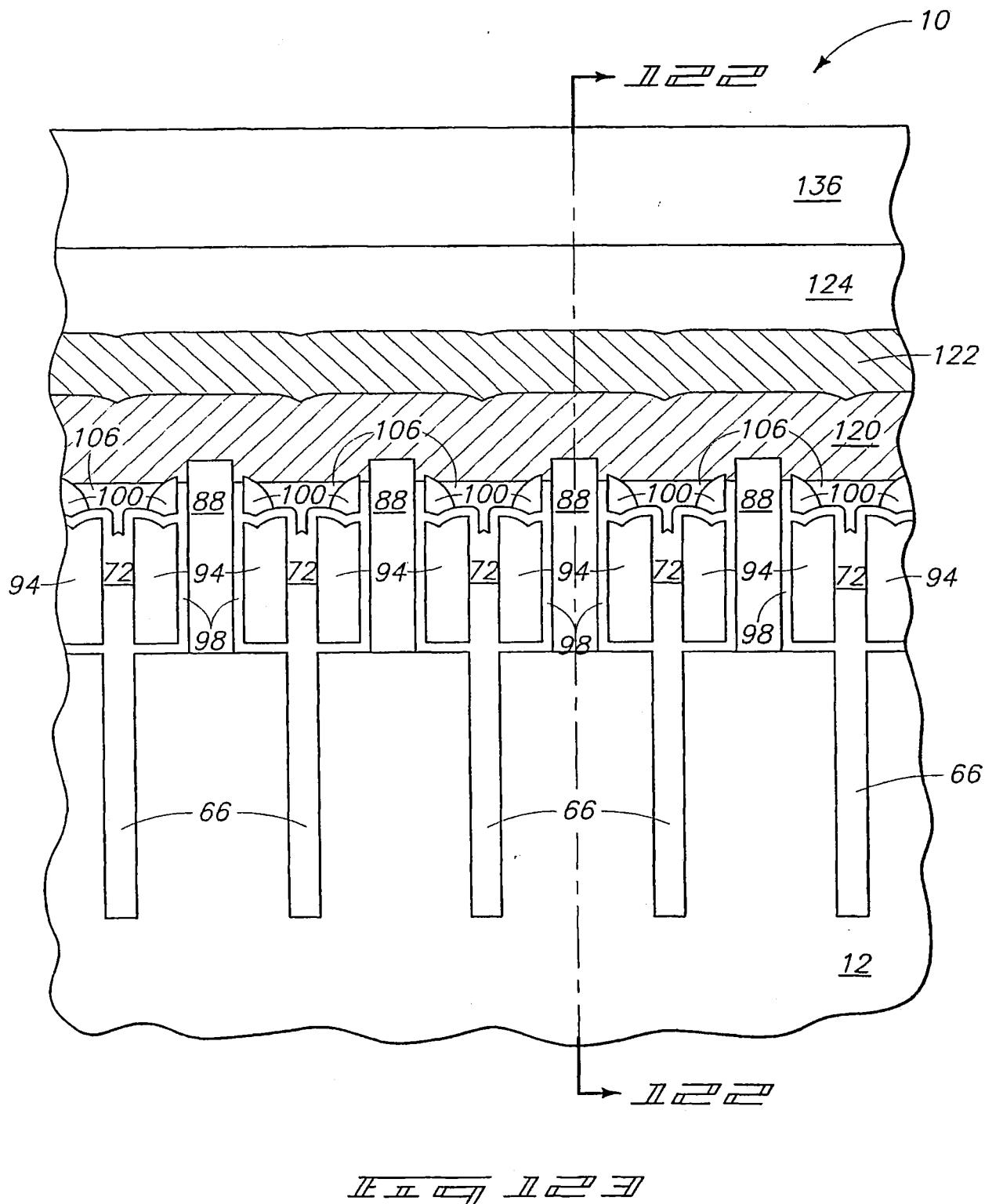


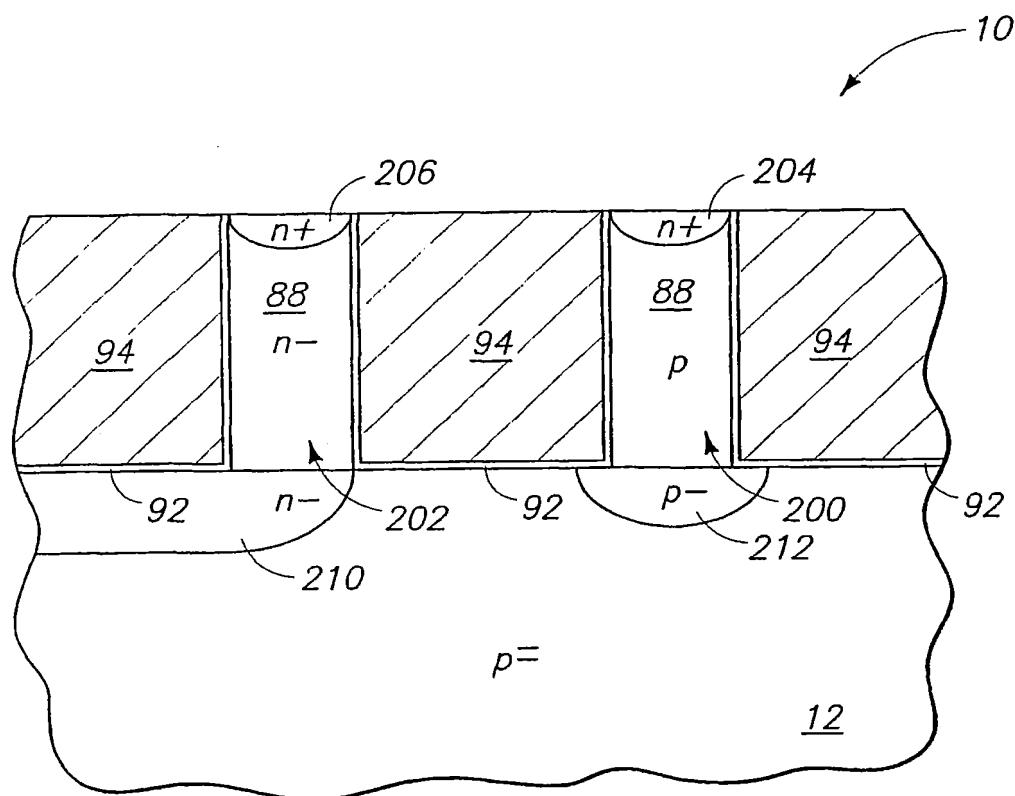




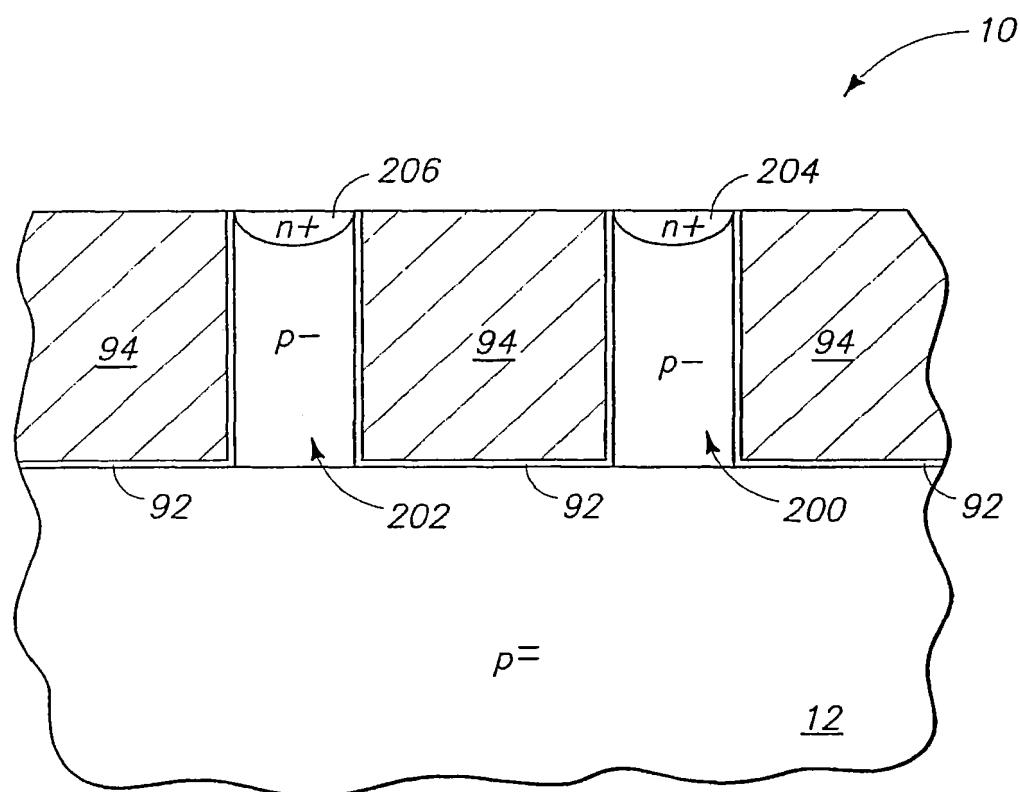




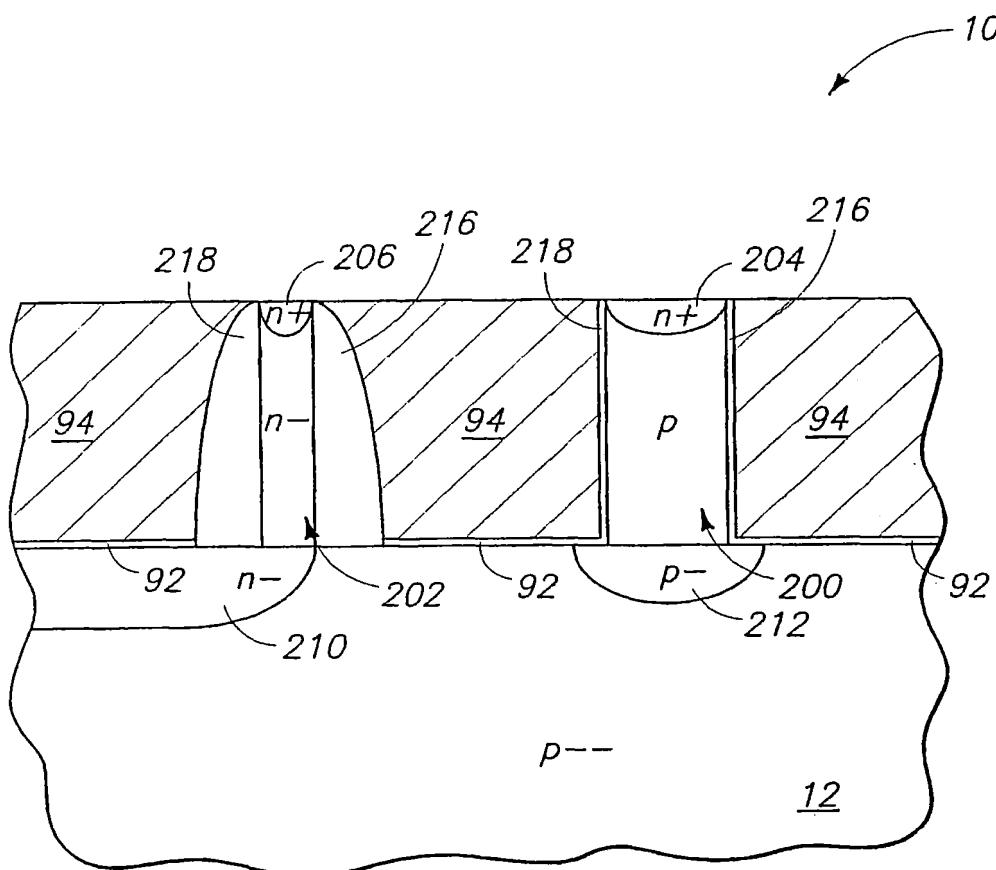




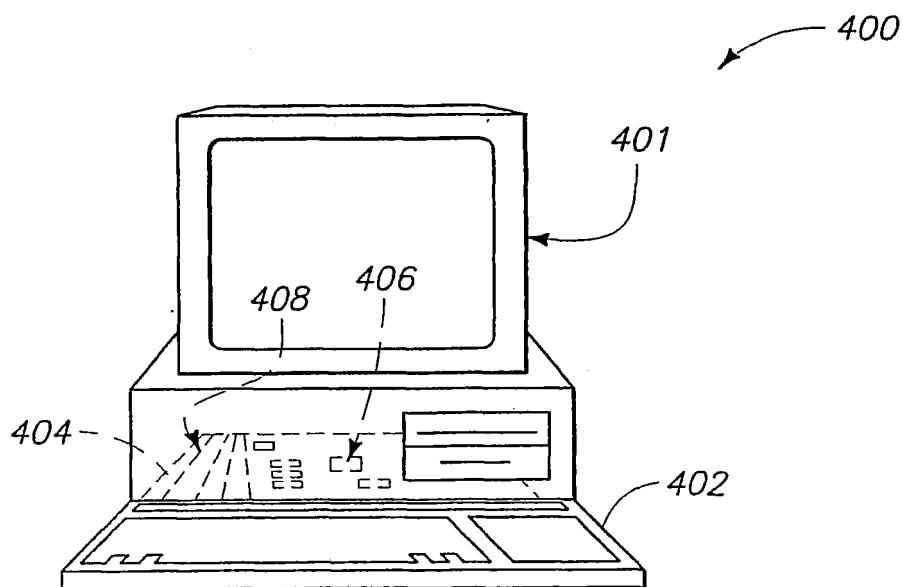
II II II II



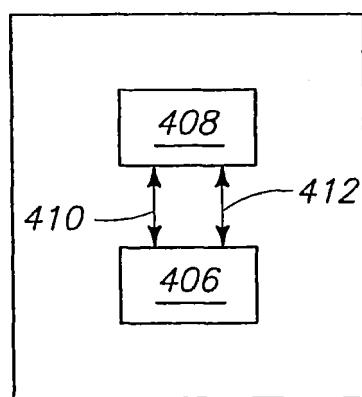
图二十一



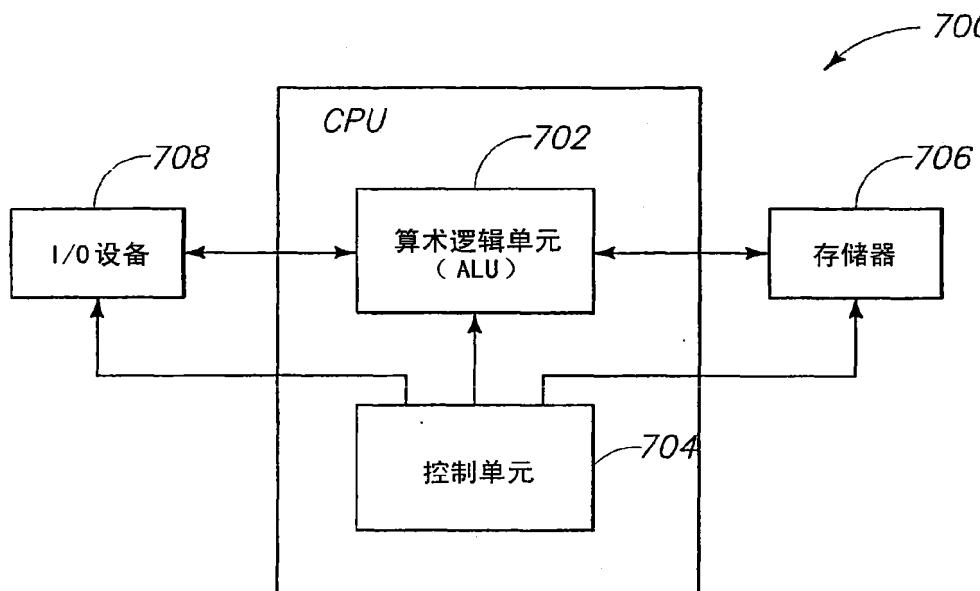
图二



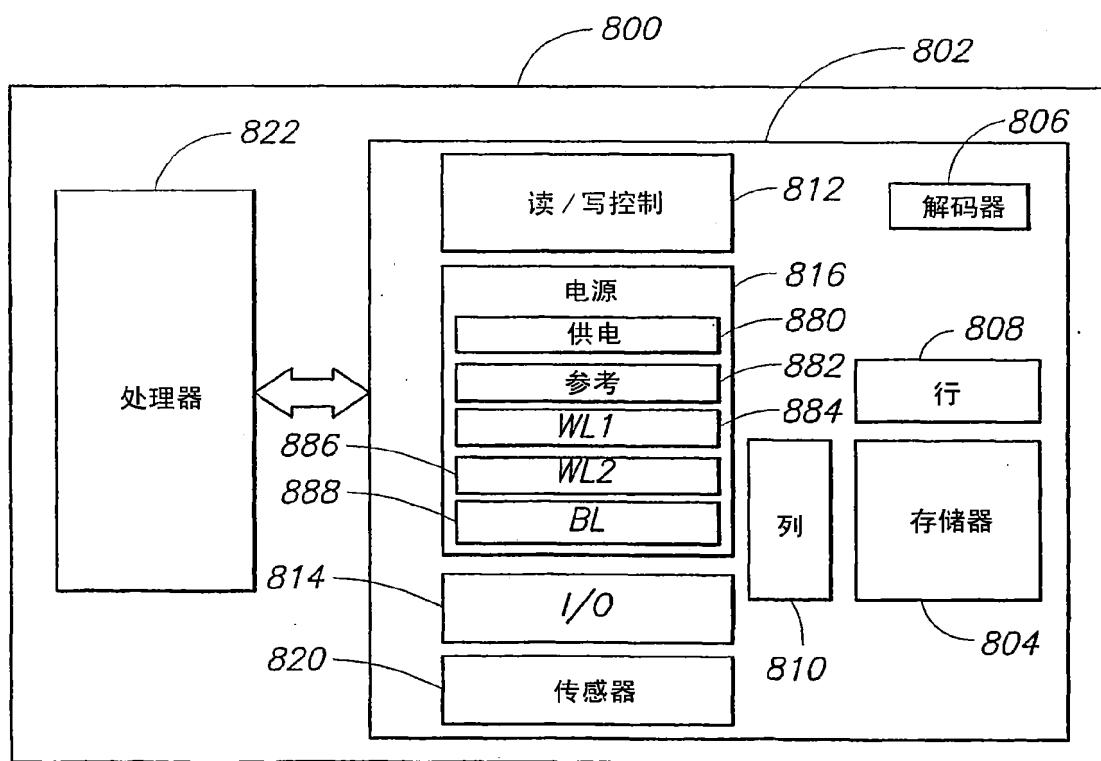
正 立 视 右 侧 视



正 立 视 右 侧 视



正 确 且 清 晰



正 确 且 清 晰