

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】令和6年7月19日(2024.7.19)

【公開番号】特開2023-12133(P2023-12133A)  
 【公開日】令和5年1月25日(2023.1.25)  
 【年通号数】公開公報(特許)2023-015  
 【出願番号】特願2021-115607(P2021-115607)  
 【国際特許分類】

H 0 5 K 1 / 1 4 ( 2 0 0 6 . 0 1 )

H 0 5 K 1 / 0 2 ( 2 0 0 6 . 0 1 )

H 0 1 P 3 / 0 8 ( 2 0 0 6 . 0 1 )

10

【F I】

H 0 5 K 1 / 1 4 G

H 0 5 K 1 / 0 2 J

H 0 1 P 3 / 0 8 1 0 0

【手続補正書】

【提出日】令和6年7月10日(2024.7.10)

【手続補正1】

20

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1面を有する第1基材を含む第1基板と、

前記第1基板と電氣的に接続及び機械的に固定された、前記第1面に対向する第2面を有する第2基材を含む第2基板と、

前記第1基材の前記第1面とは反対の第3面の側において前記第1基板に実装された第1半導体素子及び第2半導体素子と、を備え、

30

前記第1基板は、前記第1半導体素子と前記第2半導体素子とを接続する信号線を有し、前記信号線は、前記第3面よりも前記第1面に近い第1導体層に配置された第1導体パターンを含み、

前記第2基板は、前記第1導体パターンに間隔をあけて対向するよう、前記第1基材の前記第2面とは反対の第4面よりも前記第2面に近い第2導体層に配置された第2導体パターンを有する、

ことを特徴とする回路モジュール。

【請求項2】

前記第1基板と前記第2基板とがはんだ接合されている、

ことを特徴とする請求項1に記載の回路モジュール。

40

【請求項3】

前記第1導体パターンは前記第1面と前記第2面との間に配置されている、

ことを特徴とする請求項1又は2に記載の回路モジュール。

【請求項4】

前記第2導体パターンは前記第1面と前記第2面との間に配置されている、

ことを特徴とする請求項1乃至3のいずれか1項に記載の回路モジュール。

【請求項5】

前記第1半導体素子と前記第2半導体素子の間の領域と前記第2基板との間において、第1導体パターンと前記第2導体パターンとの間に導体が存在しない、

50

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の回路モジュール。

【請求項 6】

前記第 1 半導体素子は画像処理および / または前記第 2 半導体素子の制御を行う、  
ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の回路モジュール。

【請求項 7】

前記第 2 半導体素子は、メモリ素子である、  
ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の回路モジュール。

【請求項 8】

前記第 2 導体パターンは、前記第 1 半導体素子及び前記第 2 半導体素子に電源電圧を印加するのに用いる線路の一部である、

10

ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の回路モジュール。

【請求項 9】

前記第 2 導体パターンは、グラウンド電位とされる、  
ことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の回路モジュール。

【請求項 10】

前記第 2 基板は、前記第 1 半導体素子及び前記第 2 半導体素子に電源電圧を印加するの  
に用いる電源線を有し、

前記電源線は、前記第 2 面よりも前記第 4 面に近い第 3 導体層に配置された第 3 導体パ  
ターンを含む、

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の回路モジュール。

20

【請求項 11】

前記第 1 導体パターンと前記第 2 導体パターンとの間隔が、前記第 1 基板における、前  
記第 1 導体パターンが配置された第 1 導体層と、絶縁体を介して前記第 1 導体層に隣接す  
る導体層との間隔よりも狭い、

ことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の回路モジュール。

【請求項 12】

前記第 1 導体パターンと前記第 2 導体パターンとの間隔が、8  $\mu\text{m}$  以上 130  $\mu\text{m}$  以下  
である、

ことを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の回路モジュール。

【請求項 13】

30

前記第 1 導体パターンの幅が、150  $\mu\text{m}$  以下であり、

前記第 2 導体パターンは前記第 1 導体パターンの幅方向の両端に対向する、

ことを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の回路モジュール。

【請求項 14】

前記第 1 基材及び前記第 2 基材の少なくとも一方は、ガラスエポキシである、

ことを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の回路モジュール。

【請求項 15】

前記第 1 基材はシリコンである、

ことを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の回路モジュール。

【請求項 16】

40

前記第 1 基板は、前記第 1 導体パターンを覆うように配置された、前記第 1 基材の比誘  
電率よりも低い比誘電率の第 1 膜を有する、および / または

前記第 2 基板は、前記第 2 導体パターンを覆うように配置された、前記第 2 基材の比誘  
電率よりも低い比誘電率の第 2 膜を有する、

ことを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の回路モジュール。

【請求項 17】

前記信号線は、デジタル信号を伝送する、

ことを特徴とする請求項 1 乃至 16 のいずれか 1 項に記載の回路モジュール。

【請求項 18】

前記第 3 面の側において前記第 1 基板に実装された第 3 半導体素子を備え、

50

前記第 1 半導体素子と前記第 2 半導体素子とを接続する前記信号線を第 1 信号線として、前記第 1 基板は、前記第 1 半導体素子と前記第 3 半導体素子とを接続する第 2 信号線を有し、

前記第 2 信号線は、前記第 1 導体層に配置された第 4 導体パターンを含み、前記第 2 導体パターンは、前記第 4 導体パターンに間隔をあけて対向する、  
ことを特徴とする請求項 1 乃至 17 のいずれか 1 項に記載の回路モジュール。

【請求項 19】

前記第 1 導体パターンと前記第 2 導体パターンと間には、エアギャップがある、  
ことを特徴とする請求項 1 乃至 18 のいずれか 1 項に記載の回路モジュール。

【請求項 20】

筐体と、  
前記筐体の内部に配置された、請求項 1 乃至 19 のいずれか 1 項に記載の回路モジュールと、  
を備える電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

本発明の一態様は、第 1 面を有する第 1 基材を含む第 1 基板と、前記第 1 基板と電氣的に接続及び機械的に固定された、前記第 1 面に対向する第 2 面を有する第 2 基材を含む第 2 基板と、前記第 1 基材の前記第 1 面とは反対の第 3 面の側において前記第 1 基板に実装された第 1 半導体素子及び第 2 半導体素子と、を備え、前記第 1 基板は、前記第 1 半導体素子と前記第 2 半導体素子とを接続する信号線を有し、前記信号線は、前記第 3 面よりも前記第 1 面に近い第 1 導体層に配置された第 1 導体パターンを含み、前記第 2 基板は、前記第 1 導体パターンに間隔をあけて対向するよう、前記第 1 基材の前記第 2 面とは反対の第 4 面よりも前記第 2 面に近い第 2 導体層に配置された第 2 導体パターンを有する、  
ことを特徴とする回路モジュールである。

10

20

30

40

50