



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201212204 A1

(43)公開日：中華民國 101 (2012) 年 03 月 16 日

(21)申請案號：099130005

(22)申請日：中華民國 99 (2010) 年 09 月 06 日

(51)Int. Cl.：

H01L27/04 (2006.01)

H01L21/78 (2006.01)

(71)申請人：富陽光電股份有限公司 (中華民國) SUN WELL SOLAR CORPORATION (TW)

桃園縣龜山鄉文化二路 220 號

(72)發明人：楊昌祥 YANG, CHANG SHIANG (TW)；劉可萱 LIU, KE HSUAN (TW)；簡智賢 CHIEN, CHIH HSIEN (TW)

申請實體審查：有 申請專利範圍項數：40 項 圖式數：10 共 48 頁

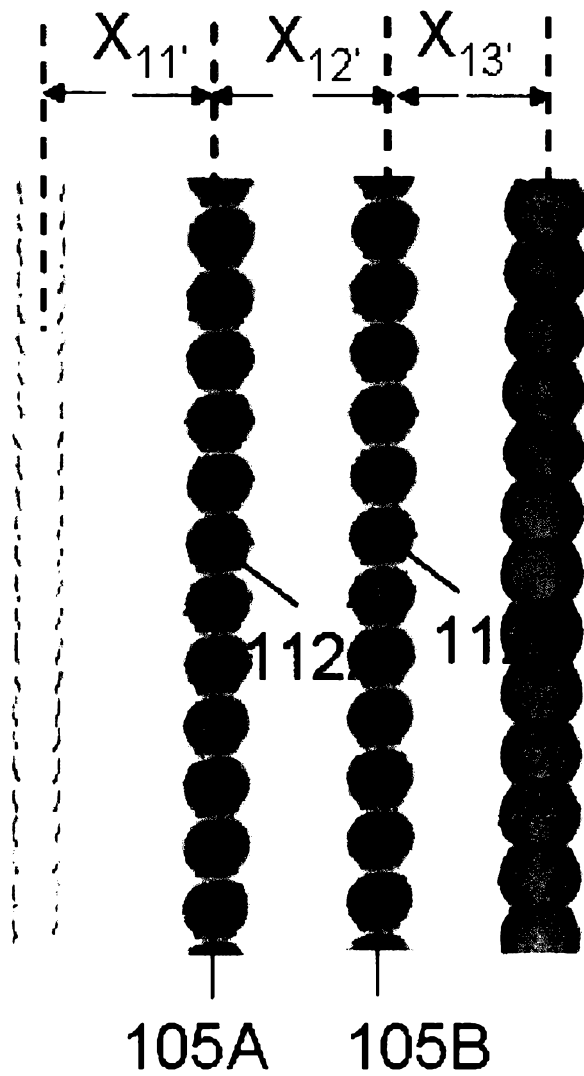
(54)名稱

多層堆疊結構的半導體元件

MULTI-STACK SEMICONDUCTOR DEVICE

(57)摘要

一種多層堆疊結構的半導體元件，其包含：基板；第一導電層，其形成在基板上且經受雷射刻劃至第一導電層的底層，以形成複數個第一劃線；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層形成在第一導電層上，而該第二組半導體材料層形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上且經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第三劃線，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離。



105A：第二 A 劃線

105B：第二 B 劃線

112A：第二 A 孔洞

112B：第二 B 孔洞

$x_{11'}$ ：經拉近的第一劃線
和第二 A 劃線之間
的水平中點距離

$x_{12'}$ ：經拉近的第二 A
劃線和第二 B 劃線之
間的水平中點距離

$x_{13'}$ ：經拉近的第二 B
劃線和第三劃線之間
的水平中點距離

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明是關於多層堆疊結構的半導體元件。

【先前技術】

[0002] 現今，半導體元件的製造方法（舉薄膜太陽能電池為例）是在基板上沈積複數個膜層，以形成薄膜光電元件。該薄膜光電元件包含第一導電層、複數層可吸收光能並轉化為電能的半導體材料薄膜以及第二導電層，並且經受多次雷射刻劃，以形成複數個電池串聯的模組。欲使半導體元件有效運作面積所產生的功率最大化，重要的是使雷射刻劃所造成對於產生功率沒幫助的面積減至最小。所以，當進行雷射刻劃時，必須讓每條劃線盡可能地彼此接近。但是，劃線與劃線間亦須保留適當的誤差距離，以避免劃線重疊或產生漏電流的問題。

[0003] 台灣專利證書號167815「部分透明的光伏打模組」，其揭示了使用雷射除去至少部分太陽能電池的背電極而使得太陽能電池為部分透明之方法，其中每條劃線之寬度為大約0.01至大約0.5mm，且劃線與劃線間的距離大約0.5至大約5mm。

[0004] 大陸專利公開號CN101567303「激光刻膜設備和劃線方法及用其製造的非晶矽薄膜光伏板」，其揭示了藉由採用該發明的特定激光刻膜設備和劃線方法所製造的非晶矽薄膜太陽能光電板，而使雷射刻劃所造成對於產生功率沒幫助的面積減至最小。

[0005] 因此，本發明的目標在於：其一，縮小孔洞尺寸以及擴

大同一劃線中的相鄰孔洞間的距離，以改善製造成本與時間；其二，縮小劃線之間的水平距離，以增加半導體元件有效運作面積，其同時亦保留適當的誤差距離。

【發明內容】

[0006] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，而該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮

小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- [0007] 根據本發明的具體實施例，半導體元件更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，其中該中間層是與該第一組半導體材料層和第二組半導體材料層同時經受雷射刻劃。
- [0008] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞部分重疊。
- [0009] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- [0010] 根據本發明的具體實施例，每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。
- [0011] 根據本發明的具體實施例，第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。
- [0012] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是 5 至 $20\ \mu\text{m}$ 。
- [0013] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是 15 至 $40\ \mu\text{m}$ 。
- [0014] 根據本發明的具體實施例，第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\ \mu\text{m}$ 。
- [0015] 根據本發明的具體實施例，藉由第二孔洞所形成的電路

通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

[0016] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；以及第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由

複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞及/或第二B孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離及/或第二B劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- [0017] 根據本發明的具體實施例，半導體元件更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該中間層是與該第一組半導體材料層同時經受雷射刻劃。
- [0018] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞部分重疊，及/或每一個第二B孔洞是與相鄰第二B孔洞部分重疊。
- [0019] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞分隔一段距離，及/或每一個第二B孔洞是與相鄰第二B孔洞分隔一段距離。
- [0020] 根據本發明的具體實施例，每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離及/或每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點之最短距離為至少20 μm 。
- [0021] 根據本發明的具體實施例，第二A孔洞及/或第二B孔洞的中心點至該孔洞的邊際界線之最短距離是小於20 μm 。
- [0022] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至20 μm 。

- [0023] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至40 μm 。
- [0024] 根據本發明的具體實施例，第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、及/或第二B劃線和第三劃線之間的水平距離是小於80 μm 。
- [0025] 根據本發明的具體實施例，藉由第二B孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。
- [0026] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層、第二組半導體材料層以及第三組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，而該第三組半導體材料層是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第一組半導體材料層、該第二組半導體材料層和該第三組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電

層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

[0027] 根據本發明的具體實施例，半導體元件更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，其中該第一中間層和第二中間層是與該第一組半導體材料層、該第二組半導體材料層和第三組半導體層同時經受雷射刻劃。

[0028] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞部分重疊。

[0029] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞分隔一段距離。

[0030] 根據本發明的具體實施例，每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。

[0031] 根據本發明的具體實施例，第二孔洞的中心點至該孔洞

的邊際界線之最短距離是小於 $20\text{ }\mu\text{m}$ 。

[0032] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\text{ }\mu\text{m}$ 。

[0033] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\text{ }\mu\text{m}$ 。

[0034] 根據本發明的具體實施例，第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\text{ }\mu\text{m}$ 。

[0035] 根據本發明的具體實施例，藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

[0036] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形

成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；第三組半導體材料層，其是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第三組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二C劃線，每一個第二C劃線是由複數個第二C孔洞所組成；以及第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞、第二B孔洞及/或第二C孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

[0037] 根據本發明的具體實施例，半導體元件更進一步地包含

：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該第一中間層是與該第一組半導體材料層同時經受雷射刻劃；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，該第二中間層是與該第二組半導體材料層同時經受雷射刻劃。

[0038] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞部分重疊，每一個第二B孔洞是與相鄰第二B孔洞部分重疊，及/或每一個第二C孔洞是與相鄰第二C孔洞部分重疊。

[0039] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞分隔一段預定距離，每一個第二B孔洞是與相鄰第二B孔洞分隔一段預定距離，及/或每一個第二C孔洞是與相鄰第二C孔洞分隔一段預定距離。

[0040] 根據本發明的具體實施例，每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離、每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點及/或每一個第二C孔洞的中心點和相鄰第二C孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。

[0041] 根據本發明的具體實施例，第二A孔洞、第二B孔洞及/或第二C孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。

[0042] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。

[0043] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞

的邊際界線之最短距離是15至40 μm 。

[0044] 根據本發明的具體實施例，第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離是小於80 μm 。

[0045] 根據本發明的具體實施例，藉由第二C孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

【實施方式】

[0046] 本發明是關於多層堆疊結構的半導體元件之有效運作面積改良，下方具體實施例是以多層堆疊結構的薄膜太陽能電池模組為例。

[0047] 圖1A至圖1H是剖面圖，其說明了根據本發明的一個具體實施例之藉由雷射刻劃來形成具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100的方法。

[0048] 參考圖1A，沉積第一導電層102在基板101上。

[0049] 參考圖1B，使用雷射在第一導電層102中刻劃出複數個第一劃線103，其中複數個第一劃線103是被刻劃至第一導電層102的底層，藉此移除部分第一導電層102但盡可能不傷害基板101，以形成複數個分開的第一導電層102部分。

[0050] 參考圖1C，沉積第一組半導體材料層104A在第一導電層102上。第一組半導體材料層104A是由複數個半導體材料層所組成。

[0051]

參考圖1D，使用雷射在第一組半導體材料層104A中刻劃出複數個第二A劃線105A，其中複數個第二A劃線105A是被刻劃至第一組半導體材料層104A的底層，藉此移除部分第一組半導體材料層104A但盡可能不傷害第一導電層102，以形成複數個分開的第一組半導體材料層104A部分。

[0052]

參考圖1E，沉積第二組半導體材料層104B在第一組半導體材料層104A上。第二組半導體材料層104B是由複數個半導體材料層所組成。

[0053]

參考圖1F，使用雷射在第二組半導體材料層104B中刻劃出複數個第二B劃線105B，其中複數個第二B劃線105B是被刻劃至第一組半導體材料層104A的底層，藉此移除部分第一組半導體材料層104A和部分第二組半導體材料層104B但盡可能不傷害第一導電層102，以形成複數個分開的第二組半導體材料層104B部分。

[0054]

參考圖1G，沉積第二導電層106在第二組半導體材料層104B上，該電池單元的第二導電層106遂可以和相鄰電池單元的第一導電層102接觸形成電路通道使相鄰電池串聯。

[0055]

參考圖1H，使用雷射在第二導電層106中刻劃出複數個第三劃線107，其中複數個第三劃線107是被刻劃至第一組半導體材料層104A的底層，以形成複數個分開的第二導電層106部分。

[0056]

因此，根據上述方法所形成之具有兩組半導體材料層堆

疊結構的薄膜太陽能電池模組100包含：基板101；第一導電層102，其形成在基板101上；第一組半導體材料層104A，其形成在第一導電層102上；第二組半導體材料層104B，其形成在第一組半導體材料層104A上；以及第二導電層106，其形成在第二組半導體材料層104B上。該第一導電層102係經受雷射刻劃至第一導電層102的底層，以形成複數個第一劃線103。該第一組半導體材料層104A係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二A劃線105A。該第二組半導體材料層104B係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二B劃線105B。該第二導電層106係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第三劃線107。

[0057] 但本發明並不限制於上述兩組半導體材料層堆疊結構的半導體元件。在本發明的一個具體實施例中，本發明可以是具有三組半導體材料層堆疊結構的半導體元件，如圖2所示。圖2是具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0058] 參考圖2，該具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200包含：基板201；第一導電層202，其形成在基板201上；第一組半導體材料層204A，其是由複數個半導體材料層所組成且形成在第一導電層202上；第二組半導體材料層204B，其是由複數個半導體材料層所組成且形成在第一組半導體材料層204A上；第三組半導體材料層204C，其是由複數個半導體材料層所組成且形成

在第二組半導體材料層204B上：以及第二導電層206，其形成在第三組半導體材料層204C上。該第一導電層202係經受雷射刻劃至第一導電層201的底層，以形成複數個第一劃線203。該第一組半導體材料層204A係經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二A劃線205A。該第二組半導體材料層205B係經受雷射刻劃至第一組半導體材料層205A的底層，以形成複數個第二B劃線205B。該第三組半導體材料層204C係經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第二C劃線205C。該第二導電層206係經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第三劃線207。

[0059] 在本發明的另一個具體實施例中，不論是具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100或具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200可以有其他的雷射劃線方式，如圖3和圖4所示。圖3是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖3，圖3的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B是同時經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二劃線105。圖4是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖4，圖4的特徵在於：第一組半導體材料層204A、第二組半導體材料層204B和第三組半導體材料層204C是同時經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第二劃

線105。

[0060] 在本發明的另一個具體實施例中，不論是具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100或具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200可以更进一步地包含至少一層中間層，如圖5和圖6所示。

[0061] 圖5是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖5，圖5的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B之間具有中間層108。該中間層108是與該第一組半導體材料層104A同時經受雷射刻劃。

[0062] 圖6是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖6，圖6的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B之間具有中間層108。該中間層108是與該第一組半導體材料層104A和第二組半導體材料層104B同時經受雷射刻劃。

[0063] 圖7是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖7，圖7的特徵在於：第一組半導體材料層204A和第二組半導體材料層204B之間具有第一中間層208A，且第二組半導體材料層204B和第三組半導體材料層204C之間具有第二中間層208B。該第一中間層208A是與該第一組半導體材料層204A同時經受雷射刻劃。該第二中間層208B是與該第二組半導體材料層204B同時經受雷射刻劃。

圖8是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖8，圖8的特徵在於：第一組半導體材料層204A和第二組半導體材料層204B之間具有第一中間層208A，且第二組半導體材料層204B和第三組半導體材料層204C之間具有第二中間層208B。該第一中間層208A和第二中間層208B是與該第一組半導體材料層204A、該第二組半導體材料層204B和第三組半導體層204C同時經受雷射刻劃。

[0065]

圖9A是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。雷射刻劃的方法是藉由特定雷射光點尺寸在特定位置移除欲移除材料來形成連續孔洞，其中孔洞之間會有部份區域是相互重疊，以形成劃線。參考圖9A，每一個第一劃線103是由複數個第一孔洞111所組成，且每一個第一孔洞111是與相鄰第一孔洞111部分重疊。每一個第二A劃線105A是由複數個第二A孔洞112A所組成，且每一個第二A孔洞112A是與相鄰第二A孔洞112A部分重疊。每一個第二B劃線105B是由複數個第二B孔洞112B所組成，且每一個第二B孔洞112B是與相鄰第二B孔洞112B部分重疊。每一個第三劃線107是由複數個第三孔洞113所組成，且每一個第三孔洞113是與相鄰第三孔洞113部分重疊。

[0066]

此外，複數個第一劃線103中的每一個劃線是實質上彼此平行。複數個第二A劃線105A中的每一個劃線是實質上彼此平行。複數個第二B劃線105B中的每一個劃線是實質上

彼此平行。複數個第三劃線107中的每一個劃線是實質上彼此平行。第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107是實質上與彼此平行。

[0067] 在圖9A中，第一劃線103和第二A劃線105A之間的水平中點距離 x_{11} 、第二A劃線105A和第二B劃線105B之間的水平中點距離 x_{12} 、以及第二B劃線105B和第三劃線107之間的水平中點距離 x_{13} 是大約 $100\mu\text{m}$ 。需注意的是：術語「中點距離」是指平行於某一劃線的中心線至平行於另一劃線的中心線之間的距離。

[0068] 當進行雷射刻劃時，第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107必須盡可能地彼此接近。但由於在進行雷射刻劃時，第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107會因為溫度等因素而產生漂移，使其無法準確地落在目標位置上，所以，第一劃線103、第二A劃線105A、第二B劃線105B第三劃線107之間必須保留適當的誤差距離，以避免劃線重疊而產生電氣漏電流甚至短路的現象。然而，為了保留適當的誤差距離，縮小第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107的水平距離就變得難以達成。

[0069] 上述案例是以具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100，但相同的問題亦會發生在具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200中。

[0070] 因此，本發明在實施上述之藉由雷射刻劃來形成串聯薄膜太陽能電池模組100、200的方法（如圖1A至圖1H所示

）時，藉由離焦及/或降低雷射功率的方式來縮小雷射光點尺寸，以在使用雷射在第一組半導體材料層104A及/或第二組半導體材料層104B中刻劃出複數個第二A劃線105A和複數個第二B劃線105B的步驟中，縮小第二A孔洞112A和第二B孔洞112B。需注意的是：由於降低了雷射功率，所以雷射的使用壽命因而增加，藉此改善了製造成本。

[0071] 圖9B和圖9C是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。參考圖9B和圖9C，第二A孔洞和第二B孔洞的半徑是縮小至小於 $20\ \mu\text{m}$ ，而第一孔洞111的半徑仍維持在5至 $20\ \mu\text{m}$ ，第三孔洞113的半徑仍維持在15至 $40\ \mu\text{m}$ 。相較於圖2A，第二A孔洞112A和第二B孔洞112B為縮小，而第一孔洞111和第三孔洞113仍維持相同大小。雖然上述具體實施例的第一孔洞111、第二A孔洞112A、第二B孔洞112B以及第三孔洞113是圓形孔洞，但本發明並不限制於此，第一孔洞111、第二A孔洞112A、第二B孔洞112B以及第三孔洞113可以包含各種形狀的孔洞，舉例來說，正方形、三角形、橢圓形等。

[0072] 在一個具體實施例中，如圖9B所示，第一劃線和第二A劃線之間的水平中點距離 x_{11} ，第二A劃線和第二B劃線之間的水平中點距離 x_{12} ，以及第二B劃線和第三劃線之間的水平中點距離 x_{13} ，可以拉近成小於 $80\ \mu\text{m}$ ，而仍保留適當的誤差距離。在一個更佳的具體實施例中，如圖2C所示，第一劃線和第二A劃線之間的水平中點距離 x_{11} ，第二A劃線和第二B劃線之間的水平中點距離 x_{12} ，以及第二B劃線和第三劃線之間的水平中點距離 x_{13} ，可以拉近成小於 $80\ \mu\text{m}$ ，而仍保留適當的誤差距離。

二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ ，可以拉近成小於 $50\mu\text{m}$ ，而仍保留適當的誤差距離。由於第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11'}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12'}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13'}$ ，縮小，所以太陽能電池模組的可發電面積增加。

[0073] 在使用雷射刻劃出複數個第二A劃線105A的步驟中，每一個第二A孔洞112A可以與相鄰第二A孔洞112A部分重疊，即，複數個第二A劃線105A仍為貫通的劃線，如圖9B所示；每一個第二A孔洞112A亦可以與相鄰第二A孔洞112A不互相重疊，即，複數個第二A劃線105A是由複數個不互相連接的第二A孔洞112A所形成，而每一個第二A孔洞112A的中心點與相鄰第二A孔洞112A的中心點之最短距離可以是至少 $20\mu\text{m}$ ，如圖2C所示。雖然縮小第二A孔洞112A、改變雷射脈衝射擊頻率及/或改變雷射光束或裝載機台的基板平台之移動速度可能會使每一個第二A孔洞112A與相鄰第二A孔洞112A不互相重疊，但卻不會因此而顯著地影響第一導電層102第二導電層106其元件與元件間導電性，這是因為第一導電層102與第二導電層106之間仍維持在適度的接觸面積且第一組半導體材料層104A和第二組半導體材料層104B仍維持在適當的厚度。

[0074] 同時，由於每一個第二A孔洞112A可以是與相鄰第二A孔洞112A不互相重疊且彼此間具有間隔，所以第二孔洞112A數量為減少，使得雷射刻劃的速度提高，藉此改善

了製造速度。

[0075] 雖然上述具體實施例是藉由縮小第二A孔洞112A而達成，但是本發明不限制於此，本發明亦可以藉由縮小第二B孔洞112B而達成。

[0076] 此外，藉由第二B孔洞112B所形成的電路通道（其讓第一導電層102與第二導電層106接觸）之導電度是與第二B孔洞112B的截面積成正比且與第一組半導體材料層104A和第二組半導體材料層104B的總厚度（即，該電路通道長度）成反比。舉例來說，根據本發明的一個具體實施例，第一導電層102以及第二導電層106（在此使用的導電層是ZnO:B）的電阻率是 $1.9 \times 10^{-3} \Omega\text{-cm}$ ，第一組半導體材料層104A和第二組半導體材料層104B的總厚度是950nm，且第二B孔洞112B（在此半徑為 $20 \mu\text{m}$ ）的截面積是 $1256 \mu\text{m}^2$ ，故導電度是71.1S。但本發明不限制於上述具體實施例，本發明可以更進一步地改變第一導電層102和第二導電層106的材料或厚度、改變第一組半導體材料層104A、第二組半導體材料層104B的厚度或改變第二B孔洞112B的尺寸。但需注意的是：藉由第二B孔洞112B所形成的電路通道之導電度必須為至少50S，以避免影響導電性。

[0077] 但需注意的是：雖然本發明可以藉由縮小第二A孔洞112A和第二B孔洞112B而拉進第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11''}$ ，第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12''}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13''}$ ，但是卻無法藉由縮

小第一孔洞111或第三孔洞113而拉進第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11''}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12''}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13''}$ 。這是因為縮小第一孔洞111和第三孔洞113可能使其孔洞不互相重疊，而因此影響了複數個分開的第一導電層102部分和複數個分開的第二導電層106部分的絕緣性。

[0078] 同樣地，雖然上述具體實施例是以具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100為例，但本發明不限制於此，相同的方法亦可使用在具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200中。如圖10所示，本發明亦可以藉由縮小第二A孔洞212A、第二B孔洞212B以及第二C孔洞212C而達成，以拉進第一劃線和第二A劃線之間的水平中點距離 $x_{21'}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{22'}$ 、第二B劃線和第二C劃線之間的水平中點距離 $x_{23'}$ ，以及第二C劃線和第三劃線之間的水平中點距離 $x_{24'}$ 。但需注意的是：藉由第二C孔洞212C所形成的電路通道之導電度必須為至少50S，以避免影響導電性。

[0079] 在本發明的上述具體實施例中，該基板101、201為玻璃、金屬、陶瓷或塑膠材料。第一導電層102、202或第二導電層106、206可以為氧化鋅、銦錫氧化物、二氧化錫等透明導電膜或銀、鋁、金、銅、鉬、鈦等金屬膜。該半導體材料層104A、104B、204A、204B、204C可以為非晶矽薄膜、奈米晶矽薄膜、微晶矽薄膜、多晶矽薄膜

、銅銦二硒薄膜、銅銦鎳硒薄膜、銅銦鎳硫硒薄膜、碲化鎘薄膜、氮化鋁鎳薄膜、砷化鋁鎳薄膜、氮化鎳薄膜、磷化銦或磷化銦鎳薄膜，或是前述材料之組合。該中間層108、208A、208B的材料包含： SiO_x 膜、透明導電膜或金屬膜，或是前述材料之組合，其中金屬膜是非常薄，可以允許部分光線穿透。

[0080] 雖然本發明的具體實施例是以矽薄膜太陽能電池模組為例，然而本發明並不限制於此。本發明的方法亦可應用於其他使用雷射來刻劃的半導體及光電領域。

【圖式簡單說明】

[0081] 圖1A至圖1H是剖面圖，其說明了根據本發明的一個具體實施例之藉由雷射刻劃來形成具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100的方法。

[0082] 圖2是具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0083] 圖3是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

[0084] 圖4是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0085] 圖5是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

[0086] 圖6是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

[0087] 圖7是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0088] 圖8是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0089] 圖9A至圖9C是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。

[0090] 圖10是平面圖，其解釋了使用雷射所刻劃出的第一劃線203、第二A劃線205A、第二B劃線205B、第二C劃線205C以及第三劃線207。

【主要元件符號說明】

[0091] 100 具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組

[0092] 101 基板

[0093] 102 第一導電層

[0094] 103 第一劃線

[0095] 104A 第一組半導體材料層

[0096] 104B 第二組半導體材料層

[0097] 105A 第二A劃線

[0098] 105B 第二B劃線

[0099] 106 第二導電層

[0100] 107 第三劃線

Intellect
Property
Office

[0101] 108 中間層

[0102] 111 第一孔洞

[0103] 112 第二孔洞

[0104] 112A 第二A孔洞

[0105] 112B 第二B孔洞

[0106] 113 第三孔洞

[0107] 200 具有三組半導體材料層堆疊結構的薄膜太陽能電池
模組

[0108] 201 基板

[0109] 202 第一導電層

[0110] 203 第一劃線

[0111] 204A 第一組半導體材料層

[0112] 204B 第二組半導體材料層

[0113] 204C 第三組半導體材料層

[0114] 205A 第二A劃線

[0115] 205B 第二B劃線

[0116] 205C 第二C劃線

[0117] 206 第二導電層

[0118] 207 第三劃線

[0119] 208A 第一中間層

[0120] 208B 第二中間層

[0121] 211 第一孔洞

[0122] 212 第二孔洞

[0123] 212A 第二A孔洞

[0124] 212B 第二B孔洞

[0125] 212C 第二C孔洞

[0126] 213 第三孔洞

[0127] x_{11} 未拉近的第一劃線和第二A劃線之間的水平中點距離

[0128] x_{12} 未拉近的第二A劃線和第二B劃線之間的水平中點距離

[0129] x_{13} 未拉近的第二B劃線和第三劃線之間的水平中點距離

[0130] x_{11}' 經拉近的第一劃線和第二A劃線之間的水平中點距離

[0131] x_{12}' 經拉近的第二A劃線和第二B劃線之間的水平中點距離

[0132] x_{13}' 經拉近的第二B劃線和第三劃線之間的水平中點距離

[0133] x_{21}' 經拉近的第一劃線和第二A劃線之間的水平中點距離

[0134] x_{22}' 經拉近的第二A劃線和第二B劃線之間的水平中點距離

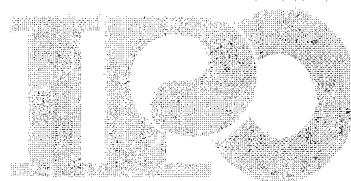
[0135] x_{23}' 經拉近的第二B劃線和第三劃線之間的水平中點距離

201212204

[0136] $x_{24'}$, 經拉近的第二C劃線和第三劃線之間的水平中點距離

O

O



Intellectual
Property
Office

專利案號：099130005



日期：99年09月06日

發明專利說明書

※申請案號：099130005

※IPC分類：

※申請日：99. 9. 06

H01L 27/04 (2006.01)

一、發明名稱：

H01L 21/78 (2006.01)

多層堆疊結構的半導體元件

Multi-stack Semiconductor Device

二、中文發明摘要：

一種多層堆疊結構的半導體元件，其包含：基板；第一導電層，其形成在基板上且經受雷射刻劃至第一導電層的底層，以形成複數個第一劃線；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層形成在第一導電層上，而該第二組半導體材料層形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上且經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第三劃線，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離。

三、英文發明摘要：

A multi-stack semiconductor device comprising: a substrate; a first conductive layer, formed on the substrate and scribed down to the bottom of the first conductive layer by laser to form a plurality of first scribe lines; a first group of semiconductor material layers formed on the first conductive layer and a second group of semiconductor material layers

formed on the first group of semiconductor material layers, the first group of semiconductor material layers and the second group of semiconductor material layers are scribed down to the bottom of the first group of semiconductor material layers by laser at the same time to form a plurality of second scribe lines, each second scribe line consists of a plurality of second holes; and a second conductive layer, formed on the second group of semiconductor material layers and scribed down to the bottom of the first group of semiconductor material layers by laser to form a plurality of third scribe lines; wherein the second holes are reduced in order to reduce the horizontal distance between the first scribe line and the second scribe line and the horizontal distance between the second scribe line and the third scribe line.



Intellectual
Property
Office

七、申請專利範圍：

1. 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，而該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- 2 . 根據申請專利範圍第1項所述之半導體元件，其更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，其中該中間層是與該第一組半導體材料層和第二組半導體材料層同時經受雷射刻劃。
- 3 . 根據申請專利範圍第1項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞部分重疊。
- 4 . 根據申請專利範圍第1項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- 5 . 根據申請專利範圍第4項所述之半導體元件，其中每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\text{ }\mu\text{m}$ 。
- 6 . 根據申請專利範圍第1項所述之半導體元件，其中第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\text{ }\mu\text{m}$ 。
- 7 . 根據申請專利範圍第1項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\text{ }\mu\text{m}$ 。
- 8 . 根據申請專利範圍第1項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\text{ }\mu\text{m}$ 。
- 9 . 根據申請專利範圍第1項所述之半導體元件，其中第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\text{ }\mu\text{m}$ 。
- 10 . 根據申請專利範圍第1項所述之半導體元件，其中藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

- 11 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；以及第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞及/或第二B孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離及/或第二B劃線和第三

劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- 12 . 根據申請專利範圍第11項所述之半導體元件，其更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該中間層是與該第一組半導體材料層同時經受雷射刻劃。
- 13 . 根據申請專利範圍第11項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞部分重疊，及/或每一個第二B孔洞是與相鄰第二B孔洞部分重疊。
- 14 . 根據申請專利範圍第11項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞分隔一段距離，及/或每一個第二B孔洞是與相鄰第二B孔洞分隔一段距離。
- 15 . 根據申請專利範圍第14項所述之半導體元件，其中每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離及/或每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。
- 16 . 根據申請專利範圍第11項所述之半導體元件，其中第二A孔洞及/或第二B孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。
- 17 . 根據申請專利範圍第1項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。
- 18 . 根據申請專利範圍第11項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\ \mu\text{m}$ 。
- 19 . 根據申請專利範圍第11項所述之半導體元件，其中第一劃

線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、及/或第二B劃線和第三劃線之間的水平距離是小於 $80\text{ }\mu\text{m}$ 。

20 . 根據申請專利範圍第11項所述之半導體元件，其中藉由第二B孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

21 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層、第二組半導體材料層以及第三組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，而該第三組半導體材料層是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第一組半導體材料層、該第二組半導體材料層和該第三組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半

導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- 22 . 根據申請專利範圍第21項所述之半導體元件，其更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，其中該第一中間層和第二中間層是與該第一組半導體材料層、該第二組半導體材料層和第三組半導體層同時經受雷射刻劃。
- 23 . 根據申請專利範圍第21項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞部分重疊。
- 24 . 根據申請專利範圍第21項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- 25 . 根據申請專利範圍第24項所述之半導體元件，其中每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\text{ }\mu\text{m}$ 。
- 26 . 根據申請專利範圍第21項所述之半導體元件，其中第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\text{ }\mu\text{m}$ 。
- 27 . 根據申請專利範圍第21項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\text{ }\mu\text{m}$ 。

- 28 . 根據申請專利範圍第21項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至40 μm 。
- 29 . 根據申請專利範圍第21項所述之半導體元件，其中第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於80 μm 。
- 30 . 根據申請專利範圍第21項所述之半導體元件，其中藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。
- 31 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞

所組成；第三組半導體材料層，其是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第三組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二C劃線，每一個第二C劃線是由複數個第二C孔洞所組成；以及第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞、第二B孔洞及/或第二C孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

32 . 根據申請專利範圍第31項所述之半導體元件，其更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該第一中間層是與該第一組半導體材料層同時經受雷射刻劃；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，該第二中間層是與該第二組半導體材料層同時經受雷射刻劃。

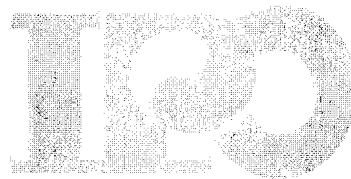
33 . 根據申請專利範圍第31項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞部分重疊，每一個第二B孔

洞是與相鄰第二B孔洞部分重疊，及/或每一個第二C孔洞是與相鄰第二C孔洞部分重疊。

- 34 . 根據申請專利範圍第31項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞分隔一段預定距離，每一個第二B孔洞是與相鄰第二B孔洞分隔一段預定距離，及/或每一個第二C孔洞是與相鄰第二C孔洞分隔一段預定距離。
- 35 . 根據申請專利範圍第34項所述之半導體元件，其中每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離、每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點及/或每一個第二C孔洞的中心點和相鄰第二C孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。
- 36 . 根據申請專利範圍第31項所述之半導體元件，其中第二A孔洞、第二B孔洞及/或第二C孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。
- 37 . 根據申請專利範圍第31項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。
- 38 . 根據申請專利範圍第31項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\ \mu\text{m}$ 。
- 39 . 根據申請專利範圍第31項所述之半導體元件，其中第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離是小於 $80\ \mu\text{m}$ 。
- 40 . 根據申請專利範圍第31項所述之半導體元件，其中藉由第

201212204

二C孔洞所形成的電路通道之導電度必須為至少50S，該
電路通道讓第一導電層與第二導電層接觸。



Intellectual
Property
Office

八、圖式：

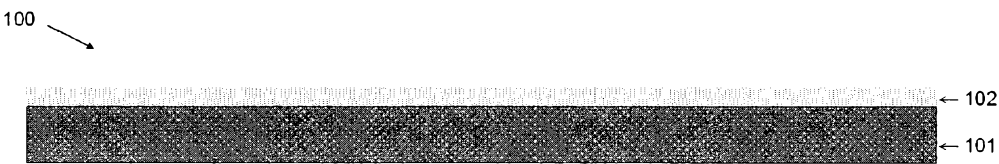


圖 1 A

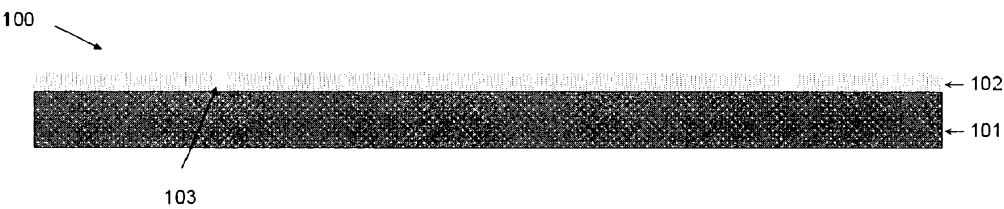


圖 1 B

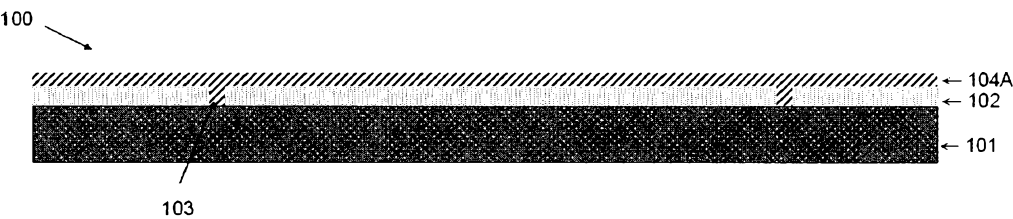


圖 1 C

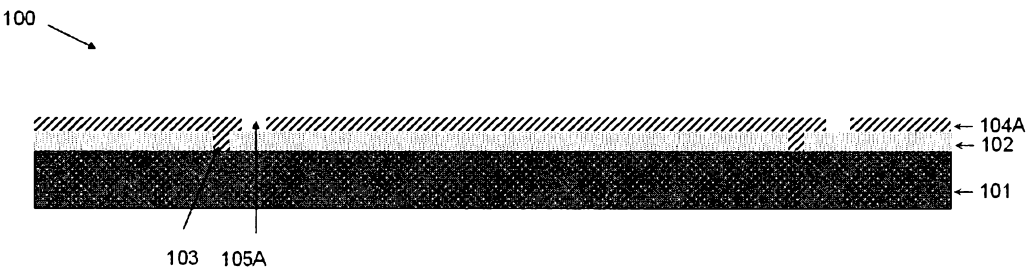


圖 1 D

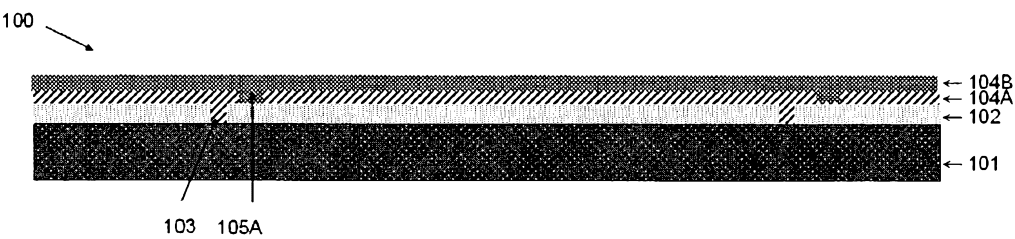


圖 1 E

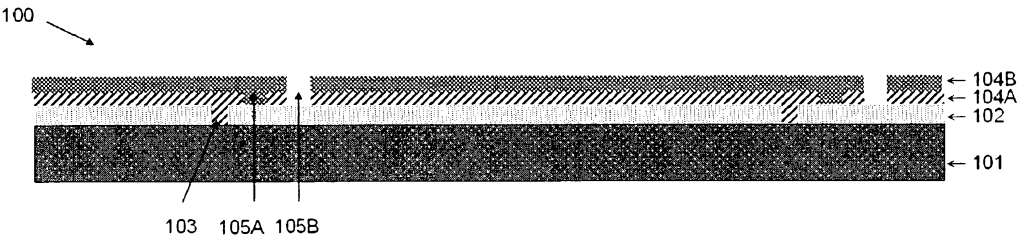


圖 1 F

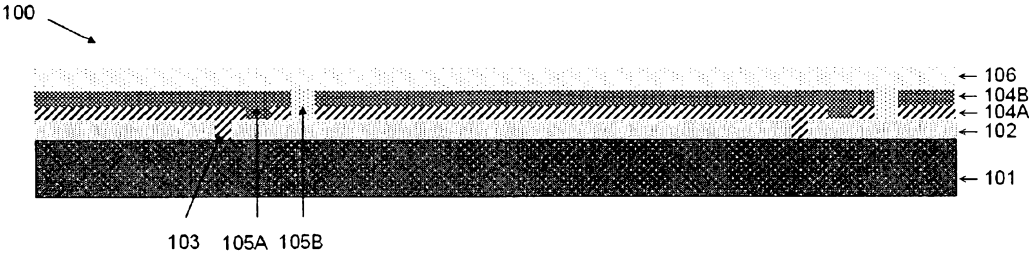


圖 1 G

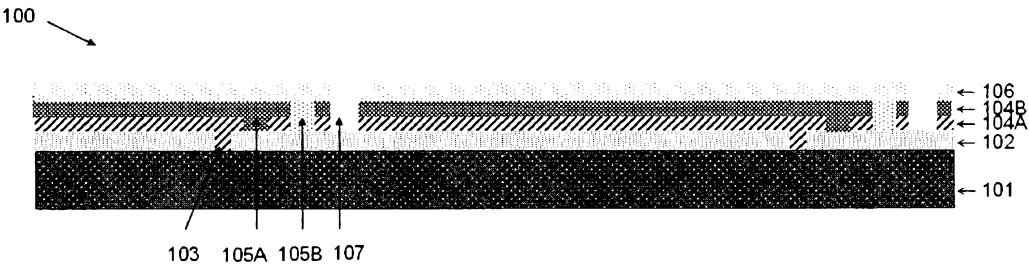


圖 1 H

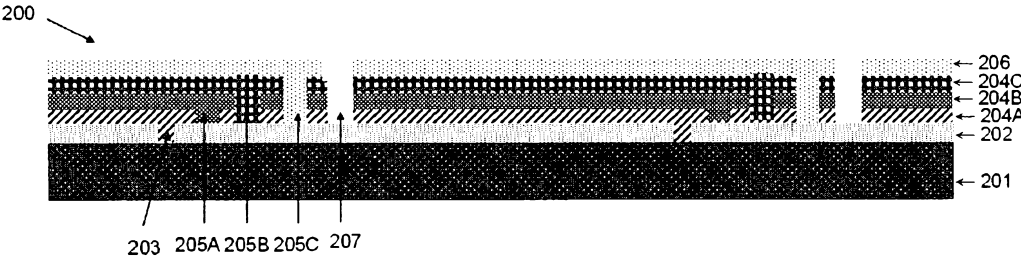


圖 2

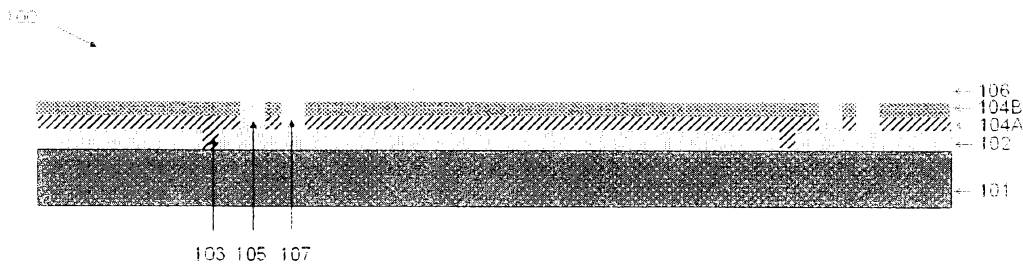


圖 3

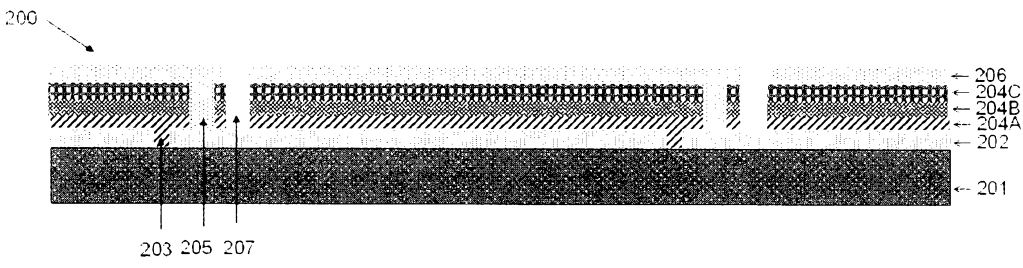


圖 4

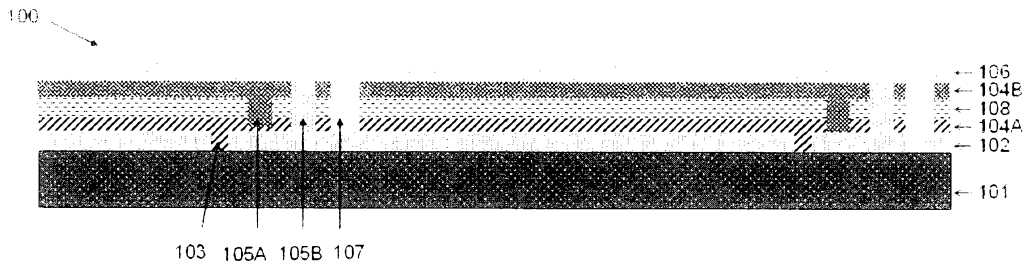


圖 5

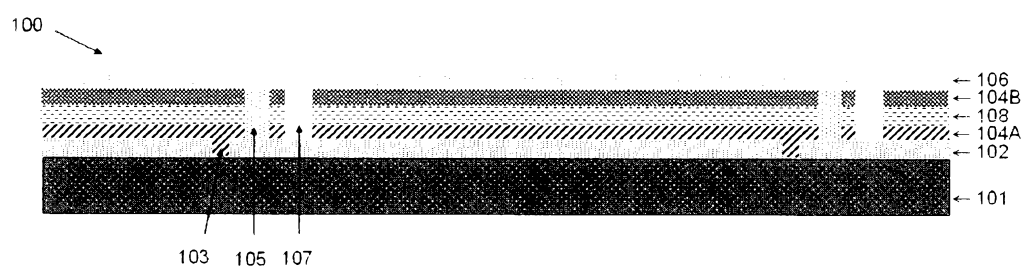


圖 6

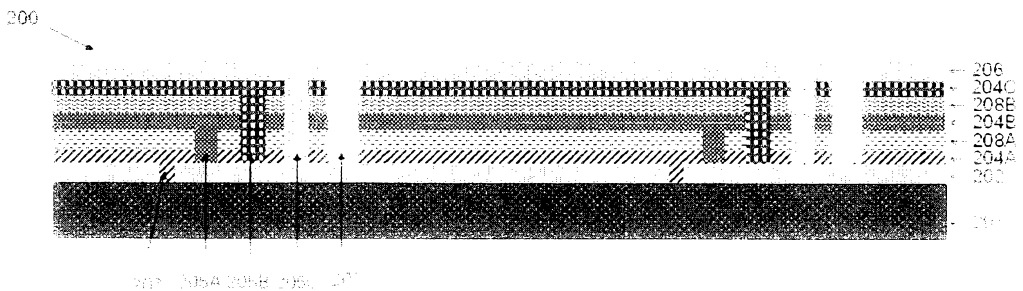


圖 7

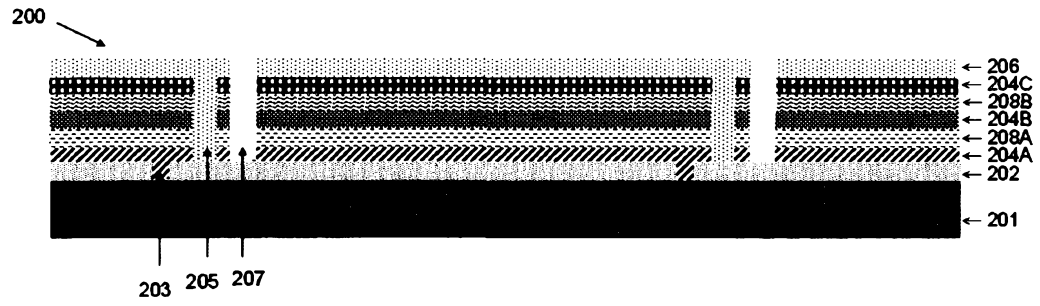


圖 8

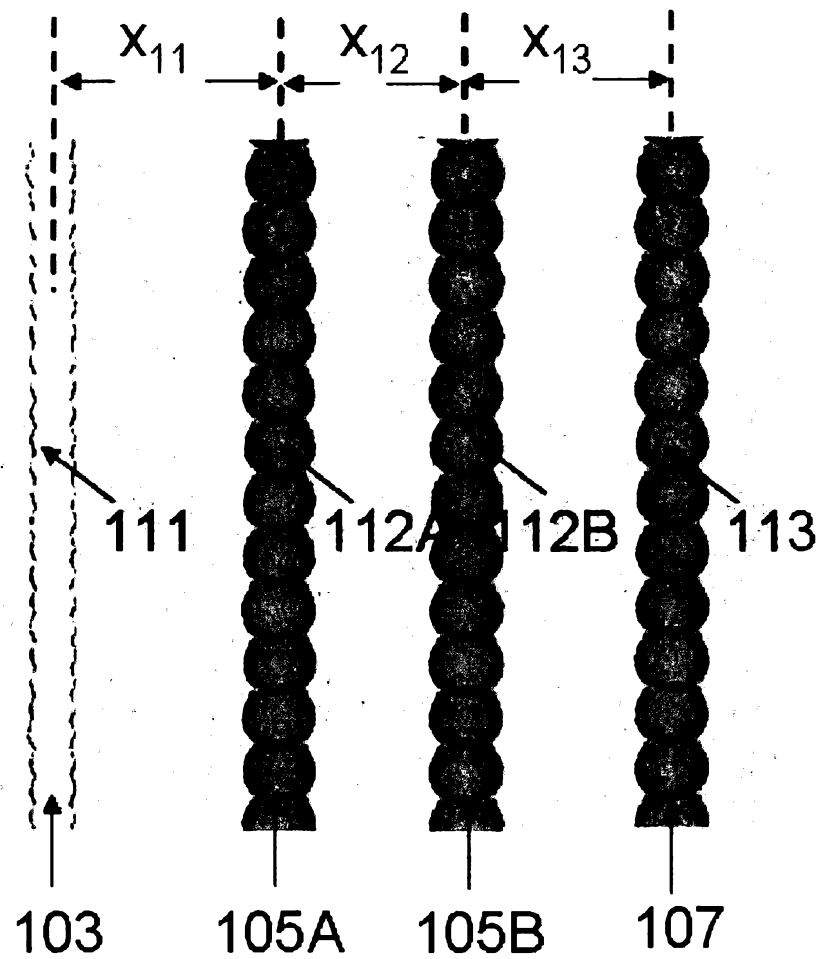


圖 9A

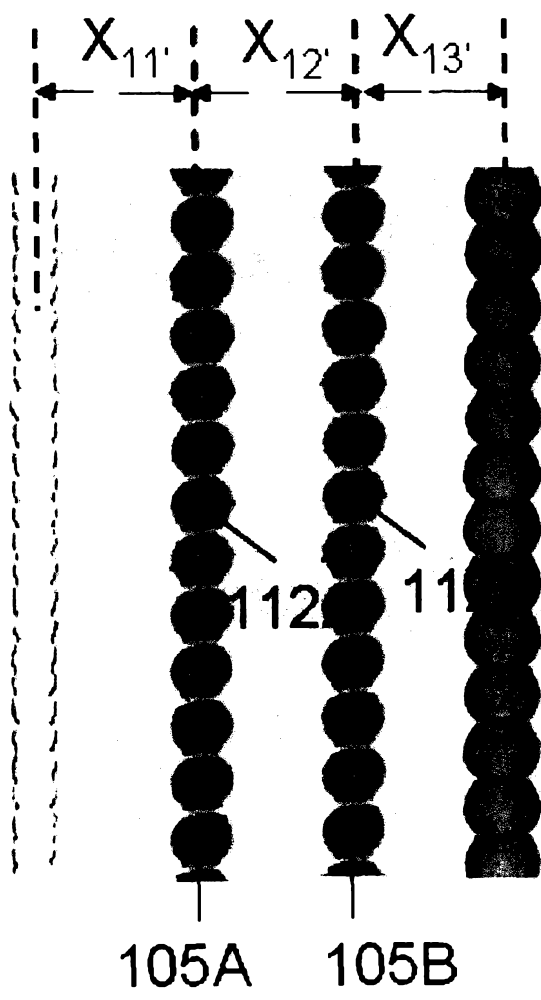


圖 9B

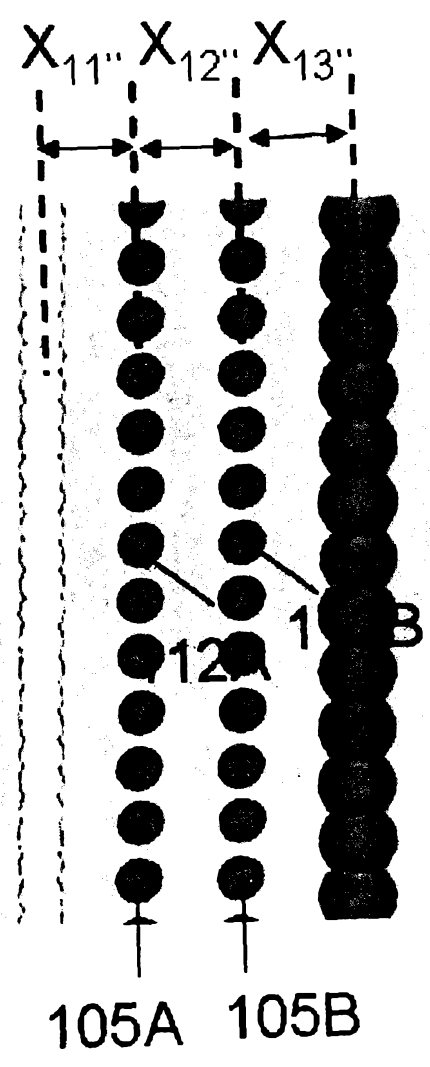


圖 9C

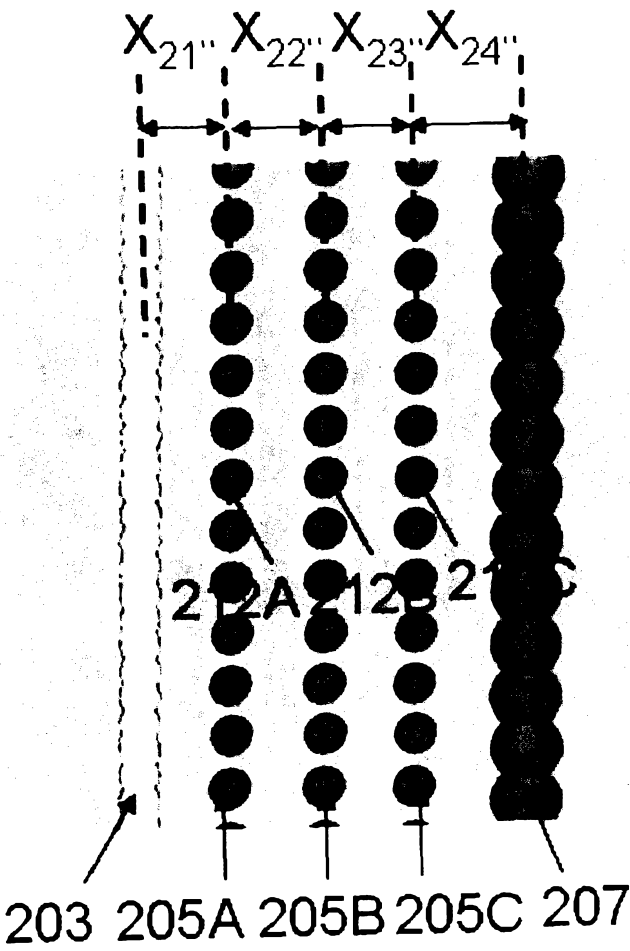


圖 10

四、指定代表圖：

(一)本案指定代表圖為：第 (9B) 圖。

(二)本代表圖之元件符號簡單說明：

105A 第二A劃線

105B 第二B劃線

112A 第二A孔洞

112B 第二B孔洞

x_{11} ，經拉近的第一劃線和第二A劃線之間的水平中點距離

x_{12} ，經拉近的第二A劃線和第二B劃線之間的水平中點距離

x_{13} ，經拉近的第二B劃線和第三劃線之間的水平中點距離

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

Intellectual
Property
Office

專利案號：099130005



智專收字第0993357290-0

DTD版本：1.0.1



日期：99年10月05日

發明專利說明書

※申請案號：099130005

※IPC分類：

※申請日：

一、發明名稱：

多層堆疊結構的半導體元件

Multi-stack Semiconductor Device

二、中文發明摘要：

一種多層堆疊結構的半導體元件，其包含：基板；第一導電層，其形成在基板上且經受雷射刻劃至第一導電層的底層，以形成複數個第一劃線；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層形成在第一導電層上，而該第二組半導體材料層形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上且經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第三劃線，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離。

三、英文發明摘要：

A multi-stack semiconductor device comprising: a substrate; a first conductive layer, formed on the substrate and scribed down to the bottom of the first conductive layer by laser to form a plurality of first scribe lines; a first group of semiconductor material layers formed on the first conductive layer and a second group of semiconductor material layers

專利案號：099130005

智專收字第0993387245-0

DTD版本：1.0.1



日期：99年10月27日

發明專利說明書

※申請案號：099130005

※IPC分類：

※申請日：99.9.6

一、發明名稱：

多層堆疊結構的半導體元件

Multi-stack Semiconductor Device

二、中文發明摘要：

一種多層堆疊結構的半導體元件，其包含：基板；第一導電層，其形成在基板上且經受雷射刻劃至第一導電層的底層，以形成複數個第一劃線；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層形成在第一導電層上，而該第二組半導體材料層形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上且經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第三劃線，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離。

三、英文發明摘要：

A multi-stack semiconductor device comprising: a substrate; a first conductive layer, formed on the substrate and scribed down to the bottom of the first conductive layer by laser to form a plurality of first scribe lines; a first group of semiconductor material layers formed on the first conductive layer and a second group of semiconductor material layers

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明是關於多層堆疊結構的半導體元件。

【先前技術】

[0002] 現今，半導體元件的製造方法（舉薄膜太陽能電池為例）是在基板上沈積複數個膜層，以形成薄膜光電元件。該薄膜光電元件包含第一導電層、複數層可吸收光能並轉化為電能的半導體材料薄膜以及第二導電層，並且經受多次雷射刻劃，以形成複數個電池串聯的模組。欲使半導體元件有效運作面積所產生的功率最大化，重要的是使雷射刻劃所造成對於產生功率沒幫助的面積減至最小。所以，當進行雷射刻劃時，必須讓每條劃線盡可能地彼此接近。但是，劃線與劃線間亦須保留適當的誤差距離，以避免劃線重疊或產生漏電流的問題。

[0003] 台灣專利證書號167815「部分透明的光伏打模組」，其揭示了使用雷射除去至少部分太陽能電池的背電極而使得太陽能電池為部分透明之方法，其中每條劃線之寬度為大約0.01至大約0.5mm，且劃線與劃線間的距離大約0.5至大約5mm。

[0004] 大陸專利公開號CN101567303「激光刻膜設備和劃線方法及用其製造的非晶矽薄膜光伏板」，其揭示了藉由採用該發明的特定激光刻膜設備和劃線方法所製造的非晶矽薄膜太陽能光電板，而使雷射刻劃所造成對於產生功率沒幫助的面積減至最小。

[0005] 因此，本發明的目標在於：其一，縮小孔洞尺寸以及擴

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明是關於多層堆疊結構的半導體元件。

【先前技術】

[0002] 現今，半導體元件的製造方法（舉薄膜太陽能電池為例）是在基板上沈積複數個膜層，以形成薄膜光電元件。該薄膜光電元件包含第一導電層、複數層可吸收光能並轉化為電能的半導體材料薄膜以及第二導電層，並且經受多次雷射刻劃，以形成複數個電池串聯的模組。欲使半導體元件有效運作面積所產生的功率最大化，重要的是使雷射刻劃所造成對於產生功率沒幫助的面積減至最小。所以，當進行雷射刻劃時，必須讓每條劃線盡可能地彼此接近。但是，劃線與劃線間亦須保留適當的誤差距離，以避免劃線重疊或產生漏電流的問題。

[0003] 台灣專利證書號167815「部分透明的光伏打模組」，其揭示了使用雷射除去至少部分太陽能電池的背電極而使得太陽能電池為部分透明之方法，其中每條劃線之寬度為大約0.01至大約0.5mm，且劃線與劃線間的距離大約0.5至大約5mm。

[0004] 大陸專利公開號CN101567303「激光刻膜設備和劃線方法及用其製造的非晶矽薄膜光伏板」，其揭示了藉由採用該發明的特定激光刻膜設備和劃線方法所製造的非晶矽薄膜太陽能光電板，而使雷射刻劃所造成對於產生功率沒幫助的面積減至最小。

[0005] 因此，本發明的目標在於：其一，縮小孔洞尺寸以及擴

大同一劃線中的相鄰孔洞間的距離，以改善製造成本與時間；其二，縮小劃線之間的水平距離，以增加半導體元件有效運作面積，其同時亦保留適當的誤差距離。

【發明內容】

[0006] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，而該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮

大同一劃線中的相鄰孔洞間的距離，以改善製造成本與時間；其二，縮小劃線之間的水平距離，以增加半導體元件有效運作面積，其同時亦保留適當的誤差距離。

【發明內容】

[0006] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，而該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮

小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- [0007] 根據本發明的具體實施例，半導體元件更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，其中該中間層是與該第一組半導體材料層和第二組半導體材料層同時經受雷射刻劃。
- [0008] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞部分重疊。
- [0009] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- [0010] 根據本發明的具體實施例，每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。
- [0011] 根據本發明的具體實施例，第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。
- [0012] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。
- [0013] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\ \mu\text{m}$ 。
- [0014] 根據本發明的具體實施例，第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\ \mu\text{m}$ 。
- [0015] 根據本發明的具體實施例，藉由第二孔洞所形成的電路

小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- [0007] 根據本發明的具體實施例，半導體元件更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，其中該中間層是與該第一組半導體材料層和第二組半導體材料層同時經受雷射刻劃。
- [0008] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞部分重疊。
- [0009] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- [0010] 根據本發明的具體實施例，每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。
- [0011] 根據本發明的具體實施例，第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。
- [0012] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。
- [0013] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\ \mu\text{m}$ 。
- [0014] 根據本發明的具體實施例，第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\ \mu\text{m}$ 。
- [0015] 根據本發明的具體實施例，藉由第二孔洞所形成的電路

通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

[0016] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；以及第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由

通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

[0016] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；以及第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由

複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞及/或第二B孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離及/或第二B劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- [0017] 根據本發明的具體實施例，半導體元件更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該中間層是與該第一組半導體材料層同時經受雷射刻劃。
- [0018] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞部分重疊，及/或每一個第二B孔洞是與相鄰第二B孔洞部分重疊。
- [0019] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞分隔一段距離，及/或每一個第二B孔洞是與相鄰第二B孔洞分隔一段距離。
- [0020] 根據本發明的具體實施例，每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離及/或每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點之最短距離為至少20 μm 。
- [0021] 根據本發明的具體實施例，第二A孔洞及/或第二B孔洞的中心點至該孔洞的邊際界線之最短距離是小於20 μm 。
- [0022] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至20 μm 。

複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞及/或第二B孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離及/或第二B劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

[0017] 根據本發明的具體實施例，半導體元件更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該中間層是與該第一組半導體材料層同時經受雷射刻劃。

[0018] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞部分重疊，及/或每一個第二B孔洞是與相鄰第二B孔洞部分重疊。

[0019] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞分隔一段距離，及/或每一個第二B孔洞是與相鄰第二B孔洞分隔一段距離。

[0020] 根據本發明的具體實施例，每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離及/或每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。

[0021] 根據本發明的具體實施例，第二A孔洞及/或第二B孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。

[0022] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。

[0023] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至40 μm 。

[0024] 根據本發明的具體實施例，第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、及/或第二B劃線和第三劃線之間的水平距離是小於80 μm 。

[0025] 根據本發明的具體實施例，藉由第二B孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

[0026] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層、第二組半導體材料層以及第三組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，而該第三組半導體材料層是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第一組半導體材料層、該第二組半導體材料層和該第三組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電

- [0023] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至40 μm 。
- [0024] 根據本發明的具體實施例，第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、及/或第二B劃線和第三劃線之間的水平距離是小於80 μm 。
- [0025] 根據本發明的具體實施例，藉由第二B孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。
- [0026] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層、第二組半導體材料層以及第三組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，而該第三組半導體材料層是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第一組半導體材料層、該第二組半導體材料層和該第三組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電

層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

[0027] 根據本發明的具體實施例，半導體元件更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，其中該第一中間層和第二中間層是與該第一組半導體材料層、該第二組半導體材料層和第三組半導體層同時經受雷射刻劃。

[0028] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞部分重疊。

[0029] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞分隔一段距離。

[0030] 根據本發明的具體實施例，每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。

[0031] 根據本發明的具體實施例，第二孔洞的中心點至該孔洞

層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

[0027] 根據本發明的具體實施例，半導體元件更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，其中該第一中間層和第二中間層是與該第一組半導體材料層、該第二組半導體材料層和第三組半導體層同時經受雷射刻劃。

[0028] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞部分重疊。

[0029] 根據本發明的具體實施例，每一個第二孔洞是與相鄰第二孔洞分隔一段距離。

[0030] 根據本發明的具體實施例，每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。

[0031] 根據本發明的具體實施例，第二孔洞的中心點至該孔洞

的邊際界線之最短距離是小於 $20\mu\text{m}$ 。

[0032] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\mu\text{m}$ 。

[0033] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\mu\text{m}$ 。

[0034] 根據本發明的具體實施例，第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\mu\text{m}$ 。

[0035] 根據本發明的具體實施例，藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

[0036] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形

的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。

[0032] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。

[0033] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\ \mu\text{m}$ 。

[0034] 根據本發明的具體實施例，第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\ \mu\text{m}$ 。

[0035] 根據本發明的具體實施例，藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

[0036] 本發明揭示一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形

成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；第三組半導體材料層，其是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第三組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二C劃線，每一個第二C劃線是由複數個第二C孔洞所組成；以及第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞、第二B孔洞及/或第二C孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

[0037] 根據本發明的具體實施例，半導體元件更進一步地包含

成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；第三組半導體材料層，其是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第三組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二C劃線，每一個第二C劃線是由複數個第二C孔洞所組成；以及第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞、第二B孔洞及/或第二C孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

[0037] 根據本發明的具體實施例，半導體元件更進一步地包含

：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該第一中間層是與該第一組半導體材料層同時經受雷射刻劃；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，該第二中間層是與該第二組半導體材料層同時經受雷射刻劃。

[0038] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞部分重疊，每一個第二B孔洞是與相鄰第二B孔洞部分重疊，及/或每一個第二C孔洞是與相鄰第二C孔洞部分重疊。

[0039] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞分隔一段預定距離，每一個第二B孔洞是與相鄰第二B孔洞分隔一段預定距離，及/或每一個第二C孔洞是與相鄰第二C孔洞分隔一段預定距離。

[0040] 根據本發明的具體實施例，每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離、每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點及/或每一個第二C孔洞的中心點和相鄰第二C孔洞的中心點之最短距離為至少 $20\mu\text{m}$ 。

[0041] 根據本發明的具體實施例，第二A孔洞、第二B孔洞及/或第二C孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\mu\text{m}$ 。

[0042] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\mu\text{m}$ 。

[0043] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞

：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該第一中間層是與該第一組半導體材料層同時經受雷射刻劃；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，該第二中間層是與該第二組半導體材料層同時經受雷射刻劃。

[0038] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞部分重疊，每一個第二B孔洞是與相鄰第二B孔洞部分重疊，及/或每一個第二C孔洞是與相鄰第二C孔洞部分重疊。

[0039] 根據本發明的具體實施例，每一個第二A孔洞是與相鄰第二A孔洞分隔一段預定距離，每一個第二B孔洞是與相鄰第二B孔洞分隔一段預定距離，及/或每一個第二C孔洞是與相鄰第二C孔洞分隔一段預定距離。

[0040] 根據本發明的具體實施例，每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離、每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點及/或每一個第二C孔洞的中心點和相鄰第二C孔洞的中心點之最短距離為至少20 μm 。

[0041] 根據本發明的具體實施例，第二A孔洞、第二B孔洞及/或第二C孔洞的中心點至該孔洞的邊際界線之最短距離是小於20 μm 。

[0042] 根據本發明的具體實施例，第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至20 μm 。

[0043] 根據本發明的具體實施例，第三孔洞的中心點至該孔洞

的邊際界線之最短距離是15至40 μm 。

[0044] 根據本發明的具體實施例，第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離是小於80 μm 。

[0045] 根據本發明的具體實施例，藉由第二C孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

【實施方式】

[0046] 本發明是關於多層堆疊結構的半導體元件之有效運作面積改良，下方具體實施例是以多層堆疊結構的薄膜太陽能電池模組為例。

[0047] 圖1A至圖1H是剖面圖，其說明了根據本發明的一個具體實施例之藉由雷射刻劃來形成具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100的方法。

[0048] 參考圖1A，沉積第一導電層102在基板101上。

[0049] 參考圖1B，使用雷射在第一導電層102中刻劃出複數個第一劃線103，其中複數個第一劃線103是被刻劃至第一導電層102的底層，藉此移除部分第一導電層102但盡可能不傷害基板101，以形成複數個分開的第一導電層102部分。

[0050] 參考圖1C，沉積第一組半導體材料層104A在第一導電層102上。第一組半導體材料層104A是由複數個半導體材料層所組成。

的邊際界線之最短距離是15至40 μm 。

[0044] 根據本發明的具體實施例，第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離是小於80 μm 。

[0045] 根據本發明的具體實施例，藉由第二C孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

【實施方式】

[0046] 本發明是關於多層堆疊結構的半導體元件之有效運作面積改良，下方具體實施例是以多層堆疊結構的薄膜太陽能電池模組為例。

[0047] 圖1A至圖1H是剖面圖，其說明了根據本發明的一個具體實施例之藉由雷射刻劃來形成具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100的方法。

[0048] 參考圖1A，沉積第一導電層102在基板101上。

[0049] 參考圖1B，使用雷射在第一導電層102中刻劃出複數個第一劃線103，其中複數個第一劃線103是被刻劃至第一導電層102的底層，藉此移除部分第一導電層102但盡可能不傷害基板101，以形成複數個分開的第一導電層102部分。

[0050] 參考圖1C，沉積第一組半導體材料層104A在第一導電層102上。第一組半導體材料層104A是由複數個半導體材料層所組成。

[0051]

參考圖1D，使用雷射在第一組半導體材料層104A中刻劃出複數個第二A劃線105A，其中複數個第二A劃線105A是被刻劃至第一組半導體材料層104A的底層，藉此移除部分第一組半導體材料層104A但盡可能不傷害第一導電層102，以形成複數個分開的第一組半導體材料層104A部分。

[0052]

參考圖1E，沉積第二組半導體材料層104B在第一組半導體材料層104A上。第二組半導體材料層104B是由複數個半導體材料層所組成。

[0053]

參考圖1F，使用雷射在第二組半導體材料層104B中刻劃出複數個第二B劃線105B，其中複數個第二B劃線105B是被刻劃至第一組半導體材料層104A的底層，藉此移除部分第一組半導體材料層104A和部分第二組半導體材料層104B但盡可能不傷害第一導電層102，以形成複數個分開的第二組半導體材料層104B部分。

[0054]

參考圖1G，沉積第二導電層106在第二組半導體材料層104B上，該電池單元的第二導電層106遂可以和相鄰電池單元的第一導電層102接觸形成電路通道使相鄰電池串聯。

[0055]

參考圖1H，使用雷射在第二導電層106中刻劃出複數個第三劃線107，其中複數個第三劃線107是被刻劃至第一組半導體材料層104A的底層，以形成複數個分開的第二導電層106部分。

[0056]

因此，根據上述方法所形成之具有兩組半導體材料層堆

[0051] 參考圖1D，使用雷射在第一組半導體材料層104A中刻劃出複數個第二A劃線105A，其中複數個第二A劃線105A是被刻劃至第一組半導體材料層104A的底層，藉此移除部分第一組半導體材料層104A但盡可能不傷害第一導電層102，以形成複數個分開的第一組半導體材料層104A部分。

[0052] 參考圖1E，沉積第二組半導體材料層104B在第一組半導體材料層104A上。第二組半導體材料層104B是由複數個半導體材料層所組成。

[0053] 參考圖1F，使用雷射在第二組半導體材料層104B中刻劃出複數個第二B劃線105B，其中複數個第二B劃線105B是被刻劃至第一組半導體材料層104A的底層，藉此移除部分第一組半導體材料層104A和部分第二組半導體材料層104B但盡可能不傷害第一導電層102，以形成複數個分開的第二組半導體材料層104B部分。

[0054] 參考圖1G，沉積第二導電層106在第二組半導體材料層104B上，該電池單元的第二導電層106遂可以和相鄰電池單元的第一導電層102接觸形成電路通道使相鄰電池串聯。

[0055] 參考圖1H，使用雷射在第二導電層106中刻劃出複數個第三劃線107，其中複數個第三劃線107是被刻劃至第一組半導體材料層104A的底層，以形成複數個分開的第二導電層106部分。

[0056] 因此，根據上述方法所形成之具有兩組半導體材料層堆

疊結構的薄膜太陽能電池模組100包含：基板101；第一導電層102，其形成在基板101上；第一組半導體材料層104A，其形成在第一導電層102上；第二組半導體材料層104B，其形成在第一組半導體材料層104A上；以及第二導電層106，其形成在第二組半導體材料層104B上。該第一導電層102係經受雷射刻劃至第一導電層102的底層，以形成複數個第一劃線103。該第一組半導體材料層104A係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二A劃線105A。該第二組半導體材料層104B係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二B劃線105B。該第二導電層106係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第三劃線107。

[0057] 但本發明並不限制於上述兩組半導體材料層堆疊結構的半導體元件。在本發明的一個具體實施例中，本發明可以是具有三組半導體材料層堆疊結構的半導體元件，如圖2所示。圖2是具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0058] 參考圖2，該具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200包含：基板201；第一導電層202，其形成在基板201上；第一組半導體材料層204A，其是由複數個半導體材料層所組成且形成在第一導電層202上；第二組半導體材料層204B，其是由複數個半導體材料層所組成且形成在第一組半導體材料層204A上；第三組半導體材料層204C，其是由複數個半導體材料層所組成且形成

疊結構的薄膜太陽能電池模組100包含：基板101；第一導電層102，其形成在基板101上；第一組半導體材料層104A，其形成在第一導電層102上；第二組半導體材料層104B，其形成在第一組半導體材料層104A上；以及第二導電層106，其形成在第二組半導體材料層104B上。該第一導電層102係經受雷射刻劃至第一導電層102的底層，以形成複數個第一劃線103。該第一組半導體材料層104A係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二A劃線105A。該第二組半導體材料層104B係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二B劃線105B。該第二導電層106係經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第三劃線107。

[0057] 但本發明並不限制於上述兩組半導體材料層堆疊結構的半導體元件。在本發明的一個具體實施例中，本發明可以是具有三組半導體材料層堆疊結構的半導體元件，如圖2所示。圖2是具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0058] 參考圖2，該具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200包含：基板201；第一導電層202，其形成在基板201上；第一組半導體材料層204A，其是由複數個半導體材料層所組成且形成在第一導電層202上；第二組半導體材料層204B，其是由複數個半導體材料層所組成且形成在第一組半導體材料層204A上；第三組半導體材料層204C，其是由複數個半導體材料層所組成且形成

在第二組半導體材料層204B上：以及第二導電層206，其形成在第三組半導體材料層204C上。該第一導電層202係經受雷射刻劃至第一導電層201的底層，以形成複數個第一劃線203。該第一組半導體材料層204A係經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二A劃線205A。該第二組半導體材料層205B係經受雷射刻劃至第一組半導體材料層205A的底層，以形成複數個第二B劃線205B。該第三組半導體材料層204C係經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第二C劃線205C。該第二導電層206係經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第三劃線207。

[0059] 在本發明的另一個具體實施例中，不論是具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100或具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200可以有其他的雷射劃線方式，如圖3和圖4所示。圖3是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖3，圖3的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B是同時經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二劃線105。圖4是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖4，圖4的特徵在於：第一組半導體材料層204A、第二組半導體材料層204B和第三組半導體材料層204C是同時經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第二劃

在第二組半導體材料層204B上：以及第二導電層206，其形成在第三組半導體材料層204C上。該第一導電層202係經受雷射刻劃至第一導電層202的底層，以形成複數個第一劃線203。該第一組半導體材料層204A係經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二A劃線205A。該第二組半導體材料層204B係經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第二B劃線205B。該第三組半導體材料層204C係經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第二C劃線205C。該第二導電層206係經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第三劃線207。

[0059] 在本發明的另一個具體實施例中，不論是具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100或具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200可以有其他的雷射劃線方式，如圖3和圖4所示。圖3是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖3，圖3的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B是同時經受雷射刻劃至第一組半導體材料層104A的底層，以形成複數個第二劃線105。圖4是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖4，圖4的特徵在於：第一組半導體材料層204A、第二組半導體材料層204B和第三組半導體材料層204C是同時經受雷射刻劃至第一組半導體材料層204A的底層，以形成複數個第二劃

線105。

- [0060] 在本發明的另一個具體實施例中，不論是具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100或具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200可以更进一步地包含至少一層中間層，如圖5和圖6所示。
- [0061] 圖5是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖5，圖5的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B之間具有中間層108。該中間層108是與該第一組半導體材料層104A同時經受雷射刻劃。
- [0062] 圖6是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖6，圖6的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B之間具有中間層108。該中間層108是與該第一組半導體材料層104A和第二組半導體材料層104B同時經受雷射刻劃。
- [0063] 圖7是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖7，圖7的特徵在於：第一組半導體材料層204A和第二組半導體材料層204B之間具有第一中間層208A，且第二組半導體材料層204B和第三組半導體材料層204C之間具有第二中間層208B。該第一中間層208A是與該第一組半導體材料層204A同時經受雷射刻劃。該第二中間層208B是與該第二組半導體材料層204B同時經受雷射刻劃。

線105。

[0060] 在本發明的另一個具體實施例中，不論是具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100或具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200可以更进一步地包含至少一層中間層，如圖5和圖6所示。

[0061] 圖5是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖5，圖5的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B之間具有中間層108。該中間層108是與該第一組半導體材料層104A同時經受雷射刻劃。

[0062] 圖6是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。參考圖6，圖6的特徵在於：第一組半導體材料層104A和第二組半導體材料層104B之間具有中間層108。該中間層108是與該第一組半導體材料層104A和第二組半導體材料層104B同時經受雷射刻劃。

[0063] 圖7是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖7，圖7的特徵在於：第一組半導體材料層204A和第二組半導體材料層204B之間具有第一中間層208A，且第二組半導體材料層204B和第三組半導體材料層204C之間具有第二中間層208B。該第一中間層208A是與該第一組半導體材料層204A同時經受雷射刻劃。該第二中間層208B是與該第二組半導體材料層204B同時經受雷射刻劃。

[0064] 圖8是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖8，圖8的特徵在於：第一組半導體材料層204A和第二組半導體材料層204B之間具有第一中間層208A，且第二組半導體材料層204B和第三組半導體材料層204C之間具有第二中間層208B。該第一中間層208A和第二中間層208B是與該第一組半導體材料層204A、該第二組半導體材料層204B和第三組半導體層204C同時經受雷射刻劃。

[0065] 圖9A是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。雷射刻劃的方法是藉由特定雷射光點尺寸在特定位置移除欲移除材料來形成連續孔洞，其中孔洞之間會有部份區域是相互重疊，以形成劃線。參考圖9A，每一個第一劃線103是由複數個第一孔洞111所組成，且每一個第一孔洞111是與相鄰第一孔洞111部分重疊。每一個第二A劃線105A是由複數個第二A孔洞112A所組成，且每一個第二A孔洞112A是與相鄰第二A孔洞112A部分重疊。每一個第二B劃線105B是由複數個第二B孔洞112B所組成，且每一個第二B孔洞112B是與相鄰第二B孔洞112B部分重疊。每一個第三劃線107是由複數個第三孔洞113所組成，且每一個第三孔洞113是與相鄰第三孔洞113部分重疊。

[0066] 此外，複數個第一劃線103中的每一個劃線是實質上彼此平行。複數個第二A劃線105A中的每一個劃線是實質上彼此平行。複數個第二B劃線105B中的每一個劃線是實質上

[0064] 圖8是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。參考圖8，圖8的特徵在於：第一組半導體材料層204A和第二組半導體材料層204B之間具有第一中間層208A，且第二組半導體材料層204B和第三組半導體材料層204C之間具有第二中間層208B。該第一中間層208A和第二中間層208B是與該第一組半導體材料層204A、該第二組半導體材料層204B和第三組半導體層204C同時經受雷射刻劃。

[0065] 圖9A是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。雷射刻劃的方法是藉由特定雷射光點尺寸在特定位置移除欲移除材料來形成連續孔洞，其中孔洞之間會有部份區域是相互重疊，以形成劃線。參考圖9A，每一個第一劃線103是由複數個第一孔洞111所組成，且每一個第一孔洞111是與相鄰第一孔洞111部分重疊。每一個第二A劃線105A是由複數個第二A孔洞112A所組成，且每一個第二A孔洞112A是與相鄰第二A孔洞112A部分重疊。每一個第二B劃線105B是由複數個第二B孔洞112B所組成，且每一個第二B孔洞112B是與相鄰第二B孔洞112B部分重疊。每一個第三劃線107是由複數個第三孔洞113所組成，且每一個第三孔洞113是與相鄰第三孔洞113部分重疊。

[0066] 此外，複數個第一劃線103中的每一個劃線是實質上彼此平行。複數個第二A劃線105A中的每一個劃線是實質上彼此平行。複數個第二B劃線105B中的每一個劃線是實質上

彼此平行。複數個第三劃線107中的每一個劃線是實質上彼此平行。第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107是實質上與彼此平行。

[0067] 在圖9A中，第一劃線103和第二A劃線105A之間的水平中點距離 x_{11} 、第二A劃線105A和第二B劃線105B之間的水平中點距離 x_{12} 、以及第二B劃線105B和第三劃線107之間的水平中點距離 x_{13} 是大約 $100\mu\text{m}$ 。需注意的是：術語「中點距離」是指平行於某一劃線的中心線至平行於另一劃線的中心線之間的距離。

[0068] 當進行雷射刻劃時，第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107必須盡可能地彼此接近。但由於在進行雷射刻劃時，第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107會因為溫度等因素而產生漂移，使其無法準確地落在目標位置上，所以，第一劃線103、第二A劃線105A、第二B劃線105B第三劃線107之間必須保留適當的誤差距離，以避免劃線重疊而產生電氣漏電流甚至短路的現象。然而，為了保留適當的誤差距離，縮小第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107的水平距離就變得難以達成。

[0069] 上述案例是以具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100，但相同的問題亦會發生在具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200中。

[0070] 因此，本發明在實施上述之藉由雷射刻劃來形成串聯薄膜太陽能電池模組100、200的方法（如圖1A至圖1H所示

彼此平行。複數個第三劃線107中的每一個劃線是實質上彼此平行。第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107是實質上與彼此平行。

[0067] 在圖9A中，第一劃線103和第二A劃線105A之間的水平中點距離 x_{11} 、第二A劃線105A和第二B劃線105B之間的水平中點距離 x_{12} 、以及第二B劃線105B和第三劃線107之間的水平中點距離 x_{13} 是大約 $100\mu\text{m}$ 。需注意的是：術語「中點距離」是指平行於某一劃線的中心線至平行於另一劃線的中心線之間的距離。

[0068] 當進行雷射刻劃時，第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107必須盡可能地彼此接近。但由於在進行雷射刻劃時，第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107會因為溫度等因素而產生漂移，使其無法準確地落在目標位置上，所以，第一劃線103、第二A劃線105A、第二B劃線105B第三劃線107之間必須保留適當的誤差距離，以避免劃線重疊而產生電氣漏電流甚至短路的現象。然而，為了保留適當的誤差距離，縮小第一劃線103、第二A劃線105A、第二B劃線105B及第三劃線107的水平距離就變得難以達成。

[0069] 上述案例是以具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100，但相同的問題亦會發生在具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200中。

[0070] 因此，本發明在實施上述之藉由雷射刻劃來形成串聯薄膜太陽能電池模組100、200的方法（如圖1A至圖1H所示

）時，藉由離焦及/或降低雷射功率的方式來縮小雷射光點尺寸，以在使用雷射在第一組半導體材料層104A及/或第二組半導體材料層104B中刻劃出複數個第二A劃線105A和複數個第二B劃線105B的步驟中，縮小第二A孔洞112A和第二B孔洞112B。需注意的是：由於降低了雷射功率，所以雷射的使用壽命因而增加，藉此改善了製造成本。

[0071] 圖9B和圖9C是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。參考圖9B和圖9C，第二A孔洞和第二B孔洞的半徑是縮小至小於 $20\text{ }\mu\text{m}$ ，而第一孔洞111的半徑仍維持在5至 $20\text{ }\mu\text{m}$ ，第三孔洞113的半徑仍維持在15至 $40\text{ }\mu\text{m}$ 。相較於圖2A，第二A孔洞112A和第二B孔洞112B為縮小，而第一孔洞111和第三孔洞113仍維持相同大小。雖然上述具體實施例的第一孔洞111、第二A孔洞112A、第二B孔洞112B以及第三孔洞113是圓形孔洞，但本發明並不限制於此，第一孔洞111、第二A孔洞112A、第二B孔洞112B以及第三孔洞113可以包含各種形狀的孔洞，舉例來說，正方形、三角形、橢圓形等。

[0072] 在一個具體實施例中，如圖9B所示，第一劃線和第二A劃線之間的水平中點距離 x_{11} ，第二A劃線和第二B劃線之間的水平中點距離 x_{12} ，以及第二B劃線和第三劃線之間的水平中點距離 x_{13} ，可以拉近成小於 $80\text{ }\mu\text{m}$ ，而仍保留適當的誤差距離。在一個更佳的具體實施例中，如圖2C所示，第一劃線和第二A劃線之間的水平中點距離 x_{11} ，第二A劃線和第二B劃線之間的水平中點距離 x_{12} ，以及第二B劃線和第三劃線之間的水平中點距離 x_{13} ，可以拉近成小於 $80\text{ }\mu\text{m}$ ，而仍保留適當的誤差距離。

）時，藉由離焦及/或降低雷射功率的方式來縮小雷射光點尺寸，以在使用雷射在第一組半導體材料層104A及/或第二組半導體材料層104B中刻劃出複數個第二A劃線105A和複數個第二B劃線105B的步驟中，縮小第二A孔洞112A和第二B孔洞112B。需注意的是：由於降低了雷射功率，所以雷射的使用壽命因而增加，藉此改善了製造成本。

[0071] 圖9B和圖9C是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。參考圖9B和圖9C，第二A孔洞和第二B孔洞的半徑是縮小至小於 $20\ \mu\text{m}$ ，而第一孔洞111的半徑仍維持在5至 $20\ \mu\text{m}$ ，第三孔洞113的半徑仍維持在15至 $40\ \mu\text{m}$ 。相較於圖2A，第二A孔洞112A和第二B孔洞112B為縮小，而第一孔洞111和第三孔洞113仍維持相同大小。雖然上述具體實施例的第一孔洞111、第二A孔洞112A、第二B孔洞112B以及第三孔洞113是圓形孔洞，但本發明並不限制於此，第一孔洞111、第二A孔洞112A、第二B孔洞112B以及第三孔洞113可以包含各種形狀的孔洞，舉例來說，正方形、三角形、橢圓形等。

[0072] 在一個具體實施例中，如圖9B所示，第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ ，可以拉近成小於 $80\ \mu\text{m}$ ，而仍保留適當的誤差距離。在一個更佳的具體實施例中，如圖2C所示，第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、第

二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ ，可以拉近成小於 $50\mu\text{m}$ ，而仍保留適當的誤差距離。由於第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11'}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12'}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13'}$ ，縮小，所以太陽能電池模組的可發電面積增加。

[0073] 在使用雷射刻劃出複數個第二A劃線105A的步驟中，每一個第二A孔洞112A可以與相鄰第二A孔洞112A部分重疊，即，複數個第二A劃線105A仍為貫通的劃線，如圖9B所示；每一個第二A孔洞112A亦可以與相鄰第二A孔洞112A不互相重疊，即，複數個第二A劃線105A是由複數個不互相連接的第二A孔洞112A所形成，而每一個第二A孔洞112A的中心點與相鄰第二A孔洞112A的中心點之最短距離可以是至少 $20\mu\text{m}$ ，如圖2C所示。雖然縮小第二A孔洞112A、改變雷射脈衝射擊頻率及/或改變雷射光束或裝載機台的基板平台之移動速度可能會使每一個第二A孔洞112A與相鄰第二A孔洞112A不互相重疊，但卻不會因此而顯著地影響第一導電層102第二導電層106其元件與元件間導電性，這是因為第一導電層102與第二導電層106之間仍維持在適度的接觸面積且第一組半導體材料層104A和第二組半導體材料層104B仍維持在適當的厚度。

[0074] 同時，由於每一個第二A孔洞112A可以是與相鄰第二A孔洞112A不互相重疊且彼此間具有間隔，所以第二孔洞112A數量為減少，使得雷射刻劃的速度提高，藉此改善

二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ ，可以拉近成小於 $50\mu\text{m}$ ，而仍保留適當的誤差距離。由於第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11'}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12'}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13'}$ ，縮小，所以太陽能電池模組的可發電面積增加。

[0073] 在使用雷射刻劃出複數個第二A劃線105A的步驟中，每一個第二A孔洞112A可以與相鄰第二A孔洞112A部分重疊，即，複數個第二A劃線105A仍為貫通的劃線，如圖9B所示；每一個第二A孔洞112A亦可以與相鄰第二A孔洞112A不互相重疊，即，複數個第二A劃線105A是由複數個不互相連接的第二A孔洞112A所形成，而每一個第二A孔洞112A的中心點與相鄰第二A孔洞112A的中心點之最短距離可以是至少 $20\mu\text{m}$ ，如圖2C所示。雖然縮小第二A孔洞112A、改變雷射脈衝射擊頻率及/或改變雷射光束或裝載機台的基板平台之移動速度可能會使每一個第二A孔洞112A與相鄰第二A孔洞112A不互相重疊，但卻不會因此而顯著地影響第一導電層102第二導電層106其元件與元件間導電性，這是因為第一導電層102與第二導電層106之間仍維持在適度的接觸面積且第一組半導體材料層104A和第二組半導體材料層104B仍維持在適當的厚度。

[0074] 同時，由於每一個第二A孔洞112A可以是與相鄰第二A孔洞112A不互相重疊且彼此間具有間隔，所以第二孔洞112A數量為減少，使得雷射刻劃的速度提高，藉此改善

了製造速度。

[0075] 雖然上述具體實施例是藉由縮小第二A孔洞112A而達成，但是本發明不限制於此，本發明亦可以藉由縮小第二B孔洞112B而達成。

[0076] 此外，藉由第二B孔洞112B所形成的電路通道（其讓第一導電層102與第二導電層106接觸）之導電度是與第二B孔洞112B的截面積成正比且與第一組半導體材料層104A和第二組半導體材料層104B的總厚度（即，該電路通道長度）成反比。舉例來說，根據本發明的一個具體實施例，第一導電層102以及第二導電層106（在此使用的導電層是ZnO:B）的電阻率是 $1.9 \times 10^{-3} \Omega\text{-cm}$ ，第一組半導體材料層104A和第二組半導體材料層104B的總厚度是950nm，且第二B孔洞112B（在此半徑為 $20 \mu\text{m}$ ）的截面積是 $1256 \mu\text{m}^2$ ，故導電度是71.1S。但本發明不限制於上述具體實施例，本發明可以更進一步地改變第一導電層102和第二導電層106的材料或厚度、改變第一組半導體材料層104A、第二組半導體材料層104B的厚度或改變第二B孔洞112B的尺寸。但需注意的是：藉由第二B孔洞112B所形成的電路通道之導電度必須為至少50S，以避免影響導電性。

[0077] 但需注意的是：雖然本發明可以藉由縮小第二A孔洞112A和第二B孔洞112B而拉進第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11''}$ ，第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12''}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13''}$ ，但是卻無法藉由縮

了製造速度。

[0075] 雖然上述具體實施例是藉由縮小第二A孔洞112A而達成，但是本發明不限制於此，本發明亦可以藉由縮小第二B孔洞112B而達成。

[0076] 此外，藉由第二B孔洞112B所形成的電路通道（其讓第一導電層102與第二導電層106接觸）之導電度是與第二B孔洞112B的截面積成正比且與第一組半導體材料層104A和第二組半導體材料層104B的總厚度（即，該電路通道長度）成反比。舉例來說，根據本發明的一個具體實施例，第一導電層102以及第二導電層106（在此使用的導電層是ZnO:B）的電阻率是 $1.9 \times 10^{-3} \Omega\text{-cm}$ ，第一組半導體材料層104A和第二組半導體材料層104B的總厚度是950nm，且第二B孔洞112B（在此半徑為 $20 \mu\text{m}$ ）的截面積是 $1256 \mu\text{m}^2$ ，故導電度是71.1S。但本發明不限制於上述具體實施例，本發明可以更進一步地改變第一導電層102和第二導電層106的材料或厚度、改變第一組半導體材料層104A、第二組半導體材料層104B的厚度或改變第二B孔洞112B的尺寸。但需注意的是：藉由第二B孔洞112B所形成的電路通道之導電度必須為至少50S，以避免影響導電性。

[0077] 但需注意的是：雖然本發明可以藉由縮小第二A孔洞112A和第二B孔洞112B而拉進第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11''}$ ，第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12''}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13''}$ ，但是卻無法藉由縮

小第一孔洞111或第三孔洞113而拉進第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11''}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12''}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13''}$ 。這是因為縮小第一孔洞111和第三孔洞113可能使其孔洞不互相重疊，而因此影響了複數個分開的第一導電層102部分和複數個分開的第二導電層106部分的絕緣性。

[0078] 同樣地，雖然上述具體實施例是以具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100為例，但本發明不限制於此，相同的方法亦可使用在具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200中。如圖10所示，本發明亦可以藉由縮小第二A孔洞212A、第二B孔洞212B以及第二C孔洞212C而達成，以拉進第一劃線和第二A劃線之間的水平中點距離 $x_{21'}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{22'}$ 、第二B劃線和第二C劃線之間的水平中點距離 $x_{23'}$ ，以及第二C劃線和第三劃線之間的水平中點距離 $x_{24'}$ 。但需注意的是：藉由第二C孔洞212C所形成的電路通道之導電度必須為至少50S，以避免影響導電性。

[0079] 在本發明的上述具體實施例中，該基板101、201為玻璃、金屬、陶瓷或塑膠材料。第一導電層102、202或第二導電層106、206可以為氧化鋅、銦錫氧化物、二氧化錫等透明導電膜或銀、鋁、金、銅、鉬、鈦等金屬膜。該半導體材料層104A、104B、204A、204B、204C可以為非晶矽薄膜、奈米晶矽薄膜、微晶矽薄膜、多晶矽薄膜

小第一孔洞111或第三孔洞113而拉進第一劃線和第二A劃線之間的水平中點距離 $x_{11'}$ 、 $x_{11''}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{12'}$ 、 $x_{12''}$ ，以及第二B劃線和第三劃線之間的水平中點距離 $x_{13'}$ 、 $x_{13''}$ 。這是因為縮小第一孔洞111和第三孔洞113可能使其孔洞不互相重疊，而因此影響了複數個分開的第一導電層102部分和複數個分開的第二導電層106部分的絕緣性。

[0078] 同樣地，雖然上述具體實施例是以具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100為例，但本發明不限制於此，相同的方法亦可使用在具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200中。如圖10所示，本發明亦可以藉由縮小第二A孔洞212A、第二B孔洞212B以及第二C孔洞212C而達成，以拉進第一劃線和第二A劃線之間的水平中點距離 $x_{21'}$ 、第二A劃線和第二B劃線之間的水平中點距離 $x_{22'}$ 、第二B劃線和第二C劃線之間的水平中點距離 $x_{23'}$ ，以及第二C劃線和第三劃線之間的水平中點距離 $x_{24'}$ 。但需注意的是：藉由第二C孔洞212C所形成的電路通道之導電度必須為至少50S，以避免影響導電性。

[0079] 在本發明的上述具體實施例中，該基板101、201為玻璃、金屬、陶瓷或塑膠材料。第一導電層102、202或第二導電層106、206可以為氧化鋅、銦錫氧化物、二氧化錫等透明導電膜或銀、鋁、金、銅、鉬、鈦等金屬膜。該半導體材料層104A、104B、204A、204B、204C可以為非晶矽薄膜、奈米晶矽薄膜、微晶矽薄膜、多晶矽薄膜

、銅銦二硒薄膜、銅銦鎵硒薄膜、銅銦鎵硫硒薄膜、碲化鎘薄膜、氮化鋁鎵薄膜、砷化鋁鎵薄膜、氮化鎵薄膜、磷化銦或磷化銦鎵薄膜，或是前述材料之組合。該中間層108、208A、208B的材料包含： SiO_x 膜、透明導電膜或金屬膜，或是前述材料之組合，其中金屬膜是非常薄，可以允許部分光線穿透。

[0080] 雖然本發明的具體實施例是以矽薄膜太陽能電池模組為例，然而本發明並不限於此。本發明的方法亦可應用於其他使用雷射來刻劃的半導體及光電領域。

【圖式簡單說明】

[0081] 圖1A至圖1H是剖面圖，其說明了根據本發明的一個具體實施例之藉由雷射刻劃來形成具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100的方法。

[0082] 圖2是具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0083] 圖3是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

[0084] 圖4是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0085] 圖5是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

[0086] 圖6是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

、銅銦二硒薄膜、銅銦鎳硒薄膜、銅銦鎳硫硒薄膜、碲化鎘薄膜、氮化鋁鎳薄膜、砷化鋁鎳薄膜、氮化鎳薄膜、磷化銦或磷化銦鎳薄膜，或是前述材料之組合。該中間層108、208A、208B的材料包含： SiO_x 膜、透明導電膜或金屬膜，或是前述材料之組合，其中金屬膜是非常薄，可以允許部分光線穿透。

[0080] 雖然本發明的具體實施例是以矽薄膜太陽能電池模組為例，然而本發明並不限於此。本發明的方法亦可應用於其他使用雷射來刻劃的半導體及光電領域。

【圖式簡單說明】

[0081] 圖1A至圖1H是剖面圖，其說明了根據本發明的一個具體實施例之藉由雷射刻劃來形成具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100的方法。

[0082] 圖2是具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0083] 圖3是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

[0084] 圖4是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0085] 圖5是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

[0086] 圖6是根據本發明的另一具體實施例之具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組100之剖面圖。

[0087] 圖7是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0088] 圖8是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0089] 圖9A至圖9C是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。

[0090] 圖10是平面圖，其解釋了使用雷射所刻劃出的第一劃線203、第二A劃線205A、第二B劃線205B、第二C劃線205C以及第三劃線207。

【主要元件符號說明】

[0091] 100 具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組

[0092] 101 基板

[0093] 102 第一導電層

[0094] 103 第一劃線

[0095] 104A 第一組半導體材料層

[0096] 104B 第二組半導體材料層

[0097] 105A 第二A劃線

[0098] 105B 第二B劃線

[0099] 106 第二導電層

[0100] 107 第三劃線

[0087] 圖7是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0088] 圖8是根據本發明的另一具體實施例之具有三組半導體材料層堆疊結構的薄膜太陽能電池模組200之剖面圖。

[0089] 圖9A至圖9C是平面圖，其解釋了使用雷射所刻劃出的第一劃線103、第二A劃線105A、第二B劃線105B以及第三劃線107。

[0090] 圖10是平面圖，其解釋了使用雷射所刻劃出的第一劃線203、第二A劃線205A、第二B劃線205B、第二C劃線205C以及第三劃線207。

【主要元件符號說明】

[0091] 100 具有兩組半導體材料層堆疊結構的薄膜太陽能電池模組

[0092] 101 基板

[0093] 102 第一導電層

[0094] 103 第一劃線

[0095] 104A 第一組半導體材料層

[0096] 104B 第二組半導體材料層

[0097] 105A 第二A劃線

[0098] 105B 第二B劃線

[0099] 106 第二導電層

[0100] 107 第三劃線

- [0101] 108 中間層
- [0102] 111 第一孔洞
- [0103] 112 第二孔洞
- [0104] 112A 第二A孔洞
- [0105] 112B 第二B孔洞
- [0106] 113 第三孔洞
- [0107] 200 具有三組半導體材料層堆疊結構的薄膜太陽能電池
模組
- [0108] 201 基板
- [0109] 202 第一導電層
- [0110] 203 第一劃線
- [0111] 204A 第一組半導體材料層
- [0112] 204B 第二組半導體材料層
- [0113] 204C 第三組半導體材料層
- [0114] 205A 第二A劃線
- [0115] 205B 第二B劃線
- [0116] 205C 第二C劃線
- [0117] 206 第二導電層
- [0118] 207 第三劃線
- [0119] 208A 第一中間層

- [0101] 108 中間層
- [0102] 111 第一孔洞
- [0103] 112 第二孔洞
- [0104] 112A 第二A孔洞
- [0105] 112B 第二B孔洞
- [0106] 113 第三孔洞
- [0107] 200 具有三組半導體材料層堆疊結構的薄膜太陽能電池
模組
- [0108] 201 基板
- [0109] 202 第一導電層
- [0110] 203 第一劃線
- [0111] 204A 第一組半導體材料層
- [0112] 204B 第二組半導體材料層
- [0113] 204C 第三組半導體材料層
- [0114] 205A 第二A劃線
- [0115] 205B 第二B劃線
- [0116] 205C 第二C劃線
- [0117] 206 第二導電層
- [0118] 207 第三劃線
- [0119] 208A 第一中間層

- [0120] 208B 第二中間層
- [0121] 211 第一孔洞
- [0122] 212 第二孔洞
- [0123] 212A 第二A孔洞
- [0124] 212B 第二B孔洞
- [0125] 212C 第二C孔洞
- [0126] 213 第三孔洞
- [0127] x_{11} 未拉近的第一劃線和第二A劃線之間的水平中點距離
- [0128] x_{12} 未拉近的第二A劃線和第二B劃線之間的水平中點距離
- [0129] x_{13} 未拉近的第二B劃線和第三劃線之間的水平中點距離
- [0130] $x_{11'}$ 經拉近的第一劃線和第二A劃線之間的水平中點距離
- [0131] $x_{12'}$ 經拉近的第二A劃線和第二B劃線之間的水平中點距離
- [0132] $x_{13'}$ 經拉近的第二B劃線和第三劃線之間的水平中點距離
- [0133] $x_{21'}$, 經拉近的第一劃線和第二A劃線之間的水平中點距離
- [0134] $x_{22'}$, 經拉近的第二A劃線和第二B劃線之間的水平中點距離
- [0135] $x_{23'}$, 經拉近的第二B劃線和第二C劃線之間的水平中點距離

- [0120] 208B 第二中間層
- [0121] 211 第一孔洞
- [0122] 212 第二孔洞
- [0123] 212A 第二A孔洞
- [0124] 212B 第二B孔洞
- [0125] 212C 第二C孔洞
- [0126] 213 第三孔洞
- [0127] x_{11} 未拉近的第一劃線和第二A劃線之間的水平中點距離
- [0128] x_{12} 未拉近的第二A劃線和第二B劃線之間的水平中點距離
- [0129] x_{13} 未拉近的第二B劃線和第三劃線之間的水平中點距離
- [0130] $x_{11'}$ 經拉近的第一劃線和第二A劃線之間的水平中點距離
- [0131] $x_{12'}$ 經拉近的第二A劃線和第二B劃線之間的水平中點距離
- [0132] $x_{13'}$ 經拉近的第二B劃線和第三劃線之間的水平中點距離
- [0133] $x_{21'}$ 經拉近的第一劃線和第二A劃線之間的水平中點距離
- [0134] $x_{22'}$ 經拉近的第二A劃線和第二B劃線之間的水平中點距離
- [0135] $x_{23'}$ 經拉近的第二B劃線和第二C劃線之間的水平中點距離

[0136] x_{24} , 經拉近的第二C劃線和第三劃線之間的水平中點距離



[0136] x_{24} , 經拉近的第二C劃線和第三劃線之間的水平中點距離



1000-1000
1000-1000
1000-1000

專利案號：099130005



智專收字第0993357290-0

DTD版本：1.0.1



日期：99年10月05日

發明專利說明書

※申請案號：099130005

※IPC分類：

※申請日：

一、發明名稱：

多層堆疊結構的半導體元件

Multi-stack Semiconductor Device

二、中文發明摘要：

一種多層堆疊結構的半導體元件，其包含：基板；第一導電層，其形成在基板上且經受雷射刻劃至第一導電層的底層，以形成複數個第一劃線；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層形成在第一導電層上，而該第二組半導體材料層形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上且經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第三劃線，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離。

三、英文發明摘要：

A multi-stack semiconductor device comprising: a substrate; a first conductive layer, formed on the substrate and scribed down to the bottom of the first conductive layer by laser to form a plurality of first scribe lines; a first group of semiconductor material layers formed on the first conductive layer and a second group of semiconductor material layers

專利案號：099130005

智專收字第0993387245-0

DTD版本：1.0.1



日期：99年10月27日

發明專利說明書

※申請案號：099130005

※IPC分類：

※申請日：99.9.6

一、發明名稱：

多層堆疊結構的半導體元件

Multi-stack Semiconductor Device

二、中文發明摘要：

一種多層堆疊結構的半導體元件，其包含：基板；第一導電層，其形成在基板上且經受雷射刻劃至第一導電層的底層，以形成複數個第一劃線；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層形成在第一導電層上，而該第二組半導體材料層形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上且經受雷射刻劃至第一組半導體材料層的底層，以形成複數個第三劃線，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離。

三、英文發明摘要：

A multi-stack semiconductor device comprising: a substrate; a first conductive layer, formed on the substrate and scribed down to the bottom of the first conductive layer by laser to form a plurality of first scribe lines; a first group of semiconductor material layers formed on the first conductive layer and a second group of semiconductor material layers

formed on the first group of semiconductor material layers, the first group of semiconductor material layers and the second group of semiconductor material layers are scribed down to the bottom of the first group of semiconductor material layers by laser at the same time to form a plurality of second scribe lines, each second scribe line consists of a plurality of second holes; and a second conductive layer, formed on the second group of semiconductor material layers and scribed down to the bottom of the first group of semiconductor material layers by laser to form a plurality of third scribe lines; wherein the second holes are reduced in order to reduce the horizontal distance between the first scribe line and the second scribe line and the horizontal distance between the second scribe line and the third scribe line.

formed on the first group of semiconductor material layers, the first group of semiconductor material layers and the second group of semiconductor material layers are scribed down to the bottom of the first group of semiconductor material layers by laser at the same time to form a plurality of second scribe lines, each second scribe line consists of a plurality of second holes; and a second conductive layer, formed on the second group of semiconductor material layers and scribed down to the bottom of the first group of semiconductor material layers by laser to form a plurality of third scribe lines; wherein the second holes are reduced in order to reduce the horizontal distance between the first scribe line and the second scribe line and the horizontal distance between the second scribe line and the third scribe line.

七、申請專利範圍：

1. 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，而該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

七、申請專利範圍：

1. 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層以及第二組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，而該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第一組半導體材料層和該第二組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- 2 . 根據申請專利範圍第1項所述之半導體元件，其更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，其中該中間層是與該第一組半導體材料層和第二組半導體材料層同時經受雷射刻劃。
- 3 . 根據申請專利範圍第1項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞部分重疊。
- 4 . 根據申請專利範圍第1項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- 5 . 根據申請專利範圍第4項所述之半導體元件，其中每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。
- 6 . 根據申請專利範圍第1項所述之半導體元件，其中第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。
- 7 . 根據申請專利範圍第1項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。
- 8 . 根據申請專利範圍第1項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\ \mu\text{m}$ 。
- 9 . 根據申請專利範圍第1項所述之半導體元件，其中第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\ \mu\text{m}$ 。
- 10 . 根據申請專利範圍第1項所述之半導體元件，其中藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

- 2 . 根據申請專利範圍第1項所述之半導體元件，其更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，其中該中間層是與該第一組半導體材料層和第二組半導體材料層同時經受雷射刻劃。
- 3 . 根據申請專利範圍第1項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞部分重疊。
- 4 . 根據申請專利範圍第1項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- 5 . 根據申請專利範圍第4項所述之半導體元件，其中每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\mu\text{m}$ 。
- 6 . 根據申請專利範圍第1項所述之半導體元件，其中第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\mu\text{m}$ 。
- 7 . 根據申請專利範圍第1項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\mu\text{m}$ 。
- 8 . 根據申請專利範圍第1項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\mu\text{m}$ 。
- 9 . 根據申請專利範圍第1項所述之半導體元件，其中第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於 $80\mu\text{m}$ 。
- 10 . 根據申請專利範圍第1項所述之半導體元件，其中藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

- 11 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；以及第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞及/或第二B孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離及/或第二B劃線和第三

- 11 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞所組成；以及第二導電層，其形成在第二組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞及/或第二B孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離及/或第二B劃線和第三

劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- 12 . 根據申請專利範圍第11項所述之半導體元件，其更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該中間層是與該第一組半導體材料層同時經受雷射刻劃。
- 13 . 根據申請專利範圍第11項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞部分重疊，及/或每一個第二B孔洞是與相鄰第二B孔洞部分重疊。
- 14 . 根據申請專利範圍第11項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞分隔一段距離，及/或每一個第二B孔洞是與相鄰第二B孔洞分隔一段距離。
- 15 . 根據申請專利範圍第14項所述之半導體元件，其中每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離及/或每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點之最短距離為至少 $20\text{ }\mu\text{m}$ 。
- 16 . 根據申請專利範圍第11項所述之半導體元件，其中第二A孔洞及/或第二B孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\text{ }\mu\text{m}$ 。
- 17 . 根據申請專利範圍第1項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\text{ }\mu\text{m}$ 。
- 18 . 根據申請專利範圍第11項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\text{ }\mu\text{m}$ 。
- 19 . 根據申請專利範圍第11項所述之半導體元件，其中第一劃

劃線之間的水平距離，藉此增加半導體元件有效運作面積

。

- 12 . 根據申請專利範圍第11項所述之半導體元件，其更進一步地包含：中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該中間層是與該第一組半導體材料層同時經受雷射刻劃。
- 13 . 根據申請專利範圍第11項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞部分重疊，及/或每一個第二B孔洞是與相鄰第二B孔洞部分重疊。
- 14 . 根據申請專利範圍第11項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞分隔一段距離，及/或每一個第二B孔洞是與相鄰第二B孔洞分隔一段距離。
- 15 . 根據申請專利範圍第14項所述之半導體元件，其中每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離及/或每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點之最短距離為至少20 μm 。
- 16 . 根據申請專利範圍第11項所述之半導體元件，其中第二A孔洞及/或第二B孔洞的中心點至該孔洞的邊際界線之最短距離是小於20 μm 。
- 17 . 根據申請專利範圍第1項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至20 μm 。
- 18 . 根據申請專利範圍第11項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至40 μm 。
- 19 . 根據申請專利範圍第11項所述之半導體元件，其中第一劃

線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、及/或第二B劃線和第三劃線之間的水平距離是小於 $80\mu\text{m}$ 。

- 20 . 根據申請專利範圍第11項所述之半導體元件，其中藉由第二B孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。
- 21 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層、第二組半導體材料層以及第三組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，而該第三組半導體材料層是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第一組半導體材料層、該第二組半導體材料層和該第三組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半

線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、及/或第二B劃線和第三劃線之間的水平距離是小於 $80\text{ }\mu\text{m}$ 。

20 . 根據申請專利範圍第11項所述之半導體元件，其中藉由第二B孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。

21 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層、第二組半導體材料層以及第三組半導體材料層，該第一組半導體材料層是由複數個半導體材料層所組成且形成在第一導電層上，該第二組半導體材料層是由複數個半導體材料層所組成且形成在第一組半導體材料層上，而該第三組半導體材料層是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第一組半導體材料層、該第二組半導體材料層和該第三組半導體材料層係同時經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二劃線，每一個第二劃線是由複數個第二孔洞所組成；第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半

導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- 22 . 根據申請專利範圍第21項所述之半導體元件，其更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，其中該第一中間層和第二中間層是與該第一組半導體材料層、該第二組半導體材料層和第三組半導體層同時經受雷射刻劃。
- 23 . 根據申請專利範圍第21項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞部分重疊。
- 24 . 根據申請專利範圍第21項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- 25 . 根據申請專利範圍第24項所述之半導體元件，其中每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\mu\text{m}$ 。
- 26 . 根據申請專利範圍第21項所述之半導體元件，其中第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\mu\text{m}$ 。
- 27 . 根據申請專利範圍第21項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\mu\text{m}$ 。

導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二孔洞係經縮小，以縮小第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

- 22 . 根據申請專利範圍第21項所述之半導體元件，其更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，其中該第一中間層和第二中間層是與該第一組半導體材料層、該第二組半導體材料層和第三組半導體層同時經受雷射刻劃。
- 23 . 根據申請專利範圍第21項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞部分重疊。
- 24 . 根據申請專利範圍第21項所述之半導體元件，其中每一個第二孔洞是與相鄰第二孔洞分隔一段距離。
- 25 . 根據申請專利範圍第24項所述之半導體元件，其中每一個第二孔洞的中心點和相鄰第二孔洞的中心點之最短距離為至少 $20\mu\text{m}$ 。
- 26 . 根據申請專利範圍第21項所述之半導體元件，其中第二孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\mu\text{m}$ 。
- 27 . 根據申請專利範圍第21項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\mu\text{m}$ 。

- 28 . 根據申請專利範圍第21項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至40 μm 。
- 29 . 根據申請專利範圍第21項所述之半導體元件，其中第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於80 μm 。
- 30 . 根據申請專利範圍第21項所述之半導體元件，其中藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。
- 31 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞

- 28 . 根據申請專利範圍第21項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至40 μm 。
- 29 . 根據申請專利範圍第21項所述之半導體元件，其中第一劃線和第二劃線之間的水平距離及/或第二劃線和第三劃線之間的水平距離是小於80 μm 。
- 30 . 根據申請專利範圍第21項所述之半導體元件，其中藉由第二孔洞所形成的電路通道之導電度必須為至少50S，該電路通道讓第一導電層與第二導電層接觸。
- 31 . 一種多層堆疊結構的半導體元件，其有效運作面積係增加，該半導體元件包含：基板；第一導電層，其形成在基板上，該第一導電層係經受雷射刻劃且刻劃至第一導電層的底層，藉此移除部分第一導電層但盡可能不傷害基板，以形成複數個第一劃線，每一個第一劃線是由複數個第一孔洞所組成，每一個第一孔洞是與相鄰第一孔洞部分重疊；第一組半導體材料層，其是由複數個半導體材料層所組成且形成在第一導電層上，該第一組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二A劃線，每一個第二A劃線是由複數個第二A孔洞所組成；第二組半導體材料層，其是由複數個半導體材料層所組成且形成在第一組半導體材料層上，該第二組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層和部分第二組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二B劃線，每一個第二B劃線是由複數個第二B孔洞

所組成；第三組半導體材料層，其是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第三組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二C劃線，每一個第二C劃線是由複數個第二C孔洞所組成；以及第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞、第二B孔洞及/或第二C孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

32 . 根據申請專利範圍第31項所述之半導體元件，其更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該第一中間層是與該第一組半導體材料層同時經受雷射刻劃；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，該第二中間層是與該第二組半導體材料層同時經受雷射刻劃。

33 . 根據申請專利範圍第31項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞部分重疊，每一個第二B孔

所組成；第三組半導體材料層，其是由複數個半導體材料層所組成且形成在第二組半導體材料層上，該第三組半導體材料層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層和部分第三組半導體材料層但盡可能不傷害第一導電層，以形成複數個第二C劃線，每一個第二C劃線是由複數個第二C孔洞所組成；以及第二導電層，其形成在第三組半導體材料層上，該第二導電層係經受雷射刻劃且刻劃至第一組半導體材料層的底層，藉此移除部分第一組半導體材料層、部分第二組半導體材料層、部分第三組半導體材料層和部分第二導電層但盡可能不傷害第一導電層，以形成複數個第三劃線，每一個第三劃線是由複數個第三孔洞所組成，每一個第三孔洞是與相鄰第三孔洞部分重疊，其中第二A孔洞、第二B孔洞及/或第二C孔洞係經縮小，以縮小第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離，藉此增加半導體元件有效運作面積。

32 . 根據申請專利範圍第31項所述之半導體元件，其更進一步地包含：第一中間層，其位於第一組半導體材料層和第二組半導體材料層之間，該第一中間層是與該第一組半導體材料層同時經受雷射刻劃；以及第二中間層，其位於第二組半導體材料層和第三組半導體材料層之間，該第二中間層是與該第二組半導體材料層同時經受雷射刻劃。

33 . 根據申請專利範圍第31項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞部分重疊，每一個第二B孔

洞是與相鄰第二B孔洞部分重疊，及/或每一個第二C孔洞是與相鄰第二C孔洞部分重疊。

- 34 . 根據申請專利範圍第31項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞分隔一段預定距離，每一個第二B孔洞是與相鄰第二B孔洞分隔一段預定距離，及/或每一個第二C孔洞是與相鄰第二C孔洞分隔一段預定距離。
- 35 . 根據申請專利範圍第34項所述之半導體元件，其中每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離、每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點及/或每一個第二C孔洞的中心點和相鄰第二C孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。
- 36 . 根據申請專利範圍第31項所述之半導體元件，其中第二A孔洞、第二B孔洞及/或第二C孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。
- 37 . 根據申請專利範圍第31項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。
- 38 . 根據申請專利範圍第31項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\ \mu\text{m}$ 。
- 39 . 根據申請專利範圍第31項所述之半導體元件，其中第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離是小於 $80\ \mu\text{m}$ 。
- 40 . 根據申請專利範圍第31項所述之半導體元件，其中藉由第

洞是與相鄰第二B孔洞部分重疊，及/或每一個第二C孔洞是與相鄰第二C孔洞部分重疊。

- 34 . 根據申請專利範圍第31項所述之半導體元件，其中每一個第二A孔洞是與相鄰第二A孔洞分隔一段預定距離，每一個第二B孔洞是與相鄰第二B孔洞分隔一段預定距離，及/或每一個第二C孔洞是與相鄰第二C孔洞分隔一段預定距離。
- 35 . 根據申請專利範圍第34項所述之半導體元件，其中每一個第二A孔洞的中心點和相鄰第二A孔洞的中心點之距離、每一個第二B孔洞的中心點和相鄰第二B孔洞的中心點及/或每一個第二C孔洞的中心點和相鄰第二C孔洞的中心點之最短距離為至少 $20\ \mu\text{m}$ 。
- 36 . 根據申請專利範圍第31項所述之半導體元件，其中第二A孔洞、第二B孔洞及/或第二C孔洞的中心點至該孔洞的邊際界線之最短距離是小於 $20\ \mu\text{m}$ 。
- 37 . 根據申請專利範圍第31項所述之半導體元件，其中第一孔洞的中心點至該孔洞的邊際界線之最短距離是5至 $20\ \mu\text{m}$ 。
- 38 . 根據申請專利範圍第31項所述之半導體元件，其中第三孔洞的中心點至該孔洞的邊際界線之最短距離是15至 $40\ \mu\text{m}$ 。
- 39 . 根據申請專利範圍第31項所述之半導體元件，其中第一劃線和第二A劃線之間的水平距離、第二A劃線和第二B劃線之間的水平距離、第二B劃線和第二C劃線之間的水平距離及/或第二C劃線和第三劃線之間的水平距離是小於 $80\ \mu\text{m}$ 。
- 40 . 根據申請專利範圍第31項所述之半導體元件，其中藉由第

二C孔洞所形成的電路通道之導電度必須為至少50S，該

電路通道讓第一導電層與第二導電層接觸。



Intellectual
Property
Office

二C孔洞所形成的電路通道之導電度必須為至少50S，該
電路通道讓第一導電層與第二導電層接觸。



八、圖式：

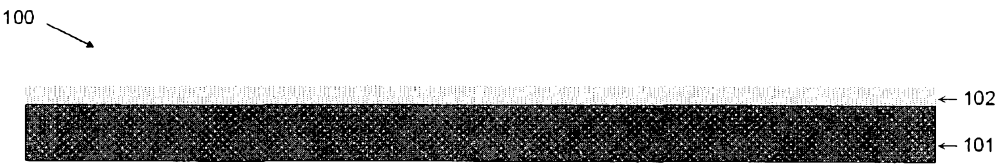


圖 1 A

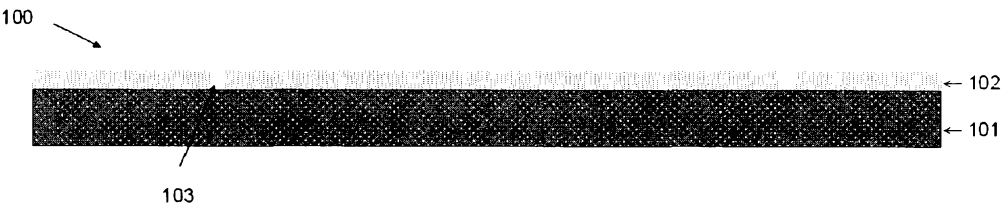


圖 1 B

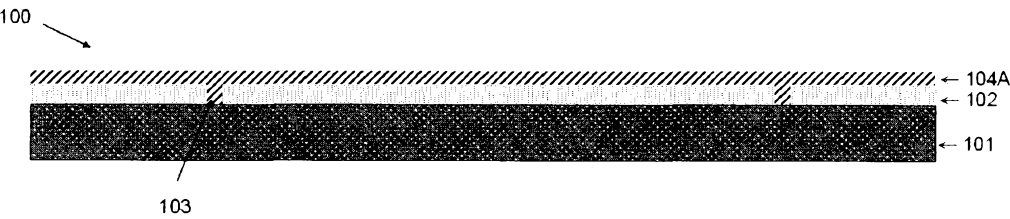


圖 1 C

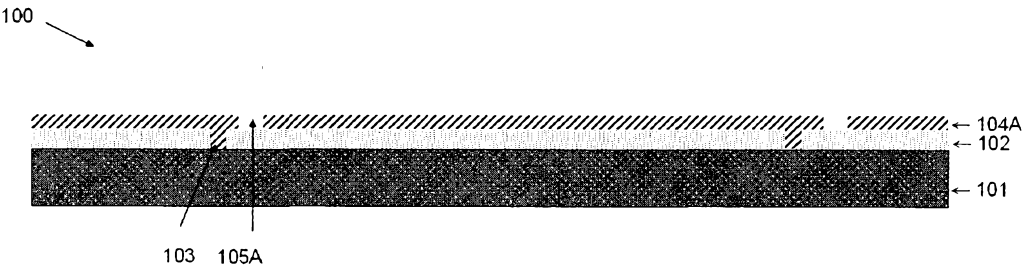
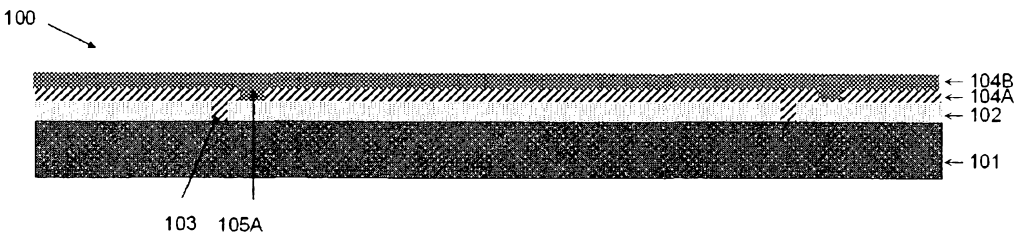


圖 1 D



八、圖式：

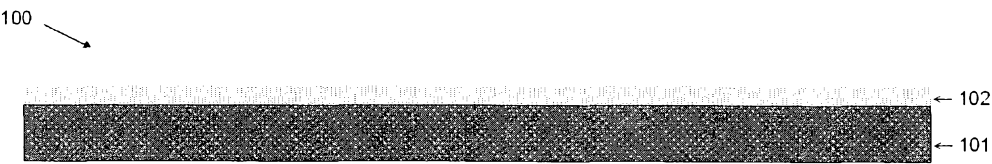


圖 1 A

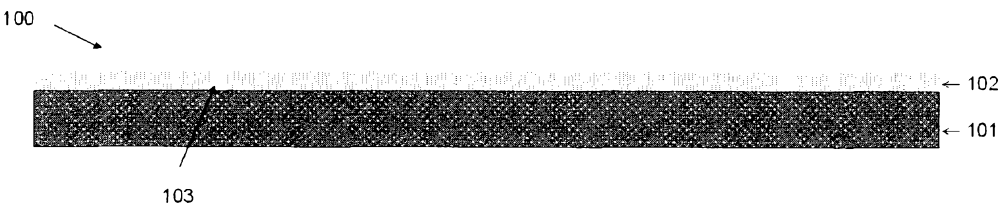


圖 1 B

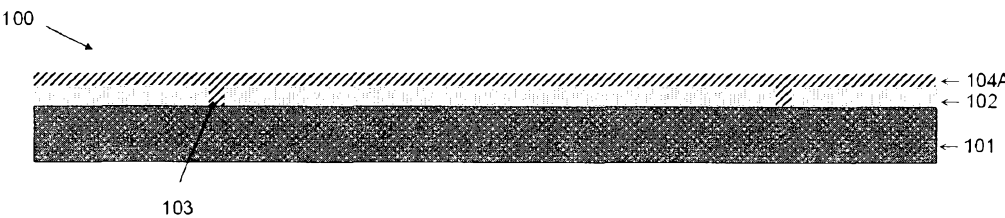


圖 1 C

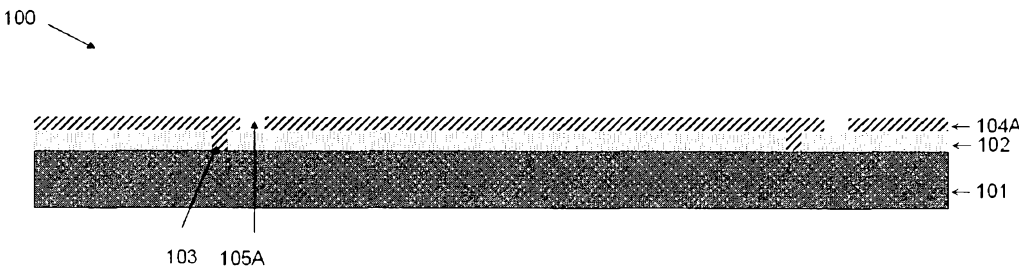


圖 1 D

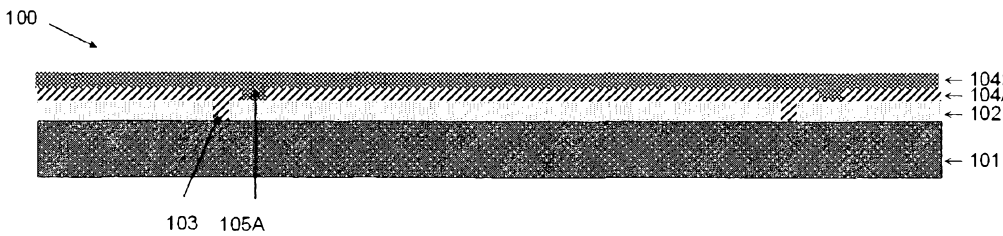


圖 1 E

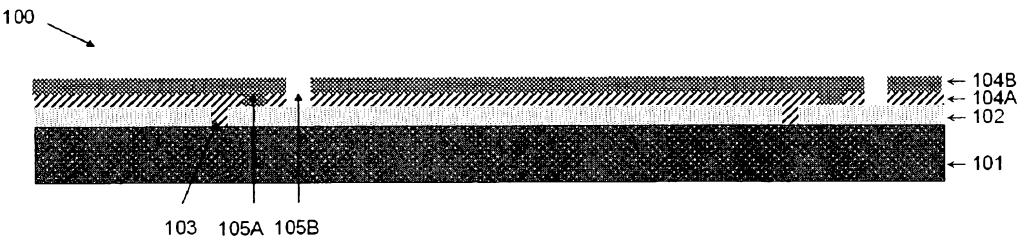


圖 1 F

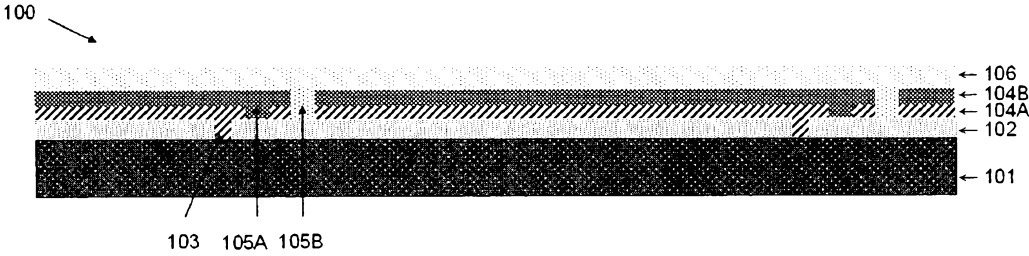


圖 1 G

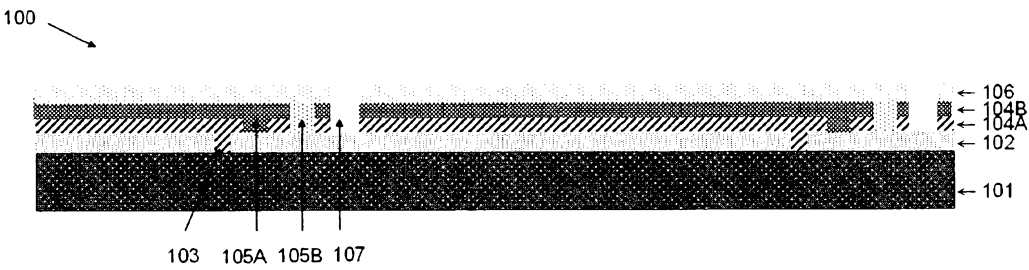


圖 1 H

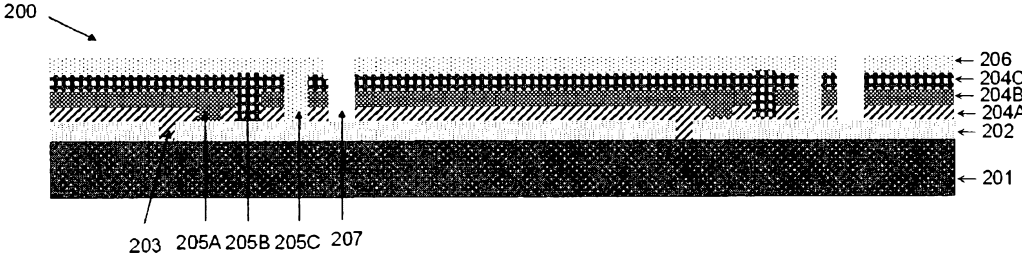


圖 2

圖 1 E

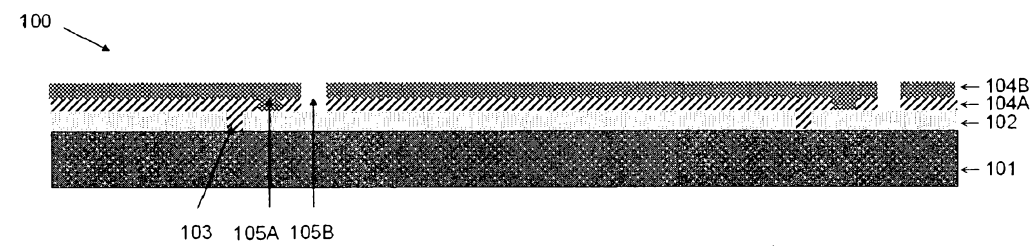


圖 1 F

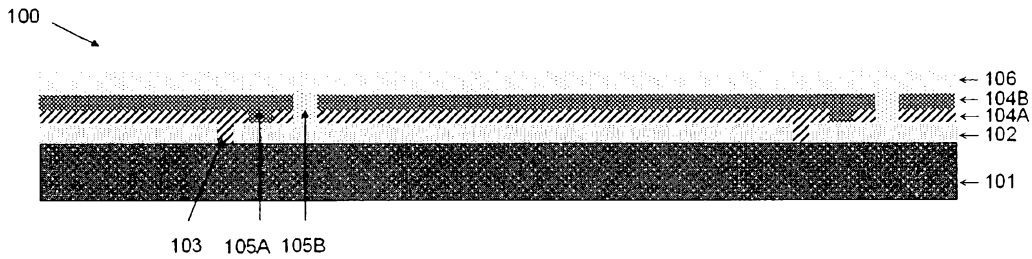


圖 1 G

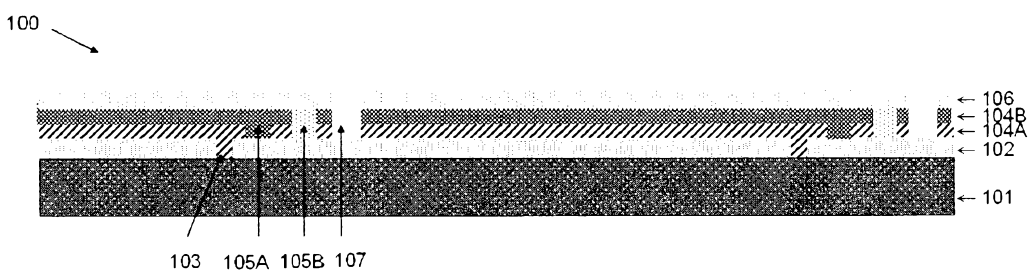


圖 1 H

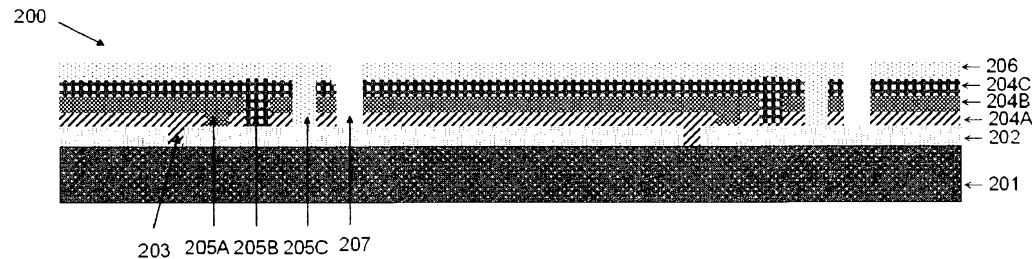


圖 2

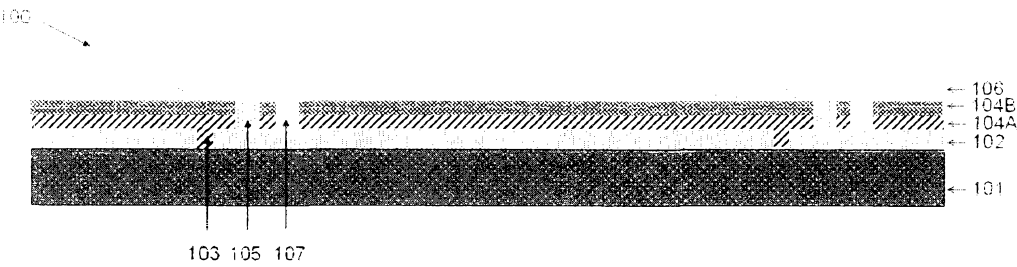


圖 3

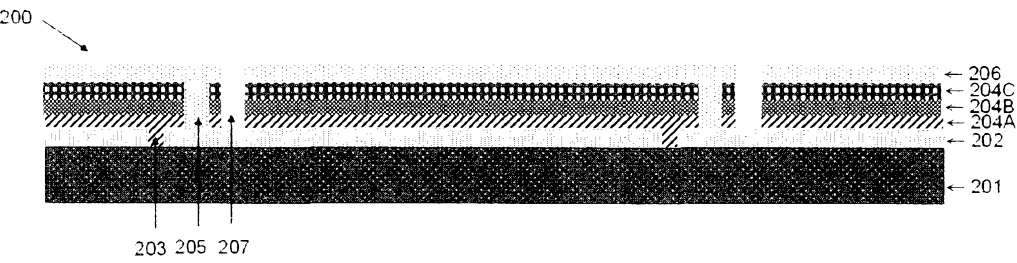


圖 4

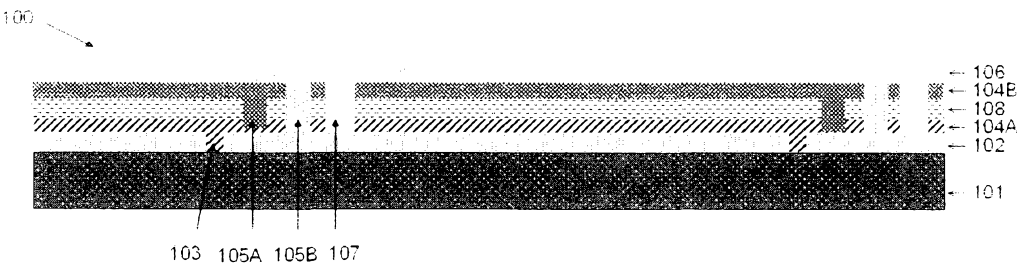


圖 5

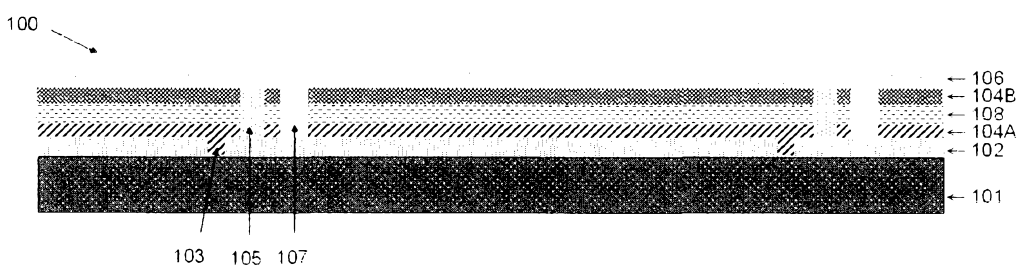
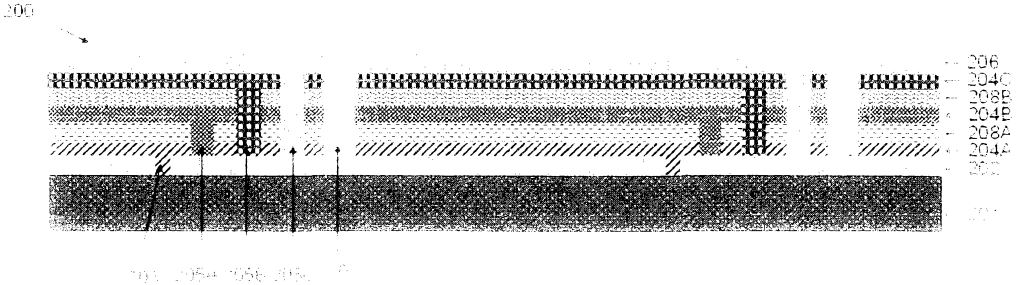


圖 6



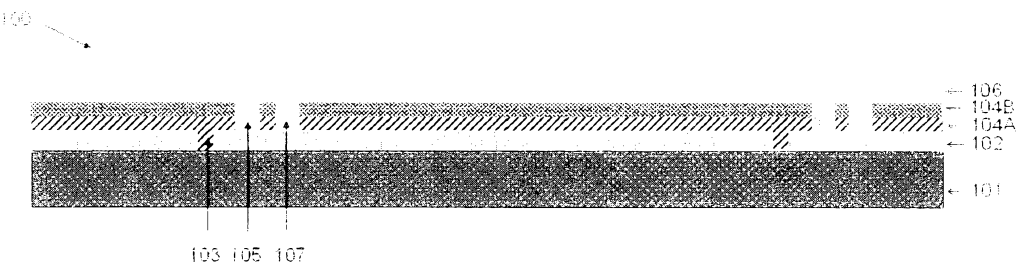


圖 3

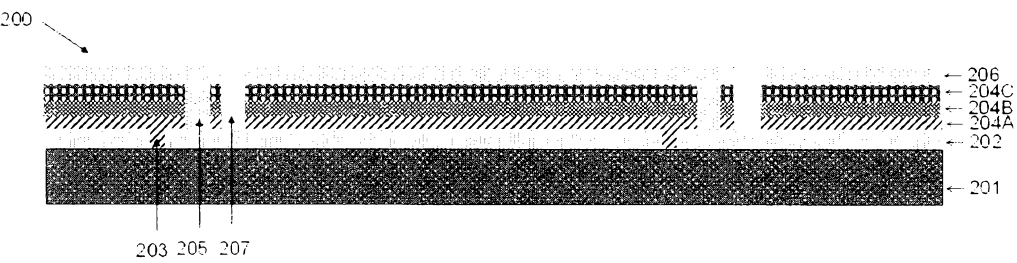


圖 4

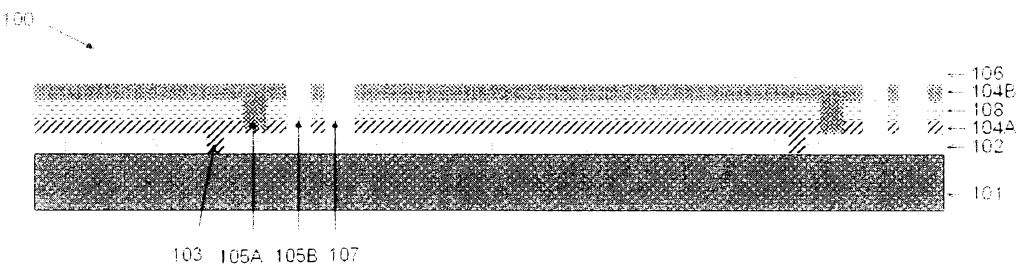


圖 5

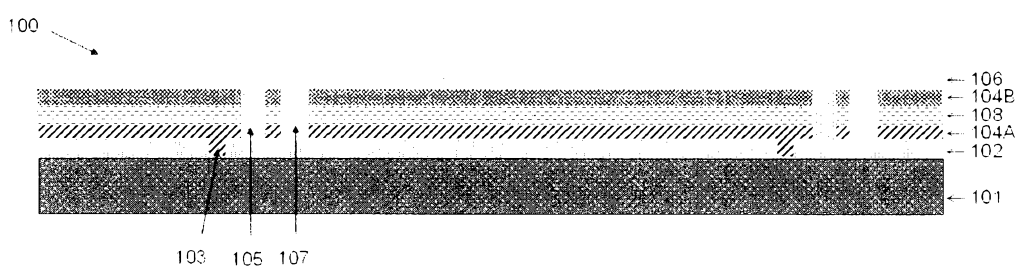


圖 6

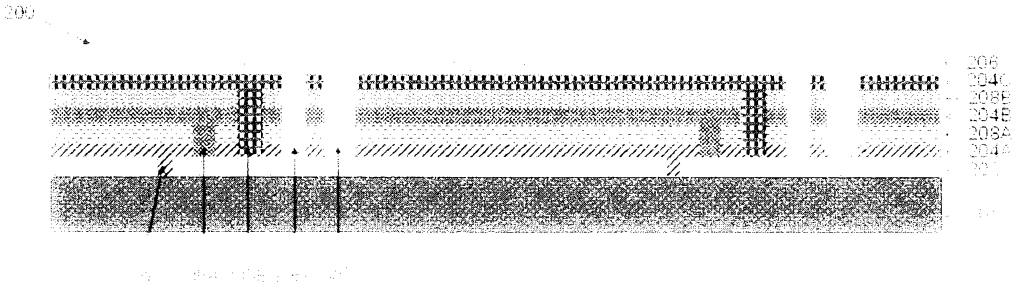


圖 7

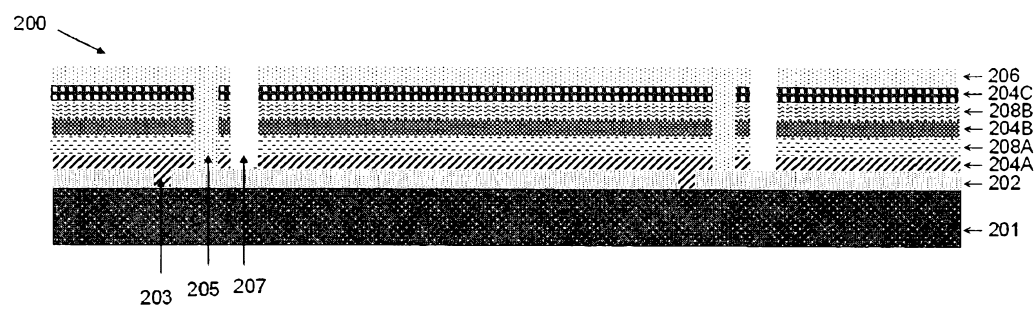


圖 8

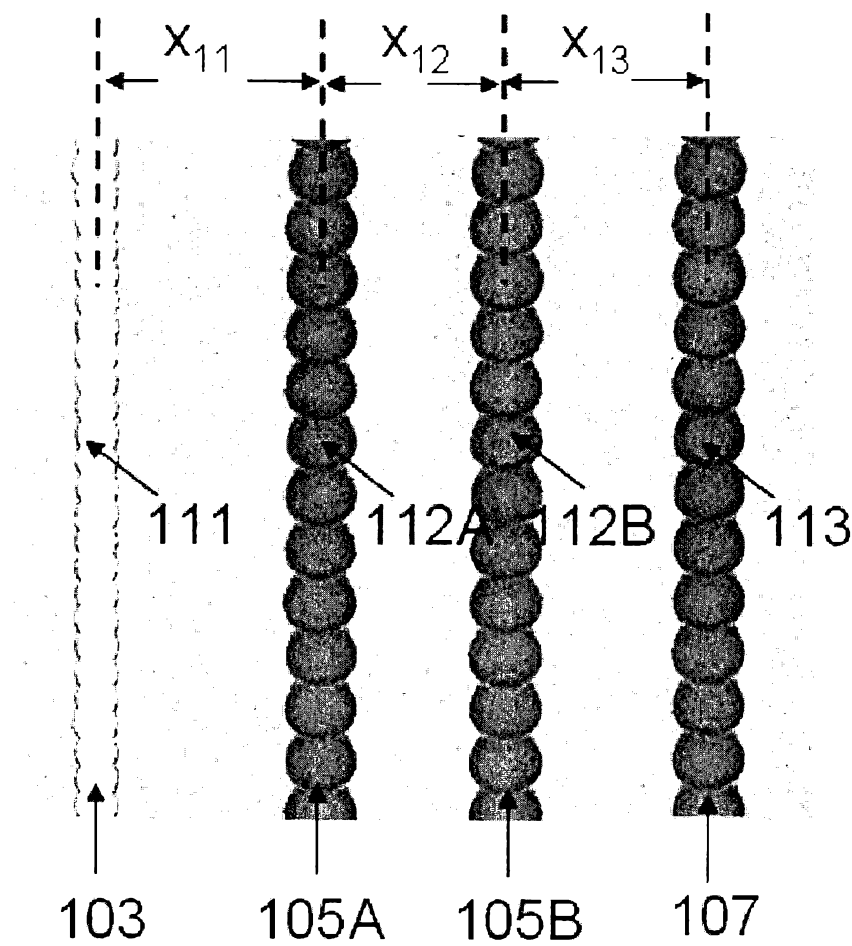


圖 9A

圖 7

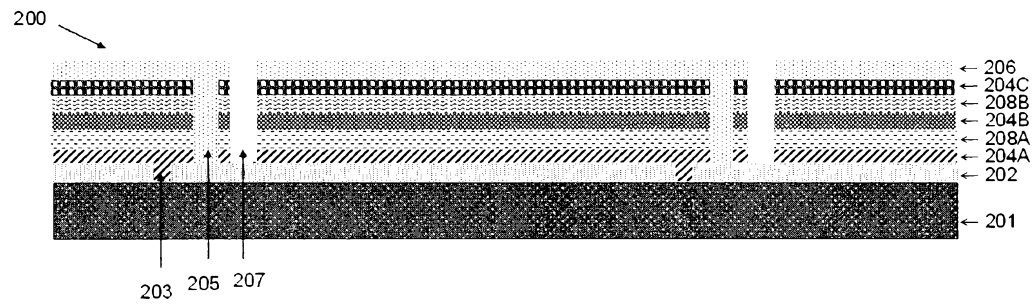


圖 8

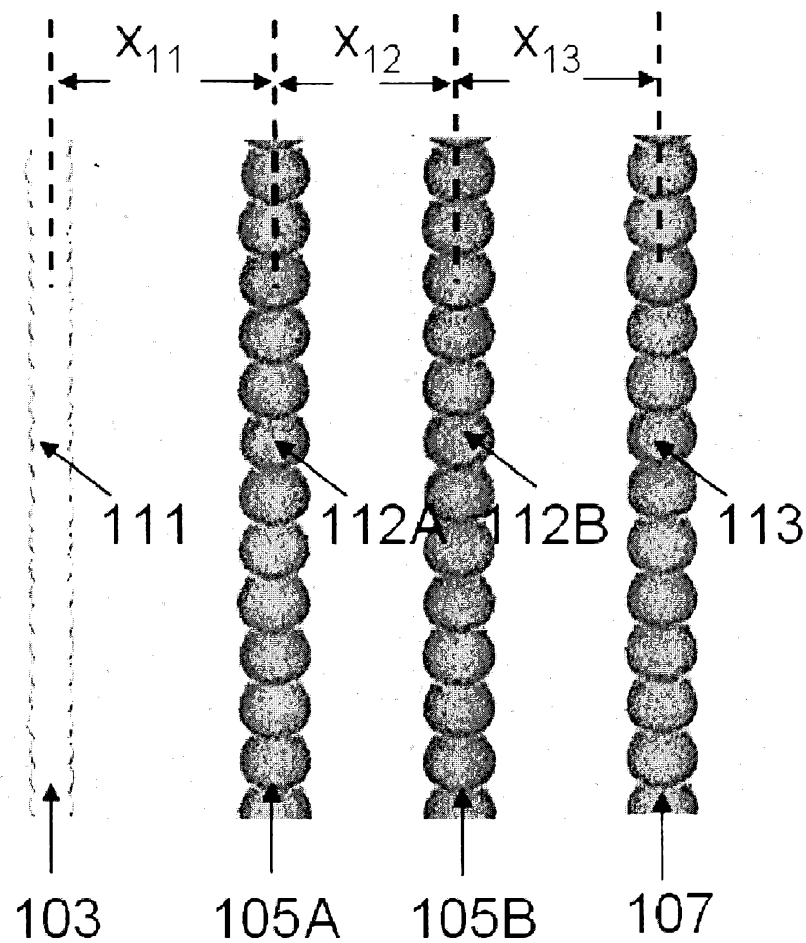


圖 9A

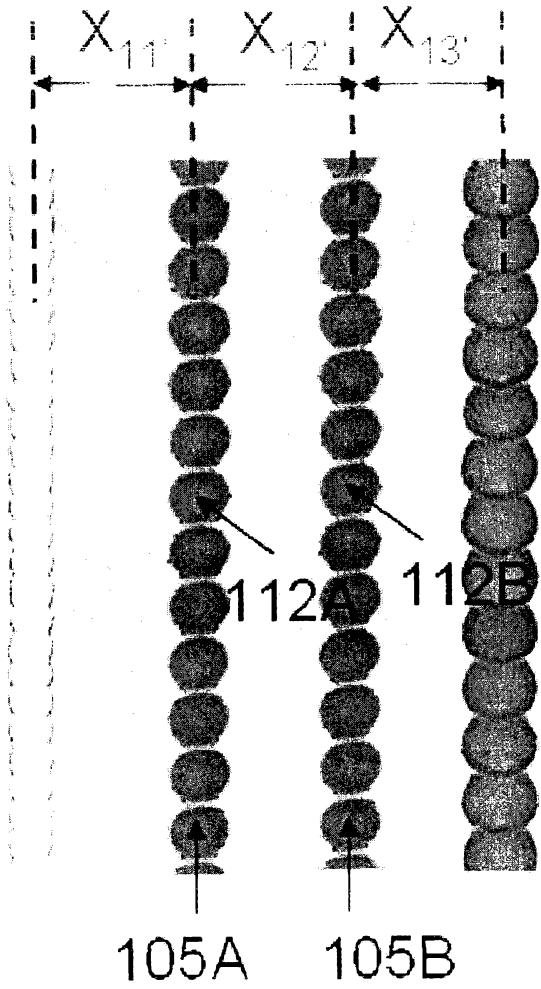


圖 9B

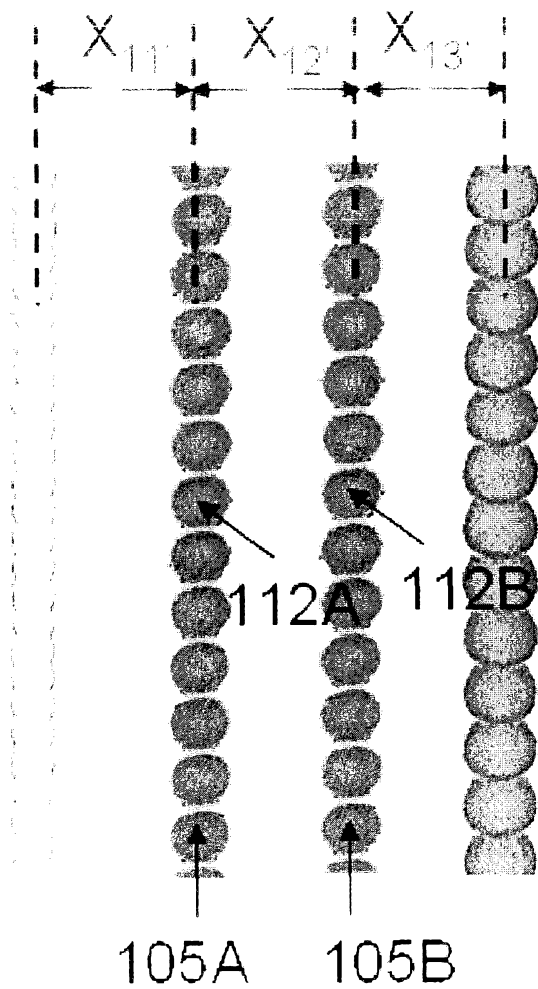


圖 9B

201212204

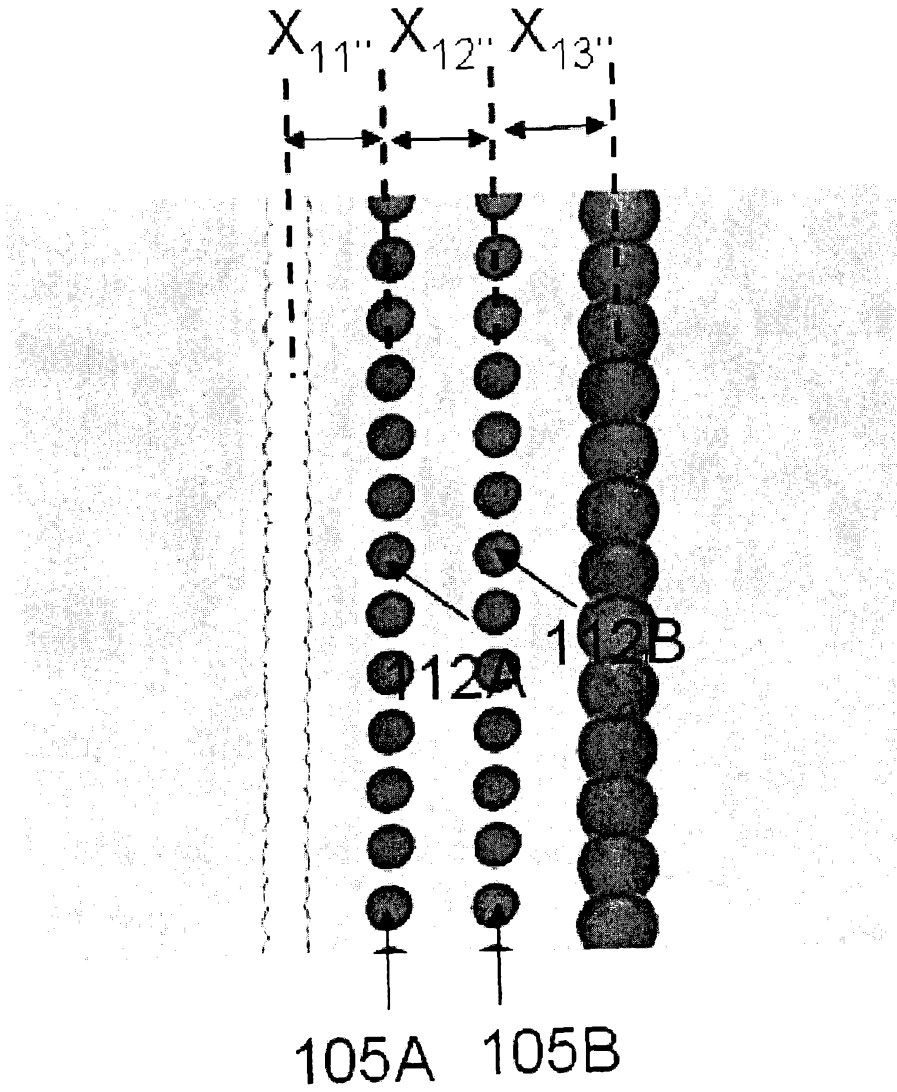


圖 9C

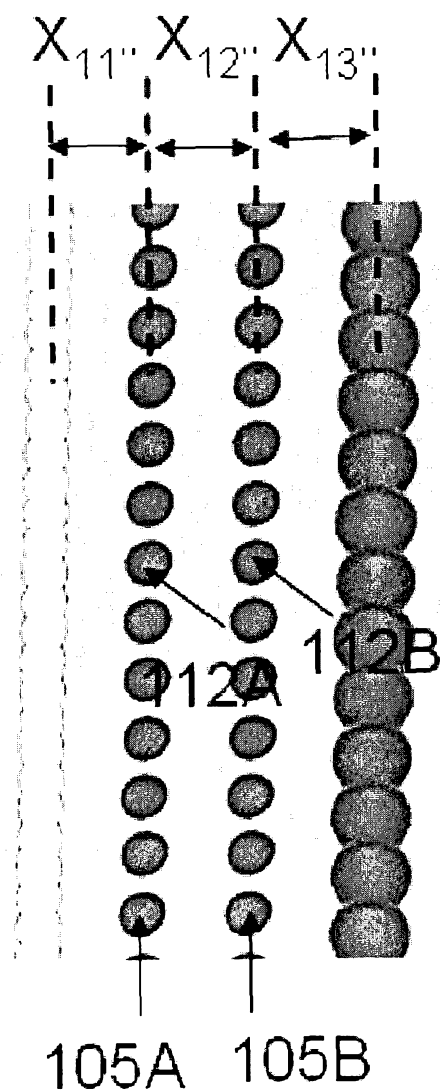


圖 9C

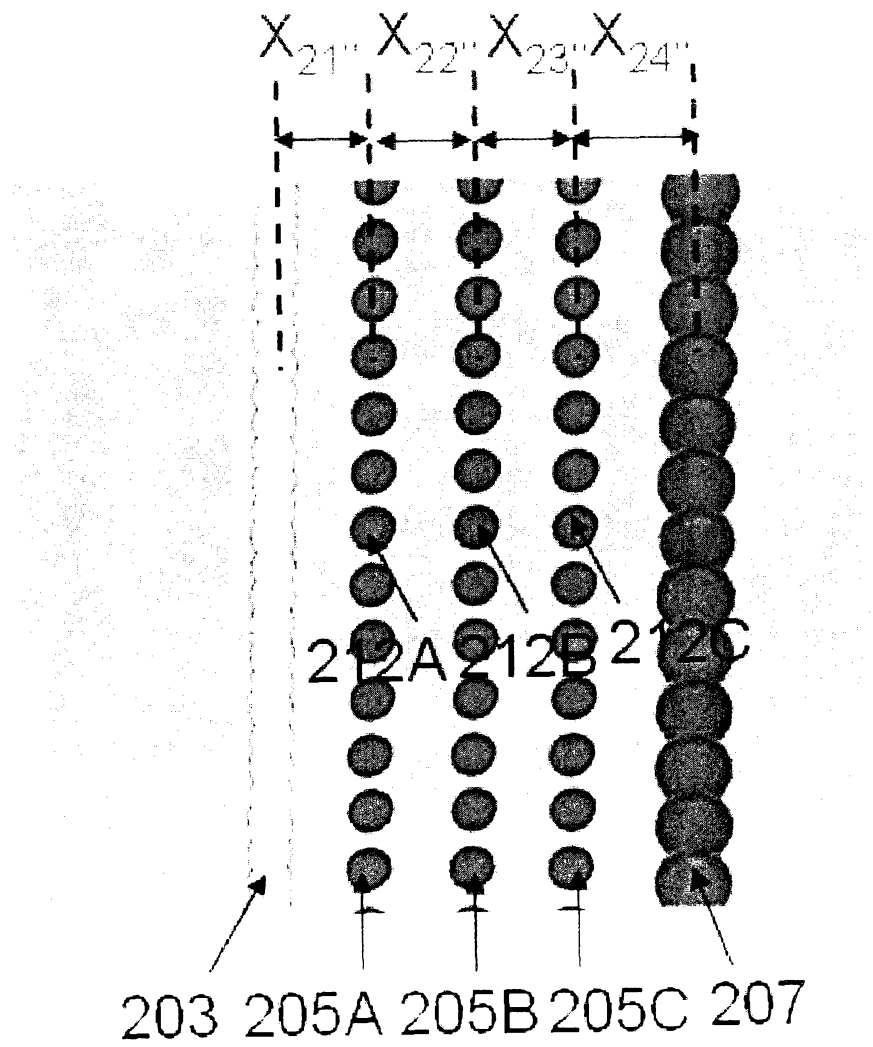


圖 10

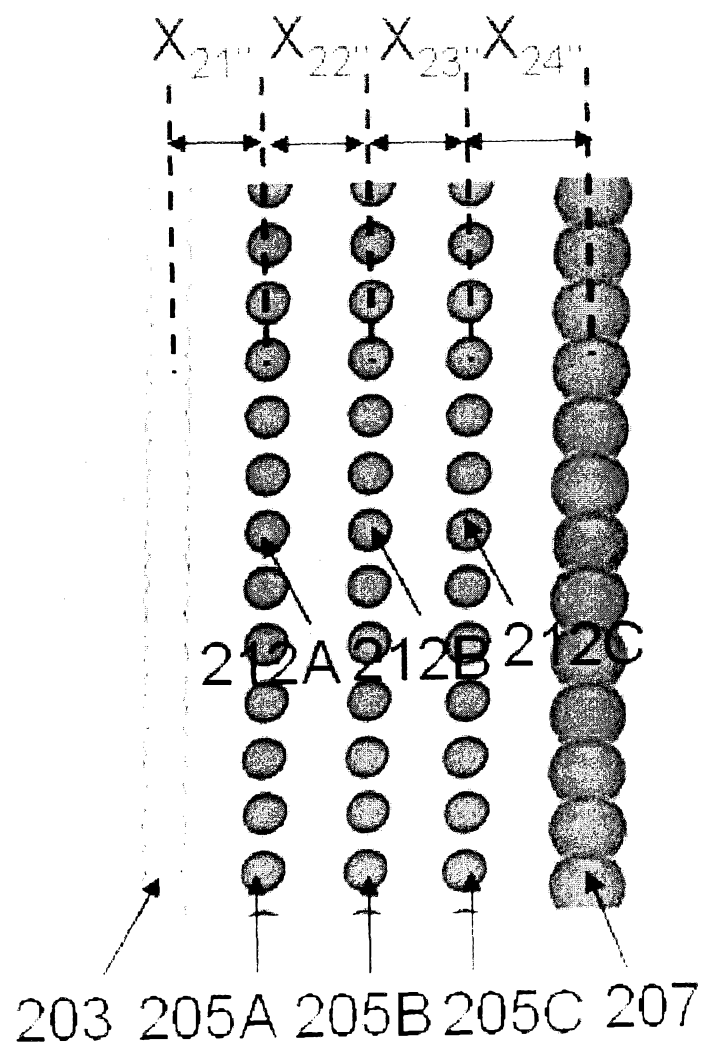


圖 10

四、指定代表圖：

(一)本案指定代表圖為：第 (9B) 圖。

(二)本代表圖之元件符號簡單說明：

105A 第二A劃線

105B 第二B劃線

112A 第二A孔洞

112B 第二B孔洞

x_{11} 經拉近的第一劃線和第二A劃線之間的水平中點距離

x_{12} 經拉近的第二A劃線和第二B劃線之間的水平中點距離

x_{13} 經拉近的第二B劃線和第三劃線之間的水平中點距離

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

Intellectual
Property
Office

四、指定代表圖：

(一)本案指定代表圖為：第 (9B) 圖。

(二)本代表圖之元件符號簡單說明：

105A 第二A劃線

105B 第二B劃線

112A 第二A孔洞

112B 第二B孔洞

x_{11} ，經拉近的第一劃線和第二A劃線之間的水平中點距離

x_{12} ，經拉近的第二A劃線和第二B劃線之間的水平中點距離

x_{13} ，經拉近的第二B劃線和第三劃線之間的水平中點距離

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：