

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-250683

(P2005-250683A)

(43) 公開日 平成17年9月15日(2005.9.15)

(51) Int.Cl.⁷

G06F 13/28
G06F 12/00
G06F 13/18
G06F 15/78

F I

G06F 13/28 320
G06F 12/00 564A
G06F 13/18 510A
G06F 15/78 510D

テーマコード (参考)

5B060
5B061
5B062

審査請求 未請求 請求項の数 10 O L (全 21 頁)

(21) 出願番号 特願2004-57919 (P2004-57919)
(22) 出願日 平成16年3月2日(2004.3.2)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号
(74) 代理人 100064746
弁理士 深見 久郎
(74) 代理人 100085132
弁理士 森田 俊雄
(74) 代理人 100083703
弁理士 仲村 義平
(74) 代理人 100096781
弁理士 堀井 豊
(74) 代理人 100098316
弁理士 野田 久登
(74) 代理人 100109162
弁理士 酒井 将行

最終頁に続く

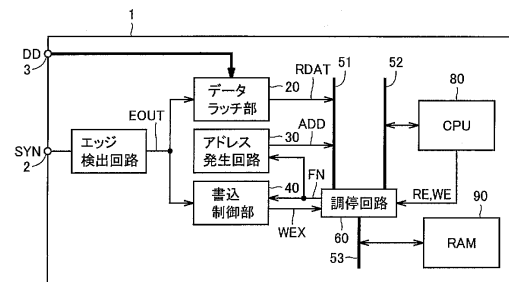
(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【課題】 CPUとDMAとの間のバス競合の影響が最小限に抑えられ、セットアップ時間／ホールド時間をフレキシブルに変更可能なマイクロコンピュータを提供する。

【解決手段】 エッジ検出回路10は、同期信号入力端子2から入力される同期信号SYNの入力レベル変化（エッジ）を検出する。データラッチ部20は、外部データ入力端子3から入力されるデジタルデータDDをラッチする。アドレス発生回路30は、アドレス信号ADDを出力する。書込制御部40は、RAM90へ書込みを行なうための書込イネーブル信号WEXを活性化／非活性化する。調停回路60は、書込制御イネーブル信号WEX、読出イネーブル信号REおよび書込イネーブル信号WEをモニタし、CPU80がRAM90へアクセスしていないサイクルを見出す。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

外部から入力される同期信号の入力レベル変化を検出し、該入力レベル変化を知らせるエッジ検出信号を出力するエッジ検出回路と、

前記エッジ検出信号を受けて、外部から入力される外部データをラッチしたデータラッチ信号を出力するデータラッチ部と、

アドレス信号を発生するアドレス発生回路と、

前記データラッチ信号および前記アドレス信号を受けるローカルバスと、

前記エッジ検出信号を受けて書込制御イネーブル信号を活性化する書込制御部と、

読出イネーブル信号および書込イネーブル信号を出力する中央処理装置と、

10

前記中央処理装置へ入出力されるデータを受けるデータバスと、

前記外部データを記憶する記憶装置と、

前記記憶装置へ入出力されるデータを受けるメモリバスと、

前記ローカルバス、前記データバスおよび前記メモリバスに接続され、前記書込制御イネーブル信号、前記読出イネーブル信号および前記書込イネーブル信号をモニタして前記中央処理装置が前記メモリへアクセスしていないサイクルを見出す調停回路とを備える、マイクロコンピュータ。

【請求項 2】

前記エッジ検出回路は、前記同期信号の立ち上がりエッジまたは立ち下がりエッジを検出し、該立ち上がりエッジまたは該立ち下がりエッジのどちらを検出するかはソフトウェアにより選択する、請求項 1 に記載のマイクロコンピュータ。

20

【請求項 3】

前記データラッチ部は、

前記エッジ検出信号を受けて、ソフトウェアで制御されるタイミング選択信号に応じたラッチイネーブル信号を出力するデータラッチタイミング選択回路と、

前記ラッチイネーブル信号に応じて、前記外部データをラッチした前記データラッチ信号を出力するデータラッチ回路とを含み、

前記データラッチ回路は、前記外部データのビット数ごとに複数のデータラッチ回路ユニットを有する、請求項 1 に記載のマイクロコンピュータ。

【請求項 4】

30

前記アドレス発生回路は、

前記調停回路から出力される転送完了信号および前記中央処理装置から出力される転送許可ビットを受けて、転送カウンタ動作のアンダーフロー発生を検出するアンダーフロー信号を出力する転送カウンタと、

前記アンダーフロー信号を受けてアドレス制御信号を出力するトグルラッチと、

前記転送完了信号および前記アドレス制御信号に応じてアドレスカウンタのインクリメントを行なう第 1 および第 2 のアドレスカウンタと、

前記アドレス制御信号に応じて、前記第 1 および第 2 のアドレスカウンタの出力信号のうちいずれか一方を選択して前記アドレス信号として出力するセクタ回路とを含む、請求項 1 に記載のマイクロコンピュータ。

40

【請求項 5】

前記転送カウンタは、前記転送許可ビットが転送禁止から転送許可になったとき、または転送カウンタ動作のアンダーフロー発生時にカウンタ値を所定値に戻す第 1 のリロードレジスタを有し、

前記第 1 および第 2 のアドレスカウンタは、前記転送許可ビットが転送禁止から転送許可になったとき、または転送カウンタ動作のアンダーフロー発生時にカウンタ値を所定値に戻す第 2 のリロードレジスタを有する、請求項 4 に記載のマイクロコンピュータ。

【請求項 6】

前記アドレス発生回路は、前記第 1 および第 2 のアドレスカウンタの活性時に転送カウンタ動作のアンダーフローが発生したとき、該アンダーフローの発生を前記中央処理装置

50

に知らせる割り込み信号を発生させる割り込み信号発生回路をさらに含む、請求項 4 に記載のマイクロコンピュータ。

【請求項 7】

前記書込制御部は、

前記エッジ検出信号を受けて転送要求信号を出力するカウンタ転送数制御回路と、

前記転送要求信号および前記調停回路から出力される転送完了信号を受けて前記書込制御イネーブル信号を出力する書込制御回路とを含む、請求項 1 に記載のマイクロコンピュータ。

【請求項 8】

前記カウンタ転送数制御回路は、カウント許可後の最初のアンダーフロー発生後にカウンタ動作を停止するか、アンダーフロー発生後の最初の前記同期信号のエッジ検出でリロードレジスタ値をリロードしてカウンタ動作を継続するかを前記中央処理装置によって選択する、請求項 7 に記載のマイクロコンピュータ。 10

【請求項 9】

前記カウンタ転送数制御回路は、外部からカウント許可が制御され、該外部許可によりロードレジスタ値をリロードし、前記同期信号のエッジ検出ごとにダウンカウントを行ない、アンダーフロー発生後には、前記同期信号のエッジ検出に応じて前記転送要求信号を活性化する、請求項 7 に記載のマイクロコンピュータ。

【請求項 10】

前記調停回路は、 20

前記書込イネーブル信号に応じて、前記データラッチ信号および前記中央処理装置から出力される CPU データバス信号のいずれか一方を選択するデータバスセクタと、

前記読出イネーブル信号の反転信号を内部クロック信号でラッチした出力イネーブル信号に応じて、前記記憶装置から出力される RAM データバス信号を前記中央処理装置のデータバスへのせる第 1 のトリステートバッファと、

書込イネーブル信号、書込制御イネーブル信号および読出イネーブル信号の論理出力を前記内部クロック信号でラッチしたデータイネーブル信号に応じて、前記データバスセクタの出力信号を前記記憶装置の内部のデータバスへのせる第 2 のトリステートバッファと、

前記読出イネーブル信号と前記書込イネーブル信号との論理出力に応じて、前記アドレス信号および前記中央処理装置から出力される CPU アドレスバス信号のいずれか一方を選択するアドレスセクタと、 30

前記書込イネーブル信号、前記読出イネーブル信号および前記書込制御イネーブル信号を受けて、前記書込制御部へのデータ転送要求が完了したことを伝える転送完了信号を生成する論理回路群とを含む、請求項 1 に記載のマイクロコンピュータ。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、マイクロコンピュータに関し、より特定的には、ある信号に同期して送信されてくるデータを内蔵された記憶装置に取り込むマイクロコンピュータに関する。 40

【背景技術】

【0002】

ある信号に同期して送信されてくる複数ビットのデータを、マイクロコンピュータ（以下、マイコンとも称す）に内蔵した RAM（Random Access Memory）などの記憶装置に取り込む場合、たとえば以下のような従来技術がある。

【0003】

従来のインターフェイス回路は、クロック信号の立ち上がりおよび立ち下がり、書込制御信号、アドレス制御信号およびデータを保持することが可能となり、読み書きに必要な待ち時間を短縮することができる（たとえば、特許文献 1 参照）。

【0004】

従来のマイクロコンピュータシステムは、マイクロコンピュータと外部との間のデータ転送制御およびマイクロコンピュータ内部の演算処理を並列的に処理することができる（たとえば、特許文献 2 参照）。

【0005】

従来のデータ処理装置は、1つのバス上でシングルエッジアクセスとダブルエッジアクセスとを切り替えて使用できるようにすることにより、バス上でのストリームデータの転送を効率よく行なえるようになる（たとえば、特許文献 3 参照）。

【0006】

従来の高速／低速インターフェイス回路は、以前のデータをメモリから読み出す間だけセクタを I / O 回路側に切り替え制御してラッチ回路にいったんラッチさせ、I / O 回路が該ラッチされた以前のデータと該ラッチデータとの比較を行なうことにより、I / O 回路が共通メモリにアクセスする時間が短縮される（たとえば、特許文献 4 参照）。 10

【0007】

従来のデータ転送制御装置は、通常はバースト動作モードによる DMA (Direct Memory Access) 処理を行ない、中央処理装置 (CPU: Central Processing Unit) による処理が必要なときには自動的にサイクルスチール動作モードに切り替えることにより、必要に応じて割込みでサイクルスチールモードに切り替えることができる（たとえば、特許文献 5 参照）。

【0008】

従来のバス調停装置は、バスにアクセスする頻度の最も高いバスマスタに対する調停時間を短縮することができ、さらに、2つのバスマスタ間の調停を順次繰り返すことにより 3つ以上のバスマスタがある場合にも容易に適用できる（たとえば、特許文献 6 参照）。 20

【特許文献 1】特開 2003-67324 号公報

【特許文献 2】特開 2001-209609 号公報

【特許文献 3】特開 2001-67310 号公報

【特許文献 4】特開平 4-218857 号公報

【特許文献 5】特開平 1-291354 号公報

【特許文献 6】特開昭 64-76254 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0009】

外部信号に同期して入力されるパラレルデータを DMA で取り込む場合、次のような問題があった。第 1 に、CPU と DMA との間のバス競合により、DMA 起動サイクルが乱れることがある。これが外部データ取込み高速化のネックとなるため、CPU にアクセス制限を課す必要があった。第 2 に、DMA 起動タイミングによっては、セットアップ時間／ホールド時間を規定する必要がある、これがマイコン高速化のネックとなっていた。

【0010】

上記に示した従来技術は、これらの問題を部分的には解決し得るものの、これらの問題を解決する手段は当該従来技術だけには限られない。

【0011】

40

それゆえに、この発明の目的は、CPU と DMA との間のバス競合の影響が最小限に抑えられ、セットアップ時間／ホールド時間をフレキシブルに変更可能なマイクロコンピュータを提供することである。

【課題を解決するための手段】

【0012】

この発明によるマイクロコンピュータは、外部から入力される同期信号の入力レベル変化を検出し、該入力レベル変化を知らせるエッジ検出信号を出力するエッジ検出回路と、エッジ検出信号を受けて、外部から入力される外部データをラッチしたデータラッチ信号を出力するデータラッチ部と、アドレス信号を発生するアドレス発生回路と、データラッチ信号およびアドレス信号を受けるローカルバスと、エッジ検出信号を受けて書込制御イ 50

ネーブル信号を活性化する書込制御部と、読出イネーブル信号および書込イネーブル信号を出力する中央処理装置と、中央処理装置へ入出力されるデータを受けるデータバスと、外部データを記憶する記憶装置と、記憶装置へ入出力されるデータを受けるメモリバスと、ローカルバス、データバスおよびメモリバスに接続され、書込制御イネーブル信号、読出イネーブル信号および書込イネーブル信号をモニタして中央処理装置がメモリへアクセスしていないサイクルを見出す調停回路とを備える。

【発明の効果】

【0013】

この発明によれば、CPUとDMAとの間のバス競合の影響が最小限に抑えられ、セットアップ時間／ホールド時間がフレキシブルに変更可能となり、外部とのインターフェイスが高速化される。 10

【発明を実施するための最良の形態】

【0014】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

【0015】

図1は、この発明の実施の形態を説明する背景となるマイクロコンピュータシステム100のブロック構成を示したブロック図である。

【0016】

図1を参照して、マイクロコンピュータシステム100は、センサ110と、AD変換器120と、ASIC (Application Specific Integrated Circuit) 130と、RAM 140と、マイコン150と、外部バス160とを備える。 20

【0017】

センサ110は、ある事象を検出して、それに応じたアナログ信号ANAを出力する。AD変換器120は、アナログ信号ANAをデジタルデータDDに変換するとともに、同期信号SYNを出力する。AD変換の精度（デジタルデータDDの出力データ幅）は、この実施の形態では、便宜上8ビットとしている。

【0018】

ASIC 130は、デジタルデータDDおよび同期信号SYNを受けて、同期信号SYNの立ち上がりエッジまたは立ち下がりエッジを検出する。ASIC 130は、RAM 140へデータを書き込むために必要なアドレス信号や各種制御信号などを生成し、同期信号SYNの各エッジに同期したデータをRAM 140に出力する。ASIC 130は、マイコン150の外付け論理回路である。 30

【0019】

マイコン150は、外部バス160を介して、外付けメモリであるRAM 140に接続される。マイコン150は、ソフトウェアを実行することにより、アドレス信号ADDを用いて、RAM 140に格納されているデータDATを読み出す。

【0020】

図2は、この発明の実施の形態を説明する背景となるマイクロコンピュータシステム100の信号波形を示した波形図である。 40

【0021】

図2に示すように、デジタルデータDDは、同期信号SYNに同期して変化する。同期信号SYNの周期は、図1に示したマイクロコンピュータシステム100の要求によって決まる。

【0022】

図1を参照して、外部バス160を介した動作サイクルは、マイコン150内部の動作サイクルより長くなることが一般的である。したがって、マイコン150に取り込むデータ量が多くなるほど、マイコン150のCPU処理時間のうちデータ取り込みにかかる時間が多くなり、その他の処理に割けるCPU時間が少なくなる。そのため、マイコン150内部の動作サイクルが高速化されても、それに比例したマイクロコンピュータシステム 50

100の処理能力向上が期待できない。

【0023】

また、マイクロコンピュータシステム100の場合、マイコン150の外部に外部バス160をはじめとする配線が多数必要となる。そのため、配線ノイズの問題が発現し、ノイズ対策用に新たな部品が必要となる場合もある。ゆえに、マイクロコンピュータシステム100は、ASIC130やRAM140等の外付け部品のコストと併せて、コストおよび実装面積の観点から問題がある。

【0024】

図3は、この発明の実施の形態を説明する背景となるマイクロコンピュータシステム200のブロック構成を示したブロック図である。

10

【0025】

図3を参照して、マイクロコンピュータシステム200は、センサ210と、AD変換器220と、マイコン230とを備える。マイコン230は、ポート231と、DMA転送要求検出回路232と、DMA233と、内部バス234と、RAM235と、CPU236とを含む。

【0026】

センサ210は、ある事象を検出して、それに応じたアナログ信号ANAを出力する。AD変換器220は、アナログ信号ANAをデジタルデータDDに変換するとともに、同期信号SYNを出力する。ポート231は、デジタルデータDDを受けて、読出データ信号RDを出力する。DMA転送要求検出回路232は、同期信号SYNの立ち上がりエッジまたは立ち下がりエッジを検出し、DMA233に対してDMA転送要求信号REQを出力する。

20

【0027】

DMA233は、DMA転送要求信号REQを受けて、ポート231から読出データ信号RD（デジタルデータDD）を読み出し、内部バス234を介してRAM235に書込データ信号WT（デジタルデータDD）を書き込む。読出データ信号RDが読み出されるポート231のアドレスおよび書込データ信号WTが書き込まれるRAM235のアドレスは、いずれもCPU236のソフトウェアによって予め設定されている。

【0028】

RAM235に書込データ信号WTが書き込まれるたびに当該アドレスがインクリメントされるように設定しておけば、CPU236の負荷なくRAM235内に書込データ信号WTが順番に書き込まれることになる。

30

【0029】

図4は、この発明の実施の形態を説明する背景となるマイクロコンピュータシステム200の信号波形を示した波形図である。

【0030】

図4を参照して、時刻t1において同期信号SYNが立ち上がり、時刻t2においてマイコン230の内部クロック信号CLKが立ち上がる。図3のDMA転送要求検出回路232は、内部クロック信号CLKの立ち上がりを受けて同期信号SYNの変化を検知し、時刻t3においてDMA転送要求信号REQを出力する。図3のDMA233は、DMA転送要求信号REQの出力を受けて、時刻t4において読出データ信号RDの読出し動作を行ない、時刻t5において書込データ信号WTの書込み動作を行なう。ここで、時刻t3～t4の時間をセットアップ時間SUと呼ぶ。また、時刻t5～t6の時間をホールド時間HDと呼ぶ。

40

【0031】

図3を参照して、マイクロコンピュータシステム200では、CPU236とDMA233とが同じ内部バス234を介してRAM235へアクセスする。そのため、DMA233が連続して内部バス234のバス権を獲得できる構成の場合、マイコン230は、最高で1回転送／2サイクルの割合でデジタルデータDDを取り込むことが可能である。

【0032】

50

しかしながら、この場合、DMA 233がRAM 235にアクセスしている間、CPU 236はRAM 235にアクセスできないことになる。また、マイコン230がRAM 235とともにROM (Read Only Memory) も内蔵していた場合、当該ROMはRAM 235と同じ内部バス234に接続されるのが通常である。したがって、この場合、CPU 236は、当該ROMからのプログラムコードをフェッチできず、CPU 236の動作そのものが停止してしまう。

【0033】

他方、1回のDMA転送が完了する度にいったん内部バス234の使用権をCPU 236へ返す構成の場合、CPU 236の動作は間欠的となる。この場合、CPU 236が1サイクルだけ内部バス234を使用してからDMA 233にバス使用権を渡すものと仮定すると、データ取り込みの最高速度は1回転送／3サイクルとなる。そのため、マイコン230のデータの取り込み速度が低下する。 10

【0034】

また、マイコン230がポート231を介してデジタルデータDDを読み出す場合、正しいデータをRAM 235に書き込むため、読出データ信号RDに対してセットアップ時間SUおよびホールド時間HD (いずれも図4を参照) が要求される。しかしながら、同期信号SYNとデジタルデータDDとの間に伝播遅延DL (図4参照) が存在するなどの要因があると、セットアップ時間SUおよびホールド時間HDの条件が満たせなくなる可能性がある。これにより、同期信号SYNの周期を長くするなど、マイクロコンピュータシステム200のシステム性能を落とさざるを得ない事態が発生する。 20

【0035】

また、この場合、同期信号SYNの立ち上がりエッジまたは立ち下がりエッジを検出するごとにDMA転送が行なわれ、エッジの数だけデジタルデータDDが取り込まれる。しかしながら、CCD (Charge Coupled Device) に無効画素領域があるように、デジタルデータDDにも不要データが存在する。そして、この場合、RAM 235は、当該不要データを取り込んでしまう可能性がある。これにより、RAM 235の記憶領域が無駄に消費されてしまうという問題があった。

【0036】

この発明の実施の形態では、以上のような問題点を解決するマイクロコンピュータの構成および動作について詳細に説明する。 30

【0037】

図5は、この発明の実施の形態によるマイクロコンピュータ1のブロック構成を示したブロック図である。

【0038】

図5を参照して、この発明の実施の形態によるマイクロコンピュータ1は、同期信号入力端子2と、外部データ入力端子3と、エッジ検出回路10と、データラッチ部20と、アドレス発生回路30と、書込制御部40と、ローカルバス51と、データバス52と、メモリバス53と、調停回路60と、CPU 80と、RAM 90とを備える。

【0039】

エッジ検出回路10は、同期信号入力端子2から入力される同期信号SYNの入力レベル変化 (エッジ) を検出し、エッジ検出を知らせるエッジ検出信号EOUTを出力する。入力レベル変化には立ち上がりエッジと立ち下がりエッジとがあるが、これらはソフトウェアによって選択可能である。データラッチ部20は、エッジ検出信号EOUTを受けて、外部データ入力端子3から入力されるデジタルデータDDをラッチしたデータラッチ信号RDATをローカルバス51に出力する。 40

【0040】

アドレス発生回路30は、調停回路60から出力される転送完了信号FN等に応じて、ローカルバス51にアドレス信号ADDを出力する。書込制御部40は、エッジ検出信号EOUTを受けて、RAM 90へ書込みを行なうための書込制御イネーブル信号WEXを活性化する。また、書込制御部40は、調停回路60から出力される転送完了信号FNを 50

受けて、書込制御イネーブル信号WEXを非活性化する。

【0041】

CPU80は、メモリバス53を介して調停回路60に読出イネーブル信号REおよび書込イネーブル信号WEを出力する。調停回路60は、書込制御イネーブル信号WEX、読出イネーブル信号REおよび書込イネーブル信号WEをモニタし、CPU80がRAM90へアクセスしていないサイクルを見出す。また、調停回路60は、RAM90ヘデータラッチ信号RDATを書き込むための各種信号をデータバス52を介してRAM90へ出力するとともに、転送完了信号FNをアドレス発生回路30および書込制御部40へ出力する。RAM90は、メモリバス53を介して調停回路60に接続される。

【0042】

10

次に、各ブロックの具体的な回路構成および動作について説明する。

【0043】

図6は、この発明の実施の形態によるエッジ検出回路10の一例であるエッジ検出回路10Uの回路構成を示した回路図である。

【0044】

図6を参照して、エッジ検出回路10Uは、同期信号SYNの立ち上がりエッジを検出する立ち上がりエッジ検出回路であって、フリップフロップ回路11U、12Uと、インバータ13Uと、AND回路14Uとを含む。

【0045】

フリップフロップ回路11U、12Uは、マイコン1の内部クロック信号CLKに同期して動作する。フリップフロップ回路11Uは、同期信号SYNを一時的に保持した後、ノードN1Uに出力する。フリップフロップ回路12Uは、フリップフロップ回路11Uの出力信号を一時的に保持する。インバータ13Uは、フリップフロップ回路12Uの出力信号を反転してノードN2Uに出力する。AND回路14Uは、ノードN1U、N2Uからの入力信号を受けて、エッジ検出信号EOUTを出力する。

20

【0046】

図7は、この発明の実施の形態によるエッジ検出回路10の一例であるエッジ検出回路10Uの動作タイミングを示したタイミング図である。

【0047】

図7に示すように、時刻t1において、内部クロック信号CLKに同期して、同期信号SYNが立ち上がる。これを受けて、時刻t2において、ノードN1Uの電位レベルがHレベル（論理ハイ）に立ち上がる。このときノードN2UはすでにHレベルなので、時刻t2において、エッジ検出信号EOUTがLレベル（論理ロー）からHレベルに立ち上がる。時刻t3において、ノードN2Uの電位レベルがLレベルに立ち下がるのを受けて、エッジ検出信号EOUTも同時にLレベルに立ち下がる。

30

【0048】

図8は、この発明の実施の形態によるエッジ検出回路10の他の一例であるエッジ検出回路10Dの回路構成を示した回路図である。

【0049】

図8を参照して、エッジ検出回路10Dは、同期信号SYNの立ち下がりエッジを検出する立ち下がりエッジ検出回路であって、フリップフロップ回路11D、12Dと、インバータ13D、15Dと、OR回路14Dとを含む。

40

【0050】

フリップフロップ回路11D、12Dは、マイコン1の内部クロック信号CLKに同期して動作する。フリップフロップ回路11Dは、同期信号SYNを一時的に保持した後、ノードN1Dに出力する。フリップフロップ回路12Dは、フリップフロップ回路11Dの出力信号を一時的に保持する。インバータ13Dは、フリップフロップ回路12Dの出力信号を反転してノードN2Dに出力する。OR回路14Dは、ノードN1D、N2Dからの入力信号を受ける。インバータ15Dは、OR回路14Dからの出力信号を反転したエッジ検出信号EOUTを出力する。

50

【0051】

図9は、この発明の実施の形態によるエッジ検出回路10の他の一例であるエッジ検出回路10Dの動作タイミングを示したタイミング図である。

【0052】

図9に示すように、時刻 t_1 において、内部クロック信号CLKに同期して、同期信号SYNが立ち下がる。これを受けて、時刻 t_2 において、ノードN1Dの電位レベルがLレベルに立ち下がる。このときノードN2DはすでにLレベルなので、時刻 t_2 において、エッジ検出信号EOUTがLレベルからHレベルに立ち上がる。時刻 t_3 において、ノードN2Dの電位レベルがHレベルに立ち上がるのを受けて、エッジ検出信号EOUTは同時にLレベルに立ち下がる。

10

【0053】

図10は、この発明の実施の形態によるデータラッチ部20のブロック構成を示したブロック図である。

【0054】

図10を参照して、データラッチ部20は、データラッチタイミング選択回路21と、データラッチ回路26とを含む。データラッチタイミング選択回路21は、図5のエッジ検出回路10から出力されるエッジ検出信号EOUTを受けて、タイミング選択信号TMに応じたラッチイネーブル信号RENを出力する。データラッチ回路26は、ラッチイネーブル信号RENに応じて、外部から入力されるデジタルデータDDをラッチしたデータラッチ信号RDATを出力する。

20

【0055】

図11は、データラッチタイミング選択回路21の具体的な回路構成を示した回路図である。

【0056】

図11を参照して、データラッチタイミング選択回路21は、フリップフロップ回路22～24と、セクタ25とを含む。フリップフロップ回路22は、図5のエッジ検出回路10から出力されるエッジ検出信号EOUTを一時的に保持する。フリップフロップ回路23は、フリップフロップ回路22の出力信号を一時的に保持する。フリップフロップ回路24は、フリップフロップ回路23の出力信号を一時的に保持する。

【0057】

セクタ25は、タイミング選択信号TMに応じて、エッジ検出信号EOUTおよびフリップフロップ回路22～24から出力される信号のいずれかを選択し、ラッチイネーブル信号RENとして出力する。タイミング選択信号TMは、データラッチのタイミングが最適となるようにソフトウェアによって制御される。

30

【0058】

図12は、データラッチ回路26の具体的な回路構成を示した回路図である。

【0059】

図12を参照して、データラッチ回路26は、データラッチ回路ユニット26_k ($k=0, 1, \dots$)を含む。データラッチ回路ユニット26_kは、デジタルデータDDのうちビット k のデジタルデータDD_kを受ける。ここでは、データラッチ回路ユニット26₀, 26₁について説明する。

40

【0060】

データラッチ回路ユニット26₀は、インバータ27₀と、AND回路28₀と、フリップフロップ回路29₀とを含む。インバータ27₀は、内部クロック信号CLKを反転する。AND回路28₀は、ラッチイネーブル信号RENおよびインバータ27₀の出力信号を受ける。フリップフロップ回路29₀は、AND回路28₀から出力される信号のタイミングに応じて、ビット0のデジタルデータDD₀を一時的に保持した後、デジタルデータDD₀に対応したデータラッチ信号RDAT₀を出力する。

【0061】

データラッチ回路ユニット26₁は、インバータ27₁と、AND回路28₁と

50

、フリップフロップ回路 29_1 とを含む。インバータ 27_1 は、内部クロック信号 CLK を反転する。AND 回路 28_1 は、ラッチイネーブル信号 REN およびインバータ 27_1 の出力信号を受ける。フリップフロップ回路 29_1 は、AND 回路 28_1 から出力される信号のタイミングに応じて、ビット 1 のデジタルデータ DD1 を一時的に保持した後、デジタルデータ DD1 に対応したデータラッチ信号 RDATA1 を出力する。

【0062】

図 13 は、この発明の実施の形態によるデータラッチ部 20 の動作タイミングを示したタイミング図である。図 13 は、同期信号 SYN の立ち上がりエッジを検出する場合の動作タイミング図である。

【0063】

図 13 に示すように、時刻 t1 において、内部クロック信号 CLK に同期した同期信号 SYN が立ち上がり、それに応じてデジタルデータ DD が変化する。この同期信号 SYN の立ち上がりを受けて、時刻 t2 において、エッジ検出信号 EOUT が H レベルに立ち上がる。時刻 t3 において、内部クロック信号 CLK が L レベルに立ち下がり、これを受けてデータラッチ信号 RDATA が出力される。

【0064】

図 14 は、同期信号 SYN に対してデジタルデータ DD が遅延している場合におけるデータラッチ部 20 の動作タイミングを示したタイミング図である。

【0065】

図 14 に示すように、時刻 t1 において同期信号 SYN が立ち上がり、時刻 t4 においてデジタルデータ DD が変化する。すなわち、同期信号 SYN とデジタルデータ DD との間には、伝播遅延 DLY が存在する。これにより、デジタルデータ DD の確定が図 13 の場合に比べて遅れてしまう。そのため、データラッチ回路 26 は、誤って前のデジタルデータ値をラッチしてしまう可能性がある。

【0066】

ここで、仮に、データラッチ部 20 においてデータラッチタイミング選択回路 21 が存在しなかった場合を考える。この場合、時刻 t1 における同期信号 SYN の立ち上がりを受けて、時刻 t2 においてラッチイネーブル信号 RENX が立ち上がる。これを受けて、時刻 t3 において、データラッチ信号 RDATAX が変化する。しかしながら、時刻 t3 において、デジタルデータ DD はまだ変化していない。そのため、データラッチ信号 RDATAX の X0, X1, X2, … のうち、先頭の X0 は、誤ってラッチされた信号として誤信号となる。

【0067】

これに対し、データラッチ部 20 においてデータラッチタイミング選択回路 21 が存在する場合を考える。この場合、時刻 t1 における同期信号 SYN の立ち上がりから一定時間遅延した時刻 t5 において、ラッチイネーブル信号 RENY が立ち上がる。これを受けて、時刻 t6 において、データラッチ信号 RDATAY が変化する。時刻 t6 の時点において、デジタルデータ DD はすでに変化している。したがって、データラッチ信号 RDATAY の Y0, Y1, Y2, … は、いずれも、誤ってラッチされた信号として誤信号となることはない。

【0068】

図 15 は、この発明の実施の形態によるアドレス発生回路 30 のブロック構成を示したブロック図である。

【0069】

図 15 を参照して、アドレス発生回路 30 は、転送カウンタ 31 と、トグルラッチ 32 と、インバータ 33 と、AND 回路 34, 35 と、アドレスカウンタ 36, 37 と、セレクタ回路 38 とを含む。

【0070】

転送カウンタ 31 は、転送完了信号 FN および図 5 の CPU80 から出力される転送許可ビット CPUWT を受けて、アンダーフロー信号 UF を出力する。転送カウンタ 31 は

10

20

30

40

50

、転送完了信号F Nを受けるたびに、C P U 8 0によって予め設定された転送カウント値をデクリメントする。トグルラッチ3 2は、アンダーフロー信号U Fを受けて、アドレス制御信号A C T Rを出力する。

【0071】

インバータ3 3は、アドレス制御信号A C T Rを反転する。A N D回路3 4は、インバータ3 3から出力される信号および図5の調停回路6 0から出力される転送完了信号F Nを受ける。アドレスカウンタ3 6は、A N D回路3 4の出力信号を受けてアドレスカウンタのインクリメントを行なう。A N D回路3 5は、アドレス制御信号A C T Rおよび転送完了信号F Nを受ける。アドレスカウンタ3 7は、A N D回路3 5の出力信号を受けてアドレスカウンタのインクリメントを行なう。

10

【0072】

セレクト回路3 8は、トグルラッチ3 2から出力されるアドレス制御信号A C T Rに応じて、アドレスカウンタ3 6、3 7の出力信号のうちいずれか一方を選択し、図5のR A M 9 0へのアドレス信号A D Dとして出力する。これにより、転送カウンタ3 1がアンダーフローするたびに、アドレス信号A D Dを切り替えることが可能となる。また、R A M 9 0に書き込まれるデータを2つの領域に振り分けて格納することが可能となる。

【0073】

転送カウンタ3 1は、一定の条件を満たしたときにカウンタ値を一定値に戻すためのリロードレジスタを含んでもよい。ここで、一定の条件とは、たとえば、転送許可ビットC P U W Tが転送禁止から転送許可になったとき、または転送カウンタ動作のアンダーフロー発生時などが挙げられる。なお、転送許可ビットC P U W Tは、C P U 8 0によって設定可能なラッチ出力である。同様に、アドレスカウンタ3 6、3 7は、上記と同じ条件を満たしたときにカウンタ値を一定値に戻すためのリロードレジスタを含んでもよい。

20

【0074】

転送カウンタ3 1およびアドレスカウンタ3 6、3 7がこのようなリロードレジスタを含むことにより、R A M 9 0に書き込まれるデータを2つの領域に振り分けて格納することが全てハードウェアによって行なわれるようになる。

【0075】

また、アドレス発生回路3 0は、アドレスカウンタ3 6、3 7の活性時に転送カウンタ3 1がアンダーフローした場合、そのことをC P U 8 0に知らせる割り込み信号を発生させる割り込み信号発生回路を含んでもよい。たとえば、トグルラッチ3 2から出力されるアドレス制御信号A C T Rが変化して、セレクト回路3 8の選択がアドレスカウンタ3 6からアドレスカウンタ3 7に切り替わった場合について考える。なお、トグルラッチ3 2から出力されるアドレス制御信号A C T Rは、転送カウンタ3 1のアンダーフロー発生を受けて変化する。

30

【0076】

この場合、当該割り込み信号発生回路は、アドレスカウンタ3 7に対応した割り込み信号を発生する。C P U 8 0は、当該割り込み信号を受けて、アドレスカウンタ3 6によって指定された領域に格納されるデータを処理することができる。また、このとき、外部からのデータは、アドレスカウンタ3 7で指定される領域へ格納されるため、C P U 8 0がアドレスカウンタ3 6によって指定される領域のデータ処理をする妨げとはならない。したがって、C P U 8 0は、アドレスカウンタ3 6によって指定された領域に格納されたデータを処理すると同時に、外部からのデータも取り込み続けることが可能となる。

40

【0077】

図1 6は、この発明の実施の形態による書込制御部4 0のブロック構成を示したブロック図である。

【0078】

図1 6を参照して、書込制御部4 0は、カウンタ転送数制御回路4 1と、書込制御回路4 5とを含む。カウンタ転送数制御回路4 1は、図5のエッジ検出回路1 0から出力されるエッジ検出信号E O U Tを受けて、転送要求信号R E Qを出力する。書込制御回路4 5

50

は、転送要求信号 R E Q を受けて、書込制御イネーブル信号 W E X を出力する。

【0079】

書込制御部 40 は、エッジ検出信号 E O U T を受けて、図 5 の R A M 90 へデータ書込みを行なうための書込制御イネーブル信号 W E X を活性化する。また、書込制御部 40 は、図 5 の調停回路 0 から出力される転送完了信号 F N を受けて、書込制御イネーブル信号 W E X を非活性化する。

【0080】

図 17 は、カウンタ転送数制御回路 41 の一例であるカウンタ転送数制御回路 41 A のブロック構成を示したブロック図である。

【0081】

図 17 を参照して、カウンタ転送数制御回路 41 A は、リロードレジスタ 42 A と、カウンタ 43 A と、A N D 回路 44 A とを含む。

【0082】

リロードレジスタ 42 A は、図 5 の C P U 80 によるカウント許可時またはアンダーフロー発生時にカウンタ 43 A のカウント値をリセットする。カウンタ 43 A は、図 5 のエッジ検出回路 10 から出力されるエッジ検出信号 E O U T をカウントソースとして同期信号 S Y N のエッジをカウントし、転送要求イネーブル信号（アンダーフロー信号）R E Q E N を出力する。A N D 回路 44 A は、エッジ検出信号 E O U T および転送要求イネーブル信号 R E Q E N を受けて、転送要求信号 R E Q を出力する。

【0083】

カウンタ転送数制御回路 41 A は、カウント許可後の最初のアンダーフロー発生後にカウント動作を停止するか、アンダーフロー発生後の最初のエッジ検出でリロードレジスタ値をカウンタ 43 A へリロードしてカウント動作を継続するかを C P U 80 によって選択できるものとする。

【0084】

「アンダーフロー発生後にカウント動作を停止する」モードを選択した場合、カウント許可後にリロードレジスタ値がカウンタ 43 A へリロードされ、同期信号 S Y N のエッジが検出されるたびにカウント値がカウントダウンされる。カウンタ 43 A がアンダーフローするまで、転送要求信号（アンダーフロー信号）R E Q E N は L レベルである。そのため、同期信号 S Y N のエッジが検出されても、A N D 回路 44 A から出力される転送要求信号 R E Q は L レベルのままである。

【0085】

ここで、カウンタ 43 A がアンダーフローを発生すると、転送要求イネーブル信号 R E Q E N は H レベルの状態に移行する。その後、同期信号 S Y N のエッジが検出されれば、A N D 回路 44 A の入力とともに H レベルとなり、転送要求信号が H レベルに活性化される。これにより、たとえば、同期信号 S Y N のエッジを任意の回数だけ検出してから外部データの取り込みを開始する、というような制御ができるようになる。

【0086】

「リロードレジスタ値をカウンタ 43 A へリロードしてカウント動作を継続する」モードを選択した場合、A N D 回路 44 A の作用により、カウンタ 43 A がアンダーフロー状態にあったときに検知された同期信号 S Y N のエッジに対してのみ転送要求信号 R E Q が H レベルとなる。これにより、たとえば、同期信号 S Y N のエッジを任意の回数だけ検出したのに対して 1 回だけ外部からデータの取り込みを行なう、というような制御ができるようになる。

【0087】

図 18 は、カウンタ転送数制御回路 41 の他の一例であるカウンタ転送数制御回路 41 B のブロック構成を示したブロック図である。

【0088】

図 18 を参照して、カウンタ転送数制御回路 41 B は、カウンタ転送数制御回路 41 A を発展させたものであって、リロードレジスタ 42 B と、カウンタ 43 B と、エッジ検出

10

20

30

40

50

回路 10 B と、AND 回路 44 B とを含む。

【0089】

リロードレジスタ 42 B は、図 5 の CPU 80 によるカウント許可時またはアンダーフロー発生時にカウンタ 43 B のカウント値をリセットする。エッジ検出回路 10 B は、同期信号 SYN のエッジ検出ごとにダウンカウントを行ない、外部からの許可信号 PT に応じてリロードレジスタ値をカウンタ 43 B へリロードする。カウンタ 43 B は、図 5 のエッジ検出回路 10 から出力されるエッジ検出信号 EOUT をカウントソースとして同期信号 SYN のエッジをカウントし、転送要求イネーブル信号（アンダーフロー信号）REQEN を出力する。AND 回路 44 B は、エッジ検出信号 EOUT および転送要求イネーブル信号 REQEN を受けて、転送要求信号 REQ を出力する。

10

【0090】

カウンタ転送数制御回路 41 B は、外部からカウント許可を制御可能にするとともに、外部許可によりロードレジスタ値をカウンタ 43 B へリロードし、同期信号 SYN のエッジ検出ごとにダウンカウントを行なう。アンダーフロー発生後には、同期信号 SYN のエッジ検出に応じて転送要求信号 REQ が H レベルに活性化される。

【0091】

カウンタ転送数制御回路 41 B のような制御が有効な例として、CCD センサを例にとって考える。CCD センサの場合、垂直同期信号 VSYNC および水平同期信号 HSYNC がアサートされてから実際に有効な画像データが出力されるまでの間には、無効画素に起因した無効な画像同期クロック信号が出力されるのが一般的である。

20

【0092】

このような場合、たとえば、図 18 を参照して、外部からの許可信号 PT として水平同期信号 HSYNC を、同期信号 SYN として画像同期クロック信号をそれぞれ用いることにより、無効画素領域をハードウェア的に間引いて、必要な画素領域のみを選択的に取り込むことが可能となる。さらに、カウンタ 43 B を複数のカウンタ回路に分割することによって、外部からのデータを取り込むか否かをより細かく制御することが可能となる。

【0093】

図 19 は、書込制御回路 45 の具体的な回路構成を示した回路図である。

【0094】

図 19 を参照して、書込制御回路 45 は、インバータ 46、49 と、AND 回路 47 と、フリップフロップ回路 48 とを含む。インバータ 46 は、内部クロック信号 CLK を反転する。AND 回路 47 は、インバータ 46 の出力信号およびカウンタ転送数制御回路 41 から出力される転送要求信号 REQ を受ける。

30

【0095】

フリップフロップ回路 48 は、図 5 の調停回路 60 から出力される転送完了信号 FN に同期して動作し、AND 回路 47 の出力信号を一時的に保持する。インバータ 49 は、フリップフロップ回路 48 からの出力信号を反転して書込制御イネーブル信号 WEX を出力する。なお、フリップフロップ回路 48 は、ハードウェアのリセット時に書込制御イネーブル信号 WEX を非活性化とするためのリセット端子 48 R を有している。

【0096】

図 20 は、書込制御回路 45 の動作タイミングを示したタイミング図である。

40

【0097】

図 20 に示すように、時刻 t1 において、内部クロック信号 CLK に同期して転送要求信号 REQ が立ち上がる。これを受けて、時刻 t2 において、書込制御イネーブル信号 WEX が L レベルに立ち下がる。時刻 t3 において、転送要求信号 REQ が立ち下がるとともに、転送完了信号 FN が立ち上がる。これを受けて、時刻 t4 において、書込制御イネーブル信号 WEX が H レベルに立ち上がる。時刻 t5 において、内部クロック信号 CLK に同期して転送完了信号 FN が立ち下がる。

【0098】

図 21 は、この発明の実施の形態による調停回路 60 の具体的な回路構成を示した回路

50

図である。

【0099】

図21を参照して、調停回路60は、フリップフロップ回路62、65、66、74と、データバスセクタ67と、トリステートバッファ68、69と、AND回路64、70、73、76と、アドレスセクタ71と、インバータ61、72、77と、NAND回路63、75とを含む。フリップフロップ回路62、65、66、74は、いずれも内部クロック信号CLKに同期して動作する。

【0100】

インバータ61は、図5のCPU80から出力される読出イネーブル信号REを反転する。なお、読出イネーブル信号REは、RAM内部の読出し信号RAMRDとしてRAM90へも出力される。フリップフロップ回路62は、インバータ61の出力信号を一時的に保持した後、出力イネーブル信号OEとして出力する。 10

【0101】

NAND回路63は、図5のCPU80から出力される書込イネーブル信号WEおよび図5の書込制御部40から出力される書込制御イネーブル信号WEXを受ける。AND回路64は、読出イネーブル信号REおよびNAND回路63の出力信号を受ける。フリップフロップ回路65は、AND回路64の出力信号を一時的に保持した後、データイネーブル信号DEとして出力する。

【0102】

フリップフロップ回路66は、書込イネーブル信号WEを一時的に保持する。データバスセクタ67は、書込イネーブル信号WEに応じて、CPU80から出力されるCPUデータバス信号CPUDBおよび図5のデータラッチ部20から出力されるデータラッチ信号RDATのいずれか一方を選択する。データバスセクタ67は、書込イネーブル信号WEがLレベルのときCPUデータバス信号CPUDBを選択し、書込イネーブル信号WEがHレベルのときデータラッチ信号RDATを選択する。 20

【0103】

データバスセクタ67は、CPU80がRAM90へ書込みアクセスすることで書込イネーブル信号WEがLレベルになると、それに続く内部クロック信号CLKの立ち上がりに同期してCPUデータバス信号CPUDBを出力する。データバスセクタ67が内部クロック信号CLKの立ち上がりに同期してCPUデータバス信号CPUDBを出力するのは、CPU80がデータを出力するタイミングに合わせるためである。 30

【0104】

トリステートバッファ68は、出力イネーブル信号OEに応じて、RAM90から出力されるRAMデータバス信号RAMDBをバッファリングする。トリステートバッファ69は、CPU80がRAM90への読出しアクセスを実行した場合、出力イネーブル信号OEに応じて、RAMデータバス信号RAMDBをCPU80のデータバスへのせる。

【0105】

出力イネーブル信号OEは、読出イネーブル信号REの反転信号を内部クロックCLKでラッチしたものである。読出イネーブル信号REの反転信号を内部クロックCLKでラッチするのは、読出イネーブル信号REがLレベルとなって最初の内部クロックCLKの立ち上がりタイミングに合わせるためである。 40

【0106】

トリステートバッファ69は、データイネーブル信号DEに応じて、データバスセクタ62の出力信号をバッファリングする。トリステートバッファ69は、CPU80がRAM90への書込みアクセスを実行した場合または転送要求信号REQが活性化された場合に、データイネーブル信号DEに応じて、データバスセクタ62の出力信号をRAM90内部のデータバスへのせる。

【0107】

データイネーブル信号DEは、書込イネーブル信号WE、書込制御イネーブル信号WEXおよび読出イネーブル信号REの論理出力を内部クロック信号CLKでラッチしたもの 50

である。これらの制御信号の論理出力を内部クロック信号CLKでラッチするのは、CPU80が書込みデータを出力するタイミングに合わせるためである。言い換えると、RAM90のバスアクセスプロトコルに合わせるためである。読出イネーブル信号REは、CPU90が読出しアクセスしている状態を判別するために必要となる。

【0108】

AND回路70は、読出イネーブル信号REおよび書込イネーブル信号WEを受ける。アドレスセクタ71は、AND回路70の出力信号に応じて、CPU80から出力されるCPUアドレスバス信号CPUABおよび図5のアドレス発生回路30から出力されるアドレス信号ADDのいずれか一方を選択し、RAM90内部への読出し信号RAMRDとして出力する。アドレスセクタ71は、読出イネーブル信号REおよび書込イネーブル信号WEのどちらか一方がLレベルのときCPUアドレスバス信号CPUABを選択し、読出イネーブル信号REおよび書込イネーブル信号WEがともにHレベルのときアドレス信号ADDを選択する。

10

【0109】

インバータ72は、書込制御イネーブル信号WEXを反転する。AND回路73は、読出イネーブル信号RE、書込イネーブル信号WE、およびインバータ72の出力信号を受ける。フリップフロップ回路74は、AND回路73の出力信号を一時的に保持した後、転送完了信号FNとして図5のアドレス発生回路30および書込制御部40に出力する。

【0110】

転送完了信号FNは、書込制御部40へのデータ転送要求が完了したことを伝える信号である。転送完了信号FNは、読出イネーブル信号REおよび書込イネーブル信号WEがいずれもHレベルで、かつ、書込制御イネーブル信号WEXがLレベルであった場合に活性化される。この場合、CPU80はRAM90へアクセスしておらず、かつ、取り込まれたデジタルデータDDの転送要求がある。このとき、デジタルデータDDの転送要求が実効されるため、転送完了信号FNはHレベルとなる。

20

【0111】

Hレベルとなった転送完了信号FNは、書込制御部40へ入力される。これにより、書込制御イネーブル信号WEXが非活性化され、外部から取り込まれたデジタルデータDDの転送が完了する。なお、図15において説明したように、図5のアドレス発生回路30をアドレスカウンタ36、37で構成し、そのカウントソースを転送完了信号FNとすることにより、RAM90への書込みデータごとに格納先のアドレスを変更させることも可能である。

30

【0112】

NAND回路75は、書込イネーブル信号WEおよび書込制御イネーブル信号WEXを受ける。AND回路76は、読出イネーブル信号REおよびNAND回路75の出力信号を受ける。インバータ77は、AND回路76の出力信号を反転し、RAM90への書込み信号RAMWTとして出力する。

【0113】

図22は、この発明の実施の形態による調停回路60の動作タイミングを示したタイミング図である。

40

【0114】

図22に示すように、時刻t1において、内部クロック信号CLKに同期して、読出イネーブル信号REが立ち下がるとともに、CPUアドレスバス信号CPUABが入力される。時刻t2において、内部クロック信号CLKに同期して、RAMデータバス信号RAMDBが出力される。時刻t3において、内部クロック信号CLKに同期して、読出イネーブル信号が立ち上がるとともに、書込イネーブル信号WEが立ち下がる。

【0115】

時刻t4において、内部クロック信号CLKに同期して、CPUアドレスバス信号CPUABが入力される。時刻t5において、内部クロック信号CLKに同期して、書込イネーブル信号WEが立ち上がるとともに、RAMデータバス信号RAMDBが出力される。

50

このように、図5のRAM90へ入力されるCPUアドレスバス信号CPUAB、およびRAM90から出力されるRAMデータバス信号RAMDBは、ともに、読出イネーブル信号REおよび／または書込イネーブル信号WEに応じて変化する。

【0116】

RAM90への読出しまたは書込みのアクセスするためには、アドレス信号ADD、データラッチ信号RDATなどのデータ信号、読出イネーブル信号RE、および書込イネーブル信号WEが必要となる。アドレス信号ADDは、RAM90にとって入力となる。読出イネーブル信号REは、RAM90にとって入力となり、読出しアクセス時のみLレベルとなる。書込イネーブル信号WEは、RAM90にとって入力となり、書込みアクセス時のみHレベルとなる。なお、RAM90へのアクセスサイクルは、マイクロコンピュータ1の内部クロックCLK1サイクルとする。

10

【0117】

上記のように、CPU80がRAM90へアクセスしていないバスサイクルを検知して、そのサイクルでRAM90へ書込み動作を行なうことにより、CPU80の動作を妨げることなく外部から取り込んだデジタルデータDDをRAM90へ格納することができる。なお、この発明の実施の形態では、記憶装置としてRAM90を例示しているが、書込み可能な記憶措置であればどのような記憶装置であってもよい。

【0118】

以上のように、この発明の実施の形態によれば、書込制御イネーブル信号WEX、読出イネーブル信号REおよび書込イネーブル信号WEをモニタし、CPU80がRAM90へアクセスしていないサイクルを見出すことにより、CPUとDMAとの間のバス競合の影響が最小限に抑えられ、セットアップ時間／ホールド時間がフレキシブルに変更可能となる。

20

【0119】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0120】

30

【図1】この発明の実施の形態を説明する背景となるマイクロコンピュータシステム100のブロック構成を示したブロック図である。

【図2】この発明の実施の形態を説明する背景となるマイクロコンピュータシステム100の信号波形を示した波形図である。

【図3】この発明の実施の形態を説明する背景となるマイクロコンピュータシステム200のブロック構成を示したブロック図である。

【図4】この発明の実施の形態を説明する背景となるマイクロコンピュータシステム200の信号波形を示した波形図である。

【図5】この発明の実施の形態によるマイクロコンピュータ1のブロック構成を示したブロック図である。

40

【図6】この発明の実施の形態によるエッジ検出回路10の一例であるエッジ検出回路10Uの回路構成を示した回路図である。

【図7】この発明の実施の形態によるエッジ検出回路10の一例であるエッジ検出回路10Uの動作タイミングを示したタイミング図である。

【図8】この発明の実施の形態によるエッジ検出回路10の他の一例であるエッジ検出回路10Dの回路構成を示した回路図である。

【図9】この発明の実施の形態によるエッジ検出回路10の他の一例であるエッジ検出回路10Dの動作タイミングを示したタイミング図である。

【図10】この発明の実施の形態によるデータラッチ部20のブロック構成を示したブロック図である。

50

【図 1 1】データラッチタイミング選択回路 2 1 の具体的な回路構成を示した回路図である。

【図 1 2】データラッチ回路 2 6 の具体的な回路構成を示した回路図である。

【図 1 3】この発明の実施の形態によるデータラッチ部 2 0 の動作タイミングを示したタイミング図である。

【図 1 4】同期信号 S Y N に対してデジタルデータ D D が遅延している場合におけるデータラッチ部 2 0 の動作タイミングを示したタイミング図である。

【図 1 5】この発明の実施の形態によるアドレス発生回路 3 0 のブロック構成を示したブロック図である。

【図 1 6】この発明の実施の形態による書込制御部 4 0 のブロック構成を示したブロック図である。 10

【図 1 7】カウンタ転送数制御回路 4 1 の一例であるカウンタ転送数制御回路 4 1 A のブロック構成を示したブロック図である。

【図 1 8】カウンタ転送数制御回路 4 1 の他の一例であるカウンタ転送数制御回路 4 1 B のブロック構成を示したブロック図である。

【図 1 9】書込制御回路 4 5 の具体的な回路構成を示した回路図である。

【図 2 0】書込制御回路 4 5 の動作タイミングを示したタイミング図である。

【図 2 1】この発明の実施の形態による調停回路 6 0 の具体的な回路構成を示した回路図である。

【図 2 2】この発明の実施の形態による調停回路 6 0 の動作タイミングを示したタイミング図である。 20

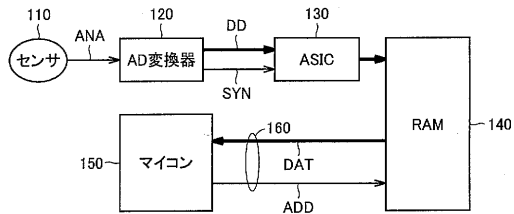
【符号の説明】

【0 1 2 1】

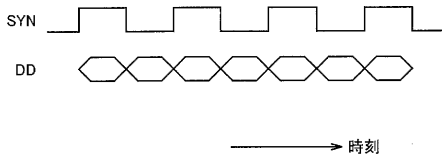
1, 1 5 0, 2 3 0 マイクロコンピュータ、2 同期信号入力端子、3 外部データ入力端子、1 0, 1 0 U, 1 0 D, 1 0 B エッジ検出回路、1 1 U, 1 1 D, 1 2 U, 1 2 D, 2 2 ~ 2 4, 4 8, 6 2, 6 5, 6 6, 7 4 フリップフロップ回路、1 3 U, 1 3 D, 1 5 D, 3 3, 4 6, 4 9, 6 1, 7 2, 7 7 インバータ、1 4 U, 3 4, 3 5, 4 4 A, 4 4 B, 4 7, 6 4, 7 0, 7 3, 7 6 A N D 回路、1 4 D O R 回路、2 0 データラッチ部、2 1 データラッチタイミング選択回路、2 5 セレクタ、2 6 データラッチ回路、2 6 _ k データラッチ回路ユニット、3 0 アドレス発生回路、 30
3 1 転送カウンタ、3 2 トグルラッチ、3 6, 3 7 アドレスカウンタ、3 8 セレクタ回路、4 0 書込制御部、4 1, 4 1 A, 4 1 B カウンタ転送数制御回路、4 2 A, 4 2 B リロードレジスタ、4 3 A, 4 3 B カウンタ、4 5 書込制御回路、5 1 ローカルバス、5 2 データバス、5 3 メモリバス、6 0 調停回路、6 7 データバスセレクタ、6 8, 6 9 トリステートバッファ、7 1 アドレスセレクタ、6 3, 7 5 N A N D 回路、8 0, 2 3 6 C P U、9 0, 1 4 0, 2 3 5 R A M、1 0 0, 2 0 0 マイクロコンピュータシステム、1 1 0, 2 1 0 センサ、1 2 0, 2 2 0 A D 変換器、1 3 0 A S I C、1 6 0 外部バス、2 3 1 ポート、2 3 2 D M A 転送要求検出回路、2 3 3 D M A、2 3 4 内部バス。

【図 1】

100

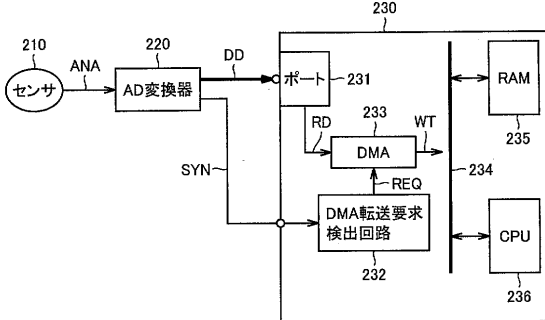


【図 2】



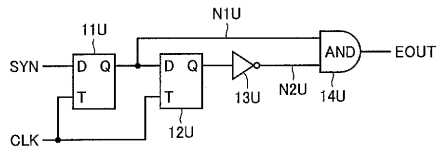
【図 3】

200

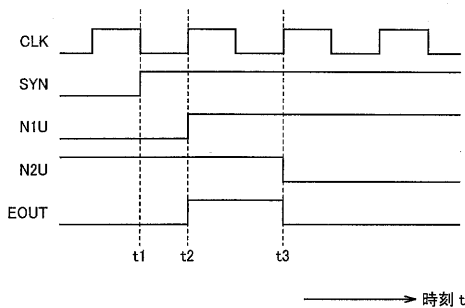


【図 6】

10U

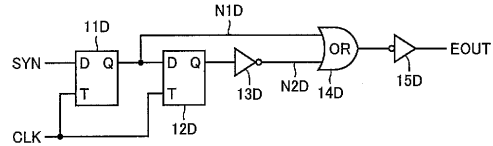


【図 7】

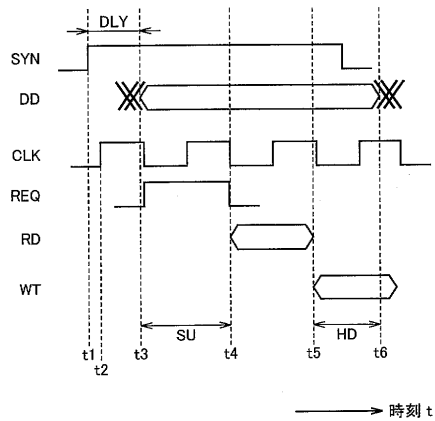


【図 8】

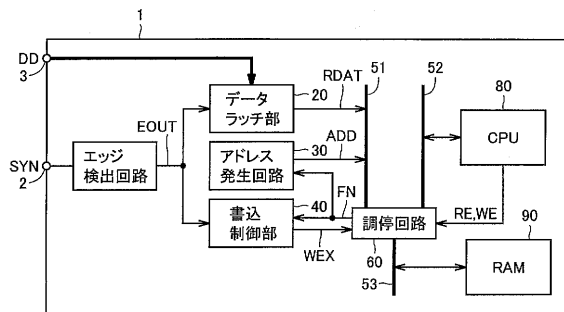
10D



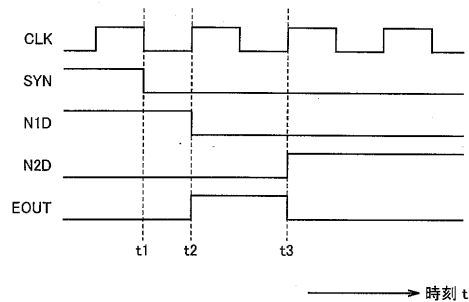
【図 4】



【図 5】

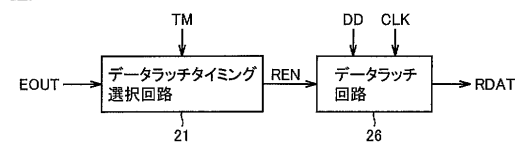


【図 9】



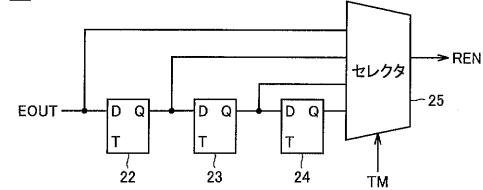
【図 10】

20



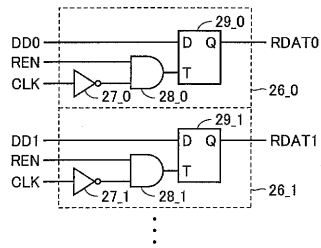
【図 11】

21

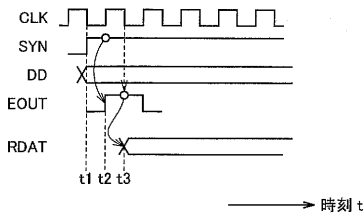


【図 12】

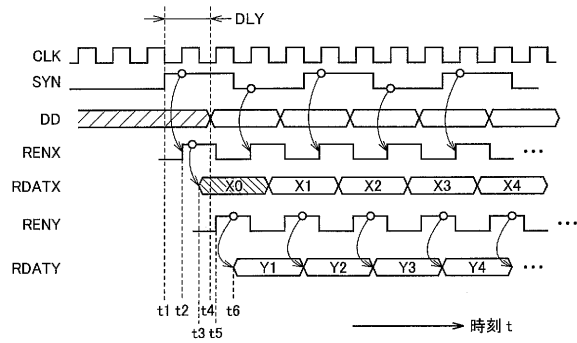
26



【図 13】

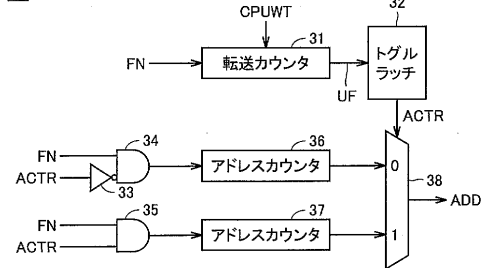


【図 14】



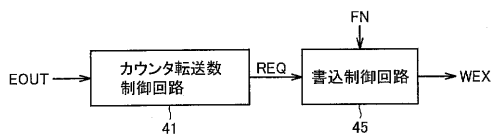
【図 15】

30



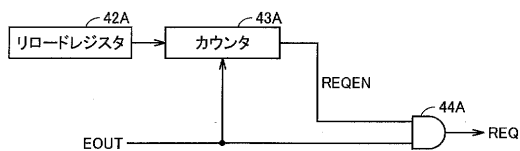
【図 16】

40



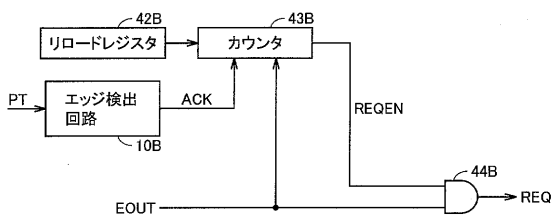
【図 17】

41A



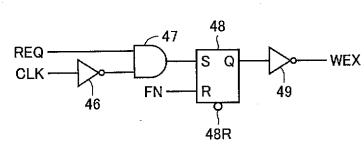
【図 18】

41B

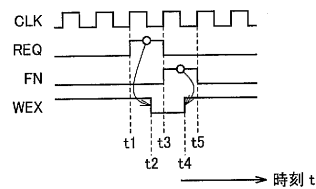


【図 19】

45

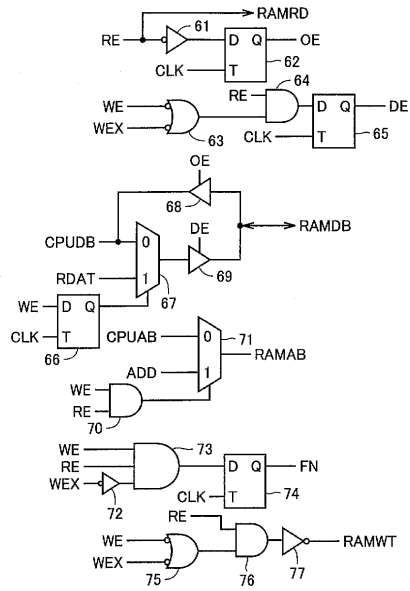


【図 20】

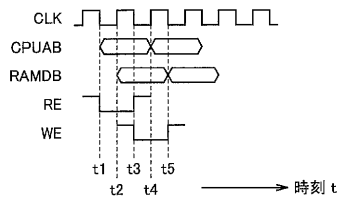


【図 2 1】

60



【図 2 2】



フロントページの続き

(72)発明者 新垣 康德

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5B060 CC01 CD11 KA03

5B061 BA01 BB02 DD01 DD11 RR02 RR03 RR05

5B062 DD08 EE01 EE10